

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 12 月 29 日 (29.12.2004)

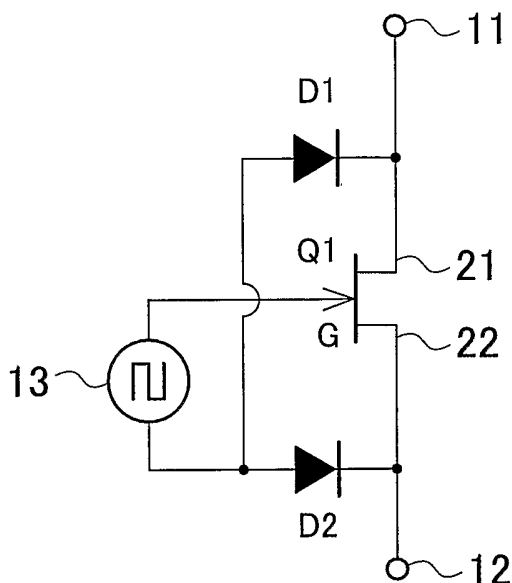
PCT

(10) 国際公開番号
WO 2004/114508 A1

- (51) 国際特許分類: H02M 1/00 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (21) 国際出願番号: PCT/JP2004/007200
- (22) 国際出願日: 2004 年 5 月 20 日 (20.05.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2003-178428 2003 年 6 月 23 日 (23.06.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野 3 丁目 6 番 3 号 Saitama (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 森田 浩一 (MORITA, Koichi) [JP/JP].
- (74) 代理人: 三好 秀和 (MIYOSHI, Hidekazu); 〒1050001 東京都港区虎ノ門 1 丁目 2 番 3 号 虎ノ門第一ビル 9 階 Tokyo (JP).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: AC SWITCH

(54) 発明の名称: 交流スイッチ



(57) Abstract: An AC switch that is turned on and off by a control signal inputted thereto, thereby performing an on/off control of AC signals inputted between first and second terminals (11,12). The AC switch comprises a normally-on FET (Q1) having first and second main electrodes (21,22) connected to the first and second terminals (11,12), respectively and having a gate (G) to which a gate signal is inputted; and diodes (D1,D2) for inputting the gate signal of a gate signal part (13) between the gate (G) and one of the first and second terminals (11,12) which exhibits a lower potential.

(57) 要約: 入力される制御信号によりオン/オフし、第 1 端子 11 及び第 2 端子 12 間に入力された交流信号をオン/オフ制御させる交流スイッチであって、第 1 端子 11 に第 1 主電極 21 が接続され第 2 端子 12 に第 2 主電極 22 が接続されゲート信号を入力するゲート G が接続されたノーマリオン型の FET Q1 と、第 1 端子 11 及び第 2 端子 12 の内の電位が低い端子とゲート G との間にゲート信号部 13 のゲート信号を入力するダイオード D1, D2 とを有する。

明細書

交流スイッチ

5 技術分野

本発明は、制御信号によりオン／オフして、入力された交流信号をオン／オフ制御させる交流スイッチに関する。

背景技術

- 10 インバータやコンバータに使用される従来の交流スイッチとしては、例えば図1に示すようなものがある。図1に示す交流スイッチ100には、第1端子11と第2端子12との両端に交流電源110からの交流信号が印加されるようになっている。

- 交流スイッチ100は、第1端子11と第2端子12との両端に、逆直列
15 接続されたノーマリオフ型のMOS FET Q4（以下、FET Q4と略称する。）とノーマリオフ型のMOS FET Q5（以下、FET Q5と略称する。）とが接続されている。FET Q4のドレインが第1端子11に接続され、FET Q4のソースはFET Q5のソースに接続され、FET Q5のドレインは第2端子12に接続されている。FET Q4のゲートとFET Q
20 5のゲートとには、ゲート信号部13からパルス信号からなるゲート信号が印加されるようになっている。

- 次に、このように構成された交流スイッチ100の動作を説明する。まず、ゲート信号部13からゲート信号が正電圧（例えば10V）で、FET Q4
及びFET Q5のゲートに印加されると、FET Q4及びFET Q5が共に
25 オンする。

- このため、ゲート信号が正電圧である期間においては、第1端子11に交流電源110から正電圧が印加されている時には第1端子11から第2端子12に電流が流れ、第2端子12に交流電源110から正電圧が印加されている時には第2端子12から第1端子11に電流が流れる。即ち、FET Q
30 4とFET Q5とが逆直列接続され且つ第1端子11にFET Q4のドレ

インが接続され、第2端子12にFETQ5のドレインが接続されているので、交流スイッチ100に交流電流が流れる。

次に、ゲート信号部13からゲート信号が零電圧で、FETQ4及びFETQ5のゲートに印加されると、FETQ4及びFETQ5が共にオフする。

5 このため、交流スイッチ100に電流が流れなくなる。

これにより、交流スイッチ100は、ゲート信号の周波数に応じて交流スイッチ100を流れる電流の周波数を変えることができる。また、この交流スイッチ100によれば、ソースを共通にすることにより、1つのゲート信号でFETQ4とFETQ5とをオン／オフ制御できる。

10 一方、トライアックを交流スイッチとして用いることもある。しかし、トライアックに正電圧のゲート信号を印加することでオンすることができるが、トライアックに零電圧のゲート信号を印加してもオフすることはできない。即ち、トライアックを流れる電流が零近くにならなければトライアックをオフすることはできない。このため、トライアックを用いた場合、ゲート
15 信号の周波数に応じてトライアックを流れる電流の周波数を変えることができず、交流電源110の周波数以上の周波数で、トライアックをオン／オフ制御することはできなかった。

従来の交流スイッチに関連する技術として特開平5-75110号公報がある。

20

発明の開示

しかしながら、図1に示す従来の交流スイッチにあっては、1素子ではなく、FETQ4とFETQ5との2素子からなっている。また、FETQ4とFETQ5とが直列に接続されているため、2素子のオン抵抗を加算した
25 値が全体のオン抵抗になり、ロスが増大する。

本発明は、1素子で交流信号をオン／オフ制御することによりロスを低減し、電源周波数より高い周波数でもオン／オフでき、インバータやコンバータを大幅に小型化できる交流スイッチを提供することにある。

本発明は、上記課題を解決するためになされたものであり、本発明の主たる
30 側面は、入力される制御信号によりオン／オフし、第1端子及び第2端子

間に入力された交流信号をオン／オフ制御させる交流スイッチであって、前記第 1 端子に第 1 主電極が接続され前記第 2 端子に第 2 主電極が接続され前記制御信号を入力する制御電極が接続された半導体スイッチと、前記第 1 端子及び前記第 2 端子の内の電位が低い端子と前記制御電極との間に前記
5 制御信号を入力する制御信号入力手段と、を有することを特徴とする。

図面の簡単な説明

図 1 は、従来の交流スイッチの回路図である。
図 2 は、本発明の第 1 の実施の形態に係る交流スイッチの回路図である。
10 図 3 は、本発明の第 2 の実施の形態に係る交流スイッチの回路図である。
図 4 は、本発明の第 3 の実施の形態に係る交流スイッチの回路図である。
図 5 は、本発明の第 4 の実施の形態に係る交流スイッチの回路図である。
図 6 は、本発明の第 5 の実施の形態に係る交流スイッチの回路図である。
図 7 は、本発明の第 6 の実施の形態に係る交流スイッチの回路図である。

15

発明を実施するための最良の形態

以下、本発明の実施の形態に係る交流スイッチを図面を参照しながら詳細に説明する。

(第 1 の実施の形態)

20 第 1 の実施の形態に係る交流スイッチは、1 素子で交流信号をオン／オフ制御することによりロスを低減し、電源周波数より高い周波数でもオン／オフできることを特徴とする。図 2 は本発明の第 1 の実施の形態に係る交流スイッチの回路図である。

図 2 に示す交流スイッチは、第 1 端子 1 1 と第 2 端子 1 2 との両端に、ノーマリオン型の F E T Q 1 (以下、F E T Q 1 と略称する。)が接続され、
25 第 1 主電極 2 1 と第 2 主電極 2 2 とゲート G とで構成されている。第 1 主電極 2 1 は第 1 端子 1 1 に接続され、第 2 主電極 2 2 は第 2 端子 1 2 に接続されている。このノーマリオン型の F E T Q 1 は、オン抵抗が小さく高耐圧であり、例えば S i C や G a N 等の化合物半導体又は M E S F E T からなる。
30 このノーマリオン型の F E T Q 1 は、ドレインとソースとが対称に形成され

ているので、第1端子11と第2端子12との内の電位の高い端子に接続された第1主電極21又は第2主電極22がドレインとなり、電位の低い端子に接続された他方の主電極がソースとなる。

また、パルス信号等からなるゲート信号を発生するゲート信号部13の一端は、FETQ1のゲートGに接続されている。FETQ1の第1主電極21にはダイオードD1のカソードが接続され、FETQ1の第2主電極22にはダイオードD2のカソードが接続されている。ダイオードD1のアノードとダイオードD2のアノードとはゲート信号部13の他端に接続され、ダイオードD1のアノードとダイオードD2のアノードとの接続点とFETQ1のゲートGとの間にゲート信号が入力されるようになっている。

次に、このように構成された第1の実施の形態に係る交流スイッチの動作を説明する。

まず、第1端子11及び第2端子12間に交流信号が入力されると、第1端子11の電位が高く第2端子12の電位が低い場合には、FETQ1の第1主電極21がドレインとなり、第2主電極22がソースとなる。ソースである第2主電極22の電位に対してゲートGを高い電位又は零電位とするゲート信号が入力されると、FETQ1がオンし、ダイオードD2がオンする。また、このとき、ダイオードD1は逆バイアス状態となるので、オフとなる。

次に、第2端子12の電位が高く第1端子11の電位が低い場合には、FETQ1の第1主電極21がソースとなり、第2主電極22がドレインとなる。ソースである第1主電極21の電位に対してゲートGを高い電位又は零電位とするゲート信号が入力されると、FETQ1がオンし、ダイオードD1がオンする。また、このとき、ダイオードD2は逆バイアス状態となるので、オフとなる。

さらに、第1端子11の電位が高く第2端子12の電位が低い場合、及び第2端子12の電位が高く第1端子11の電位が低い場合でも、ソースとなる主電極の電位に対してゲートGを低い電位とするゲート信号が入力されると、FETQ1はオフする。

このように、第 1 の実施の形態に係る交流スイッチによれば、第 1 端子 1 1 及び第 2 端子 1 2 間に交流信号が入力されると、第 1 端子 1 1 の電位が第 2 端子 1 2 の電位に対して高くなったり低くなったりするが、ダイオード D 1, D 2 により電位の低い端子を選択し、選択された電位の低い端子（ソース）とゲート G との間にゲート信号を入力するので、F E T Q 1 の 1 素子で交流信号をオン／オフ制御できる。従って、ロスを低減でき、電源周波数より高い周波数でもオン／オフでき、インバータやコンバータを大幅に小型化できる。

（第 2 の実施の形態）

10 図 3 は本発明の第 2 の実施の形態に係る交流スイッチの回路図である。第 2 の実施の形態に係る交流スイッチは、第 1 の実施の形態に係る交流スイッチのダイオード D 1, D 2 に代えて、F E T Q 2, Q 3 を設けて、ノイズや漏洩電流による誤動作を防止したことを特徴とする。

図 3 において、F E T Q 2, Q 3 は、ノーマリオフ型の M O S F E T 等のスイッチであり、F E T Q 2 のドレインは第 1 端子 1 1 に接続され、F E T Q 3 のドレインは第 2 端子 1 2 に接続されている。F E T Q 2 のソースと F E T Q 3 のソースとはゲート信号部 1 3 の他端に接続されている。

また、F E T Q 2 及び F E T Q 3 の内、電位の低い端子に接続された F E T のゲートに正電圧のゲート信号を入力することでオンし、電位の高い端子に接続された F E T のゲートに負電圧のゲート信号を入力することでオフするようになっている。

次に、このように構成された第 2 の実施の形態に係る交流スイッチの動作を説明する。

まず、第 1 端子 1 1 の電位が高く第 2 端子 1 2 の電位が低い場合には、F E T Q 1 の第 1 主電極 2 1 がドレインとなり、第 2 主電極 2 2 がソースとなる。ソースである第 2 主電極 2 2 の電位に対してゲート G を高い電位又は零電位とするゲート信号が入力され、F E T Q 3 のゲートに正電圧のゲート信号を入力することでオンし、F E T Q 2 のゲートに零電圧又は負電圧のゲート信号を入力することでオフする。このため、F E T Q 1 がオンする。

次に、第 2 端子 1 2 の電位が高く第 1 端子 1 1 の電位が低い場合には、F E T Q 1 の第 1 主電極 2 1 がソースとなり、第 2 主電極 2 2 がドレインとなる。ソースである第 1 主電極 2 1 の電位に対してゲート G を高い電位又は零電位とするゲート信号が入力され、F E T Q 2 のゲートに正電圧のゲート信号を入力することでオンし、F E T Q 3 のゲートに零電圧又は負電圧のゲート信号を入力することでオフする。このため、F E T Q 1 がオンする。

さらに、第 1 端子 1 1 の電位が高く第 2 端子 1 2 の電位が低い場合、及び第 2 端子 1 2 の電位が高く第 1 端子 1 1 の電位が低い場合でも、ソースとなる主電極の電位に対してゲート G を低い電位とするゲート信号が入力されると、F E T Q 1 はオフする。

このように第 2 の実施の形態に係る交流スイッチによれば、第 1 の実施の形態に係る交流スイッチの効果と同様な効果が得られるとともに、F E T Q 2, Q 3 を安定にオンできるので、ノイズや漏洩電流による誤動作を防止できる。

15 (第 3 の実施の形態)

図 4 は本発明の第 3 の実施の形態に係る交流スイッチの回路図である。第 3 の実施の形態に係る交流スイッチは、電位の高い端子から抵抗を介してダイオードに電流を流し、ノイズや漏洩電流による誤動作を防止したことを特徴とする。

20 なお、図 4 において、図 2 に示す部分と同一部分には同一符号を付し、同一部分の説明は省略する。

第 1 端子 1 1 にはダイオード D 3 のアノードが接続され、ダイオード D 3 のカソードは抵抗 R 1 を介してダイオード D 1 のアノードとダイオード D 2 のアノードとに接続されている。第 2 端子 1 2 にはダイオード D 4 のアノードが接続され、ダイオード D 4 のカソードは抵抗 R 1 を介してダイオード D 1 のアノードとダイオード D 2 のアノードとに接続されている。ダイオード D 1 ~ 4 はブリッジ構成されている。

次に、このように構成された第 3 の実施の形態に係る交流スイッチの動作を説明する。ここでは、ダイオード D 1, D 2 の動作のみを説明する。

まず、第1端子11の電位が高く第2端子12の電位が低い場合には、FETQ1の第1主電極21がドレインとなり、第2主電極22がソースとなる。このとき、第1端子11→ダイオードD3→抵抗R1→ダイオードD2→第2端子12と電流が流れる。これにより、ダイオードD2がオンし、ダイオードD1がオフする。

次に、第2端子12の電位が高く第1端子11の電位が低い場合には、FETQ1の第1主電極21がソースとなり、第2主電極22がドレインとなる。このとき、第2端子12→ダイオードD4→抵抗R1→ダイオードD1→第1端子11と電流が流れる。これにより、ダイオードD1がオンし、ダイオードD2がオフする。

このように、第3の実施の形態に係る交流スイッチによれば、第1の実施の形態に係る交流スイッチの効果と同様な効果が得られるとともに、ダイオードD1、D2を安定にオンできるので、ノイズや漏洩電流による誤動作を防止できる。

15 (第4の実施の形態)

図5は本発明の第4の実施の形態に係る交流スイッチの回路図である。第4の実施の形態に係る交流スイッチは、ノイズや漏洩電流による誤動作を防止したことを特徴とする。

なお、図5において、図2に示す部分と同一部分には同一符号を付し、同一部分の説明は省略する。ダイオードD1と並列に抵抗R1が接続され、ダイオードD2と並列に抵抗R2が接続されている。

次に、このように構成された第4の実施の形態に係る交流スイッチの動作を説明する。ここでは、ダイオードD1、D2の動作のみを説明する。

まず、第1端子11の電位が高く第2端子12の電位が低い場合には、FETQ1の第1主電極21がドレインとなり、第2主電極22がソースとなる。このとき、第1端子11→抵抗R1→ダイオードD2→第2端子12と電流が流れる。これにより、ダイオードD2がオンし、ダイオードD1がオフする。

次に、第2端子12の電位が高く第1端子11の電位が低い場合には、FETQ1の第1主電極21がソースとなり、第2主電極22がドレインとな

る。このとき、第2端子12→抵抗R2→ダイオードD1→第1端子11と電流が流れる。これにより、ダイオードD1がオンし、ダイオードD2がオフする。

このように、第4の実施の形態に係る交流スイッチによれば、第1の実施の形態に係る交流スイッチの効果と同様な効果が得られるとともに、ダイオードD1、D2を安定にオンできるので、ノイズや漏洩電流による誤動作を防止できる。

(第5の実施の形態)

図6は本発明の第5の実施の形態に係る交流スイッチの回路図である。第5の実施の形態に係る交流スイッチは、図4に示す第3の実施の形態に係る交流スイッチの構成にさらに、ゲート信号部13とFETQ1のゲートGとの間に直流電源Eを設けたことを特徴とする。直流電源Eの正極はFETQ1のゲートGに接続され、直流電源Eの負極はゲート信号部13の一端に接続されている。

このような構成によれば、直流電源Eの直流電圧がバイアス電圧としてFETQ1のゲートGに常に印加されるので、ゲート電圧不足が発生しなくなり、FETQ1が誤動作しなくなる。

(第6の実施の形態)

図7は本発明の第6の実施の形態に係る交流スイッチの回路図である。第6の実施の形態に係る交流スイッチは、図5に示す第4の実施の形態に係る交流スイッチの構成にさらに、ゲート信号部13とFETQ1のゲートGとの間に直流電源Eを設けたことを特徴とする。直流電源Eの正極はFETQ1のゲートGに接続され、直流電源Eの負極はゲート信号部13の一端に接続されている。

このような構成によれば、直流電源Eの直流電圧がバイアス電圧としてFETQ1のゲートGに常に印加されるので、ゲート電圧不足が発生しなくなり、FETQ1が誤動作しなくなる。

なお、第3乃至第6の実施の形態に係る交流スイッチでは、電流を流すために抵抗R1を用いたが、抵抗R1に代えて、例えば定電流素子や定電流回

路等を用いても良く、これらによれば、低い電圧から高い電圧まで安定に順方向電流を流すことができる。

産業上の利用可能性

- 5 本発明によれば、第 1 端子及び第 2 端子間に交流信号が入力されると、第 1 端子の電位が高く第 2 端子の電位が低い場合には、第 2 端子と制御電極との間に制御信号が入力されて半導体スイッチがオンし、また、第 2 端子の電位が高く第 1 端子の電位が低い場合には、第 1 端子と制御電極との間に制御信号が入力されて半導体スイッチがオンする。また、制御信号が制御電極に
- 10 入力されない場合には、半導体スイッチはオフする。このため、一素子で交流信号をオン／オフ制御することによりロスを低減し、電源周波数より高い周波数でもオン／オフでき、インバータやコンバータを大幅に小型化できる交流スイッチを提供することができる。

請求の範囲

1 入力される制御信号によりオン／オフし、第1端子及び第2端子間に入力された交流信号をオン／オフ制御させる交流スイッチであって、

- 5 前記第1端子に第1主電極が接続され前記第2端子に第2主電極が接続され前記制御信号を入力する制御電極が接続された半導体スイッチと、
前記第1端子及び前記第2端子の内の電位が低い端子と前記制御電極との間に前記制御信号を入力する制御信号入力手段と、
を有することを特徴とする。

10

2 請求項1記載の交流スイッチであって、
前記制御信号入力手段は、

前記半導体スイッチの前記第1主電極に一方の電極が接続された第1ダイオードと、

- 15 前記半導体スイッチの前記第2主電極に一方の電極が接続され他方の電極が前記第1ダイオードの他方の電極に接続された第2ダイオードと、
を有し、

前記第1ダイオードの他方の電極と前記第2ダイオードの他方の電極との接続点と前記制御電極との間に前記制御信号を入力することを特徴とする。

20

3 請求項2記載の交流スイッチであって、

前記第1端子及び前記第2端子の内の電位が高い端子から電位が低い端子に接続された前記ダイオードに電流を流す電流供給手段、

- 25 を更に有することを特徴とする。

4 請求項3記載の交流スイッチであって、

前記電流供給手段は、

前記第 1 ダイオードの他方の電極と前記第 2 ダイオードの他方の電極との接続点と前記第 1 端子との間に接続され、第 3 ダイオードと抵抗とが直列に接続された直列回路と、

- 5 前記第 3 ダイオードと前記抵抗との接続点と前記第 2 端子との間に接続された第 4 ダイオードと、
を有することを特徴とする。

- 5 請求項 3 記載の交流スイッチであって、
前記電流供給手段は、
10 前記第 1 ダイオードに並列に接続された第 1 抵抗と、
前記第 2 ダイオードに並列に接続された第 2 抵抗と、
を有することを特徴とする。

- 6 請求項 4 又は 5 記載の交流スイッチであって、
15 前記半導体スイッチの前記制御電極に直流電圧を印加する直流電源、
を更に有することを特徴とする。

- 7 請求項 1 記載の交流スイッチであって、
前記制御信号入力手段は、
20 前記半導体スイッチの前記第 1 主電極に第 1 電極が接続された第 1 スイッチと、
前記半導体スイッチの前記第 2 主電極に第 3 電極が接続され第 4 電極が
前記第 1 スイッチの第 2 電極に接続された第 2 スイッチと、
を有し、

- 25 前記第 1 スイッチの第 2 電極と前記第 2 スイッチの第 4 電極との接続点
と前記制御電極との間に前記制御信号を入力し、

前記第 1 スイッチ及び第 2 スイッチの内、前記電位の低い端子に接続されたスイッチをオンし、前記電位の高い端子に接続されたスイッチをオフすることを特徴とする。

8 請求項 1 乃至請求項 7 のいずれか 1 項記載の交流スイッチであって、
前記半導体スイッチは、ノーマリオン型のスイッチであることを特徴とする。

- 9 請求項 8 記載の交流スイッチであって、
5 前記ノーマリオン型のスイッチは、化合物半導体からなることを特徴とする。

1/4

FIG. 1

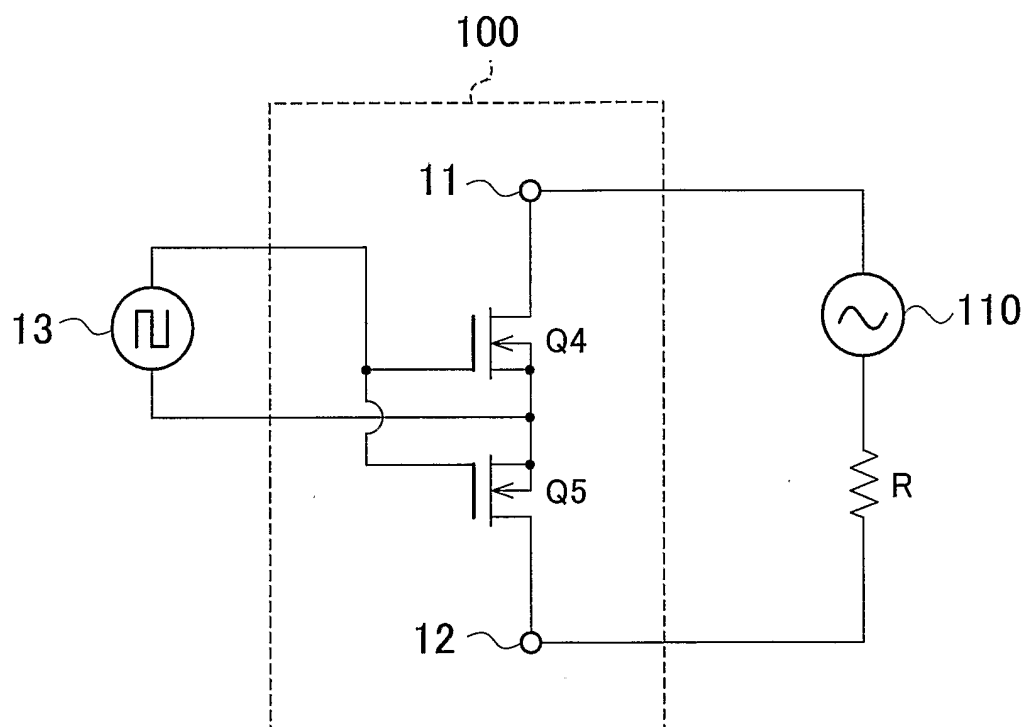


FIG.2

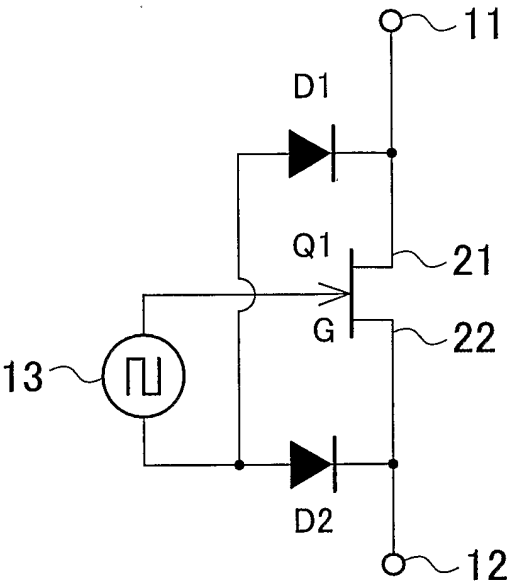
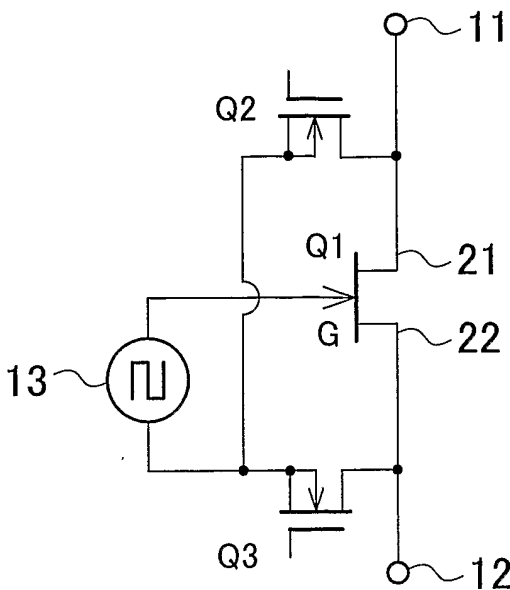


FIG.3



3/4

FIG. 4

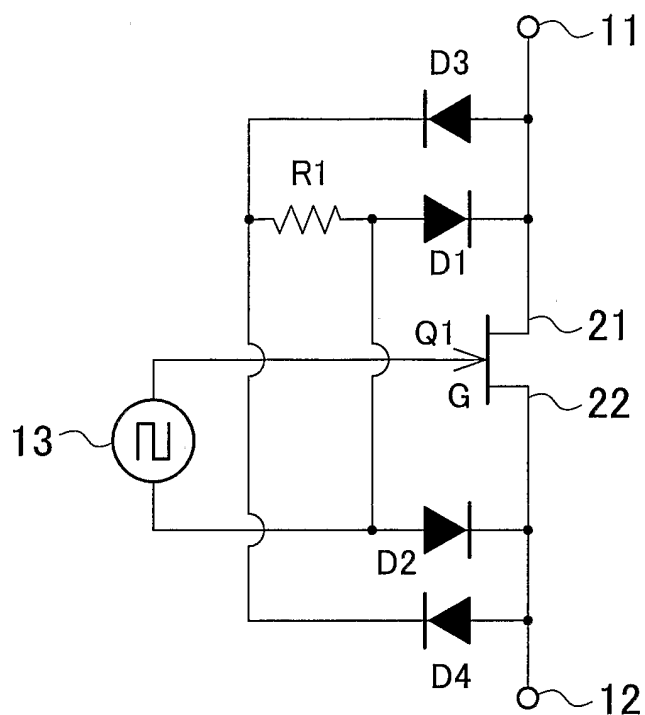


FIG. 5

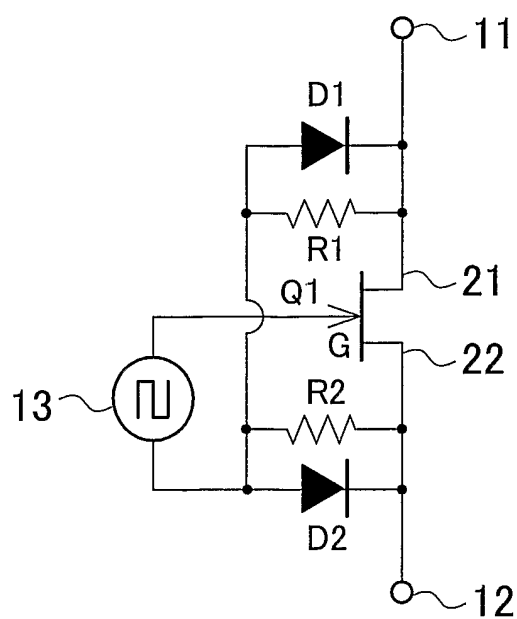


FIG.6

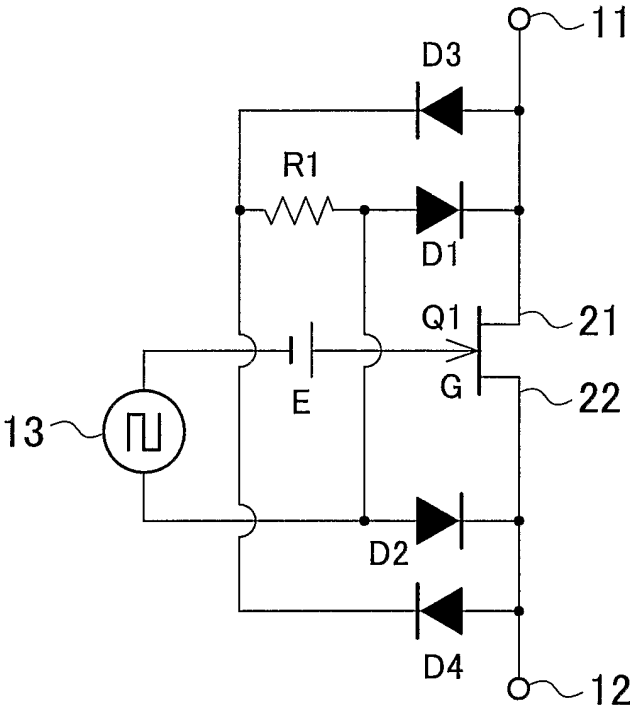
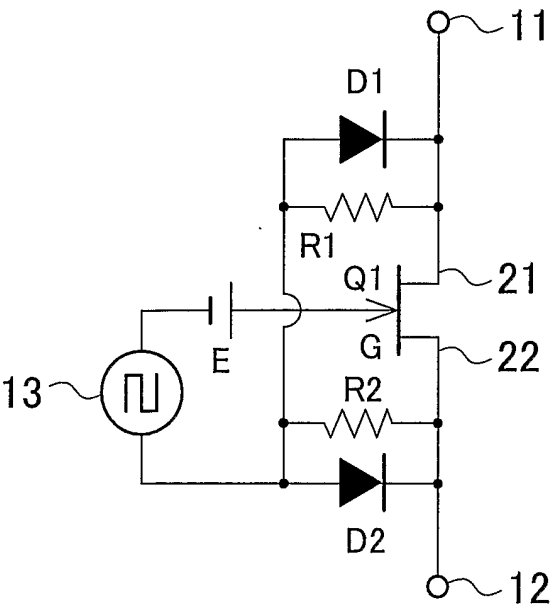


FIG.7



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007200

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H02M1/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H02M1/00-1/30, H03K17/00-17/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 10-261945 A (NTT Data Communications Systems Corp.), 29 September, 1998 (29.09.98), Par. Nos. [0080] to [0087]; Fig. 9 (Family: none)	1-3, 5, 8 6, 9 4, 7
Y	JP 7-46858 A (Toshiba Lighting & Technology Corp.), 14 February, 1995 (14.02.95), Par. No. [0010]; Fig. 1 (Family: none)	6
Y	JP 7-336208 A (Philips Electronics N.V.), 22 December, 1995 (22.12.95), Par. No. [0014] & EP 0687071 A1	9

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

22 July, 2004 (22.07.04)

Date of mailing of the international search report

10 August, 2004 (10.08.04)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007200

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-269354 A (Toshiba Corp.), 29 September, 2000 (29.09.00), Full text; Figs. 1 to 11 (Family: none)	1-9
A	US 5635826 A (Isao SUGAWARA), 03 June, 1997 (03.06.97), Full text; Figs. 1 to 14 & JP 9-34564 A	1-9
A	US 5610807 A (Takashi KANDA, Kazuo YOSHIDA, Masahito ONISHI), 11 March, 1997 (11.03.97), Full text; Figs. 1 to 40 & JP 8-149826 A & DE 19538259 A1 & CN 1132959 A	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H02M 1/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H02M 1/00 -1/30
H03K 17/00-17/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 10-261945 A (エヌ・ティ・ティ・データ通信株式会社) 29.09.1998, 【0080】-【0087】, 図9 (ファミリーなし)	1-3, 5, 8 6, 9 4, 7
Y	JP 7-46858 A (東芝ライテック株式会社) 14.02.1995, 【0010】, 図1 (ファミリーなし)	6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

22.07.2004

国際調査報告の発送日

10.8.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

2917

電話番号 03-3581-1101 内線 3356

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 7-336208 A (フィリップス エレクトロニクス ネムローゼ フェンノートシャップ) 22. 12. 1995, 【0014】 & EP 0687071 A1	9
A	J P 2000-269354 A (株式会社東芝) 29. 09. 2000, 全文, 図1-11 (ファミリーなし)	1-9
A	US 5635826 A (Isao SUGAWARA) 03. 06. 1997, 全文, 図1-14 & J P 9-34564 A	1-9
A	US 5610807 A (Takashi KANDA, Kazuo YOSHIDA, Masahito OHNISHI) 11. 03. 1997, 全文, 図1-40 & J P 8-149826 A & DE 19538259 A1 & CN 1132959 A	1-9