



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I482269 B

(45)公告日：中華民國 104 (2015) 年 04 月 21 日

(21)申請案號：098114870

(22)申請日：中華民國 98 (2009) 年 05 月 05 日

(51)Int. Cl. : H01L27/115 (2006.01)

H01L27/12 (2006.01)

H01L21/8247(2006.01)

(30)優先權：2008/05/09 日本

2008-123583

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：淺見良信 ASAMI, YOSHINOBU (JP)

(74)代理人：林志剛

(56)參考文獻：

US 4453234

審查人員：陳建仲

申請專利範圍項數：22 項 圖式數：16 共 67 頁

(54)名稱

非揮發性半導體記憶裝置

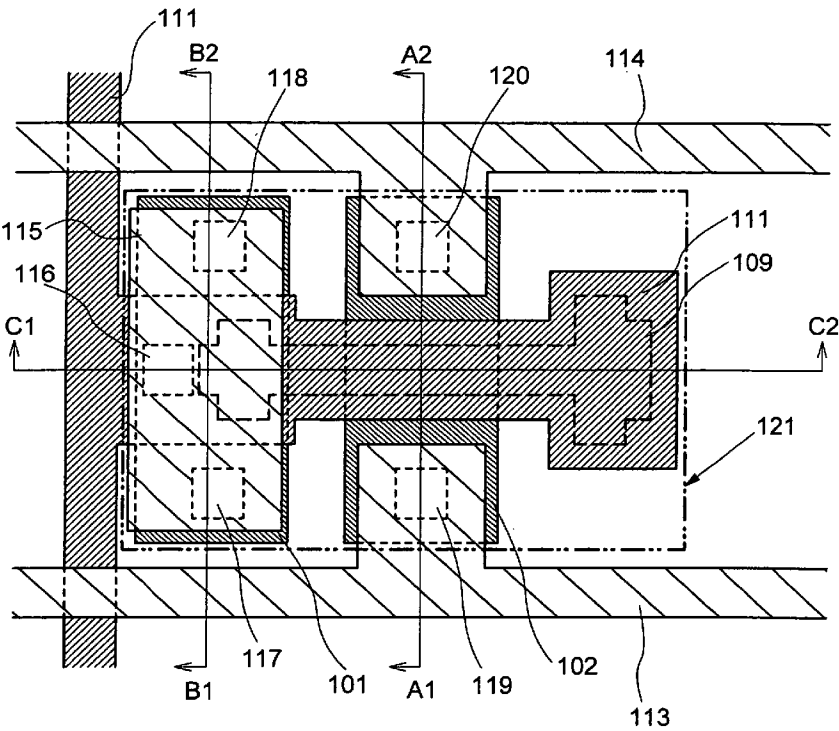
NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)摘要

降低記憶電晶體的寫入及抹拭電壓但不增加記憶胞的面積，以及降低記憶胞的面積但不增加寫入及抹拭電壓。記憶胞包含記憶電晶體，記憶電晶體具有第一島狀半導體區、浮動閘極及控制閘極。此外，在浮動閘極下方形成第二島狀半導體區，以絕緣膜介於其間。由於第二島狀半導體區電連接至控制閘極，所以，在第二島狀半導體區與浮動區之間形成電容。此電容有助於記憶電晶體的耦合比增加，能夠增加耦合比但不增加記憶胞的面積。此外，可以降低記憶胞的面積但不降低耦合比。

To reduce the writing and erasing voltages of a memory transistor without increasing the area of a memory cell, and to reduce the area of a memory cell without increasing the writing and erasing voltages. The memory cell includes a memory transistor having a first island-shaped semiconductor region, a floating gate and a control gate. In addition, a second island-shaped semiconductor region is formed under the floating gate with an insulating film interposed therebetween. Since the second island-shaped semiconductor region is electrically connected to the control gate, a capacitance is formed between the second island-shaped semiconductor region and the floating gate. This capacitance contributes to an increase in the coupling ratio of the memory transistor, which makes it possible to increase the coupling ratio without increasing the area of the memory cell. Furthermore, the area of the memory cell can be reduced without reducing the coupling ratio.

圖 1



- 101 . . . 島狀半導體區
- 102 . . . 島狀半導體區
- 109 . . . 導電膜
- 111 . . . 導電膜
- 113 . . . 導電膜
- 114 . . . 導電膜
- 115 . . . 導電膜
- 116 . . . 開口
- 117 . . . 開口
- 118 . . . 開口
- 119 . . . 開口
- 120 . . . 開口
- 121 . . . 區域

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98114870

※申請日：98年05月05日

※IPC分類：
H01L 27/15 (2006.01)
H01L 21/8247 (2006.01)
H01L 27/12 (2006.01)

一、發明名稱：(中文／英文)

非揮發性半導體記憶裝置

Non-volatile semiconductor memory device

二、中文發明摘要：

降低記憶電晶體的寫入及抹拭電壓但不增加記憶胞的面積，以及降低記憶胞的面積但不增加寫入及抹拭電壓。記憶胞包含記憶電晶體，記憶電晶體具有第一島狀半導體區、浮動閘極及控制閘極。此外，在浮動閘極下方形成第二島狀半導體區，以絕緣膜介於其間。由於第二島狀半導體區電連接至控制閘極，所以，在第二島狀半導體區與浮動區之間形成電容。此電容有助於記憶電晶體的耦合比增加，能夠增加耦合比但不增加記憶胞的面積。此外，可以降低記憶胞的面積但不降低耦合比。

三、英文發明摘要：

To reduce the writing and erasing voltages of a memory transistor without increasing the area of a memory cell, and to reduce the area of a memory cell without increasing the writing and erasing voltages. The memory cell includes a memory transistor having a first island-shaped semiconductor region, a floating gate and a control gate. In addition, a second island-shaped semiconductor region is formed under the floating gate with an insulating film interposed therebetween. Since the second island-shaped semiconductor region is electrically connected to the control gate, a capacitance is formed between the second island-shaped semiconductor region and the floating gate. This capacitance contributes to an increase in the coupling ratio of the memory transistor, which makes it possible to increase the coupling ratio without increasing the area of the memory cell. Furthermore, the area of the memory cell can be reduced without reducing the coupling ratio.

四、指定代表圖：

(一)、本案指定代表圖為：第 1 圖。

(二)、本代表圖之元件符號簡單說明：

101：島狀半導體區

102：島狀半導體區

109：導電膜

111：導電膜

113：導電膜

114：導電膜

115：導電膜

116：開口

117：開口

118：開口

119：開口

120：開口

121：區域

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明

【發明所屬之技術領域】

本發明係關於非揮發性半導體記憶裝置，可以對其寫入、讀取及抹拭資料。

【先前技術】

關於非揮發性半導體記憶裝置，已知有 EEPRM(電可抹拭及可編程唯讀記憶體、快閃記憶體、等等。這些非揮發性半導體記憶裝置作為例如數位靜態相機、可攜式音頻播放器及行動電話等不同產品的記錄媒體。非揮發性半導體記憶裝置的研發一直活躍地在進行，以符合例如產品尺寸的進一步縮小、記憶容量增加、資料讀寫速度增加、及耗電降低等市場需求。

關於符合上述市場需求的眾多方法之一，近年來，積極地研發所謂的 SOI(絕緣體上矽)型，其中，元件形成於設於基底上的矽膜上，以絕緣膜插入於其間。

舉例而言，專利文獻 1 揭示具有 SOI 基底的非揮發性半導體記憶裝置，其降低成本及降低例如抹拭電壓等操作電壓。在專利文獻 1 中，使用玻璃基底或塑膠基底作為基底以降低成本。在例如本發明的發明人之發明的專利申請案之專利文獻 2 中，揭示具有形成於玻璃基底上之 SOI 結構的非揮發性記憶體電晶體。

〔專利文獻 1〕日本公開專利申請號 2006-013534

〔專利文獻 2〕日本公開專利申請號 2007-288176

但是，如同專利文獻 1 及 2 中所揭示的具有 SOI 結構之非揮發性記憶元件中，不增加記憶胞的面積，則非常難以降低寫入電壓及抹拭電壓。於下，將說明其理由。此處，說明使用非揮發性記憶電晶體（此後，也簡稱為記憶電晶體）作為非揮發性記憶元件之情形。首先，將說明記憶胞的結構，接著，將說明資料寫入、讀取及抹拭方法。

於下，將參考圖 15 及圖 16A 和 16B，說明記憶胞的結構。圖 15 是平面視圖，顯示習知的記憶胞的結構實施例，圖 16A 及 16B 分別為圖 15 的 A1-A2 及 B1-B2 的剖面視圖。

在記憶胞中，設置一記憶電晶體作為記憶元件，以及，記憶電晶體電連接至源極線 (SL)、位元線 (BL) 及字線 (WL)。

如圖 16A 及 16B 所示，絕緣膜 1130 形成於基底 1100 上，以及，島狀半導體區 1102 設於絕緣膜 1130 上。島狀半導體區 1102 包含摻雜 n 型或 p 型雜質元素的第一雜質區 1103 及 1104、摻雜 n 型或 p 型雜質元素的第二雜質區 1105 及 1106、及介於第二雜質區 1105 和 1106 之間的通道形成區 1106。第二雜質區 1105 及 1106 可以形成為雜質濃度低於第一雜質區 1103 和 1104 的濃度之 LDD(輕度摻雜汲極區)區；可以具有實質上等於第一雜質區 1103 及 1104 的雜質濃度之雜質濃度；或者，未摻雜雜質元素，具有實質上等於通道形成區 1107 的雜質濃度之雜質濃度。根據記憶元件的特徵，形成二雜質區 1105 及 1106。

絕緣膜 1108 設於島狀半導體區 1102 上。導電膜 1109 設於絕緣膜 1108 上以重疊島狀半導體膜 1102。導電膜 1109 形成記憶電晶體的浮動閘極(FG)。絕緣膜 1110 設於導電膜 1109 上。導電膜 1111 設於絕緣膜 1110 上以致於重疊島狀半導體區 1102。導電膜 1111 形成記憶電晶體的控制閘極(CG)及電連接至控制閘極的字線。藉由使用導電膜 1111，形成控制閘極及字線，則控制閘極與字線彼此電連接。

絕緣膜 1112 設於導電膜 1111 上，以及，導電膜 1113 和 1114 形成於絕緣膜 1112 上。導電膜 1113 形成電連接至記憶電晶體之源極線(SL)，導電膜 1114 形成電連接至記憶電晶體之位元線。經由形成於絕緣膜 1112 中的開口 1119 和 1120，導電膜 1113 和 1114 分別電連接至第一雜質區 1103 和 1104。圖 15 之由一長二短交錯的虛線所包圍的區域 1121 是由一記憶胞佔據的區域。

使用浮動閘極的非揮發性記憶電晶體是記憶元件，其中，根據累積於浮動閘極中的電荷量以儲存資料。藉由控制電荷量以寫入或抹拭資料，以及，藉由偵測電荷量以讀取資料。於下，將說明資料的寫入、讀取及抹拭之方法。

在圖 15 的記憶電晶體中，浮動閘極（導電膜 1109）是電浮動狀態。因此，當電壓從控制閘極（導電膜 1111）非直接地施加於島狀半導體區 1102 及浮動閘極時，記憶電晶體作為電晶體。當電子累積於浮動閘極中時，相較於電子未累積時，施加至控制閘極之電壓較不容

易施加於島狀半導體區 1102 與浮動閘極之間；因此，記憶電晶體的臨界電壓偏移至正方向。如此，藉由偵測記憶電晶體的臨界電壓的變化，可以讀取儲存於記憶電晶體中的資料。假使第一雜質區 1103 及第一雜質區 1104 具有相同電位，則累積於浮動閘極中的電荷量與臨界電壓之間的關係可以由下述公式 (1) 和 (2) 表示：

$$V_{FG} = \frac{C_2}{C_1 + C_2} (V_{CG} - \Delta V_{tm}) \quad \dots(1)$$

$$\Delta V_{tm} = -\frac{Q_{FG}}{C_2} \quad \dots(2)$$

在公式 (1) 及 (2) 中， V_{FG} 是浮動閘極的電位； V_{CG} 是控制閘極的電位； C_1 是島狀半導體區與浮動閘極之間的電容； C_2 是浮動閘極與控制閘極之間的電容； Q_{FG} 是浮動閘極中的電荷量；以及， ΔV_{tm} 是記憶電晶體的臨界電壓。注意，公式 (1) 中的 $C_2/(C_1 + C_2)$ 通常稱為耦合比。如同公式 (1) 中所示般，隨著耦合比增加，施加於島狀半導體區 1102 與浮動閘極之間的電壓相對於控制閘極的電位 V_{CG} 之比例也跟著增加。

當資料是要寫至記憶電晶體時，高電壓（例如，正的高電壓）施加至控制閘極，以致於電壓非直接地施加於島狀半導體區 1102 與浮動閘極之間。然後，電子由 F-N（佛勒－諾爾德哈姆（Fowler-Nordheim））穿隧電流或熱電子注入至浮動閘極。當資料要從記憶電晶體抹拭時，高電壓（例如，負的高電壓）施加至控制閘極，以致於電壓非直接地施加於島狀半導體區 1102 與浮動閘極之間，因而從

浮動閘極取出電子。

如此，藉由增加耦合比，則施加至控制閘極的電壓可以有效地施加於島狀半導體區 1102 與浮動閘極之間，以致於可以降低寫入電壓及抹拭電壓。換言之，耦合比顯著地影響寫入電壓及抹拭電壓。

於下，將說明記憶胞的面積與寫入和抹拭電壓之間的關係與記憶胞的面積和耦合比之間的關係。

如同公式(1)中所示般，為了增加耦合比，增加浮動閘極與控制閘極之間的電容 C_2 是有效的。藉由降低絕緣膜 1110 的厚度或增加圖 15 的平面視圖（佈局）中浮動閘極與控制閘極彼此重疊的面積，可以增加電容 C_2 。

但是，根據上述記憶電晶體的操作原理，自動地決定絕緣膜 1110 的最小厚度，以及，絕緣膜 1110 的厚度降低有極限。這是因為假使累積於浮動閘極中的電荷容易洩漏時，則使用浮動閘極的記憶電晶體難以維持儲存電壓。如此，絕緣膜 1110 的厚度無法小於預定厚度。基於類似的理由，絕緣膜 1108 的厚度不能小於預定厚度。絕緣膜 1108 的厚度較佳地約 8 nm 至 10 nm，以及，絕緣膜 1110 的厚度較佳地約 10 nm 至 20 nm。

由於絕緣膜 1110 設於浮動閘極上，而絕緣膜 1108 設於島狀半導體區 1102 上，絕緣膜 1110 相較於絕緣膜 1108，更不易可靠地作為絕緣膜。因此，一般而言，絕緣膜 1110 的厚度需要大於絕緣膜 1108 以防止電荷從浮動閘極洩漏。此外，在當耦合比低時絕緣膜 1110 太薄的情形

中，要累積於浮動閘極中的電子穿隧通過絕緣膜 1110 以及逃逸至佈線中的閘極。因此，無法寫入或抹拭資料，造成無法適當作為記憶元件。此外，在記憶胞以外的功能電路形成於相同基底 1100 上的情形中，絕緣膜 1110 的厚度在某些情形中無法視形成功能電路之電晶體的製程而充份降低。

如此，由於記憶電晶體的操作未特別受損，所以，增加圖 15 的平面視圖中浮動閘極與控制閘極重疊的區域之面積是增加耦合比的簡單方法。但是，增加此面積不利於記憶元件所需的記憶胞的面積增加至降低記憶胞的集成，導致非揮發性半導體記憶裝置的更高成本。

此外，當記憶胞的面積在圖 15 的平面視圖中降低時，浮動閘極與控制閘極彼此重疊的面積也降低，導致更低的耦合比及更高的寫入和抹拭電壓。

【發明內容】

慮及上述問題，本發明的一實施例之目的是提供非揮發性半導體記憶裝置，其中，可以降低寫入電壓及抹拭電壓，卻不用增加記憶胞的面積。

本發明的一實施例的另一目的是提供非揮發性半導體記憶裝置，其中，可以降低記憶胞的面積，卻不增加寫入電壓及抹拭電壓。

本發明的一實施例可以應用至 EEPROM（電可抹拭及可編程唯讀記憶體）、快閃記憶體等等。

本發明的一實施例之非揮發性半導體記憶裝置包含多個記憶胞，每一記憶胞均包含：第一島狀半導體區，形成於絕緣表面上以及具有通道形成區與作為源極區或汲極區之成對雜質區；第二島狀半導體區，形成於絕緣表面上；浮動閘極，與第一島狀半導體區及第二島狀半導體區重疊；控制閘極，與浮動閘極重疊及電連接至第二島狀半導體區；第一絕緣膜，形成於第一和第二島狀半導體區與浮動閘極之間；以及，第二絕緣膜，形成於浮動閘極與控制閘極之間。

在上述實施例中，可以選擇性地降低與第一島狀半導體區相重疊之部份第一絕緣膜的厚度。此外，可以選擇性地降低與第二島狀半導體區相重疊之部份第一絕緣膜的部份之厚度。舉例而言，藉由在厚度要降低的部份處形成具有開口的絕緣膜，接著，在絕緣膜上形成另一絕緣膜，可以取得厚度選擇性地降低之此第一絕緣膜。

在上述實施例中，可以設置電連接至控制閘極之導電膜以取代第二島狀半導體區。

在本發明的一實施例之非揮發性半導體記憶裝置中，電連接至控制閘極之島狀半導體區或導電膜設於浮動閘極之下，以絕緣膜插入於其間。因此，增加島狀半導體區或導電膜、與浮動閘極之間的電容。

如此，根據本發明的一實施例，可以增加耦合比，但不用增加記憶胞的面積。亦即，根據本發明的一實施例，可以降低寫入電壓及抹拭電壓，但不增加記憶胞的面積；

因此，本發明有效降低非揮發性半導體記憶裝置的耗電。

此外，根據本發明的一實施例，可以降低記憶胞的面積，但不降低耦合比。亦即，根據本發明的一實施例，可以降低記憶胞的面積，但不增加寫入電壓及抹拭電壓；因此，本發明的一實施例對於記憶胞的更高集成度是有效的。

【實施方式】

於下，將參考附圖，說明本發明的實施例。注意，本發明不侷限於下述說明，且習於此技藝者容易瞭解，在不悖離本發明的精神及範圍之下，可以以不同方式修改模式及細節。因此，本發明不應解釋為侷限於下述實施例的說明。注意，在用於說明實施例之圖式中，類似部份以類似代號表示。

〔實施例 1〕

本實施例的非揮發性半導體記憶裝置包含眾多以矩陣配置的記憶胞（用於儲存資料之基本單元）、眾多源極線、眾多位元線及眾多字線。每一記憶胞包含電連接至源極線之一、位元線之一及字線之一的記憶元件。在本實施例中，使用記憶電晶體作為記憶元件。

將參考圖 1、圖 2A 至 2C、圖 3 及圖 4，說明本實施例的非揮發性半導體記憶裝置（此後，也稱為記憶裝置）。圖 1 是平面視圖，顯示本實施例中的記憶裝置的記憶胞之

佈局。圖 2A 至 2C 分別為圖 1 的 A1-A2、B1-B2、及 C1-C2 剖面視圖。圖 3 是方塊圖，顯示本實施例之非揮發性半導體記憶裝置之結構實施例，圖 4 是電路圖，顯示本實施例之記憶胞的結構實施例。

首先，參考圖 3，說明本實施例之非揮發性半導體記憶裝置。非揮發性半導體記憶裝置 40(此後，稱為記憶裝置 40)包含記憶胞陣列 51、及驅動電路部 52，驅動電路部 52 電連接至記憶胞陣列 51 及控制寫入操作、抹拭操作、讀取操作、等等。記憶胞陣列 51 及驅動電路部 52 形成於相同基底上。記憶胞陣列 51 包含眾多字線 WL、與字線 WL 交會的眾多位元線 BL 及源極線 SL、及電連接至字線 WL、位元線 BL 及源極線 SL 的眾多記憶胞。

驅動電路部 52 包含用於控制驅動電路部 521 中的電路之控制電路 60、用於選取字線之列解碼器 61、用於選取位元線之行解碼器 62、位址緩衝器 63、升壓電路 64、感測緩衝器 66 及資料輸入緩衝器 67。注意，圖 3 僅顯示驅動電路部 52 的結構實施例，且本發明的非揮發性半導體記憶裝置的結構不限於圖 3 的結構。

位址資料 Add 經由位址緩衝器 63 輸入至控制電路 60。位址資料 Add 指定資料寫入、讀取或抹拭的記憶胞的位址。當位址資料 Add 輸入至控制電路 60 時，內列位址訊號及內行位址訊號由控制電路 60 產生而分別傳送至列解碼器 61 及行解碼器 62。

在記憶裝置 40 中，使用藉由增加電源電位而取得的

電位，來寫入及抹拭資料。如此，控制電路 60 控制升壓電路 64，以致於對應於操作模式的電位由升壓電路 64 產生。升壓電路 64 的輸出經由列解碼器 61 及行解碼器 62 而分別供應給形成於記憶胞陣列中的字線 WL 及位元線 BL。

自記憶胞陣列 51 讀出的資料 (DATA) 經由行解碼器 62 而輸入至感測放大器 65。輸入至感測放大器 65 的資料保持於資料緩衝器 66 中。控制電路 60 控制資料緩衝器 66，以致於保持於資料緩衝器 66 中的資料經由資料輸入－輸出緩衝器 67 而從記憶裝置 64 輸出。寫至記憶胞陣列 51 的資料 (DATA) 經由資料輸入－輸出緩衝器 67 而暫時保存於資料緩衝器 66 中，然後，在控制電路 60 的控制之下傳送至行解碼器 62。然後，資料從行解碼器 62 寫至記憶胞陣列 51 之指定的記憶胞。

接著，將參考圖 4，說明記憶胞陣列的結構實施例。在記憶裝置 40 中，記憶胞陣列 51 包含以矩陣配置的眾多記憶胞 70。圖 4 顯示以三列及三行配置的九個記憶胞 70。在每一記憶胞 70 中，設置具有浮動閘極的非揮發性記憶電晶體 T_m (此後稱為記憶電晶體 T_m) 作為記憶元件。此處，說明由位元線 BL0 及字線 WL1 界定的記憶胞 70 的結構，但是，其它記憶胞 70 具有類似的結構。

在記憶胞 70 中，記憶電晶體 T_m 的閘極電連接至字線 WL1，其汲極電連接至位元線 BL0，以及，其源極電連接至源極線 SL0。

接著，將說明記憶電晶體 T_m 是 n 通道電晶體的情形中由位元線 BL_0 及字線 WL 界定的記憶胞 70 之資料寫入或抹拭的實施例。

舉例而言，在資料由 F-N 穿隧電流寫入的情形中，施加負的高電壓至源極線 SL_0 及位元線 BL_0 ，以及，正的高電壓施加至字線 WL_1 。負的高電壓與正的高電壓之間的電位差是寫入電壓。

當資料「1」要寫入時，正高電壓施加至控制閘極。因此，在記憶電晶體 T_{m01} 中，在通道形成區與浮動閘極之間的絕緣膜（對應於圖 1 中的絕緣膜 108 之絕緣膜）中產生 F-N 穿隧電流，因而將電子注入浮動電極。亦即，電子由 F-N 穿隧電流注入浮動閘極，以致於記憶電晶體 T_{m01} 的臨界電壓增加。在該狀態中，資料「1」儲存於記憶胞 70 中。

當資料要被抹拭時，正高電壓施加至源極線 SL_0 及位元線 BL_0 ，以及，負高電壓施加至字線 WL_1 ，因而將電子從記憶電晶體 T_{m01} 的浮動閘極取至島狀半導體區。在該狀態中，資料「0」儲存於記憶胞 70 中，亦即，記憶胞 70 是處於抹拭狀態。正高電壓與負高電壓之間的電位差是抹拭電壓。

舉例而言，以下述方式讀取資料。具有對應於資料「0」及「1」之臨界電壓的中間值之讀取電壓施加至字線 WL_1 ，而源極線 SL_0 的電位是 0V 及位元線 BL_0 的電位約 1.5V。由連接至位元線 BL 的感測放大器 65 決定當讀取

電壓施加至字線 WL1 時電流是否流經位元線 BL0。

接著，將參考圖 1 的平面視圖及圖 2A 至 2C 之剖面視圖，說明本實施例的記憶胞之結構。

如圖 1 所示，一記憶胞包含二島狀半導體區 101 及 102。二島狀半導體區 101 和 102 形成設於記憶胞中的一記憶元件。圖 2A 顯示本實施例的記憶裝置之部份的剖面結構，其包含島狀半導體區 102，圖 2B 顯示記憶裝置的另一部份之剖面結構，其包含島狀半導體區 101。二島狀半導體區 101 和 102 形成於絕緣表面上。

如圖 2A 所示，島狀半導體區 102 包含第一雜質區 103 和 104、第二雜質區 105 和 106、以及通道區 107。通道區 107 位於第二雜質區 105 與第二雜質區 106 之間，第二雜質區 105 位於第一雜質區 103 與通道形成區之間，第二雜質區 106 位於第一雜質區 104 與通道形成區之間。第一雜質區 103 和 104 之一作為源極區，而其中另一者作為汲極區。此處，第一雜質區 103 是汲極區，第一雜質區 104 是源極區。

如圖 2B 所示，島狀半導體區 101 包含第一雜質區 133 和 134、第二雜質區 135 和通道形成區 137 形成於第一雜質區 133 與 134 之間。第一雜質區 133 形成為圍繞通道形成區 137。第一雜質區 133 是低電阻半導體區，與電極或佈線形成連接。

此處，第二雜質區 105、106、及 135 是 LDD(輕度摻雜汲極)區，具有低於第一雜質區 103、104、133 及 134

之雜質濃度。換言之，第二雜質區 105、106、及 135 是高電阻半導體區，具有比第一雜質區 103、104、133 及 134 更高的電阻。

如圖 2A 至 2C 所示，包含一或多個層的絕緣膜 130 設於基底 100 上，以及，島狀半導體區 101 和 102 設於絕緣膜 130 上。絕緣膜 130 作為絕緣表面，島狀半導體區 101 和 102 形成於其上。關於基底 100，舉例而言，可以使用玻璃基底、石英基底、陶瓷基底、樹脂基底、或半導體基底。

在基底 100 為例如玻璃基底或石英基底等絕緣基底之情形中，由於基底 100 本身具有絕緣表面，所以，無需設置絕緣膜 130。但是，較佳的是形成絕緣膜 130 以防止基底 100 中的雜質擴散進入島狀半導體區 101 和 102 中，以及，降低島狀半導體區 101 和 102 與基部之間的介面狀態密度。絕緣膜 130 由例如氧化矽、氮化矽、氮氧化矽 (SiO_xN_y , $x>y>0$)、氧氮化矽 (SiN_xO_y , $x>y>0$) 等絕緣材料形成。形成絕緣膜 130 的方法並無特別限定，絕緣膜 130 可由 CVD、濺射、等等形成。絕緣膜 130 可以降低基底 100 的粗糙度影響以及防止基底 100 中的雜質擴散至形成於絕緣膜 130 上的元件。在絕緣膜 130 包含多個層之情形中，每一層視例如防止雜質污染或與相鄰膜的相容性等目的而由選自上述絕緣材料等材料所形成。

設置絕緣膜 108 以遮蓋島狀半導體區 101 和 102。形成浮動閘極之導電膜 109 設置於絕緣膜 108 上。導電膜

109 與島狀半導體區 101 和 102 重疊，以絕緣膜 108 插入於其間。此外，導電膜 109 是電浮動狀態。設置絕緣膜 110 以遮蓋導電膜 109，以及，在絕緣膜 110 上設置形成控制閘極和字線之導電膜 111。導電膜 111 與浮動閘極（導電膜 109）重疊，以絕緣膜插入於其間。

由於浮動閘極（導電膜 109）、絕緣膜 110 及控制閘極（導電膜 111）堆疊，所以在浮動閘極與控制閘極之間形成電容。爲了藉由有效率地使用此堆疊結構以增加記憶電晶體的耦合比，浮動閘極（導電膜 109）的整個上表面與控制閘極（導電膜 111）重疊，以絕緣膜 110 介於其間。此外，爲了在控制閘極與浮動閘極之間取得大電容，形成導電膜 111 至遮蓋導電膜 109 的側表面。

絕緣膜 112 設於導電膜 111 上。絕緣膜 112 包含抵達導電膜 111 的開口 116。此外，絕緣膜 112、110 及 108 的堆疊包含分別抵達第一雜質區 133、134、103 及 104 之開口 117、118、119 及 120（請參見圖 1）。

如圖 2A 所示，形成源極線 (SL) 的導電膜 113 及形成位元線 (BL) 之導電膜 114 形成於絕緣膜 112 上且分別經由開口 119 和 120 而電連接至島狀半導體區 102 的第一雜質區 103 和 104。

如圖 2C 所示，形成連接電極（或連接佈線）之導電膜 115 形成於絕緣膜 112 上。導電膜 115 經由開口 116 電連接至導電膜 111。此外，如圖 2B 所示，導電膜 115 也經由開口 117 和 118 而分別電連接至島狀半導體區 101

的第一雜質區 133 和 134。由圖 1 的一長二短交替虛線所圍繞的區域 121 是由一記憶胞（用於儲存資料的基本單元）佔據的區域。注意，區域 121 未包含形成佈線之每一導電膜 111、113 和 114 的部份。

雖然在圖 2A 至 2C 中絕緣膜 130、108、110 和 112 及導電膜 109、111、113 和 114 均具有單層結構，但是，它們可以具有多層結構。

如此，使用島狀半導體區 102、絕緣膜 108 和 110、及導電膜 109、111、113 和 114（請參見圖 2A），形成具有浮動閘極的傳統非揮發性記憶電晶體。此外，由於島狀半導體區 101 電連接至控制閘極（導電膜 111），所以，島狀半導體區 101 可以作為控制閘極。島狀半導體區 101 由於電連接至控制閘極及置於浮動閘極下方，所以，於下述中將其稱為背控制閘極（BCG）。換言之，本實施例的記憶元件由包含浮動閘極及背控制閘極之非揮發性記憶電晶體構成。

在本實施例中，設置浮動閘極之下的背控制閘極與浮動閘極之上的控制閘極，藉以有效率地利用記憶胞所佔據的區域 121。如上，能夠有效率地增加與區域 121 的面積有關之公式(1)的 C_2 之對應電容。亦即，根據本實施例，可以有效地增加耦合比。關於本實施例的記憶元件，浮動閘極的電位與記憶電晶體的臨界電壓變化可以由下述公式(3)及(4)表示。

$$V_{FG} = \frac{C_{21} + C_{22}}{C_1 + C_{21} + C_{22}} (V_{CG} - \Delta V_{tm}) \quad \dots(3)$$

$$\Delta V_{tm} = -\frac{Q_{FG}}{C_{21} + C_{22}} \quad \dots(4)$$

在公式(3)及(4)中， V_{FG} 是浮動閘極的電位(導電膜 109)； V_{CG} 是控制閘極(導電膜 111)的電位； C_1 是島狀半導體區 102 與浮動閘極之間的電容； C_{21} 是浮動閘極與背控制閘極之間的電容； C_{22} 是浮動閘極與控制閘極之間的電容； Q_{FG} 是浮動閘極的電荷量； ΔV_{tm} 是使用島狀半導體區 101 形成的記憶電晶體之臨界電壓的變化。在公式(3)中， $(C_1 + C_{22}) / (C_1 + C_{21} + C_{22})$ 是耦合比。

假使導電膜 109 及導電膜 111 於圖 1 中重疊之區域的面積等於導電膜 1109 及導電膜 1111 於圖 15 中重疊之區域的面積，則滿足 $C_{22} = C_2$ 。在本實施例中，對應於圖 15 的記憶電晶體之電容 C_2 為 $C_{21} + C_{22}$ ；如此，耦合比為 $(C_{21} + C_{22}) / (C_1 + C_{21} + C_{22}) > (C_2) / (C_1 + C_2)$ 。因此，本實施例的記憶元件的耦合比高於圖 15 的記憶電晶體的耦合比，造成更低的寫入電壓及抹拭電壓。

接著，將考慮記憶胞的面積以檢視本實施例的效果。假使本實施例的記憶元件(請參見圖 1)及圖 15 的記憶電晶體具有相同的耦合比及相同的寫入電壓和抹拭電壓，則本實施例允許取得需要的耦合比之所需電容 C_{22} 降低。亦即，在本實施例的記憶元件的結構中，能夠降低取得電容 C_{22} 所需之浮動閘極與控制閘極彼此重疊之區域的面積；如此，可以降低記憶胞的面積，有利於記憶胞的更高

集成度。

在圖 15 的記憶電晶體中，僅有形成於導電膜 1109 與導電膜 1111 重疊且以絕緣膜 1110 夾於其間之區域中的電容會加入於浮動閘極與控制閘極之間。另一方面，在本發明中，藉由在記憶電晶體設置背控制閘極，則形成於島狀半導體區 101(背控制閘極)與導電膜 109(浮動閘極)重疊且以絕緣膜 108 夾於其間之區域中的電容、與形成於導電膜 109(浮動閘極)與導電膜 111(控制閘極)重疊且以絕緣膜 110 夾於其間之區域中的電容會加入於浮動閘極與控制閘極之間。此外，形成於背控制閘極與浮動閘極之間的電容的介電質是製成比絕緣膜 110 還薄的絕緣膜 108，允許每單位面積的電容增加。

如此，應用本實施例之記憶裝置的耦合比可以增加，造成更低的寫入電壓及抹拭電壓（請參見公式(3)及(4)）。此外，在本實施例的記憶裝置中，預定的電容值或更大的電容值加入於浮動閘極與控制閘極之間以及浮動閘極與背控制閘極之間；因此，控制閘極與浮動閘極重疊的區域之面積可以降低。亦即，根據本發明，可以降低記憶胞的面積。

如上所述般，在本實施例的記憶裝置中，藉由有效地使用記憶胞佔據的面積，可以增加每單位面積的記憶電晶體的耦合比。亦即，藉由增加每單位面積的耦合比，可以降低寫入電壓及抹拭電壓。此外，藉由增加每單位面積的耦合比，可以降低記憶胞的面積，但不用增加寫入電壓及

抹拭電壓。

注意，本實施例可以適當地應用至其它實施例。無需多言，圖 1 及圖 2A 至 2C 中所示的記憶裝置的結構僅為舉例說明，可以使用不同的習知結構。舉例而言，多個 LDD 區可以形成於半導體膜中，或者，側壁可以形成於控制閘極的側表面上。也能夠採用多閘極結構（包含下述之結構：具有彼此串聯之至少二通道形成區的半導體膜；以及，用於施加電場至各別通道形成區之至少二閘極電極）、或是雙閘極結構（半導體膜插入於上與下閘極電極之間之結構）。

於下，將說明本實施例之記憶裝置 40 的製造方法。

首先，在基底 100 上形成絕緣膜 130，以及，在絕緣膜 130 上形成島狀半導體區 101 及島狀半導體區 102。使用含有矽 (Si) 或鍺 (Ge) 作為主成份的半導體膜（例如，Si、Ge、碳化矽、或 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)），形成島狀半導體區 101 和 102。以 CVD、濺射、等等，形成此半導體膜。此外，形成島狀半導體區 101 和 102 之半導體膜具有非晶、微晶、多晶、及單晶結構中的任一結構，以及，視記憶裝置 40 所需的特徵而採用這些結構中的任一結構。

舉例而言，藉由將非晶半導體膜晶化，可以形成多晶半導體膜。以雷射結晶、使用 RTA 或退火爐之熱結晶、使用促進結晶的金屬元素之熱結晶、這些結晶的任意組合、等等，可以執行非晶半導體膜的晶化。

在雷射結晶中，能夠使用例如 Ar 雷射、Kr 雷射、或

CO₂ 雷射等氣體雷射；例如氦－鎘雷射等金屬蒸汽雷射；或例如 YAG 雷射、YLF 雷射、YALO₃ 雷射、GdVO₄ 雷射、KGW 雷射、KYW 雷射、準分子雷射、Ti:藍寶石雷射、Y₂O₃ 雷射、或 YVO₄ 雷射等固態雷射。注意，由於要照射的表面上之光點具有均勻能量，所以，較佳地從雷射發射 TEM(單橫向模態)振盪的雷射光。

具體而言，可以使用半導體雷射(LD)汲取連續波(CW)雷射(YVO₄)的第二諧波(波長 532 nm)。雖然對波長無特別限定，但是，以能量效率而言，第二諧波優於其它更高的諧波。當以 CW 雷射光照射半導體膜時，能量可以連續地供應給半導體膜。因此，一旦半導體膜熔化時，可以維持熔化狀態。此外，藉由以雷射光掃描半導體膜，可以移動半導體膜的固體－液體介面，以及，延著移動方向，形成在一方向上是長的晶粒。使用固態雷射的原因在於相較於使用氣體雷射或類似雷射，固態雷射可以取得更穩定的輸出及可以執行更穩定的處理。取代 CW 雷射，以具有 10 MHz 或更高的重複率之脈衝雷射用於雷射結晶。藉由使用具有高重複率的脈衝雷射，假使雷射的脈衝間隔比半導體膜被熔化後固化所耗的時間短時，當由雷射光照射時，半導體膜可以保持在熔化狀態，以及，藉由移動固體－液體介面，可以形成包含一方向上是長的晶粒之半導體膜。也可以使用具有 10 MHz 或更高的重複率之其它 CW 雷射或脈衝雷射。

以下述方式，形成單晶半導體膜：以離子佈植，將氧

分子從矽晶體表面佈植，接著，以高溫氧化，藉以在矽晶體中形成氧化矽絕緣膜。或者，以下述方式形成單晶半導體膜：製備二矽晶圓；以離子佈植，在矽晶圓之一中形成用於分離的脆化層；將二矽晶圓彼此接合；以及，分離一基底。在後一情形中，包含脆化層的矽晶圓可以接合至玻璃基底。

具有適當晶體結構的半導體區(半導體膜)形成於基底 100 上，接著，接受選擇性蝕刻，以致於可以形成島狀半導體區 101 和 102。

然後，絕緣膜 108 形成於島狀半導體區 101 和 102 上。關於絕緣膜 108，形成至少含氧之膜。以 CVD 或濺射，由例如氧化矽、氮氧化矽 (SiO_xN_y , $x>y>0$)、氧氮化矽 (SiN_xO_y , $x>y>0$)、氧化鋁或氧化鉭形成絕緣膜 108。此外，也可以使用例如氧化鉛等高介電常數材料。可以藉由 CVD、濺射等等，形成此膜。也可以藉由使用高密度電漿，將島狀半導體區 101 和 102 固相氧化，而形成絕緣膜 108。舉例而言，在絕緣膜 108 由氧化矽或氮氧化矽形成的情形中，其厚度較佳地為 1 nm 至 20 nm，更佳地為 7 nm 至 10 nm。

在絕緣膜 108 由氮氧化矽形成的情形中，可以使用矽甲烷 (SiH_4) 氣體及氧化二氮 (N_2O) 氣體作為氣體源，以電漿 CVD 設備沈積絕緣膜 108。在此情形中的沈積條件如下所述。氣體源的質量流量比為 $\text{SiH}_4 : \text{N}_2\text{O} = 1:800$ ，在電漿 CVD 設備中，高頻功率為 150 W；頻率為 60

MHz；沈積溫度（基底溫度）為 400°C ；在處理室中的壓力為 40 Pa ；以及，電極間隔為 28 mm 。注意，在本說明書中，氣體的質量流量比是供應給沈積室之氣體的質量流量速率（sccm）的比例。

可以在絕緣膜 108 上執行電漿氧化。使用在例如微波（典型地， 2.45 GHz ）之高頻下激發且具有 $1\times 10^{11}\text{ cm}^{-3}$ 或更多的電子密度及 1.5 eV 或更低的電子溫度的高密度電漿，較佳地執行電漿氧化。具有而言，高密度電漿具有 $1\times 10^{11}\text{ cm}^{-3}$ 至 $1\times 10^{13}\text{ cm}^{-3}$ 的電子密度以及 0.5 eV 至 1.5 eV 的電子溫度。較佳的是對絕緣膜 108 執行 60 秒或更長的電漿氧化。舉例而言，在對島狀半導體區 101 和 102 執行電漿氧化處理之後，在上述條件下，以電漿 CVD 設備形成氮氧化矽膜，以及，對氮氧化矽膜執行電漿氧化處理，藉以形成絕緣膜 108。

然後，在絕緣膜 108 上形成導電膜 109。導電膜 109 可以具有單層結構或多層結構。形成具有單層或多層結構之導電膜，以及，藉由蝕刻等以選擇性地移除導電膜以將其處理處所需形狀，藉以形成導電膜 109。導電膜 109 可以由選自鉭（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鋁（Al）、銅（Cu）、鉻（Cr）、鈮（Nb）、等等之金屬製成；或是由含有任何這些金屬作為主成份的合金或金屬化合物（例如，矽化物或金屬氮化物）製成；或者，由摻雜有例如磷等雜質元素的多晶矽為代表之半導體製成。可以以 CVD、濺射等等，形成此導電膜。

接著，使用導電膜 109 作為掩罩，將 n 型或 p 型雜質元素添加至島狀半導體區 101 和 102，以致於在每一島狀半導體區 101 和 102 中形成雜質區。關於賦予 n 型導電率的雜質元素，可以使用磷 (P)、砷 (As)、或類似者。關於賦予 p 型導電率的雜質元素，可以使用硼 (B)、鋁 (Al)、鎵 (Ga) 或類似者。此添加雜質元素的步驟是在島狀半導體區 102 中形成第二雜質區 105 和 106。圖 5 是記憶裝置 40 的記憶胞 70 的平面視圖，其中，已完成添加雜質元素的步驟。圖 6A 至 6C 分別是圖 5 的 A1-A2、B1-B2 及 C1-C2 剖面視圖。

如圖 6A 所示，與導電膜 109 重疊的部份島狀半導體區 102 成為通道形成區 107，以及，已添加雜質元素之雜質區 205 和 206 分別對應於第二雜質區 105 和 106。如圖 6B 所示，與導電膜 109 重疊的部份島狀半導體區 101 成為通道形成區 137，以及，已添加雜質元素之雜質區 235 和 236 分別對應於第二雜質區 135。

接著，形成絕緣膜 110。關於絕緣膜 110，以 CVD、濺射、塗著等等，形成含氧或氮的絕緣膜，例如氧化矽膜、氮化矽膜、氮氧化矽膜 (SiO_xN_y , $x>y>0$)、或氧氮化矽膜 (SiN_xO_y , $x>y>0$)。絕緣膜的 110 的厚度較佳地為 10 nm 至 100 nm，更佳地為 20 nm 至 50 nm。

然後，導電膜 111 形成於絕緣膜 110 上。導電膜 111 形成字線及控制閘極。以類似於導電膜 109 的方式，形成導電膜 111。

在本實施例中，導電膜 109 的底表面由絕緣膜 108 遮蓋，以及，其頂及側表面僅由絕緣膜 110 遮蓋。如此，可以容易保持累積於導電膜 109 中的電荷，有利於增進記憶元件的電荷固持特徵。這是因為假使使用玻璃基底作為基底 100 時加熱溫度的上限約為 600℃；因此，可以形成的絕緣膜具有比高溫處理取得的耐受電壓還低的耐受電壓，因此，以更少量的絕緣膜包圍導電膜 109 及更簡單的元件結構，可以更有效地防止電荷從浮動閘極洩漏。

接著，使用導電膜 111 作為掩罩，將 n 型或 p 型雜質元素加至島狀半導體區 101 和 102。圖 7 是記憶胞的平面視圖，其中，已完成此添加雜質元素步驟。圖 8A 至 8C 分別為圖 7 的 A1-A2、B1-B2 及 C1-C2 剖面視圖。

如圖 8A 所示，在島狀半導體區 102 中形成第一雜質區 103 和 104。第一雜質區 103 和 104 形成記憶電晶體的源極區或汲極區。與導電膜 111 重疊之部份雜質區 205 和 206(請參見圖 6A)分別成為第二雜質區 105 和 106。如圖 8B 所示，第一雜質區 133 和 134 形成於島狀半導體區 101 中。與導電膜 111 重疊之部份雜質區 235 和 236(請參見圖 6B)成為第二雜質區 135。

此處，第二雜質區 105、106 及 135 形成為 LDD(輕度摻雜汲極)區，具有比第一雜質區 103、104、133 和 134 還低的雜質濃度。假使第二雜質區 105、106、及 135 的雜質濃度製成實質上等於第一雜質區 103、104、133 及 134 時，第二雜質區 105、106、及 135 可以作為源極區或

汲極區。此外，假使省略使用導電膜 109 作為掩罩以添加雜質元素之步驟時，第二雜質區 105、106、及 135 具有之雜質濃度實質上等於通道形成區 107 及 137 之雜質濃度。

當第一雜質區 103 和 104 的雜質濃度實質上等於第二雜質區 105 和 106 之雜質濃度時，可以取得最高的記憶電晶體的開啓（ON）特徵。注意，添加至第一雜質區 103 和 104 的過量雜質元素對絕緣膜 108 造成傷害，降低記憶電晶體的可靠度。當第二雜質區 105 和 106 的雜質濃度實質上等於通道形成區 107 的雜質濃度時，取得所謂的偏移記憶電晶體。因此，可以防止過度抹拭資料及在抹拭操作之後的記憶電晶體可以保持正常關閉狀態。在本實施例中，藉由使第二雜質區 105、106、及 135 製成具有比第一雜質區 103、104、133 和 134 更低的雜質濃度之 LDD 區，可以增進記憶電晶體的 ON 特徵及熱電子電阻。

接著，形成絕緣膜 112。絕緣膜 112 可以由例如氧化矽膜、氮氧化矽 (SiO_xN_y , $x>y>0$)、或氧氮化矽 (SiN_xO_y , $x>y>0$) 等含有氧或氮的絕緣膜形成、例如 DLC(類鑽碳)等含碳的膜、含有例如環氧樹脂、聚醯亞胺、聚醯胺、聚乙烯酚、苯環丁烯、或丙烯酸系等有機材料之膜、或含有例如矽氧烷樹脂等矽氧烷材料之膜。此絕緣膜可由 CVD、濺射、塗著、等等形成。

注意，矽氧烷材料具有 Si-O-Si 鍵的材料。矽氧烷具有由矽 (Si) 及氧 (O) 的鍵形成之骨架。關於替代物，

至少使用含有氫（例如，烷基、芳基）之有機基。或者，可以使用氟基作為替代物。又或者，也可以使用含有至少氫及氟基之有機基作為替代物。較佳地，由於可以降低導因於半導體膜、導電膜等之不平整，所以，較佳的是形成含有有機材料或矽氧烷材料的膜作為絕緣膜 112。注意，由於濕氣容易被吸入及通過含有有機材料或矽氧烷材料的膜，所以，假使例如半導體膜、絕緣膜及導電膜等其它膜高度容易受不利影響時，則含有無機材料的膜較佳地形成於含有有機材料或矽氧烷材料之膜的頂部及／或底表面。關於含有無機材料的膜，由於含有氮化矽、氧氮化矽或類似者之膜對濕氣的高阻隔功效，所以，使用它是特別較佳的。

然後，藉由蝕刻以選擇性地移除絕緣膜 112、110 及 108，藉以形成抵達導電膜 111 的開口 116、分別抵達形成於島狀半導體區 101 中的第一雜質區 133 和 134 之開口 117 和 118、以及分別抵達形成於島狀半導體區 102 中的第一雜質區 103 和 104 之開口 119 和 120。

接著，在絕緣膜 112 上形成導電膜以及以蝕刻將導電膜處理成預定形狀，藉以形成導電膜 113 至 115。每一導電膜 113 至 115 可以具有單層結構或多層結構。導電膜 113 至 115 可以由選自鋁(Al)、鎢(W)、鈦(Ti)、鉭(Ta)、鉬(Mo)、鎳(Ni)、鉑(Pt)、銅(Cu)、黃金(Au)、銀(Ag)、錳(Mn)、及釹(Nd)之金屬、或是含有這些金屬中的任一金屬作為主成份之合金或金屬化合物。以 CVD、濺射或類

似者，形成此金屬膜或含有金屬作為其主成份之膜。關於含有鋁作為其主成份之合金，舉例而言，有含有鋁作為主成份及也含鎳的合金、或是含有鋁作為主成份及也含鎳和碳及矽中之一或二者的合金。

在每一導電膜 113 至 115 具有多層結構的情形中，能夠使用障壁膜、鋁－矽膜及障壁膜的堆疊結構、或是障壁膜、鋁－矽膜、氮化鈦膜及障壁膜。關於障壁膜，可以使用鈦、鈦的氮化物、鉬、或鉬的氮化物。鋁或例如鋁矽等含有鋁作為主成份的材料由於其低電阻及低價格，所以，適用於導電膜 113 至 115 的材料；但是，也容易產生丘。如此，在含有鋁作為主成份的膜作為導電膜 113 至 115 之情形中，障壁膜較佳地設於鋁膜的頂表面及底表面上以防止產生丘。而且，在該情形中，含有具有高還原特性的鋁的障壁膜較佳地形戶於含有鋁作為主成份的膜的底部表面上。這是因為即使薄的自然氧化物膜形成於半導體膜上時，其仍然會被還原，以致於在導電膜 113 和 114 與島狀半導體區 101 和 102 之間可以取得有利的接觸。

雖然以同於導電膜 113 和 114 之製程來形成導電膜 115，但是，可以以不同於導電膜 113 和 114 之製程來形成導電膜 115。

經由上述步驟，完成包含多個記憶胞 70 的記憶胞陣列 51。此外，以同於記憶胞陣列 51 的製程，製造包含於記憶裝置 40 的驅動電路部 52 中的電晶體、電容器、電阻器等，因此，驅動電路部 52 與記憶胞陣列 51 製於基底

100 上。因此，完成本實施例的記憶裝置 40。

雖然背控制閘極由與島狀半導體區 102 同時製造的半導體膜形成，但是，其可由另一導電膜形成。此導電膜具有單層結構或多層結構。舉例而言，形成背控制閘極的導電膜藉由 CVD 或濺射，而由選自鉭 (Ta)、鎢 (W)、鈦 (Ti)、鉬 (Mo) 及鋁 (Al)、或含有這些金屬中的任一金屬作為主成份的合金或金屬化合物（例如矽化物或金屬氮化物）形成。

無需多言，本實施例中所述的記憶裝置的製造方法僅為舉例說明，可以使用不同的習知方法。本實施例中所述的記憶裝置製造方法可以應用至其它實施例中所述的記憶裝置製造方法。

〔實施例 2〕

本實施例是實施例 1 的修改實施例。本實施例的記憶裝置包含記憶元件，其中，在島狀半導體區與浮動閘極之間的絕緣膜在厚度上部份不同。將參考圖 9 及圖 10A 至 10C，說明本實施例。

圖 9 是平面視圖，顯示本實施例中的記憶胞結構實施例，圖 10A 至 10C 分別為圖 9 的 A1-A2、B1-B2、及 C1-C2 剖面視圖。於下，將說明本實施例的記憶胞的製造方法及結構。注意，類似於實施例 1 的結構之說明將省略。

首先，如同實施例 1 中所述般，島狀半導體區 101 和 102 形成於基底 100 上，以絕緣膜 130 插入於其間。然

後，具有單層結構或多層結構的絕緣膜 301 形成至遮蓋島狀半導體區 101 和 102。關於絕緣膜 301，形成至少含有氧的絕緣膜。此絕緣膜由例如氧化矽、氮化矽、氮氧化矽 (SiO_xN_y , $x>y>0$)、或氧氮化矽 (SiN_xO_y , $x>y>0$) 等矽的氧化物形成；例如氧化鋁等金屬氧化物形成；或例如氧化鋇或氧化鈣等高介電常數材料形成。以具有高密度電漿的固相熱氧化、CVD、濺射等等，形成絕緣膜 301。假使使用氧化矽膜或氮氧化矽膜時，絕緣膜 301 較佳地形成為 1 nm 至 50 nm，更佳地為 3 nm 至 30 nm 的厚度。

接著，以蝕刻選擇性地移除絕緣膜 301，藉以形成抵達島狀半導體區 102 的開口 310。開口 310 形成於島狀半導體區 102 與導電膜 109 和導電膜 111 重疊的區域的一部份中。換言之，開口 310 與形成於島狀半導體區 102 中的通道形成區 107 部份地重疊。

然後，具有單層結構或多層結構的絕緣膜 102 形成為遮蓋島狀半導體區 101 和 102 以及絕緣膜 301。以類似於絕緣膜 108 的方式，形成絕緣膜 302。絕緣膜 302 的厚度較佳地為 1 nm 至 20 nm，更佳地為 7 nm 至 10 nm。在本實施例中，使用具有開口 310 的絕緣膜 301、及絕緣膜 302 的堆疊結構，以致於島狀半導體區 102 與浮動閘極之間的絕緣膜的厚度部份地縮減。以類似於實施例 1 的方式，執行下述步驟，以及，製造本實施例的記憶裝置。

在本實施例的記憶裝置中，類似於實施例的記憶裝置中般，背控制閘極 (BGC) 設置於記憶元件中。因此，耦合

比增加及寫入電壓和抹拭電壓降低，但不用增加記憶胞的面積。

此外，能夠降低記需要的耦合比所需之記憶胞的面積。亦即，可以降低記憶胞的面積，但不增加寫入電壓及抹拭電壓，而使記憶胞容易高度集成。

較佳的是，形成於絕緣膜 301 中的開口至少包含與通道形成區 107 重疊的區域。圖 9 中所示的開口 310 是此一實施例。或者，開口 320 可以形成於絕緣膜 301 中以致於包含不會與導電膜 109 及導電膜 111 重疊的區域。

圖 11 是平面視圖，顯示本實施例的記憶裝置的結構實施例，圖 12A 至 12C 分別為圖 11 的 A1-A2、B1-B2、及 C1-C2 剖面視圖。如圖 11 及 12A 所示，開口 320 形成於與第一雜質區 103 和 104、及形成於島狀半導體區 102 中的第二雜質區 105 和 106、和通道形成區 107 相重疊的部份絕緣膜 301 中。藉由形成開口 320，在通道形成區 107 與導電膜 109 之間的絕緣膜僅包含通道長度方向上（與 A1-A2 平行的方向）的絕緣膜，以及，厚度減少。另一方面，在通道寬度方向（與線 C1-C2 平行的方向）上，在通道形成區 107 與導電膜 109 之間的絕緣膜的中心僅包含絕緣膜 302 且厚度降低，以及，其二端包含要厚的絕緣膜 302 和絕緣膜 301。

本實施例的記憶裝置與實施例 1 的記憶裝置不同之處在於絕緣膜 301 具有開口 310(或開口 320)，以及，絕緣膜 302 堆疊於島狀半導體區 101 與浮動閘極之間，以致

於島狀半導體區 102 與浮動閘極之間的絕緣膜的厚度部份地縮減。

因此，取決於絕緣膜 301 及絕緣膜 302 的厚度，在公式 (3) 中，在島狀半導體區 102 與浮動閘極（導電膜 109）之間的電容 C_1 降低，以及，本實施例的耦合比相較於實施例 1 是增加的。同時，背控制閘極（島狀半導體區 101）與浮動閘極（導電膜 109）之間的電容 C_{21} 降低且耦合比增加。如此，在某些情形中，公式 (3) 中的耦合比 $(C_{21}+C_{22})/(C_1+C_{21}+C_{22})$ 等於或小於實施例 1 中的耦合比。

即使在該情形中，本實施例仍然具有下述新功效。在本實施例的記憶元件中，背控制閘極與浮動閘極之間的絕緣膜的厚度可以比實施例 1 中更容易增加。絕緣膜厚度的增加有助於抑制電荷從浮動閘極洩漏，增進記憶元件的電荷固持特徵。此外，在絕緣膜 301 與絕緣膜 302 堆疊於島狀半導體區 102 上的區域中，絕緣膜較不易變差。因此，能夠抑制導因於寫入操作及抹拭操作的重複之記憶元件特徵劣化，允許記憶元件更能抗重寫。

〔實施例 3〕

在實施例中，將說明不同於實施例 1 的非揮發性半導體記憶裝置，其為實施例 1 的修改實施例。本實施例的記憶裝置包含記憶元件，其中，在島狀半導體區 101 與浮動閘極之間的絕緣膜在厚度上部份不同。將參考圖 13 及圖

14A 至 14C，說明本實施例。注意，將省略類似於實施例 1 和 2 的結構之說明。

圖 13 是平面視圖，顯示本實施例的記憶裝置的記憶胞，圖 14A 至 14C 分別為圖 13 的 A1-A2、B1-B2、及 C1-C2 剖面視圖。

首先，如同實施例 2 中所述般，島狀半導體區 101 和 102 形成於基底 100 上，以絕緣膜 130 插入於其間。然後，具有單層結構或多層結構的絕緣膜 301 形成至遮蓋島狀半導體區 101 和 102。

然後，以蝕刻選擇性地移除絕緣膜 301，藉以形成開口 310 及開口 311。開口 311 形成於島狀半導體區 101 重疊導電膜 109 的部份區域中。換言之，開口 311 形成於與通道形成區 137 重點的部份絕緣膜 301 中。注意，在與島狀半導體區 102 重疊的部份絕緣膜 301，可以形成開口 320 以取代開口 310，以致於如圖 11 及圖 12A 所示般包含不與導電膜 109 和導電膜 111 重疊的區域。開口並非需要形成於與島狀半導體區 102 重疊的部份絕緣膜 301 中。以類似於實施例 1 的方式，執行下述步驟，以及，製造本實施例的記憶裝置。

類似於實施例 1，在本實施例的記憶裝置中設置背控制閘極(BCG)。因此，耦合比增加且寫入電壓及抹拭電壓降低，但不增加記憶胞的面積，造成記憶裝置的更低耗電。

此外，能夠降低取得需要的耦合比之所需記憶胞的面

積。亦即，記憶胞的面積可以降低，但不會增加寫入壓及抹拭電壓，因而使記憶胞更容易高度集成。

類似於實施例 2，在本實施例的記憶元件中，在背控制閘極與浮動閘極之間的厚度比實施例 1 更容易增加。絕緣膜的厚度增加有助於抑制電荷從浮動閘極洩漏，增進記憶元件的電荷固持徵。此外，絕緣膜可抵抗絕緣膜 301 及絕緣膜 302 堆疊於島狀半導體區 102 上之區域中的劣化。因此，能夠抑制導因於寫入操作及抹拭電壓的重複之記憶元件的特徵劣化，允許記憶元件更能抗重寫。

本實施例與實施例 2 不同之處在於開口 311 形成於與島狀半導體區 101 及導電膜 109 重疊的部份絕緣膜 301 中，以致於控制閘極與浮動閘極之間的絕緣膜的厚度部份地縮減。由於絕緣膜的厚度縮減有助於耦合比的增加，所以，在本實施例中，耦合比可以比實施例 2 增加更多。

實施例 1 至 3 中所述的非揮發性半導體記憶裝置可以作為記憶媒體，其中，可以電氣地儲存資料且儲存的資料可以被重寫。因此，在每一實施例中所述的非揮發性半導體記憶裝置可以應用至所有領域的電子裝置。關於電子裝置，舉例而言，有拍攝裝置（例如攝影機及數位相機）、顯示裝置（例如液晶顯示裝置及電致發光顯示裝置）、導航系統、音響再生裝置（例如汽車音響系統及音頻元件）、電腦、遊戲機、可攜式資訊終端（行動電腦、行動電話、可攜式遊戲機、及電子書讀取器）、影像再生裝置、記錄裝置、IC 晶片、RFID。

〔實例 1〕

在本實例中，製造本發明的實施例之記憶胞及圖 15 和圖 16A 及 16B 中所示的傳統記憶胞並比較它們的特徵。關於本發明的實施例之記憶胞，製造實施例 1 的記憶胞（此處，稱為「記憶胞 A」）。首先，將說明記憶胞 A 的製造方法。

使用玻璃基底作為基底 100。關於絕緣膜 130，在玻璃基底（基底 100）上，藉由 CVD，形成 50 nm 厚的氮氧化矽膜 (SiO_xN_y ， $x>y>0$)、及 100nm 厚的氧氮化矽膜 (SiN_xO_y ， $x>y>0$)（請參見圖 6A 至 6C）。

島狀半導體區 101 和 102 由多晶矽形成。以下述方式形成多晶矽膜。首先，使用氫及矽甲烷作為氣體源，以 CVD 設備形成厚度 66nm 的非晶矽。然後，在 500℃ 下執行熱處理四小時，因而從非晶矽中釋出氫。接著，以 YVO_4 雷射之第二諧波（波長 532 nm）的光照射非晶矽膜，藉以晶化形成多晶矽膜。 YVO_4 雷射是半導體雷射 (LD) 汲取連續波雷射。然後，藉由蝕刻，將多晶矽膜處理成所需形狀，藉以在絕緣膜 130 上形成島狀半導體區 101 和 102（請參見圖 5 和圖 6A 至 6C）。

為了形成絕緣膜 108，首先，對島狀半導體區 101 和 102 執行高密度電漿氧化。然後，使用矽甲烷 (SiH_4) 氣體及一氧化二氮作為氣體源，以電漿 CVD 設備，形成 9nm 厚的氮氧化矽膜。氣體源的質量流量比為 $\text{SiH}_4 : \text{N}_2\text{O}$

= 1:800，以及，在下述條件下執行電漿激發：高頻功率為 150 W（頻率為 60 MHz）；沈積溫度（基底溫度）為 400℃；在處理室中的壓力為 40 Pa；以及，電極間隔為 28 mm。注意，在形成氮氧化矽膜之後，形成絕緣膜 108。接著，以濺射設備，在絕緣膜 108 上形成 30 nm 厚的鎢膜。藉由蝕刻，將鎢膜處理成預定形狀，藉以形成導電膜 109。以電漿摻雜設備，將磷(P)添加至島狀半導體區 101 和 102，因而形成雜質區 205、206 和 235。關於氣體源，使用以氫稀釋的 PH_3 （請參見圖 5 及圖 6A 至 6C）。

接著，形成絕緣膜 110 以遮蓋導電膜 109。此處，以電漿 CVD 設備，形成 50 nm 厚的氮氧化矽膜。以濺射設備，於絕緣膜 110 上堆疊厚度 20 nm 的氮化鉭膜及 370 nm 厚的鎢膜。蝕刻此堆疊膜以形成導電膜 111。然後，使用導電膜 111 作為掩罩，以電漿添加設備，將磷添加至島狀半導體區 101 和 102。關於氣體源，使用以氫稀釋的 PH_3 。經由上述步驟，在島狀半導體區 101 中形成第一雜質區 103 和 104 和第二雜質區 105 和 106，以及，在島狀半導體區 102 中形成第一雜質區 133 和 134 和第二雜質區 135（請參見圖 7 及圖 8A 至 8C）。

然後，堆疊厚度 100nm 的氮氧化矽膜及厚度 600 nm 的氧化矽膜作為絕緣膜 112，以遮蓋導電膜 111。在形成氧化矽膜之後，在氮氛圍中，在 550℃ 下，執行熱處理，藉以活化已添加至島狀半導體區 101 和 102 之磷。然後，蝕刻絕緣膜 108、110 及 112，藉以形成開口 116 至 120。

接著，以濺射設備，在絕緣膜 112 上形成具有多層結構的導電膜，此多層結構包含厚度 60 nm 的鈦膜、厚度 40 nm 的氮化鈦膜、厚度 500 nm 的純鋁膜、及厚度 100 nm 的鈦膜。藉由蝕刻，將此堆疊膜處理成所需形狀，藉以形成導電膜 113 至 115。經由上述步驟，製造記憶胞 A(請參見圖 1 及圖 2A 至 2C)。

在本實例中，形成二種記憶胞 X 及 Y 作為比較實施例。記憶胞 x 及 y 具有與圖 15 中所示的傳統記憶胞相同的結構。除了形成背控制閘極的島狀半導體區 101 及導電膜 115 未被形成之外，以同於記憶胞 A 的條件，形成記憶胞 x 及 y。

記憶胞 A、x 及 y 不同之處在於記憶電晶體的島狀矽膜（島狀半導體區 102）重疊浮動閘極（導電膜 109）的面積相對於浮動閘極重疊控制閘極（導電膜 111）的面積之比例、以及背控制閘極（島狀半導體區 101）的存在。這些條件決定耦合比。表 1 顯示記憶胞 A、x 及 y 之間的結構差異，以及記憶胞 A、x 及 y 之寫入電壓及抹拭電壓。

[表 1]

	本實例	比較實施例	
	記憶胞 A	記憶胞 x	記憶胞 y
Si-FG:FG-CG:FG-BCG (面積比)	1:4:1	1:8:0	1:4:0
背控制閘極	是	否	
寫入電壓	13.6v	14.2V	17.7V
抹拭電壓	-14.8V	-15.4V	-21.1V

以 F-N(佛勒－諾爾德哈姆 (Fowler-Nordheim)) 穿隧電流，執行寫入操作及抹拭操作。以讀取電壓設定在 3V、寫入狀態中的記憶電晶體的臨界電壓設定在 4.3V、以及抹拭狀態中的記憶電晶體的臨界電壓設定在 1.3V，測量每一記憶胞 A、x 及 y 的寫入電壓及抹拭電壓。

在表 1 中，Si-FG 代表記憶電晶體的島狀半導體區 102 重疊導電膜 109 之面積，FG-CG 代表導電膜 109 重疊導電膜 111 之面積，FG-BCG 代表導電膜 109 重疊形成背控制閘極之島狀半導體區 101 之面積。這些面積的比例顯示於表 1 中。

此處，記憶胞 x 的佈局對應於圖 15。記憶胞 A 的島狀半導體區 102 及記憶胞 x 的島狀半導體區 1102 具有相同的形狀及尺寸。記憶胞 A 及記憶胞 x 製造成具有小尺寸的面積 Si-FG。在記憶胞 x 中，形成浮動閘極的導電膜 1109 及形成控制閘極的導電膜 1111 分別大於記憶胞 A 的導電膜 109 及導電膜 111，以及，記憶胞 x 的 FG-CG 是記憶胞 A 的 FG-CG 的二倍。記憶胞 A 的面積比記憶胞 x 的面積小約 13%。

記憶胞 y 具有島狀半導體區 101 及導電膜 115 從記憶胞 A 移除之結構。記憶胞 y 的面積 Si-FG 與面積 FG-CG 與記憶胞 A 的面積 Si-FG 與面積 FG-CG 相同。

假使表 1 的值捨去至最接近整數時，記憶胞 A 的寫入電壓及抹拭電壓等於記憶胞 x 的寫入電壓及抹拭電壓。另一方面，記憶胞 A 的面積比記憶胞 x 的面積小約

13%。這顯示設於記憶電晶體中的背控制閘極允許記憶胞的面積縮減，但不增加寫入電壓及抹拭電壓。注，在本實例的記憶胞 A 中，島狀半導體區 102 形成至僅與小部份導電膜 109 重疊。但是，記憶胞 A 的結構僅為本發明的實施例，以及，背控制閘極（島狀半導體區 101）可以設於幾乎所有與導電膜 109 重疊的區域 121 中，但有島狀半導體區 102 形成的區域及元件分離區除外。無需多言，藉由使用此結構而增強本實例的功效。如此，發現本實例的記憶胞的結構對於記憶胞的更高集成相當有用。

此外，表 1 顯示藉由設置背控制電壓，可以降低寫入電壓及抹拭電壓。比較記憶胞 A 及記憶胞 y，Si-FG:FG-CG 的面積比彼此相等；但是，記憶胞 A 的寫入電壓及抹拭電壓小於記憶胞 y 的寫入電壓及抹拭電壓。這顯示設於記憶電晶體中的背控制閘極允許寫入電壓及抹拭電壓降低，但不增加記憶胞的面積。如此，發現本實例的結構對於降低記憶胞的耗電相當有用。

本申請案以 2008 年 5 月 9 日向日本專利局申請之日本專利申請序號 2008-123583 為基礎，其內容於此一併列入參考。

【圖式簡單說明】

在附圖中，

圖 1 是平面視圖，顯示根據本發明的一實施例之非揮發性半導體記憶裝置的記憶胞之結構實施例；

圖 2A 至 2C 分別為圖 1 的 A1-A2、B1-B2、及 C1-C2 剖面視圖；

圖 3 是方塊圖，顯示根據本發明的一實施例之非揮發性半導體記憶裝置之結構實施例；

圖 4 是電路圖，顯示根據本發明的一實施例之記憶胞的結構實施例；

圖 5 是平面視圖，顯示根據本發明的一實施例之非揮發性半導體記憶裝置之製造方法；

圖 6A 至 6C 分別為圖 5 的線 A1-A2、B1-B2 及 C1-C2 剖面視圖；

圖 7 是平面視圖，顯示根據本發明的一實施例之非揮發性半導體記憶裝置的製造方法；

圖 8A 至 8C 分別為圖 7 的 A1-A2、B1-B2 及 C1-C2 剖面視圖；

圖 9 是平面視圖，顯示根據本發明的一實施例之非揮發性半導體記憶裝置的記憶胞之結構實施例；

圖 10A 至 10C 分別為圖 9 的 A1-A2、B1-B2、及 C1-C2 剖面視圖；

圖 11 是平面視圖，顯示根據本發明的一實施例之非揮發性半導體記憶裝置的記憶胞之結構實施例；

圖 12A 至 12C 分別為圖 11 的 A1-A2、B1-B2、及 C1-C2 剖面視圖；

圖 13 是平面視圖，顯示根據本發明的一實施例之非揮發性半導體記憶裝置的記憶胞之結構實施例；

圖 14A 至 14C 分別為圖 13 的 A1-A2、B1-B2、及 C1-C2 剖面視圖；

圖 15 是平面視圖，顯示根據先前技術之非揮發性半導體記憶裝置的記憶胞之結構實施例；及

圖 16A 及 16B 分別為圖 15 的 A1-A2、B1-B2、及 C1-C2 剖面視圖。

【主要元件符號說明】

40：非揮發性半導體記憶裝置

51：記憶胞陣列

52：驅動電路部

60：控制電路

61：列解碼器

62：行解碼器

63：位址緩衝器

64：升壓電路

65：感測放大器

66：資料緩衝器

67：資料輸入輸出緩衝器

70：記憶胞

100：基底

101：島狀半導體區

102：島狀半導體區

103：第一雜質區

- 104：第一雜質區
- 105：第二雜質區
- 106：第二雜質區
- 107：通道形成區
- 108：絕緣膜
- 109：導電膜
- 110：絕緣膜
- 111：導電膜
- 112：絕緣膜
- 113：導電膜
- 114：導電膜
- 115：導電膜
- 116：開口
- 117：開口
- 119：開口
- 121：區域
- 130：絕緣膜
- 133：第一雜質區
- 134：第一雜質區
- 135：第二雜質區
- 137：通道形成區
- 205：雜質區
- 206：雜質區
- 235：雜質區

301：絕緣膜

302：絕緣膜

310：開口

311：開

320：開口

1100：基底

1102：島狀半導體區

1103：第一雜質區

1104：第一雜質區

1105：第二雜質區

1106：第二雜質區

1107：通道形成區

1108：絕緣膜

1109：導電膜

1110：絕緣膜

1111：導電膜

1112：絕緣膜

1113：導電膜

1114：導電膜

1119：開口

1120：開口

1121：區域

1130：絕緣膜

空白頁

七、申請專利範圍

1. 一種非揮發性半導體記憶裝置，包含多個記憶胞，每一該記憶胞包含：

第一島狀半導體區，形成於絕緣表面上以及含有通道形成區與成對雜質區；

第二島狀半導體區，形成於該絕緣表面上；

第一絕緣膜，形成於該第一島狀半導體區和該第二島狀半導體區上；

浮動閘極，形成於該第一絕緣膜上，其中，該浮動閘極與該第一島狀半導體區及該第二島狀半導體區重疊；

第二絕緣膜，形成於該浮動閘極上；

控制閘極，形成於該第二絕緣膜上，其中，該控制閘極與該浮動閘極重疊及電連接至該第二島狀半導體區；及

導電膜，形成在該控制閘極上，其中該導電膜與該控制閘極及該第二島狀半導體區的兩者皆直接接觸。

2. 如申請專利範圍第 1 項之非揮發性半導體記憶裝置，其中，與該第一島狀半導體區重疊的該第一絕緣膜的部份的厚度選擇性地縮減。

3. 如申請專利範圍第 1 項之非揮發性半導體記憶裝置，其中，與該第二島狀半導體區重疊的該第一絕緣膜的部份的厚度選擇性地縮減。

4. 如申請專利範圍第 1 項之非揮發性半導體記憶裝置，其中，該第一島狀半導體區含有選自單晶矽膜、多晶矽膜、及微晶矽膜組成的族群之一。

5. 如申請專利範圍第 1 項之非揮發性半導體記憶裝置，其中，該第二島狀半導體區含有選自單晶矽膜、多晶矽膜、及微晶矽膜組成的族群之一。

6. 如申請專利範圍第 1 項之非揮發性半導體記憶裝置，其中，該控制閘極遮蓋該浮動閘極的頂表面及側表面，以該第二絕緣膜介於其間。

7. 一種非揮發性半導體記憶裝置，包含多個記憶胞，每一該記憶胞包含：

島狀半導體區，形成於絕緣表面上以及含有通道形成區與成對雜質區；

第一導電膜，形成於該絕緣表面上；

第一絕緣膜，形成於該島狀半導體區及該第一導電膜上；

浮動閘極，形成於該第一絕緣膜上，其中，該浮動閘極與該島狀半導體區及該第一導電膜重疊；

第二絕緣膜，形成於該浮動閘極上；

控制閘極，形成於該第二絕緣膜上，其中，該控制閘極與該浮動閘極重疊及電連接至該第一導電膜；及

第二導電膜，形成在該控制閘極上，其中該第二導電膜與該控制閘極及該島狀半導體區的兩者皆直接接觸。

8. 如申請專利範圍第 7 項之非揮發性半導體記憶裝置，其中，與該島狀半導體區重疊的該第一絕緣膜的部份的厚度選擇性地縮減。

9. 如申請專利範圍第 7 項之非揮發性半導體記憶裝

置，其中，與該第一導電膜重疊的該第一絕緣膜的部份的厚度選擇性地縮減。

10. 如申請專利範圍第 7 項之非揮發性半導體記憶裝置，其中，該島狀半導體區含有選自單晶矽膜、多晶矽膜、及微晶矽膜組成的族群之一。

11. 如申請專利範圍第 7 項之非揮發性半導體記憶裝置，其中，該控制閘極遮蓋該浮動閘極的頂表面及側表面，以該第二絕緣膜介於其間。

12. 一種非揮發性半導體記憶裝置，包含多個記憶胞，每一該記憶胞包含：

第一島狀半導體區，形成於絕緣表面上以及含有通道形成區與成對雜質區；

第二島狀半導體區，形成於該絕緣表面上；

第一絕緣膜，形成於該第一島狀半導體區和該第二島狀半導體區上；

第二絕緣膜，形成於該第一絕緣膜上；

浮動閘極，形成於該第二絕緣膜上，其中，該浮動閘極與該第一島狀半導體區及該第二島狀半導體區重疊；

第三絕緣膜，形成於該浮動閘極上；

控制閘極，形成於該第三絕緣膜上，其中，該控制閘極與該浮動閘極重疊及電連接至該第二島狀半導體區；及

導電膜，形成在該控制閘極上，其中該導電膜與該控制閘極及該第二島狀半導體區的兩者皆直接接觸，

其中，該第一絕緣膜在與該第一島狀半導體區重疊的

部份具有開口。

13. 如申請專利範圍第 12 項之非揮發性半導體記憶裝置，其中，該第一絕緣膜在與該第二島狀半導體區重疊的部份具有另一開口。

14. 如申請專利範圍第 12 項之非揮發性半導體記憶裝置，其中，該第一島狀半導體區含有選自單晶矽膜、多晶矽膜、及微晶矽膜組成的族群之一。

15. 如申請專利範圍第 12 項之非揮發性半導體記憶裝置，其中，該第二島狀半導體區含有選自單晶矽膜、多晶矽膜、及微晶矽膜組成的族群之一。

16. 如申請專利範圍第 12 項之非揮發性半導體記憶裝置，其中，該控制閘極遮蓋該浮動閘極的頂表面及側表面，以該第三絕緣膜介於其間。

17. 如申請專利範圍第 12 項之非揮發性半導體記憶裝置，

其中，該多個記憶胞形成於基底上，及

其中，該基底含有選自玻璃基底、石英基底及樹脂基底組成的族群之一。

18. 一種非揮發性半導體記憶裝置，包含多個記憶胞，每一該記憶胞包含：

島狀半導體區，形成於絕緣表面上以及含有通道形成區與成對雜質區；

第一導電膜，形成於該絕緣表面上；

第一絕緣膜，形成於該島狀半導體區及該第一導電膜

上；

第二絕緣膜，形成於該第一絕緣膜上；

浮動閘極，形成於該第二絕緣膜上，其中，該浮動閘極與該島狀半導體區及該第一導電膜重疊；

第三絕緣膜，形成於該浮動閘極上；

控制閘極，形成於該第三絕緣膜上，其中，該控制閘極與該浮動閘極重疊及電連接至該第一導電膜；及

第二導電膜，形成在該控制閘極上，其中該第二導電膜與該控制閘極及該島狀半導體區的兩者皆直接接觸，

其中，該第一絕緣膜在與該島狀半導體區重疊的部份具有開口。

19. 如申請專利範圍第 18 項之非揮發性半導體記憶裝置，其中，該第一絕緣膜在與該第一導電膜重疊的部份具有另一開口。

20. 如申請專利範圍第 18 項之非揮發性半導體記憶裝置，其中，該島狀半導體區含有選自單晶矽膜、多晶矽膜、及微晶矽膜組成的族群之一。

21. 如申請專利範圍第 18 項之非揮發性半導體記憶裝置，其中，該控制閘極遮蓋該浮動閘極的頂表面及側表面，以該第三絕緣膜介於其間。

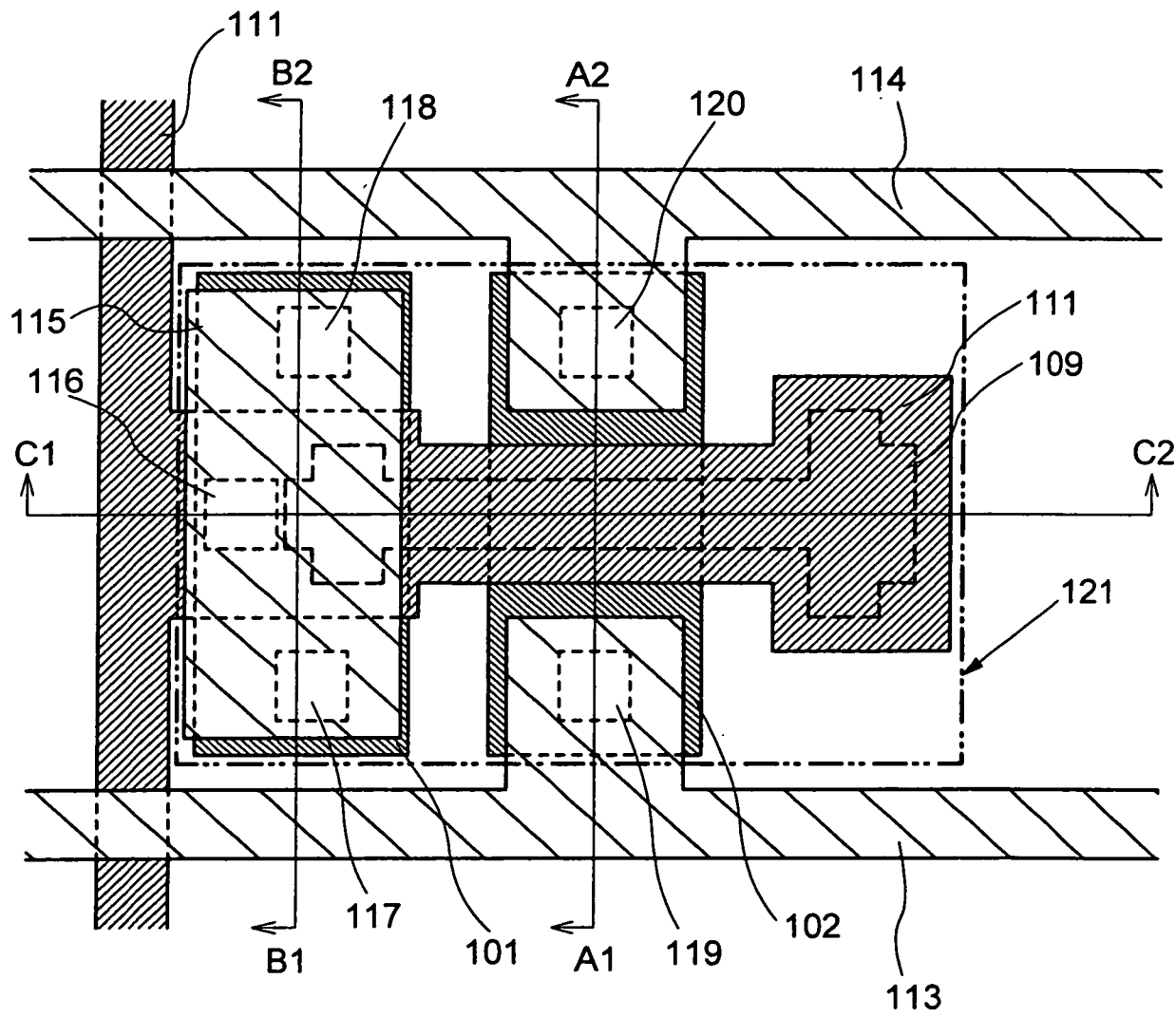
22. 如申請專利範圍第 18 項之非揮發性半導體記憶裝置，

其中，該多個記憶胞形成於基底上，及

其中，該基底含有選自玻璃基底、石英基底及樹脂基

底組成的族群之一。

圖 1



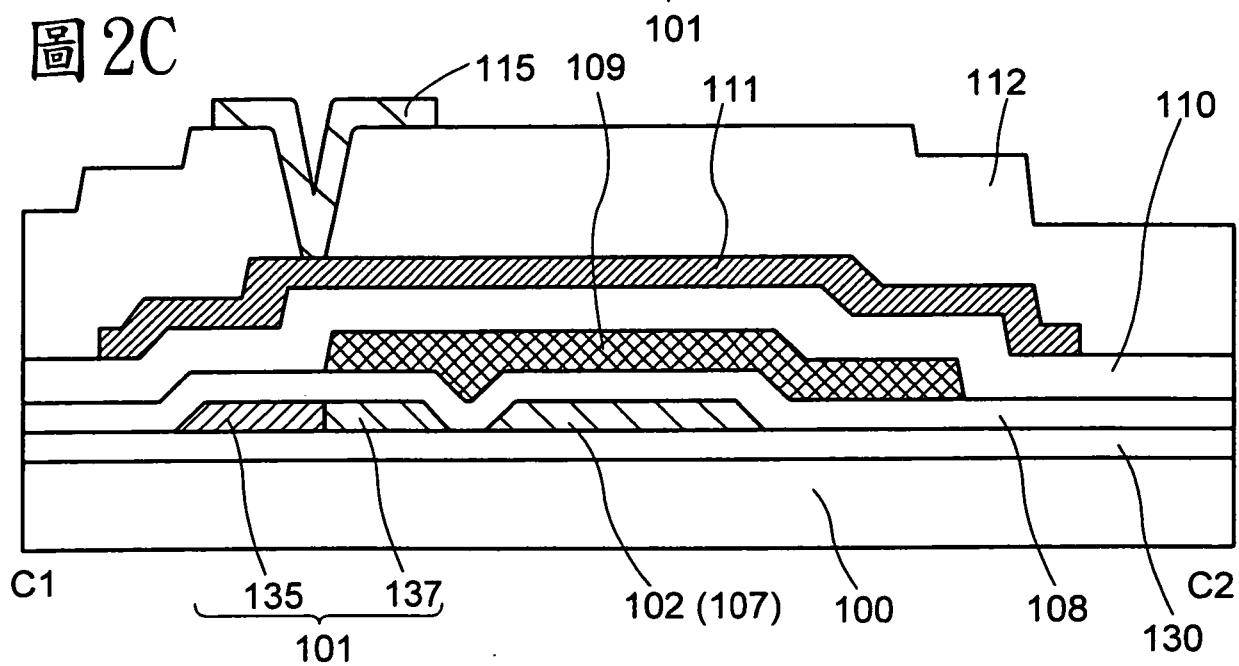
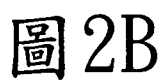


圖3

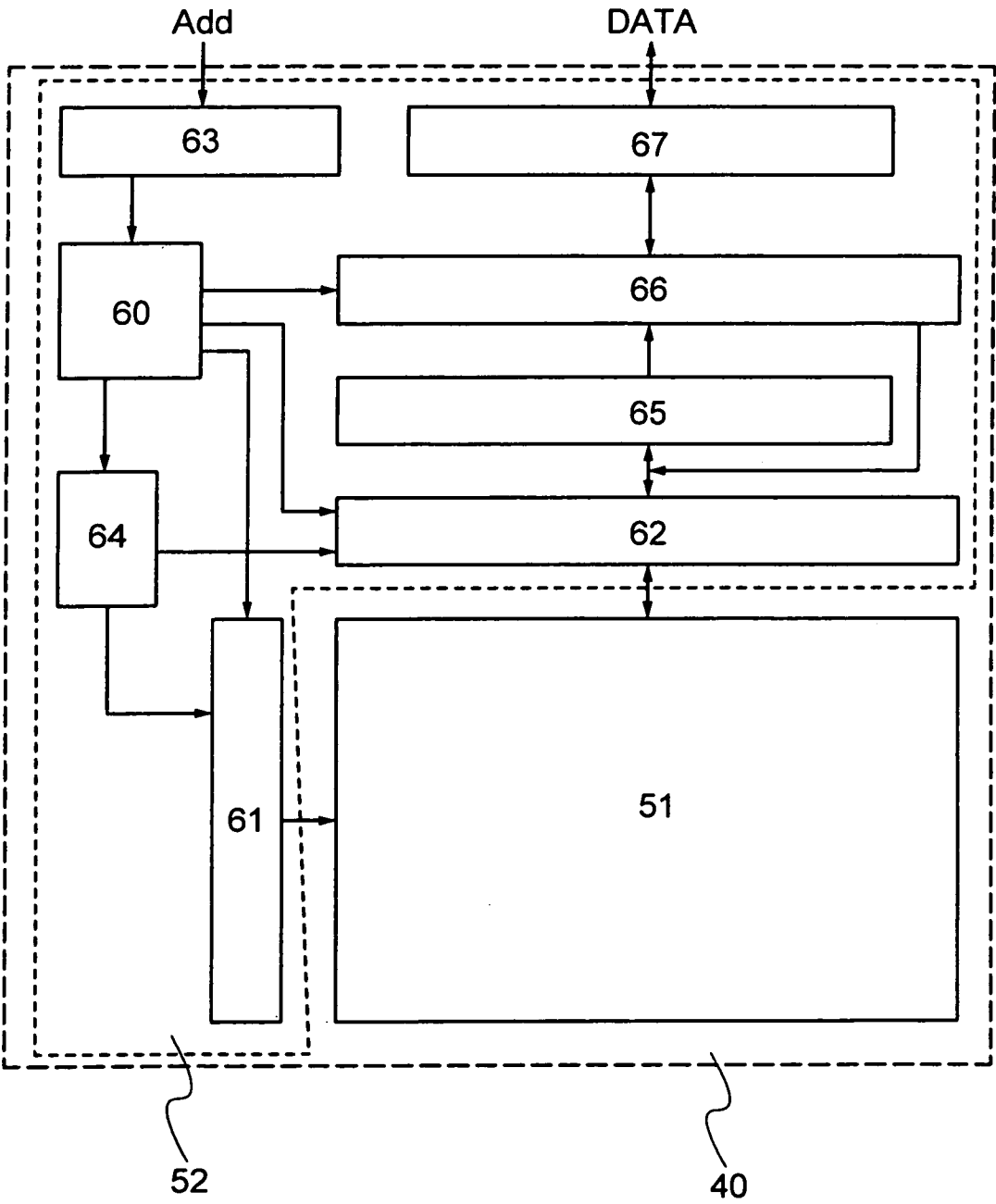


圖 4

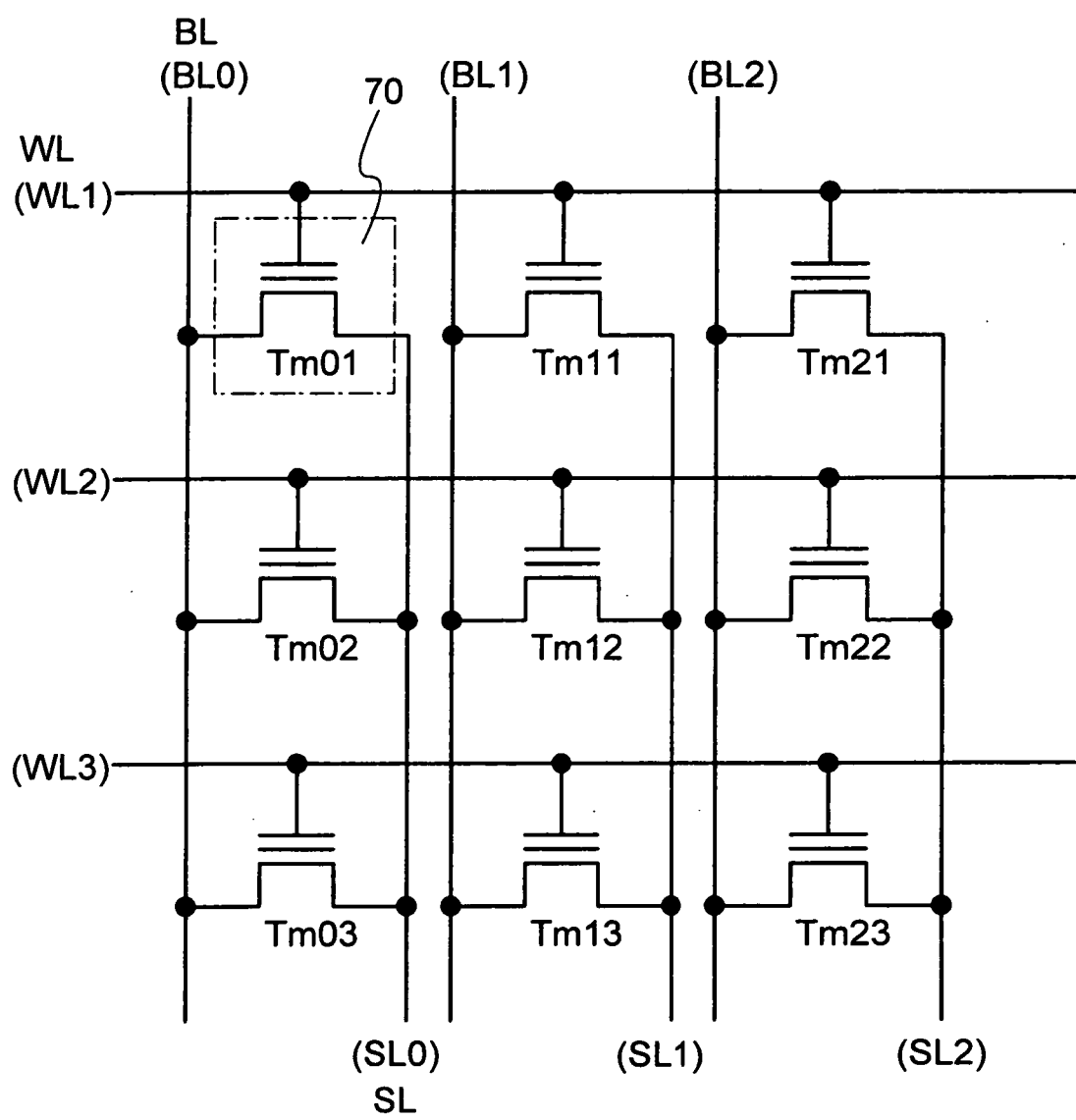


圖5

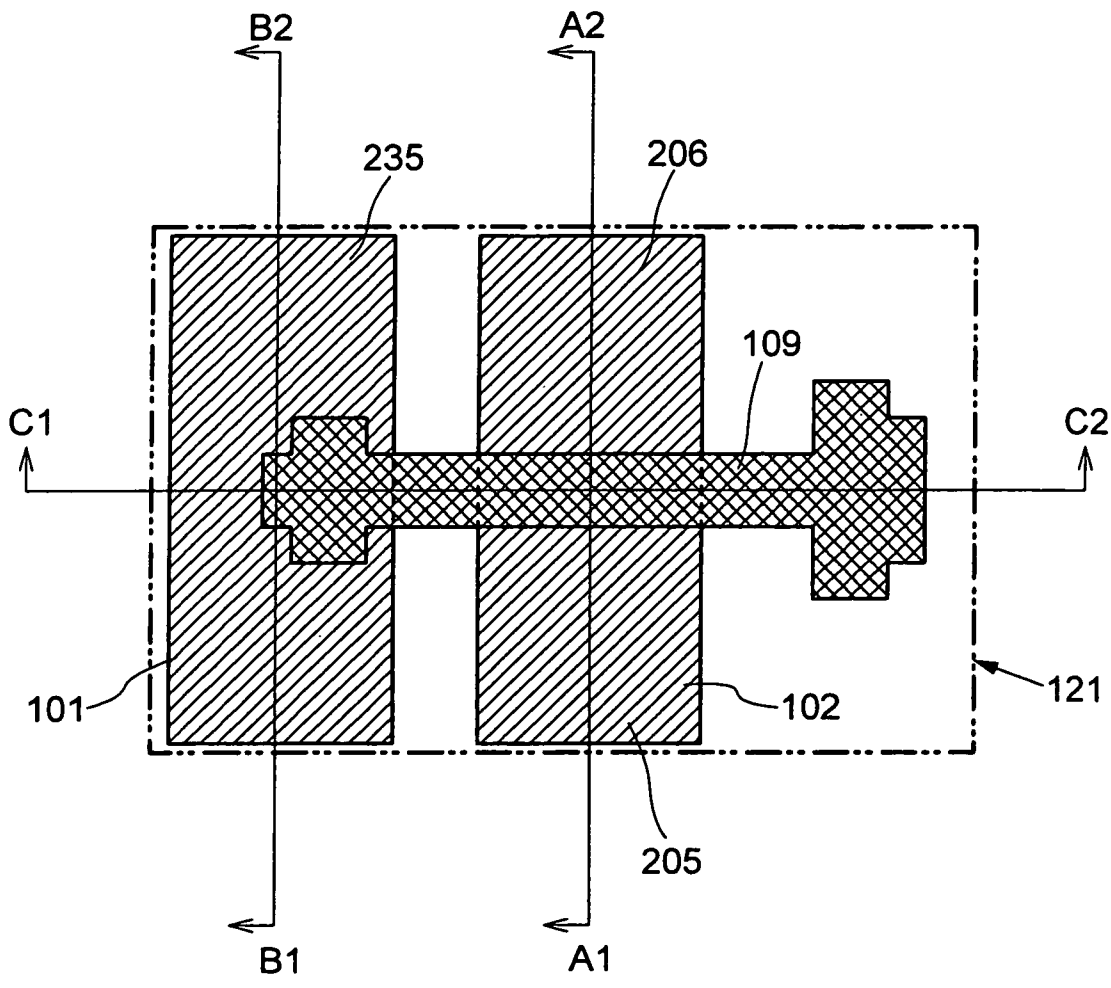


圖 6A

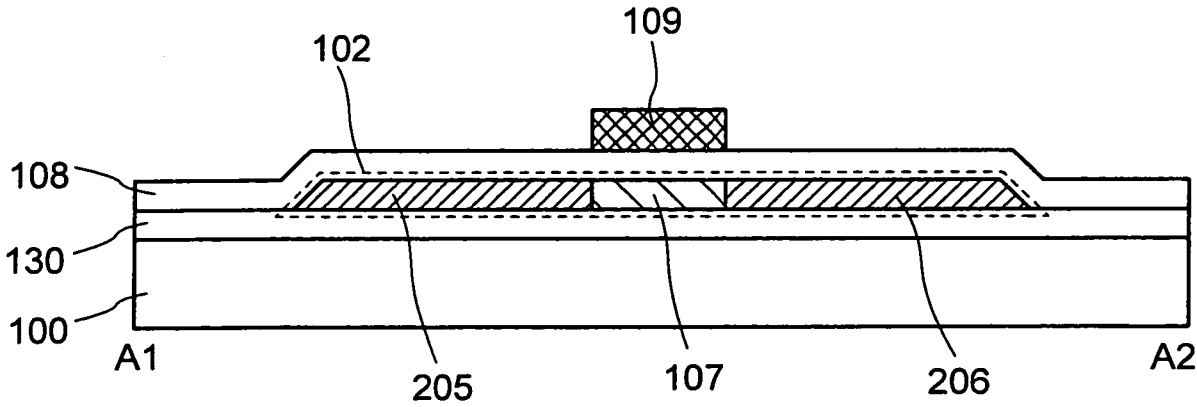


圖 6B

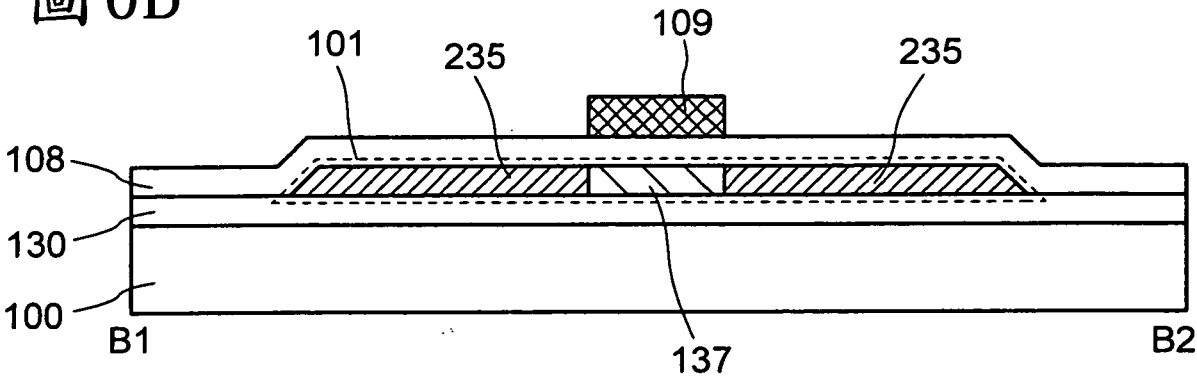


圖 6C

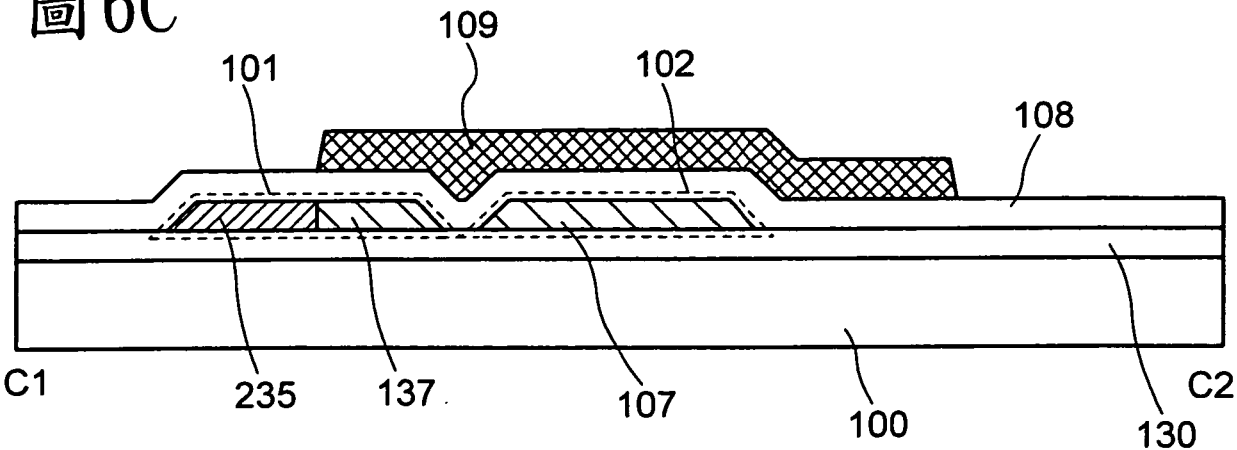


圖7

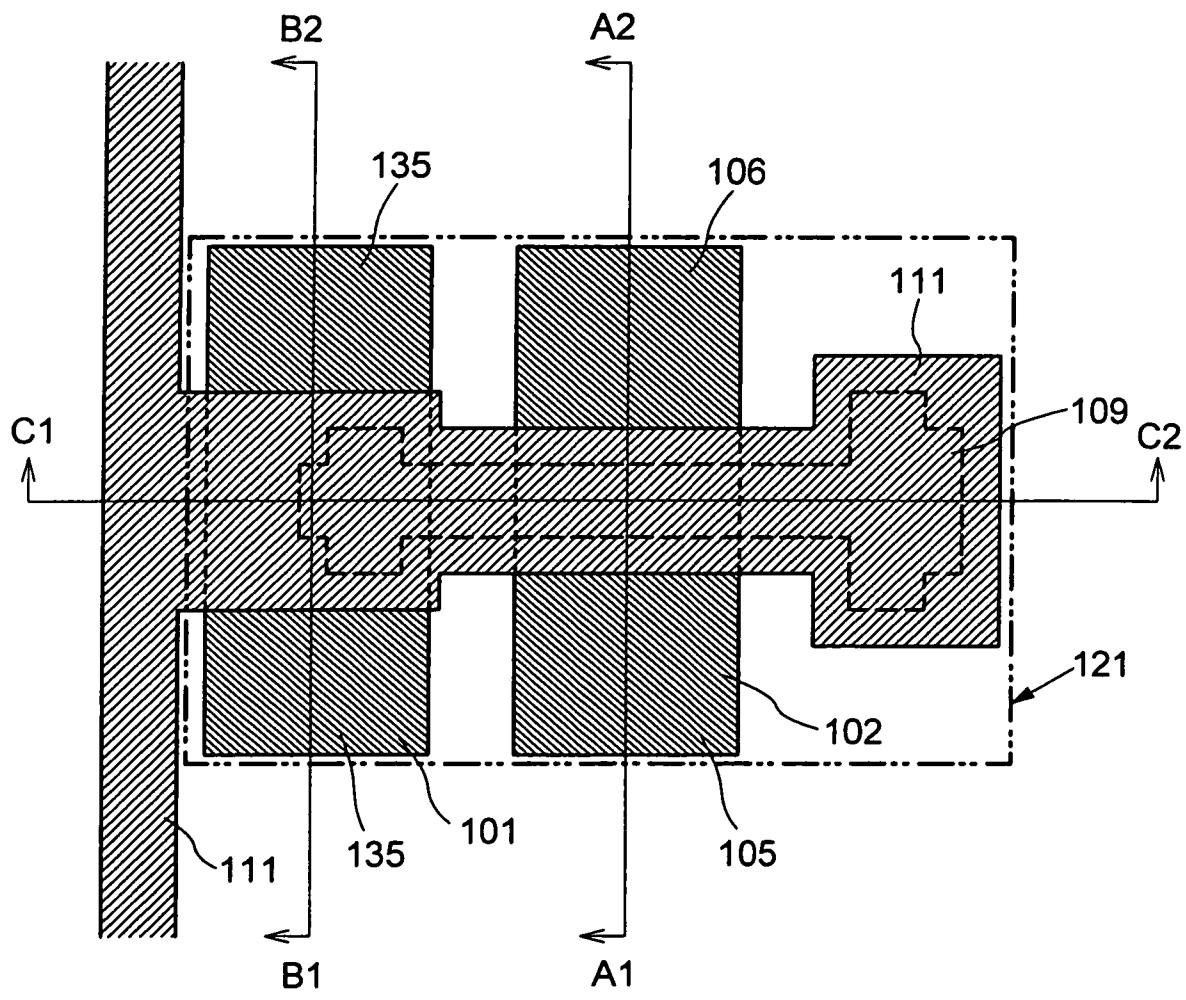


圖 8A

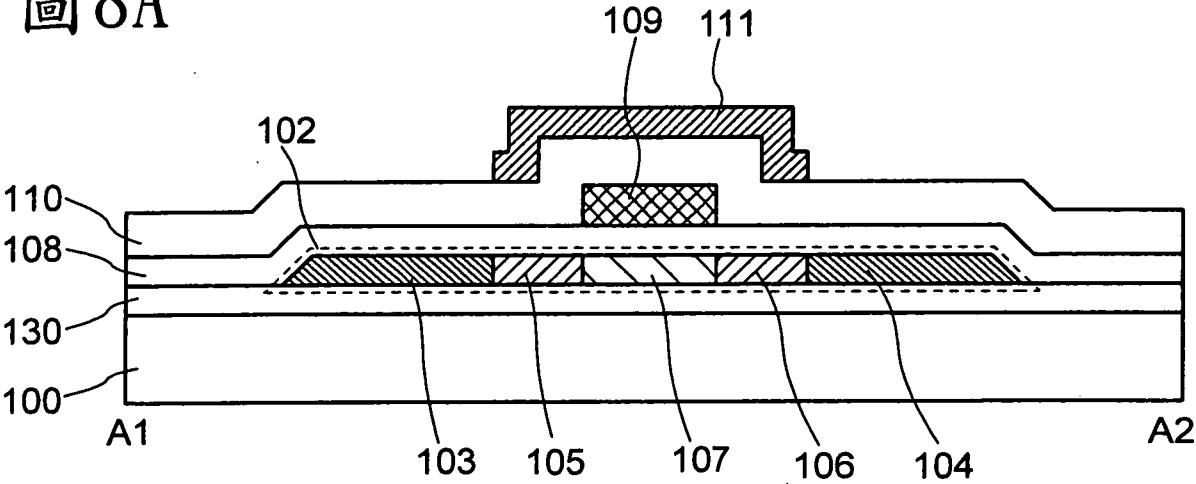


圖 8B

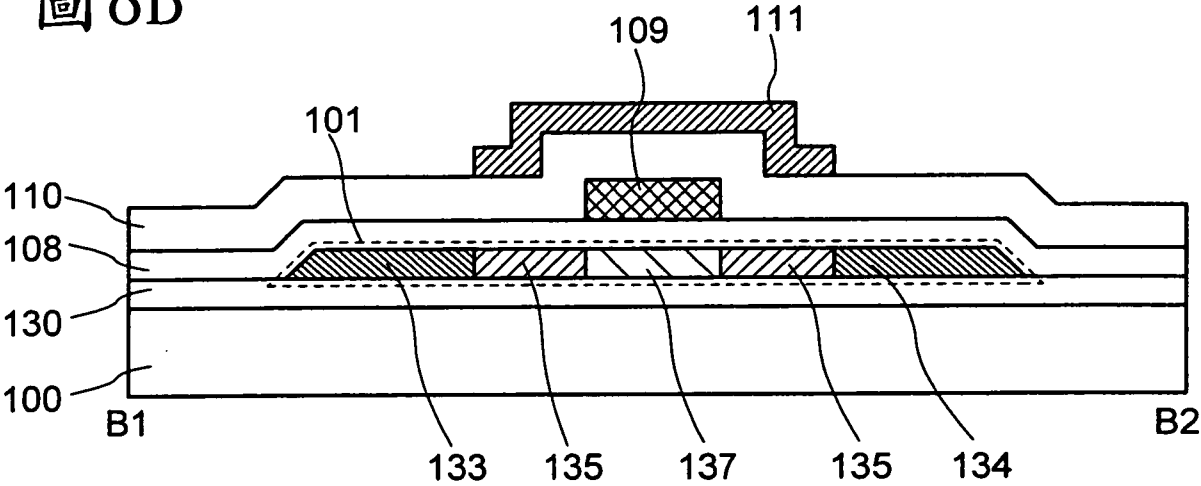


圖 8C

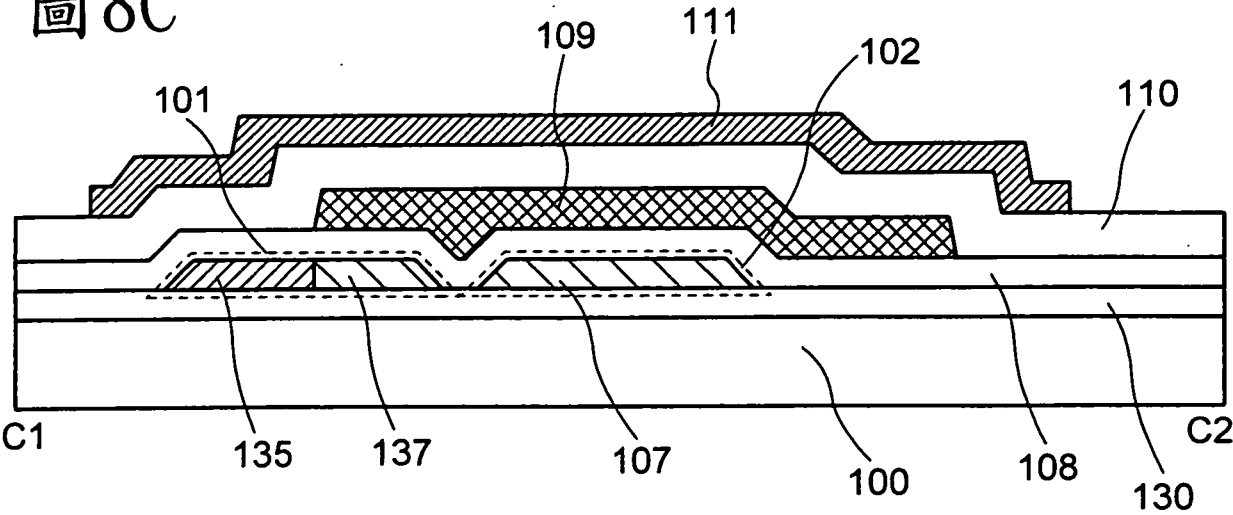


圖 9

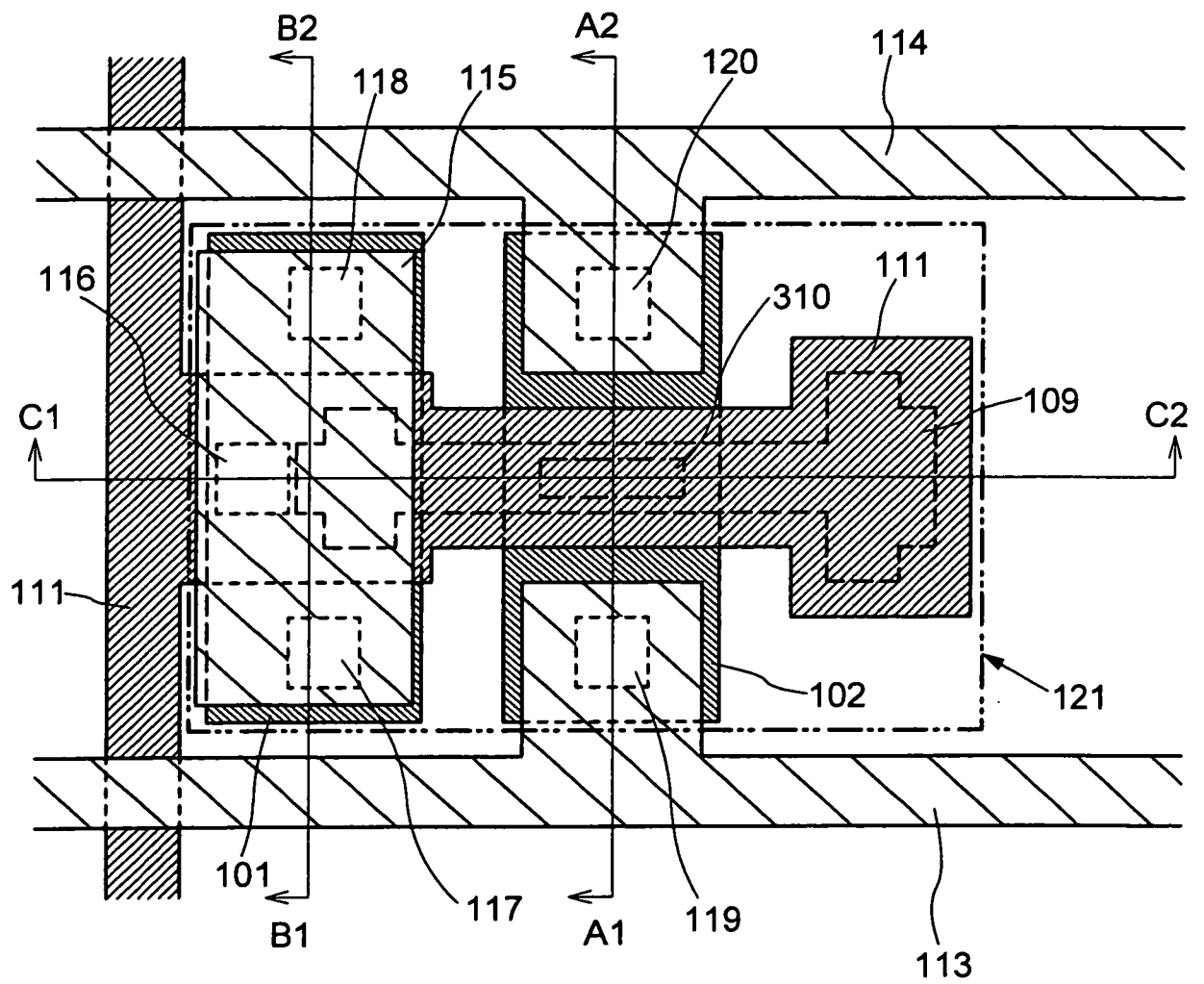


圖 10A

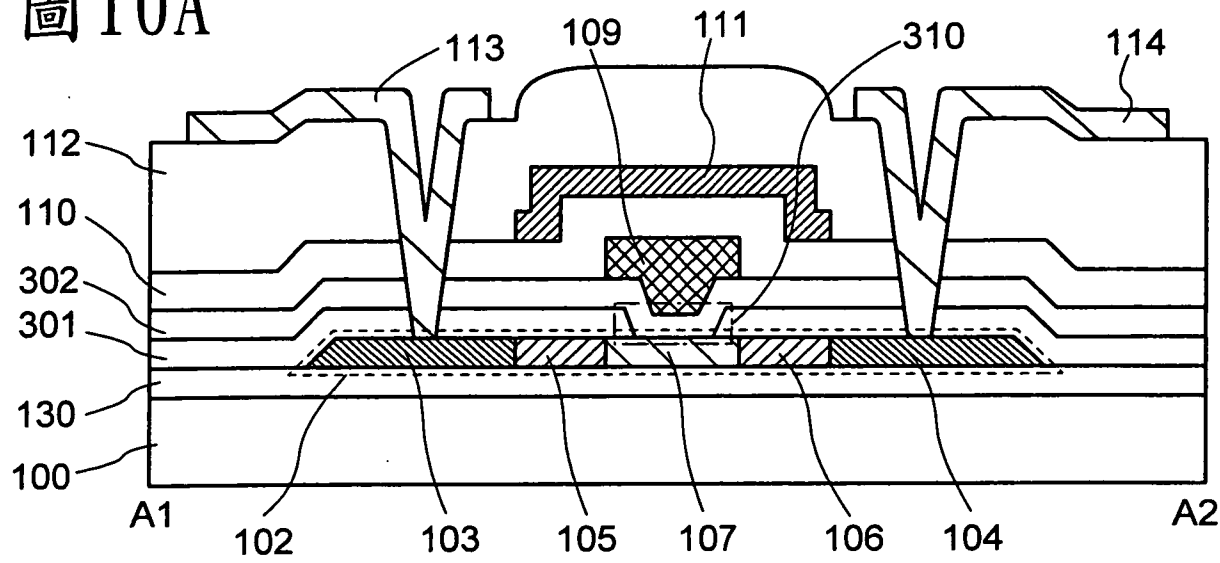


圖 10B

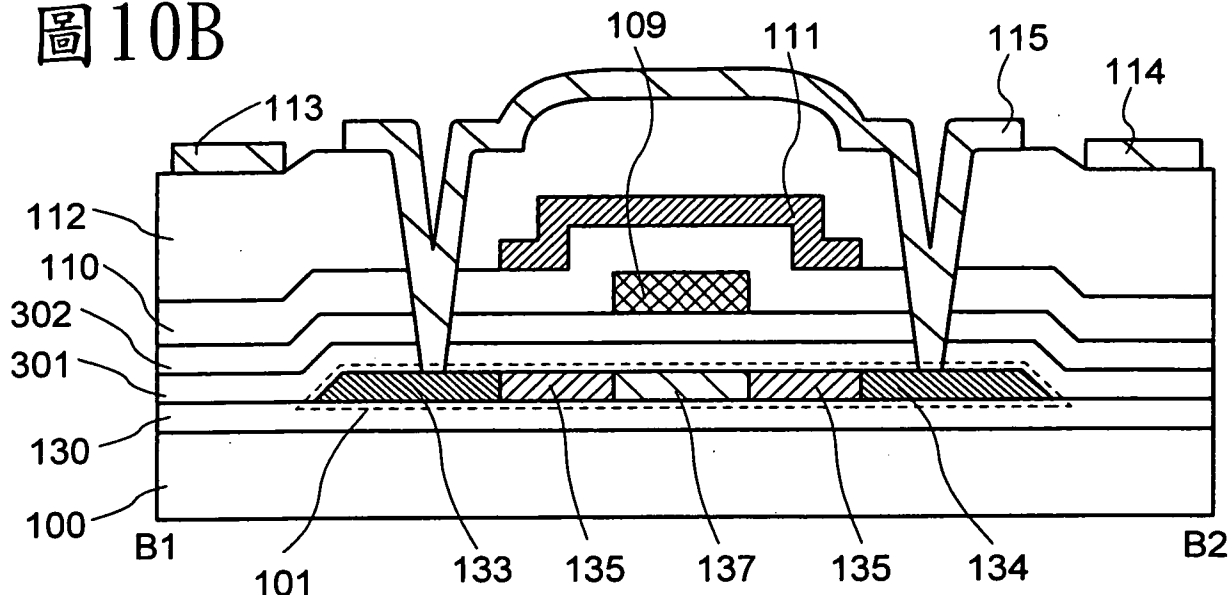


圖 10C

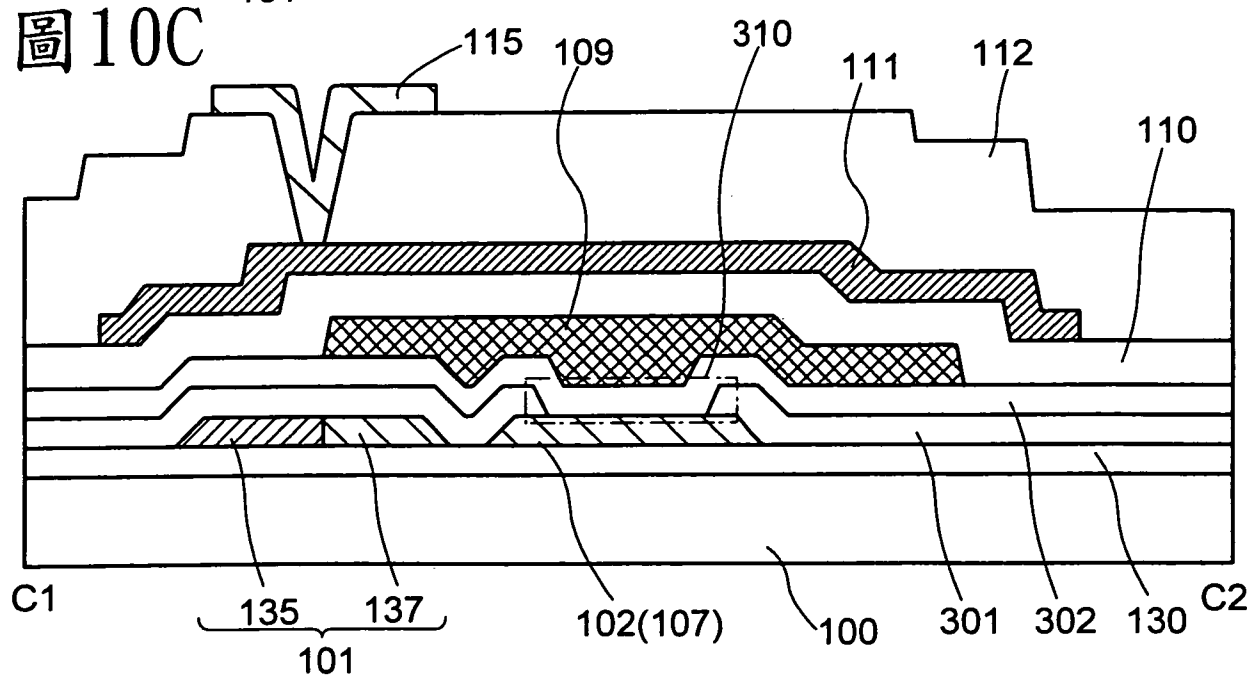


圖 12A

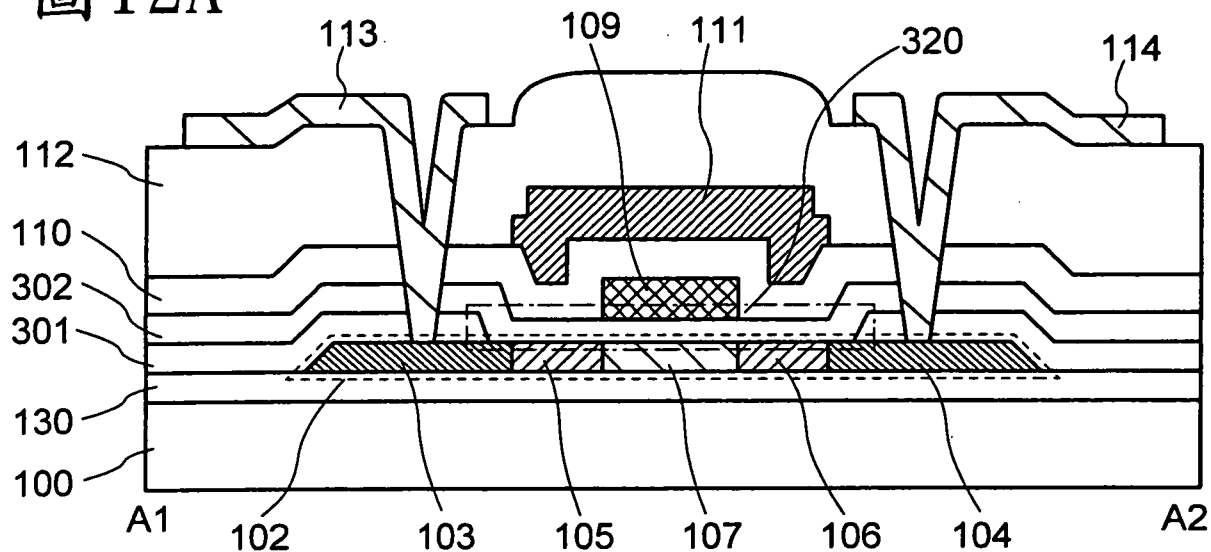


圖 12B

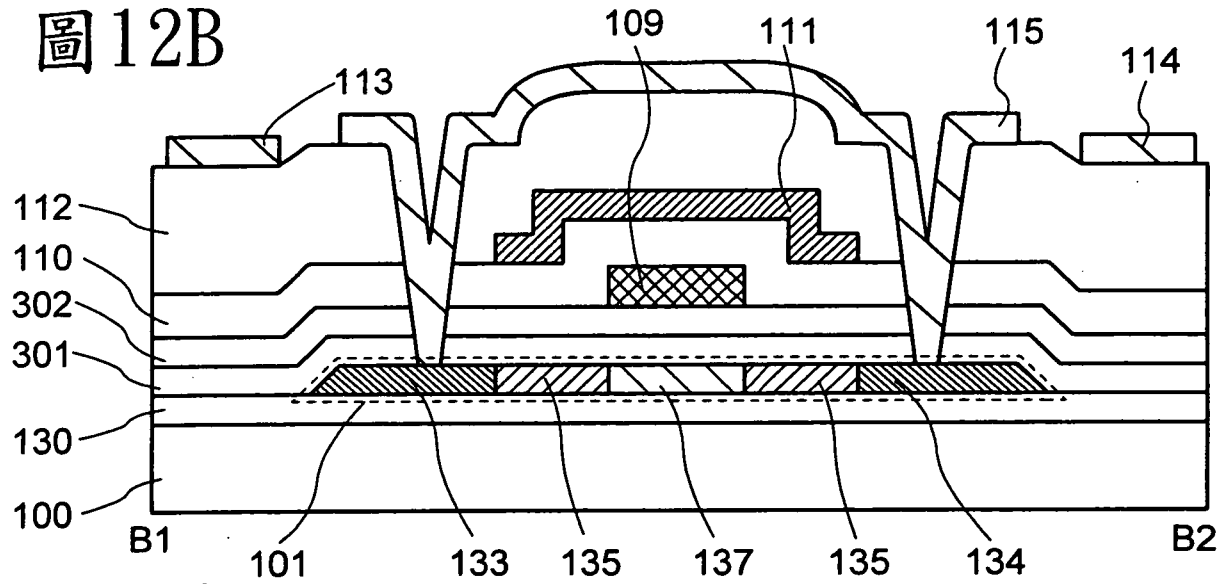


圖 12C

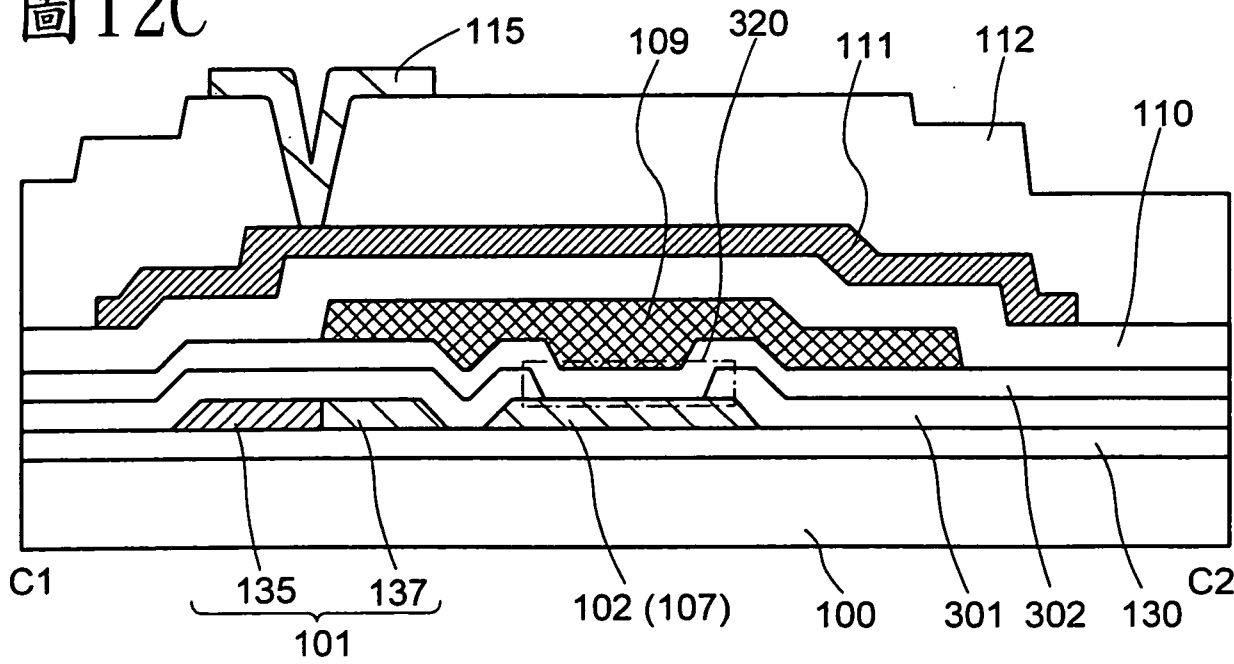


圖13

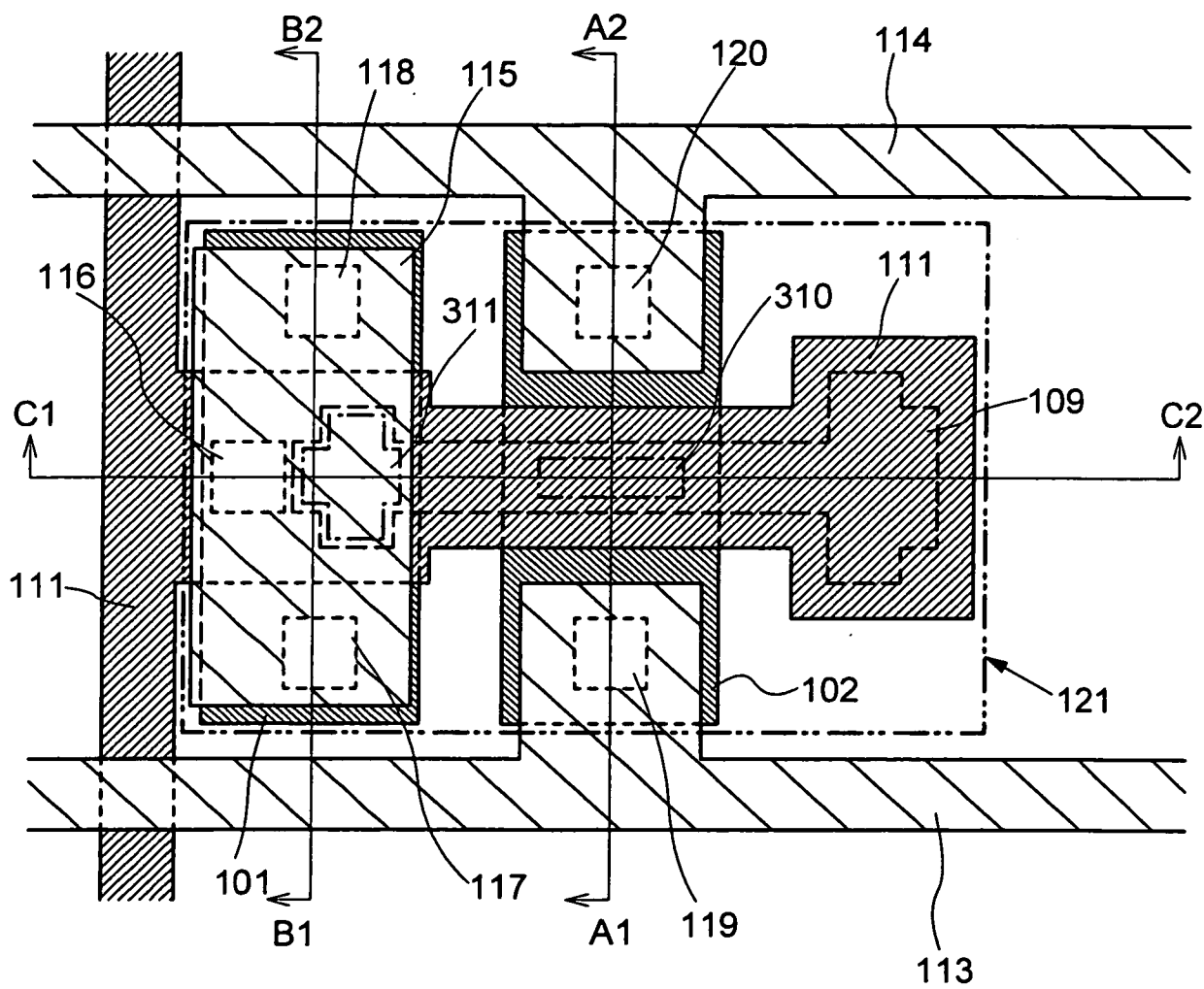


圖 14A

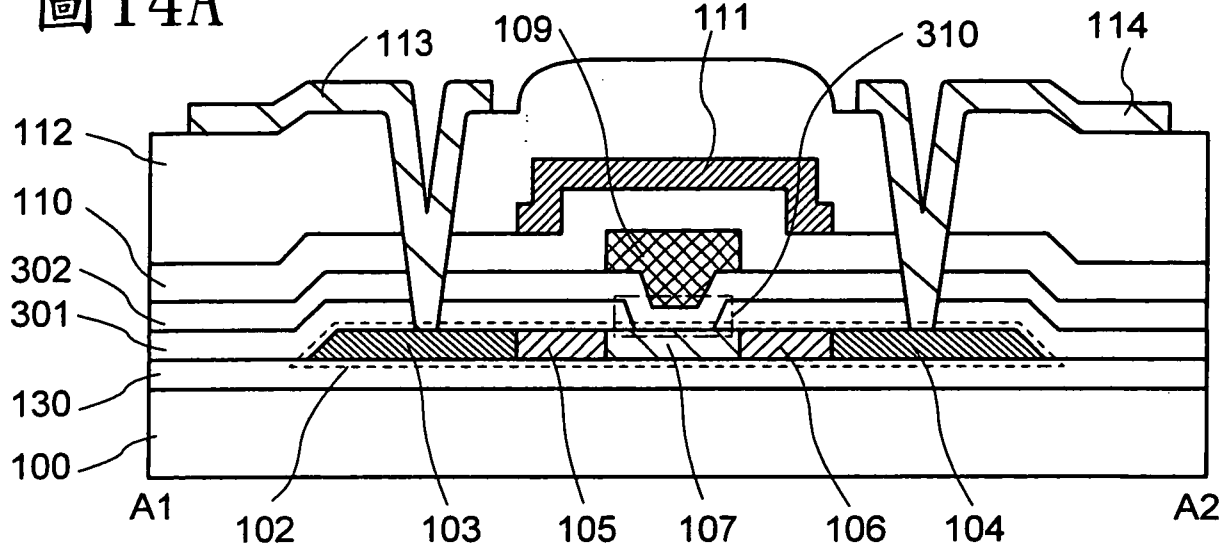


圖 14B

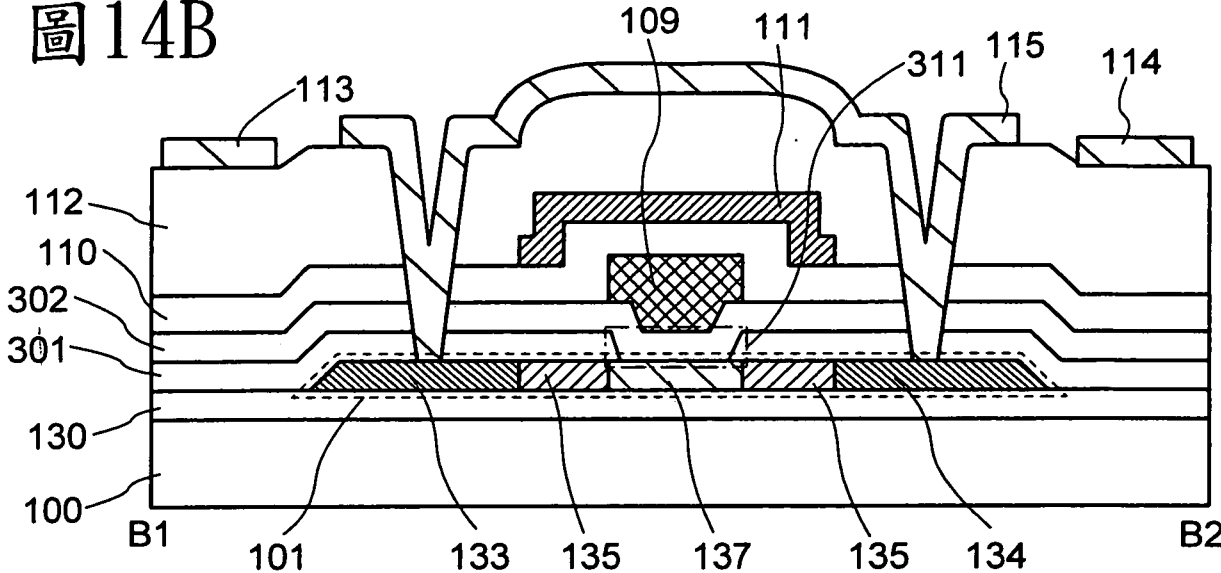


圖 14C

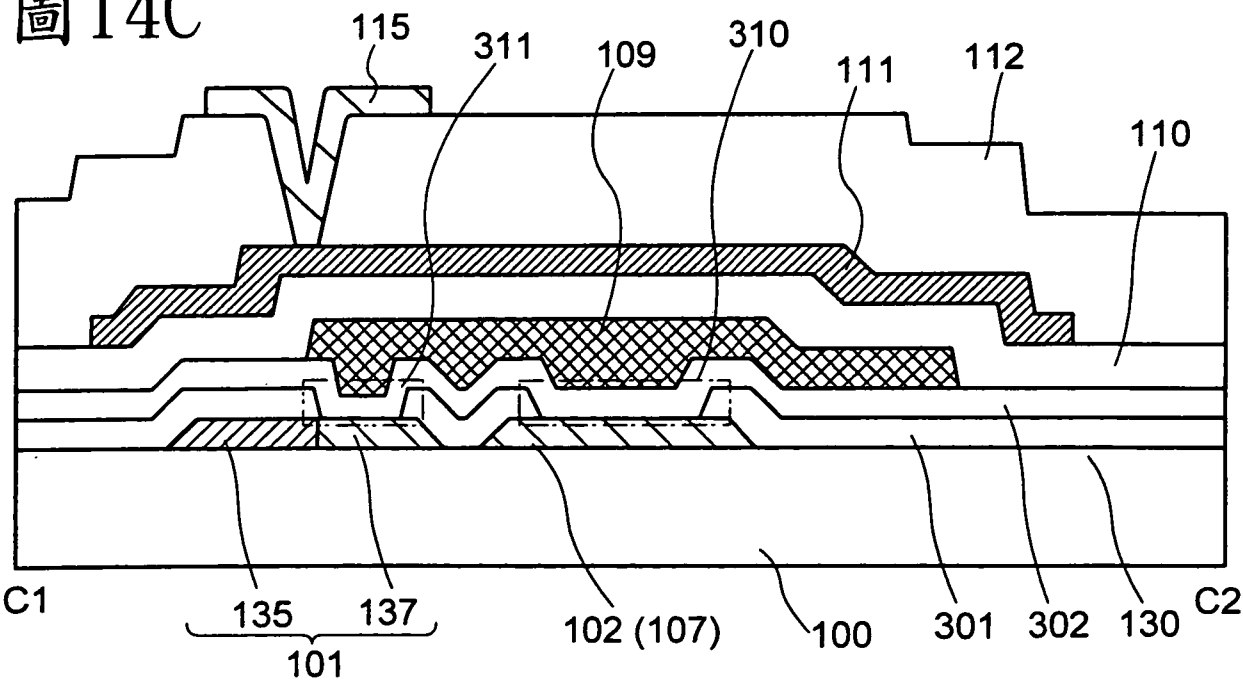


圖15

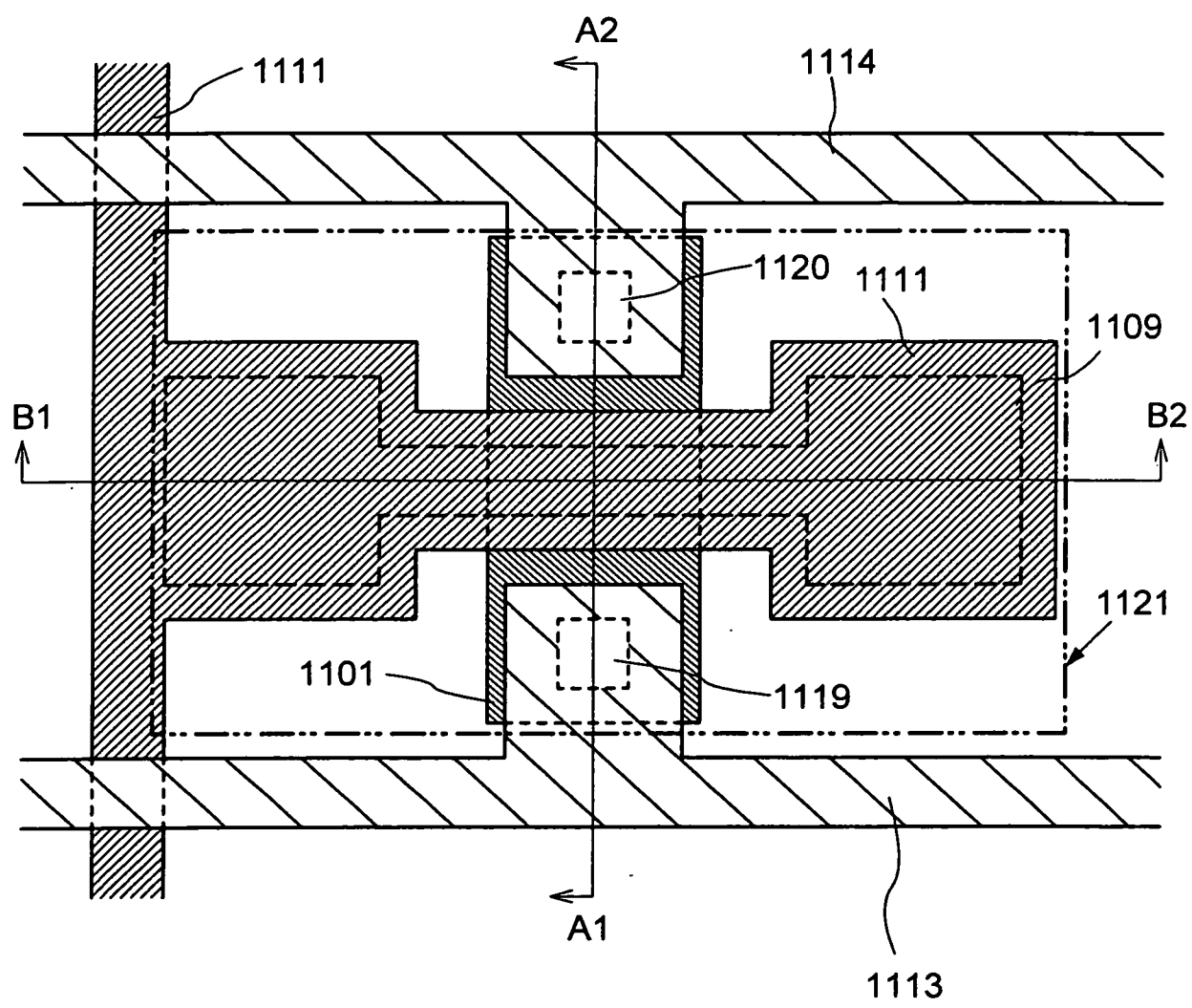


圖 16A

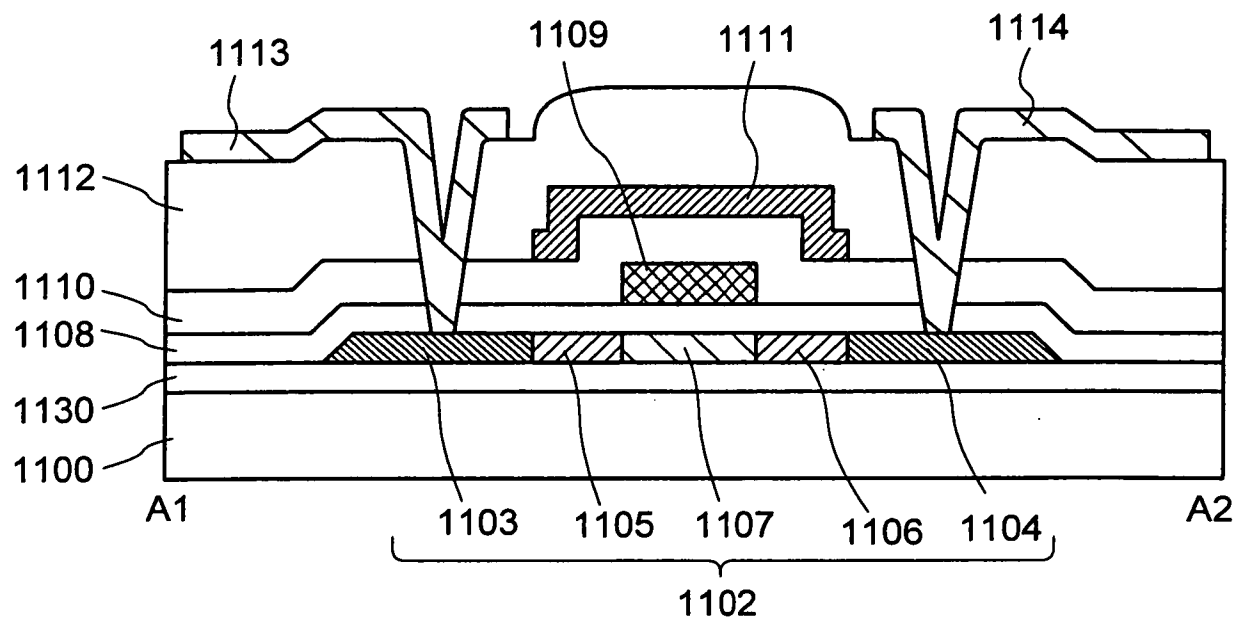


圖 16B

