

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-302951

(P2005-302951A)

(43) 公開日 平成17年10月27日(2005.10.27)

(51) Int. Cl.⁷

H01L 25/07

H01L 25/18

F I

H01L 25/04

C

テーマコード (参考)

審査請求 未請求 請求項の数 5 O L (全 17 頁)

(21) 出願番号 特願2004-115728 (P2004-115728)

(22) 出願日 平成16年4月9日(2004.4.9)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100075812

弁理士 吉武 賢次

(74) 代理人 100088889

弁理士 橘谷 英俊

(74) 代理人 100082991

弁理士 佐藤 泰和

(74) 代理人 100096921

弁理士 吉元 弘

(74) 代理人 100103263

弁理士 川崎 康

(74) 代理人 100112793

弁理士 高橋 佳大

最終頁に続く

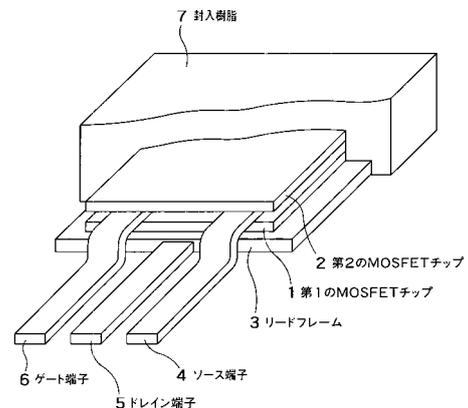
(54) 【発明の名称】 電力用半導体装置パッケージ

(57) 【要約】

【課題】 パッケージサイズの増大を回避しながら、オン抵抗が低く、出力容量及び定格電流が大きいパワーMOSFETを収容した電力用半導体装置パッケージを提供する。

【解決手段】 本発明の実施の一形態に係る電力用半導体装置パッケージは、電気的に同一構造を有する面同士が対向するように配置されて積層構造とされると共に並列接続され、一体的に封入樹脂に封入された複数の電力用半導体チップを備えているものである。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電氣的に同一構造を有する面同士が対向するように配置されて積層構造とされると共に並列接続され、一体的に封入樹脂に封入された複数の電力用半導体チップを備えていることを特徴とする電力用半導体装置パッケージ。

【請求項 2】

前記複数の電力用半導体チップは、相互に対向する面に形成されている電極配線同士が熱可塑性導電部材によって直接接続されることにより並列接続されていることを特徴とする請求項 1 に記載の電力用半導体装置パッケージ。

【請求項 3】

前記複数の電力用半導体チップは、相互に対向する面に形成されている電極配線同士が前記電極配線同士の間挟み込まれている電極配線金属板に熱可塑性導電部材によって接続されることにより並列接続されていることを特徴とする請求項 1 に記載の電力用半導体装置パッケージ。

10

【請求項 4】

前記複数の電力用半導体チップは、電氣的に同一構造を有する MOSFET であることを特徴とする請求項 1 乃至 3 のいずれかに記載の電力用半導体装置パッケージ。

【請求項 5】

前記複数の電力用半導体チップのサイズが、それぞれ異なることを特徴とする請求項 1 乃至 4 のいずれかに記載の電力用半導体装置パッケージ。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力用半導体装置パッケージに関する。

【背景技術】

【0002】

電力用半導体素子の開発及び改良により、電源回路の小型化、低損失化が進んでいる。特に、ACアダプタ等は、構成部品として主に用いられているスイッチング素子であるパワー MOSFET が低オン抵抗化されることにより、導通損失が低減され、低損失化が実現されている。

30

【0003】

パワー MOSFET のオン抵抗はチップ面積に反比例するため、定格電流の大きい電源回路においては、チップ面積の大きいパワー MOSFET チップを使用する必要がある。そして、パッケージに収容することができるチップサイズは、パッケージの大きさに依存する。

【0004】

従って、定格電流が大きく、オン抵抗の低い MOSFET のチップを収容するパッケージのサイズは、大きくせざるを得ない。

【0005】

尚、従来の技術においては、パッケージサイズ増大の抑制、製造工程の簡略化等の観点から、相互に異なる機能を有する複数の半導体チップを積層構造としてパッケージングした半導体装置が提案され、公知となっている（例えば、特許文献 1, 2, 3 参照）。

40

【0006】

しかしながら、相互に異なる機能を有する複数の半導体チップを積層構造としてパッケージングした半導体装置を除くと、従来の半導体装置パッケージにおいては、1 個のパッケージ内には 1 個の半導体チップのみが収容されていた。

【0007】

上述のように、パッケージに収容することができるチップサイズは、パッケージの大きさに依存するので、パッケージサイズ、即ち、リードフレームのサイズが決まると、これに応じて、収容可能な最大チップ面積が決まる。

50

【0008】

そして、パワーMOSFETのオン抵抗は、チップ面積に反比例するので、そのパッケージに収容可能な最大チップ面積によって最小オン抵抗が決まることとなる。

【0009】

一方、電源回路については、小型化、低損失化に加えて大容量化も行われており、出力容量及び定格電流が大きい電源回路が用いられるようになってきている。

【0010】

電源回路の出力容量及び定格電流の増加に伴って、通常、導通損失も増加するが、斯かる導通損失の増加を回避又は抑制するためには、オン抵抗の小さいパワーMOSFETチップ、即ち、面積の大きいパワーMOSFETチップを用いる必要がある。

10

【0011】

従って、従来に技術において、電源回路の出力容量及び定格電流の増加に伴う導通損失の増加を回避又は抑制するためには、パッケージサイズの大きいパワーMOSFETを使用しなければならなかった。

【0012】

結果として、電源回路の大容量化に伴って、パワーMOSFETのパッケージサイズは増大し、電源回路の小型化は困難であった。

【特許文献1】特開2002-208673号公報

【特許文献2】特開2003-197859号公報

【特許文献3】特開2002-217416号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0013】

本発明の目的は、パッケージサイズの増大を回避しながら、オン抵抗が低く、出力容量及び定格電流が大きいパワーMOSFETを収容した電力用半導体装置パッケージを提供することである。

【課題を解決するための手段】

【0014】

本発明の実施の一形態に係る電力用半導体装置パッケージによれば、電氣的に同一構造を有する面同士が対向するように配置されて積層構造とされると共に並列接続され、一体的に封入樹脂に封入された複数の電力用半導体チップを備えていることを特徴とする電力用半導体装置パッケージが提供される。

30

【発明の効果】

【0015】

本発明の実施の一形態に係る電力用半導体装置パッケージによれば、パッケージサイズの増大を回避しながら、オン抵抗が低く、出力容量及び定格電流が大きいパワーMOSFETを収容した電力用半導体装置パッケージを提供することができる。

【発明を実施するための最良の形態】

【0016】

以下、本発明に係る電力用半導体装置パッケージの実施の形態について、図面を参照しながら説明する。尚、図面中の同一又は類似の構成要素には、同一の符号を付している。

40

【0017】

図1は、本発明の第1の実施の形態に係る電力用半導体装置パッケージの構造を示す部分切開斜視図であり、図2は、本発明の第1の実施の形態に係る電力用半導体装置パッケージの構造を示す断面図である。

【0018】

本発明の第1の実施の形態に係る電力用半導体装置パッケージは、リードフレーム3と、リードフレーム3上に熱可塑性導電部材としてのハンダ8によりマウントされた第1の電力用MOSFETチップ1と、リードフレーム3から引き出され、第1の電力用MOSFETチップ1裏面のドレイン電極と接続されたドレイン端子5と、第1の電力用MOS

50

F E Tチップ 1 上に形成されたソースパッド 1 1 a 及びゲートパッド (図示せず) と、第 1 の電力用 M O S F E Tチップ 1 上のソースパッド 1 1 a 及びゲートパッドが熱可塑性導電部材としてのハンダバンプ 9 により一方側の面にそれぞれ接続されたソース端子 4 及びゲート端子 6 と、表面上に形成されたソースパッド 1 1 b 及びゲートパッド (図示せず) がハンダバンプ 9 によりソース端子 4 及びゲート端子 6 の他方側の面にそれぞれ接続され、裏面のドレイン電極が金属フレーム 1 0 及びハンダ 8 によりリードフレーム 3 に接続されることにより第 1 の電力用 M O S F E Tチップ 1 に並列接続され、第 1 の電力用 M O S F E Tチップ 1 に対向して配置された第 2 の電力用 M O S F E Tチップ 2 と、ソース端子 4、ゲート端子 6 及びドレイン端子 5 の先端を露出させた状態で各構成部品が封入された封入樹脂 7 と、を備えている。

10

【 0 0 1 9 】

換言すると、本発明の第 1 の実施の形態に係る電力用半導体装置パッケージは、電極配線金属板 4、6 を挟んで相互に対向して積層構造に配置されて当該電極配線金属板 4、6 に電極配線が共通接続されることにより相互に並列接続され、一体的に封入樹脂 7 に封入された 2 個の電力用 M O S F E Tチップ、即ち、第 1 及び第 2 の電力用 M O S F E Tチップ 1 及び 2 を備えているものである。

【 0 0 2 0 】

第 1 の電力用 M O S F E Tチップ 1 と第 2 の電力用 M O S F E Tチップ 2 とは、同等の機能を有し、同期して動作する電力用 M O S F E Tチップであり、相互に並列接続されている。従って、第 1 の電力用 M O S F E Tチップ 1 と第 2 の電力用 M O S F E Tチップ 2 とは、外部電極端子としてのソース端子 4、ゲート端子 5 及びドレイン端子 6 の総てにそれぞれ接続されている。

20

【 0 0 2 1 】

第 1 及び第 2 の電力用 M O S F E Tチップ 1 及び 2 は、上述のように、積層構造に配置されてリードフレーム 3 上にマウントされ、一体的に封入樹脂 7 に封入されている。

【 0 0 2 2 】

また、第 1 及び第 2 の電力用 M O S F E Tチップ 1 及び 2 が縦型 M O S F E Tである場合、チップ表面側にソースパッド及びゲートパッドが形成され、チップ裏面側がドレイン電極となる。

【 0 0 2 3 】

第 1、第 2 の電力用 M O S F E Tチップ 1、2 表面上のソースパッド 1 1 a、1 1 b 及びゲートパッド上に形成されたハンダバンプ 9 を介してソースパッド 1 1 a、1 1 b 及びゲートパッドがソース端子 4 及びゲート端子 6 にそれぞれ接続されることにより、ソース電極配線及びゲート電極配線が引き出されている。

30

【 0 0 2 4 】

また、第 1 の電力用 M O S F E Tチップ 1 をハンダ 8 によりリードフレーム 3 上にマウントすることによって、第 1 の電力用 M O S F E Tチップ 1 裏面側のドレイン電極がリードフレーム 3 に引き出され、第 2 の電力用 M O S F E Tチップ 2 裏面とリードフレーム 3 とを金属フレーム 1 0 及びハンダ 8 により接続することによって、第 2 の電力用 M O S F E Tチップ 2 裏面側のドレイン電極がリードフレーム 3 に引き出されている。

40

【 0 0 2 5 】

このように、第 1 及び第 2 の電力用 M O S F E Tチップ 1 及び 2 を近接させて一体的に封入樹脂 7 に封入することにより、両チップの温度環境が同等のものとなって、第 2 の電力用 M O S F E Tチップ 2 の熱抵抗と第 1 の電力用 M O S F E Tチップ 1 の熱抵抗とを同等にすることが可能となる。

【 0 0 2 6 】

従って、第 1 及び第 2 の電力用 M O S F E Tチップ 1 及び 2 の理想的な並列動作を実現することができる。

【 0 0 2 7 】

図 3 は、本発明の第 1 の実施の形態に係る電力用半導体装置パッケージの構造の一例を

50

より詳細に示す部分断面図である。尚、図3は、本発明の第1の実施の形態に係る電力用半導体装置パッケージのうち、封入樹脂に封入されている2個の電力用MOSFETチップの部分の断面構造を示している。

【0028】

第1及び第2の電力用MOSFETチップ1及び2に形成されている電力用MOSFETが縦型MOSFETである場合の第1及び第2の電力用MOSFETチップ1及び2の部分の断面構造をより詳細に示すと、図3の断面図のようになる。

【0029】

第1の電力用MOSFETチップ1は、n+型基板15と、n+型基板15上に形成されたn-型ドリフト層16と、n-型ドリフト層16の表面部に形成されたp型ベース層17と、p型ベース層17の表面部に形成されたn+型ソース層18と、一のp型ベース層17の表面部に形成されたn+型ソース層18上の領域から、当該一のp型ベース層17にn-型ドリフト層16を介して隣接する他のp型ベース層17の表面部に形成されたn+型ソース層18上の領域まで、絶縁膜を介して形成されたゲート電極19と、n+型ソース層18に接続されるように形成されたソースパッド11aと、ソースパッド11a上に形成されたハンダバンプ9と、n+型基板15裏面上に形成され、ハンダ8によりリードフレーム3に接続されるドレイン電極14と、素子領域周囲のn-型ドリフト層16の表面部に形成されたガードリング20と、を備えている。

10

【0030】

第2の電力用MOSFETチップ2も第1の電力用MOSFETチップ1と同様の構造を有しているが、第2の電力用MOSFETチップ2のドレイン電極14bは、金属フレーム10及びハンダ8によりリードフレーム3に接続される。

20

【0031】

そして、第1及び第2の電力用MOSFETチップ1及び2は、相互に表面側同士が対向してソース端子4及びゲート端子6(図1参照)を挟み込むように配置されて、各ソースパッド11a及び11b並びにゲートパッドがハンダバンプ9によりそれぞれソース端子4及びゲート端子6に接続される。これにより、第1及び第2の電力用MOSFETチップ1及び2は相互に並列接続され、ソース電極配線及びゲート電極配線は外部端子へ引き出されている。また、リードフレーム3にはドレイン端子5(図1参照)が接続されており、これによりドレイン電極配線が外部端子へ引き出されている。

30

【0032】

尚、本発明の第1の実施の形態に係る電力用半導体装置パッケージの他、後述する本発明の各実施の形態に係る電力用半導体装置パッケージにおいても、各電力用MOSFETチップに形成されている電力用MOSFETを図3に示す縦型MOSFETとすることができる。

【0033】

図3においては、2個の電力用MOSFETチップの間に電極配線金属板4,6が挟み込まれている場合の構造を示しているが、電極配線金属板4,6を挟み込まずにハンダバンプ等により電極配線を直接接続する場合においても、同様に各電力用MOSFETを縦型MOSFETとすることができる。また、図3においては、2個の電力用MOSFETチップの部分の断面構造のみ示しているが、後述するように3個の電力用MOSFETチップが積層構造に配置されて一体的に封入樹脂に封入される場合においても、同様に各電力用MOSFETを縦型MOSFETとすることができる。

40

【0034】

以上のように、本発明の第1の実施の形態に係る電力用半導体装置パッケージによれば、電極配線金属板4,6を挟んで対向して積層構造に配置されて当該電極配線金属板4,6に共通接続されることにより相互に並列接続され、一体的に封入樹脂7に封入された第1及び第2の電力用MOSFETチップ1及び2を備えている構造を採用したので、パッケージサイズをほとんど増大させることなく、電力用MOSFETチップのチップ面積を2倍として、単一パッケージの電力用半導体装置全体としてのオン抵抗を半減させること

50

ができる。

【0035】

従って、パッケージサイズの増大を回避しながら、オン抵抗が低く、定格電流が大きいパワーMOSFETを収容した電力用半導体装置パッケージを提供することができる。

【0036】

尚、電力用半導体装置パッケージの厚さは、通常、2乃至3mm程度であり、一方、電力用MOSFETチップ1枚の厚さは150乃至200 μ m程度であるから、パッケージに封入するMOSFETチップが1枚、又は、後述するように2枚増加したとしても、電力用半導体装置パッケージの厚さは実質的に変化しないといえることができる。

【0037】

図4は、本発明の第2の実施の形態に係る電力用半導体装置パッケージの構造を示す部分切開斜視図であり、図5は、本発明の第2の実施の形態に係る電力用半導体装置パッケージの構造を示す断面図である。

【0038】

本発明の第2の実施の形態に係る電力用半導体装置パッケージは、リードフレーム3と、リードフレーム3上にハンダ8によりマウントされた第1の電力用MOSFETチップ1と、リードフレーム3から引き出され、第1の電力用MOSFETチップ1裏面のドレイン電極と接続されたドレイン端子5と、第1の電力用MOSFETチップ1上に形成されたソースパッド11a及びゲートパッド(図示せず)と、表面上に形成されたソースパッド11b及びゲートパッド(図示せず)がハンダバンプ9により第1の電力用MOSFETチップ1上のソースパッド11a及びゲートパッドにそれぞれ接続され、裏面のドレイン電極が金属フレーム10及びハンダ8によりリードフレーム3に接続されることにより第1の電力用MOSFETチップ1に並列接続され、第1の電力用MOSFETチップ1に対向して配置された第2の電力用MOSFETチップ2と、第1の電力用MOSFETチップ1上のソースパッド11aと外部端子としてのソース端子4とを接続すると共に、第1の電力用MOSFETチップ1上のゲートパッドと外部端子としてのゲート端子6とを接続するワイヤストラップ13と、ソース端子4、ゲート端子6及びドレイン端子5の先端を露出させた状態で各構成部品が封入された封入樹脂7と、を備えている。

【0039】

換言すると、本発明の第2の実施の形態に係る電力用半導体装置パッケージは、相互に対向して積層構造に配置されて電極配線がハンダバンプ9によって共通接続されることにより相互に並列接続され、一体的に封入樹脂7に封入された2個の電力用MOSFETチップ、即ち、第1及び第2の電力用MOSFETチップ1及び2を備えているものである。

【0040】

本発明の第2の実施の形態に係る電力用半導体装置パッケージの構成は、多くの点において本発明の第1の実施の形態に係る電力用半導体装置パッケージの構成と共通しているが、第1の電力用MOSFETチップ1と第2の電力用MOSFETチップ2との間に電極配線金属板4,6が挟み込まれておらず、第1の電力用MOSFETチップ1上のソースパッド11a及びゲートパッドと第2の電力用MOSFETチップ2上のソースパッド11b及びゲートパッドとがハンダバンプ9により直接接続されている点が異なっている。

【0041】

従って、第1及び第2の電力用MOSFETチップ1及び2上のソース電極配線及びゲート電極配線を外部に引き出すために、第1の電力用MOSFETチップ1上のソースパッド11a及びゲートパッドをワイヤストラップ13によりソース端子4及びゲート端子6にそれぞれ接続している。

【0042】

第1の電力用MOSFETチップ1と第2の電力用MOSFETチップ2との間に電極配線金属板4,6が挟み込まれていないので、製造工程が技術的に容易なものとなり、か

10

20

30

40

50

つ、簡略化される。

【0043】

第1の電力用MOSFETチップ1上のソースパッド11a及びゲートパッドにワイヤストラップ13を接続するコンタクト領域を確保するため、本発明の第2の実施の形態に係る電力用半導体装置パッケージにおいては、第1の電力用MOSFETチップ1より第2の電力用MOSFETチップ2の方がチップ面積が若干小さくなっている。

【0044】

尚、ワイヤストラップ13の材料としては、アルミニウム、銅等を用いることができる。

【0045】

以上のように、本発明の第2の実施の形態に係る電力用半導体装置パッケージによれば、対向して積層構造に配置されて、電極配線がハンダバンプ9により共通接続されることにより相互に並列接続され、一体的に封入樹脂7に封入された第1及び第2の電力用MOSFETチップ1及び2を備えている構造を採用したので、パッケージサイズをほとんど増大させることなく、電力用MOSFETチップのチップ面積を約2倍として、単一パッケージの電力用半導体装置全体としてのオン抵抗をほぼ半減させることができる。

【0046】

従って、パッケージサイズの増大を回避しながら、オン抵抗が低く、定格電流が大きいパワーMOSFETを収容した電力用半導体装置パッケージを提供することができる。

【0047】

図6は、本発明の第2の実施の形態に係る電力用半導体装置パッケージの変形例の構造を示す断面図である。

【0048】

図4及び図5に示す本発明の第2の実施の形態に係る電力用半導体装置パッケージにおいては、第2の電力用MOSFETチップ2裏面のドレイン電極とリードフレーム3とを金属フレーム10及びハンダ8により接続していたのに対して、図6に示す変形例においては、第2の電力用MOSFETチップ2裏面のドレイン電極とリードフレーム3とをワイヤストラップ13bにより接続している点が異なっている。その他の部分は、同様の構成となっている。

【0049】

第2の電力用MOSFETチップ2裏面のドレイン電極とリードフレーム3との接続を、第1の電力用MOSFETチップ1上のソースパッド11a及びゲートパッドとソース端子4及びゲート端子6との接続と同様に、ワイヤストラップを用いて行うことにより、製造工程をさらに簡略化することができる。

【0050】

図7は、本発明の第3の実施の形態に係る電力用半導体装置パッケージの構造を示す部分切開斜視図である。

【0051】

第1の電力用MOSFETチップ1上のソースパッド11a(図5参照)とソース端子4との接続、及び、第1の電力用MOSFETチップ1上のゲートパッドとゲート端子との接続を、図4及び図5に示す本発明の第2の実施の形態に係る電力用半導体装置パッケージにおいてはワイヤストラップ13を用いて行っていたのに対し、図7に示す本発明の第3の実施の形態に係る電力用半導体装置パッケージにおいてはボンディングワイヤ21を用いて行っている。

【0052】

本発明の第3の実施の形態に係る電力用半導体装置パッケージにおいても、第1の電力用MOSFETチップ1と第2の電力用MOSFETチップ2との間に電極配線金属板4,6が挟み込まれていないので、製造工程が技術的に容易なものとなり、かつ、簡略化される。

【0053】

10

20

30

40

50

尚、第1の電力用MOSFETチップ1上のソースパッド11a及びゲートパッドにボンディングワイヤ21を接続するコンタクト領域を確保するため、本発明の第3の実施の形態に係る電力用半導体装置パッケージにおいても、第1の電力用MOSFETチップ1より第2の電力用MOSFETチップ2の方がチップ面積が若干小さくなっている。

【0054】

従って、本発明の第3の実施の形態に係る電力用半導体装置パッケージによっても、本発明の第2の実施の形態に係る電力用半導体装置パッケージとほぼ同様の効果を得ることができる。

【0055】

図8は、本発明の第4の実施の形態に係る電力用半導体装置パッケージの構造を示す断面図である。

【0056】

本発明の第4の実施の形態に係る電力用半導体装置パッケージは、リードフレーム3と、リードフレーム3上にハンダ8によりマウントされた第1の電力用MOSFETチップ1と、リードフレーム3から引き出され、第1の電力用MOSFETチップ1裏面のドレイン電極と接続されたドレイン端子(図示せず)と、第1の電力用MOSFETチップ1上に形成されたソースパッド11a及びゲートパッド(図示せず)と、表面上に形成されたソースパッド11b及びゲートパッド(図示せず)がハンダバンプ9により第1の電力用MOSFETチップ1上のソースパッド11a及びゲートパッドにそれぞれ接続され、裏面のドレイン電極が金属フレーム10及びハンダ8によりリードフレーム3に接続されることにより第1の電力用MOSFETチップ1に並列接続され、第1の電力用MOSFETチップ1に対向して配置された第2の電力用MOSFETチップ2と、第1の電力用MOSFETチップ1上のソースパッド11aと外部端子としてのソース端子4とを接続すると共に、第1の電力用MOSFETチップ1上のゲートパッドと外部端子としてのゲート端子(図示せず)とを接続するワイヤストラップ13と、表面上に形成されたソースパッド11c及びゲートパッド(図示せず)が他のワイヤストラップ13によりソース端子4及びゲート端子にそれぞれ接続されると共に、第2の電力用MOSFETチップ2裏面のドレイン電極がハンダ8により接続されている金属フレーム10の面と反対側の面に、裏面のドレイン電極がハンダ8により接続されてマウントされることにより、第1及び第2の電力用MOSFETチップ1及び2に並列接続された第3の電力用MOSFETチップ22と、ソース端子4、ゲート端子6及びドレイン端子5の先端を露出させた状態で各構成部品が封入された封入樹脂7と、を備えている。

【0057】

換言すると、本発明の第4の実施の形態に係る電力用半導体装置パッケージは、表面側と表面側、裏面側と裏面側が相互に対向して交互の積層構造に配置されて表面側同士の電極配線がハンダバンプ9によって共通接続されると共に裏面側同士の電極配線が金属フレーム10及びハンダ8によって共通接続されることにより相互に並列接続され、一体的に封入樹脂7に封入された3個の電力用MOSFETチップ、即ち、第1、第2及び第3の電力用MOSFETチップ1, 2及び22を備えているものである。

【0058】

前述した本発明の各実施の形態に係る電力用半導体装置パッケージは、2個の電力用MOSFETチップを、表面側が相互に対向する積層構造に配置し、かつ、相互に並列接続して一体的に封入樹脂7に封入した構成であったのに対し、本発明の第4の実施の形態に係る電力用半導体装置パッケージは、3個の電力用MOSFETチップを、表面側と表面側、裏面側と裏面側が相互に対向する交互の積層構造に配置し、かつ、相互に並列接続して一体的に封入樹脂7に封入した構成となっている。

【0059】

第1の電力用MOSFETチップ1上のソースパッド11a及びゲートパッドにワイヤストラップ13を接続するコンタクト領域を確保するため、本発明の第4の実施の形態に係る電力用半導体装置パッケージにおいては、第1の電力用MOSFETチップ1より第

10

20

30

40

50

2及び第3の電力用MOSFETチップ2及び22の方がチップ面積が若干小さくなっている。

【0060】

以上のように、本発明の第4の実施の形態に係る電力用半導体装置パッケージによれば、表面側と表面側、裏面側と裏面側が相互に対向して交互の積層構造に配置されて、表面側同士の電極配線がハンダバンプ9により共通接続されると共に裏面側同士の電極配線が金属フレーム10及びハンダ8により共通接続されることにより相互に並列接続され、一体的に封入樹脂7に封入された第1、第2及び第3の電力用MOSFETチップ1, 2及び22を備えている構造を採用したので、パッケージサイズをほとんど増大させることなく、電力用MOSFETチップのチップ面積を約3倍として、単一パッケージの電力用半導体装置全体としてのオン抵抗をほぼ1/3に大幅に低減させることができる。

10

【0061】

従って、パッケージサイズの増大を回避しながら、オン抵抗がより低く、出力容量及び定格電流が大きいパワーMOSFETを収容した電力用半導体装置パッケージを提供することができる。

【0062】

尚、本発明の第4の実施の形態に係る電力用半導体装置パッケージにおいては、ワイヤストラップ13の代わりにボンディングワイヤを用いることもできる。

【0063】

図9は、本発明の第5の実施の形態に係る電力用半導体装置パッケージの構造を示す断面図である。

20

【0064】

本発明の第5の実施の形態に係る電力用半導体装置パッケージは、リードフレーム3と、リードフレーム3上にハンダ8によりマウントされた第1の電力用MOSFETチップ1と、リードフレーム3から引き出され、第1の電力用MOSFETチップ1裏面のドレイン電極と接続されたドレイン端子(図示せず)と、第1の電力用MOSFETチップ1上に形成されたソースパッド11a及びゲートパッド(図示せず)と、第1の電力用MOSFETチップ1上のソースパッド11a及びゲートパッドがハンダバンプ9により一方側の面にそれぞれ接続されたソース端子4及びゲート端子(図示せず)と、表面上に形成されたソースパッド11b及びゲートパッド(図示せず)がハンダバンプ9によりソース端子4及びゲート端子の他方側の面にそれぞれ接続され、裏面のドレイン電極が金属フレーム10及びハンダ8によりリードフレーム3に接続されることにより第1の電力用MOSFETチップ1に並列接続され、第1の電力用MOSFETチップ1に対向して配置された第2の電力用MOSFETチップ2と、表面上に形成されたソースパッド11c及びゲートパッド(図示せず)が他の金属フレーム10b及びハンダ8によりソース端子4及びゲート端子にそれぞれ接続されると共に、第2の電力用MOSFETチップ2裏面のドレイン電極がハンダ8により接続されている金属フレーム10の面と反対側の面に、裏面のドレイン電極がハンダ8により接続されてマウントされることにより、第1及び第2の電力用MOSFETチップ1及び2に並列接続された第3の電力用MOSFETチップ22と、ソース端子4、ゲート端子6及びドレイン端子5の先端を露出させた状態で各構成部品が封入された封入樹脂7と、を備えている。

30

40

【0065】

換言すると、本発明の第5の実施の形態に係る電力用半導体装置パッケージは、電極配線金属板4, 6を挟んで表面側が相互に対向して積層構造に配置されて当該電極配線金属板4, 6に表面側の電極配線が共通接続されることにより相互に並列接続された第1及び第2の電力用MOSFETチップ1及び2と、裏面側が第2の電力用MOSFETチップ2の裏面側と相互に対向して積層構造に配置されて裏面側同士の電極配線が金属フレーム10及びハンダ8によって共通接続されることにより相互に並列接続された第3の電力用MOSFETチップ22とを含む、一体的に封入樹脂7に封入された積層構造の3個の電力用MOSFETチップ、即ち、第1、第2及び第3の電力用MOSFETチップ1, 2

50

及び 22 を備えているものである。

【0066】

本発明の第 5 の実施の形態に係る電力用半導体装置パッケージは、3 個の電力用 MOSFET チップを、表面側と表面側、裏面側と裏面側が相互に対向する交互の積層構造に配置している点においては、図 8 に示す本発明の第 4 の実施の形態に係る電力用半導体装置パッケージと共通している。

【0067】

但し、本発明の第 4 の実施の形態に係る電力用半導体装置パッケージにおいては、第 1 の電力用 MOSFET チップ 1 表面の電極配線と第 2 の電力用 MOSFET チップ 2 表面の電極配線とがハンダバンプ 9 により直接接続されているのに対して、本発明の第 5 の実施の形態に係る電力用半導体装置パッケージにおいては、第 1 の電力用 MOSFET チップ 1 と第 2 の電力用 MOSFET チップ 2 との間に電極配線金属板 4, 6 が挟み込まれており、第 1 の電力用 MOSFET チップ 1 表面の電極配線と第 2 の電力用 MOSFET チップ 2 表面の電極配線とがそれぞれ電極配線金属板 4, 6 に接続されている点が異なっている。

10

【0068】

さらに、本発明の第 5 の実施の形態に係る電力用半導体装置パッケージにおいては、最上層チップとしての第 3 の電力用 MOSFET チップ 22 表面上のソースパッド 11c 及びゲートパッドとソース端子 4 及びゲート端子との間の接続も、ワイヤストラップではなく金属フレーム 10b を用いて行われている。

20

【0069】

本発明の第 5 の実施の形態に係る電力用半導体装置パッケージによっても、本発明の第 4 の実施の形態に係る電力用半導体装置パッケージと同様の効果を得ることができ、さらに、各部の接続部材を総て金属板に統一しているので、製造工程を簡略化することができる。

【0070】

図 10 は、本発明の第 6 の実施の形態に係る電力用半導体装置パッケージの構造の一例を示す部分断面図であり、図 11 は、本発明の第 6 の実施の形態に係る電力用半導体装置パッケージの構造を示す部分切開斜視図である。

【0071】

上述した本発明の各実施の形態に係る電力用半導体装置パッケージにおいては、各電力用 MOSFET チップに形成されている電力用 MOSFET を図 3 に示す縦型 MOSFET とすることを前提としていたが、各電力用 MOSFET チップに形成されている電力用 MOSFET を横型 MOSFET とすることもでき、図 10 は、横型 MOSFET を採用した場合における本発明の各実施の形態に係る電力用半導体装置パッケージのうち、封入樹脂に封入されている 2 個の電力用 MOSFET チップの部分の断面構造を示している。

30

【0072】

図 10 においては、2 個の電力用 MOSFET チップの間に電極配線金属板 4, 6 が挟み込まれている場合の構造を示しているが、電極配線金属板 4, 6 を挟み込まずにハンダバンプ等により電極配線を直接接続する場合においても、同様に各電力用 MOSFET を横型 MOSFET とすることができる。また、図 10 においては、2 個の電力用 MOSFET チップの部分の断面構造のみ示しているが、3 個の電力用 MOSFET チップが積層構造に配置されて一体的に封入樹脂に封入される場合においても、同様に各電力用 MOSFET を横型 MOSFET とすることができる。

40

【0073】

第 1 の電力用 MOSFET チップ 1b は、p+ 型基板 24 と、p+ 型基板 24 上に形成された p- 型層 30 と、p- 型層 30 上に形成された n- 型ドリフト層 16 と、n- 型ドリフト層 16 の表面部に形成された p 型ベース層 17 と、p 型ベース層 17 及び p- 型層 30 内に形成された p+ 型層 25 と、p 型ベース層 17 及び p+ 型層 25 の境界を含む表面部に形成された n+ 型ソース層 18 と、一の p 型ベース層 17 と他の p 型ベース層 17

50

との間の n -型ドリフト層 16 の表面部に形成された n +型ドレイン層 26 と、 p +型基板 24 裏面上に形成され、ハンダ 8 によりリードフレーム 3 に接続されるソース電極 23 と、 n +型ソース層 18 及び p +型層 25 上に形成された第 2 のソース電極 31 と、 p 型ベース層 17 上に絶縁膜を介して形成されたゲート電極 19 と、 n +型ドレイン層 26 に接続されるように形成されたドレインパッド 27 と、ドレインパッド 27 上に形成されたハンダバンプ 9 と、を備えている。

【0074】

第 2 の電力用 MOSFET チップ 2 b も第 1 の電力用 MOSFET チップ 1 b と同様の構造を有しているが、第 2 の電力用 MOSFET チップ 2 b のソース電極 23 は、金属フレーム 10 及びハンダ 8 によりリードフレーム 3 に接続される。

10

【0075】

そして、第 1 及び第 2 の電力用 MOSFET チップ 1 b 及び 2 b は、相互に表面側同士が対向してドレイン端子 5 b 及びゲート端子 6 b を挟み込むように配置されて、各ドレインパッド 27 及びゲートパッドがハンダバンプ 9 によりそれぞれドレイン端子 5 b 及びゲート端子 6 b に接続される。これにより、第 1 及び第 2 の電力用 MOSFET チップ 1 b 及び 2 b は相互に並列接続され、ドレイン電極配線及びゲート電極配線は外部端子へ引き出されている。また、リードフレーム 3 にはソース端子 4 b が接続されており、これによりソース電極配線が外部端子へ引き出されている。

【0076】

横型 MOSFET においては、通常、基板とソース電極とを接続するため、ソース電極とドレイン電極との位置関係が縦型 MOSFET の場合と入れ替わる。

20

【0077】

即ち、電力用 MOSFET が縦型 MOSFET である場合は、図 3 に示すように、基板表面側にソース電極配線及びゲート電極配線が形成され、基板裏面側にドレイン電極配線が形成されるので、相互に表面側同士が対向する 2 枚の電力用 MOSFET チップ間にはソース端子及びゲート端子が挟み込まれるのに対して、電力用 MOSFET が横型 MOSFET である場合は、図 10 に示すように、基板表面側にドレイン電極配線及びゲート電極配線が形成され、基板裏面側にソース電極配線が形成されるので、相互に表面側同士が対向する 2 枚の電力用 MOSFET チップ間にはドレイン端子及びゲート端子が挟み込まれることになる。

30

【0078】

以上のような構造上の相違はあるが、本発明の第 6 の実施の形態に係る電力用半導体装置パッケージにおいても、即ち、パッケージに封入されている各電力用 MOSFET チップに形成されている電力用 MOSFET が横型 MOSFET である場合においても、前述した本発明の各実施の形態に係る電力用半導体装置パッケージと同様の効果を得ることができる。

【0079】

図 12 は、本発明の第 7 の実施の形態に係る電力用半導体装置パッケージの構造を示す断面図である。

【0080】

本発明の第 7 の実施の形態に係る電力用半導体装置パッケージは、リードフレーム 3 と、リードフレーム 3 上にハンダ 8 によりマウントされた第 1 の電力用 MOSFET チップ 1 と、リードフレーム 3 から引き出され、第 1 の電力用 MOSFET チップ 1 裏面のドレイン電極と接続されたドレイン端子 5 (図 1 参照) と、第 1 の電力用 MOSFET チップ 1 上に形成されたソースパッド 11 a 及びゲートパッド (図示せず) と、第 1 の電力用 MOSFET チップ 1 上のソースパッド 11 a 及びゲートパッドがハンダバンプ 9 により一方側の面にそれぞれ接続されたソース端子 4 及びゲート端子 6 (図 1 参照) と、表面上に形成されたソースパッド 11 b 及びゲートパッド (図示せず) がハンダバンプ 9 によりソース端子 4 及びゲート端子 6 の他方側の面にそれぞれ接続され、裏面のドレイン電極が金属フレーム 10 及びハンダ 8 によりリードフレーム 3 に接続されることにより第 1 の電力

40

50

用MOSFETチップ1に並列接続され、第1の電力用MOSFETチップ1に対向して配置された第2の電力用MOSFETチップ2と、ソース端子4、ゲート端子6及びドレイン端子5の先端並びに金属フレーム10の上面及びリードフレーム3の底面を露出させた状態で各構成部品が封入された封入樹脂7と、金属フレーム10の上面に装着された第1のヒートシンク28と、リードフレーム3の底面に装着された第2のヒートシンク29と、を備えている。

【0081】

本発明の第7の実施の形態に係る電力用半導体装置パッケージの内部の構成は、本発明の第1の実施の形態に係る電力用半導体装置パッケージと全く同様である。

【0082】

但し、本発明の第7の実施の形態に係る電力用半導体装置パッケージにおいては、第1及び第2の電力用MOSFETチップ1及び2にそれぞれ接続された最上層及び最下層の電極配線金属板の上面及び底面、即ち、金属フレーム10の上面及びリードフレーム3の底面を露出させた状態で各構成部品が封入樹脂7に封入されており、金属フレーム10の上面及びリードフレーム3の底面にそれぞれ第1及び第2のヒートシンク28及び29が装着されている点が、本発明の第1の実施の形態に係る電力用半導体装置パッケージと異なっている。

【0083】

従って、本発明の第7の実施の形態に係る電力用半導体装置パッケージによれば、本発明の第1の実施の形態に係る電力用半導体装置パッケージと同様の効果を得られる他、動作中に発熱する第1及び第2の電力用MOSFETチップ1及び2を第1及び第2のヒートシンク28及び29により効果的に冷却することができる。

【0084】

尚、第1及び第2のヒートシンク28及び29は、最上層及び最下層の電極配線金属板の上面及び底面、即ち、金属フレーム10の上面及びリードフレーム3の底面に直接装着されている必要はなく、ヒートシンクと電極配線金属板との間に絶縁シート等の絶縁部材を挿入してもよい。

【0085】

以上に説明したように、本発明の各実施の形態に係る電力用半導体装置パッケージによれば、電気的に同一構造を有する面同士が対向するように配置されて積層構造とされると共に並列接続され、一体的に封入樹脂に封入された複数の電力用半導体チップを備えている構成を採用したので、パッケージサイズの増大を回避しながら、オン抵抗が低く、出力容量及び定格電流が大きいパワーMOSFETを収容した電力用半導体装置パッケージを提供することができる。

【0086】

上述のように、本発明について、第1乃至第7の実施の形態を例示して説明したが、本発明は、上記第1乃至第7の実施の形態に限定されるものではない。上記第1乃至第7の実施の形態においては、プレナーゲート型MOSFETを用いて説明したが、トレンチゲート型MOSFETを用いて実施することも可能である。

【0087】

また、ドリフト層にスーパージャンクション構造が形成されたMOSFETを用いて実施することも可能である。

【0088】

さらに、本発明は、上記第1乃至第7の実施の形態に示したTO-220パッケージのようなパッケージでもSOP-8パッケージのような表面実装型パッケージでも実施可能であり、パッケージのサイズやリードフレームのパターンによって制限されることはない。

【0089】

加えて、上記第1乃至第7の実施の形態においては、2個の電力用MOSFETチップがリードフレーム3上において対向するように配置されて積層構造とされる形態を例示し

10

20

30

40

50

たが、2個の電力用MOSFETチップがリードフレーム3を介して、即ち、リードフレーム3を挟み込んで対向するように配置されて積層構造とされる形態としてもよい。

【図面の簡単な説明】

【0090】

【図1】本発明の第1の実施の形態に係る電力用半導体装置パッケージの構造を示す部分切開斜視図である。

【図2】本発明の第1の実施の形態に係る電力用半導体装置パッケージの構造を示す断面図である。

【図3】本発明の第1の実施の形態に係る電力用半導体装置パッケージの構造の一例をより詳細に示す部分断面図である。

【図4】本発明の第2の実施の形態に係る電力用半導体装置パッケージの構造を示す部分切開斜視図である。

【図5】本発明の第2の実施の形態に係る電力用半導体装置パッケージの構造を示す断面図である。

【図6】本発明の第2の実施の形態に係る電力用半導体装置パッケージの変形例の構造を示す断面図である。

【図7】本発明の第3の実施の形態に係る電力用半導体装置パッケージの構造を示す部分切開斜視図である。

【図8】本発明の第4の実施の形態に係る電力用半導体装置パッケージの構造を示す断面図である。

【図9】本発明の第5の実施の形態に係る電力用半導体装置パッケージの構造を示す断面図である。

【図10】本発明の第6の実施の形態に係る電力用半導体装置パッケージの構造の一例を示す部分断面図である。

【図11】本発明の第6の実施の形態に係る電力用半導体装置パッケージの構造を示す部分切開斜視図である。

【図12】本発明の第7の実施の形態に係る電力用半導体装置パッケージの構造を示す断面図である。

【符号の説明】

【0091】

1, 1b 第1の電力用MOSFETチップ

2, 2b 第2の電力用MOSFETチップ

3, 3b リードフレーム

4, 4b ソース端子

5, 5b ドレイン端子

6, 6b ゲート端子

7 封入樹脂

8, 8b ハンダ

9 ハンダバンプ

10, 10b, 10c 金属フレーム

11, 11a, 11b, 11c ソースパッド

12 ゲートパッド

13, 13b ワイヤストラップ

14 ドレイン電極

15 n+型基板

16 n-型ドリフト層

17 p型ベース層

18 n+型ソース層

19 ゲート電極

20 ガードリング

10

20

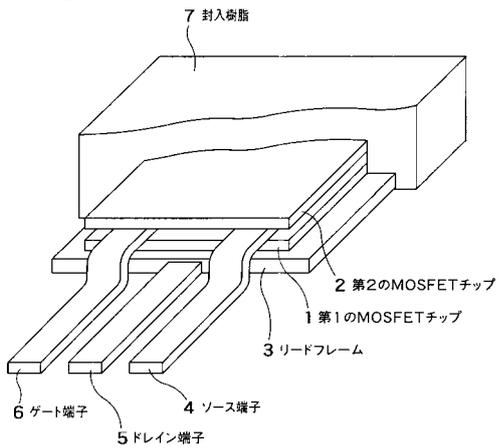
30

40

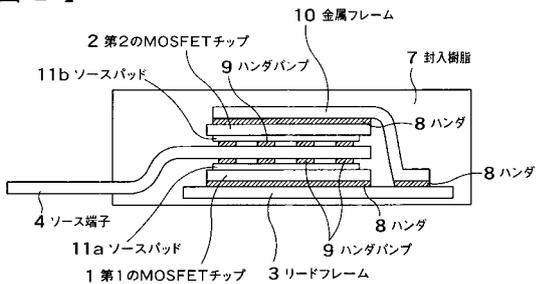
50

- 2 1 ボンディングワイヤ
- 2 2 第3の電力用MOSFETチップ
- 2 3 ソース電極
- 2 4 p + 型基板
- 2 5 p + 型層
- 2 6 n + 型ドレイン層
- 2 7 ドレインパッド
- 2 8 , 2 9 ヒートシンク
- 3 0 p - 型層
- 3 1 第2のソース電極

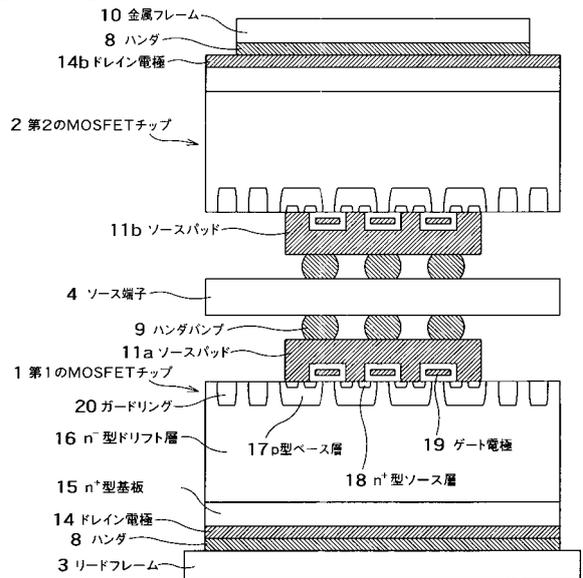
【 図 1 】



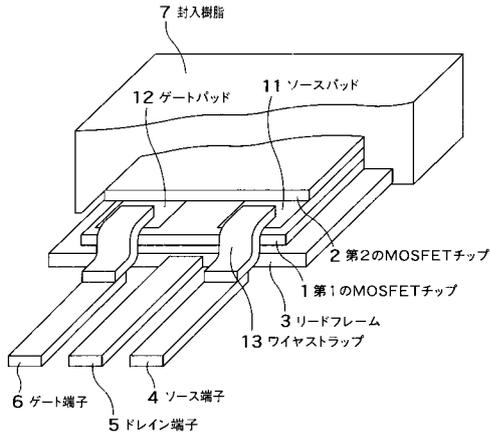
【 図 2 】



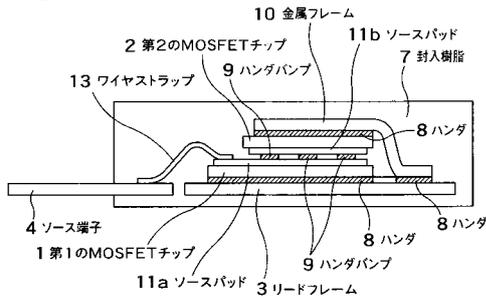
【 図 3 】



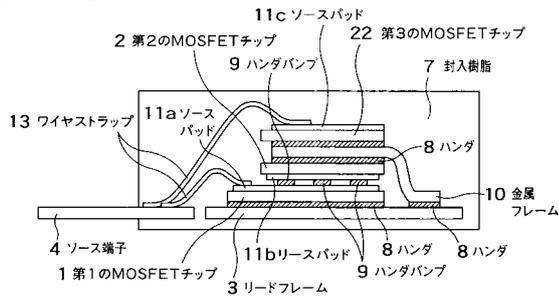
【 図 4 】



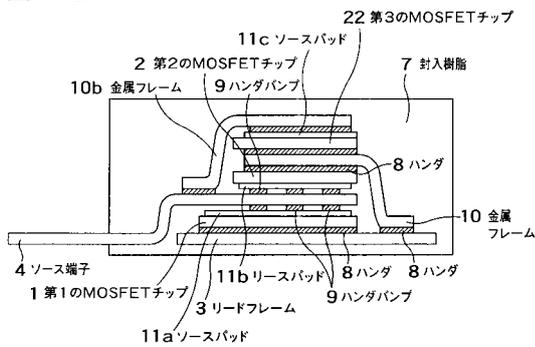
【 図 5 】



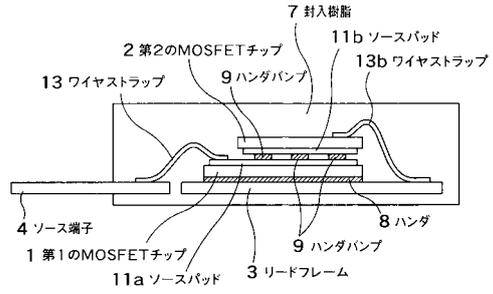
【 図 8 】



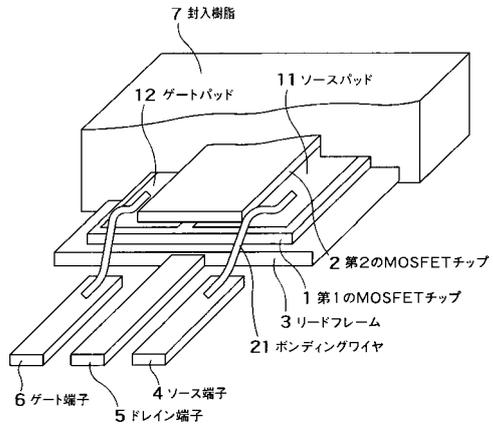
【 図 9 】



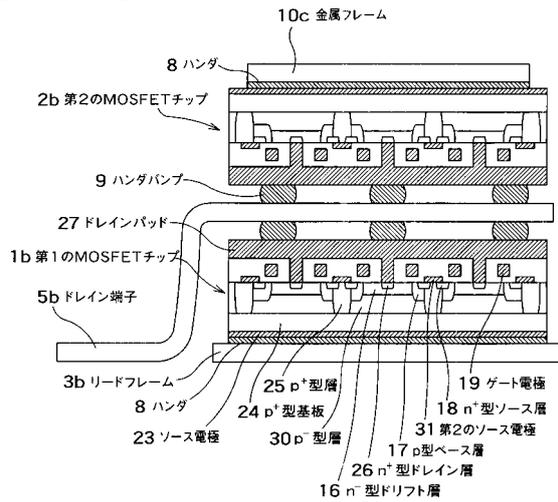
【 図 6 】



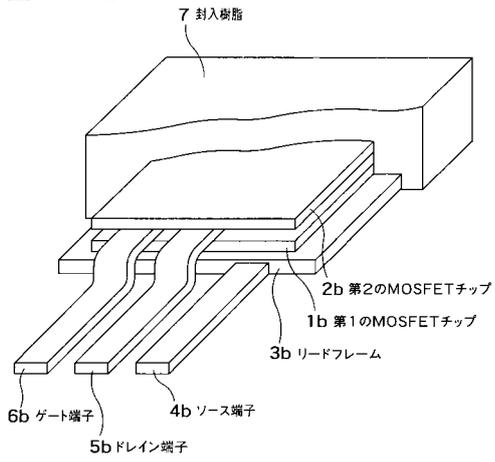
【 図 7 】



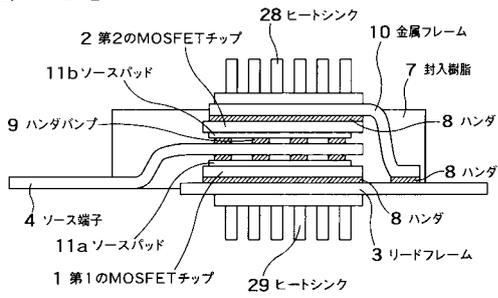
【 図 10 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

- (72)発明者 齋 藤 渉
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 大 村 一 郎
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内