

公告本

390997

申請日期	86.4.16
案 號	86104888
類 別	G11B 20/18

A4
C4

(以上各欄由本局填註)

390997

發 明 專 利 說 明 書

一、發明 名稱	中 文	全集積式雙軸振動檢測器
	英 文	FULLY INTEGRATED TWO AXIS SHOCK DETECTOR
二、發明人 創作	姓 名	陳經祥 Ching-Siang Chen
	國 籍	美國
三、申請人	住、居所	美國加州拉古納市紐沙奇巷24071號 24071 Nuthatch Lane Laguna Niguel, California USA
	姓 名 (名稱)	美商矽康系統公司 Silicon Systems, Inc.
	國 籍	美國籍
	住、居所 (事務所)	美國加州達斯汀市麥弗路14351號 14351 Myford Road, P.O. Box 2020, Tustin, CA 92781-2020, U.S.A.
	代 表 人 姓 名	貝維廉 (William E. Bendush)

經濟部中央標準局員工消費合作社印製

裝 訂 線

五、發明說明 (1)

發明之背景

1. 發明之領域

本發明係關於在電機械總成及機器之運動感測之領域。本發明尤指在硬式磁碟機總成(HDA)之領域，諸如用於電腦磁性記錄裝置之硬式磁碟機之振動感測。

2. 背景藝術

手提式個人電腦(PC)諸如膝上型電腦及筆記型電腦變成普遍存在時，對HDA設計者變得重要的是要識別並消除手提式個人電腦之最常見故障原因，以改進其可靠性。通常，手提式電腦是受到某些類型之故障，其並非桌上型機器之問題。例如，在攜帶或工作時，手提式電腦可能掉落，並且手提式系統中之組件可能損壞或破損。手提式個人電腦之主要故障原因之一，為磁碟機之脆弱性及其易受振動損壞。

提供桌上型電腦之相同功率及功能供手提式個人電腦，硬碟擔負重要任務。在磁碟機，一種代表性硬式磁碟機總成(HDA)包含一片或多片可旋轉式安裝之磁片，有極薄磁性塗層塗著在磁片基片上。資訊通常藉一讀／寫頭自硬碟讀取及寫入。HDA一般為有一種很敏感之架構，其中在磁碟機頭與磁片之間保持很小間隙，而這使HDA特別易受振動損壞。由於此間隙愈小，硬碟可儲存之數據愈多，小間隙尺寸是為硬碟之基準。

因此，在磁碟機應用，重要的是要保護硬式磁碟機總成(HDA)，以防環境振動及危險。磁片製造廠商瞭解此問題



五、發明說明 (2)

，並且通常藉著振動安裝HDA處理此問題。物理或機械衝擊仍可能破壞硬碟之數據完整性或硬體之完整性。例如，過度振動嚴重損壞硬式磁碟機或使其破損時，使用者便處在不但必須更換受損磁碟機，並且也損失寶貴資料庫之潛在危險之中。

因此，每當過度振動發生時，必須禁止寫入至磁碟機，保持磁碟機上之數據完整性，並且防止磁碟機之任何損壞。振動檢測器用於此項目的，以感知並檢測過度之振動，並且對嵌入之微處理器發出信號，以停止在磁碟機寫入。

HDA振動檢測器慣常藉包括電阻器及電容器組件之個別組件實施。然而，使用許多個別組件不只就成本而言損及檢測電路之效能，並且佔用相當大量之板空間，以容納個別之組件。更笨重之板通常由於各種不同因素，諸如較高之板成本及包裝成本而增加成本。更大之尺度也可能意謂在系統中有某些組件將會故障，並且因此較少總體系統可靠性之較大可能性。

先前技藝RC作用濾波器也不達成低於半功率或-3分貝頻率之輸入信號之急劇衰減。圖1示一種使用個別組件所實施之代表性先前技藝前端濾波器。該濾波器有二實極及一在零頻率之傳輸零。振動感測器101及 $10\text{ M}\Omega$ 之電阻器103經由電容器105並聯耦合至放大器115之正輸入端子。放大器115之正輸入端子也經由電阻器107及旁路電容器109耦合至電路參考點，諸如電路接地。電容器119及電阻器117並聯耦合在放大器115之輸出端子與放大器115之負輸入端



五、發明說明 (3)

子之間。放大器115之負輸入端子也經由電阻器3及旁路電容器113耦合至電路參考點，諸如電路接地。

在圖1中，電容器105提供AC耦合供振動信號輸入，並規劃DC組份。圖1中所示之濾波器電路在DC組份提供足夠捨棄，並在帶通提供增益加強。但在高頻組份之捨棄無法接受供大多數HDA應用。為克服此缺失，需要一種較高階濾波器，其可提供較佳之高頻響應特徵。然而，這增加成本及板空間。

而且，RC作用電路利用有電阻器及電容器之操作放大器示不穩定之頻率響應特徵，因為濾波器特徵係依電阻器及電容器值而定。代表性振動濾波器特徵需要大值電阻器及電容器實現低頻極及零，其復在積體電路技術佔用相當大矽空間，而使得問題複雜。因此，先前技藝RC作用電路不適合例如使用互補金屬氧化物半導體(CMOS)技術之單片整合，從而使得難以使系統依比例縮小。

再者，大多數先前技藝振動檢測器為求簡單及低成本，而設計為僅檢測單軸振動。雖然此方法對某些應用令人滿意，其常不適當或足以檢測及補償過度之振動，並保護硬式磁碟機。例如單軸振動檢測器由於僅沿一軸檢測振動信號，而將不具有完全之振動檢測，並因而將會導致較所希望者為較不正確感測實際之物理或機械振動。雖然較不準確之振動感測對桌上型電腦及工作站為可容忍，但其常對很多手提式個人電腦諸如膝上型電腦導致關鍵性之損壞或破損影響。

五、發明說明 (4)

然而，如果人們要設計雙軸振動檢測系統，使用先前技藝個別組件系統提供較準確之感測，將會需要甚至更大之板空間，並將為準確度而犧牲袖珍尺寸。圖 2 示一種習知之全波整流器，有藉個別組件所實施之加法器及 LPF。請參照圖 2，輸入信號 V_{INx} 予以耦合至 X-軸全波整流器 211，其通過電阻器 219 耦合至加法器 215。加法器 215 之輸出耦合至 LPF 1007，其輸出至 V_{out} 。 V_{INy} 予以耦合至 Y-軸全波整流器 213，其也通過電阻器 221 耦合至加法器 215。

來自雙軸之信號需在加在一起之前予以個別全波整流，因為振動可為在任一軸之正或負方向。如圖 2 中所示，習知為使用二只二極管在單方向整流。該方法不僅不適合 CMOS 實施，並且也需要頗大量之矽面積。如所曾討論，笨重之設計增加成本，並且不適合手提式電腦應用。

因此，在該項技藝需要克服先前技藝 HDA 振動檢測器之缺點，並且提供一種振動檢測器，其可藉單片整合技術以袖珍尺寸製成，而仍然提供改進及可靠之振動感測能力。本發明提供此種供雙軸 HDA 振動檢測器之全集積式設計。

發明之概述

本發明揭示一種以積體電路技術所實施，具有高階濾波器之全集積式振動檢測器。濾波器以一種改良之晶片上偏壓產生器予以整合，因而其可提供穩定，可修整及／或可程式頻率響應，而有最少數目之外部電容器。電阻器元件係以 MOSFET（金屬氧化物半導體場效應電晶體）所實施，其被晶片上偏壓產生器所適當偏壓。本發明也提供一種改



五、發明說明 (5)

良之全波整流器，一將自X-軸及Y-軸振動感測器之信號累加之加法器，及一晶片上低通濾波器。

全波整流器為使用一種積體電路技術所實施，並包含一操作放大器。本發明提供雙全波整流器供X-軸及Y-軸振動感測，以便可達成更準確及可靠之振動檢測。來自X-軸及Y-軸振動感測器之輸入信號予以轉換為電流，並提供至雙全波整流器。如此全波整流之電流予以累加，並予低通濾波，以產生輸出信號，其然後予以饋給至比較器，以產生振動檢測信號。由於本發明將系統之大部份整合於單片電路，並且僅需要少數外部組件，故將有壓電陶瓷感測器之所有檢測電路容納在一包裝中為可行並合乎理想，因此減低成本及板空間。

附圖之簡要說明

圖 1 示一種使用個別組件所實施之代表性先前技藝前端濾波器。

圖 2 例示一種具有加法器及低通濾波器(LPF)之習知全波整流器。

圖 3 示一種根據本發明之雙軸振動檢測器電路之功能方塊圖。

圖 4 示一種理想前端帶通濾波器之頻率響應。

圖 5 示一種實際前端帶通濾波器之頻率響應。

圖 6 示一種根據本發明之帶通濾波器之較佳實施例。

圖 7 示根據圖 6 之實施例所構造之帶通濾波器之頻率響應。

五、發明說明 (6)

圖 8 示根據圖 6 之實施例所構造之帶通濾波器之延長頻率響應。

圖 9 示一種根據本發明之前端高通濾波器之實施例。

圖 10 示一種根據本發明之偏壓產生器之較佳實施例。

圖 11 示一種根據本發明之偏壓產生器之替代性實施例。

圖 12 示一種根據本發明，有一加法器及一 LPF 之全波整流器之較佳實施例。

較佳實施例之詳細說明

以下說明精密 HDA 振動感測電路。在下列說明，闡示很多特定細節，俾更徹底瞭解本發明。然而，精予此項技藝者將會明白，本發明可無需此等特定細節予以實施。在其他情形，熟知之特色未予詳細說明；俾不使本發明模糊不清。

圖 3 示一根據本發明之雙軸振動檢測器電路之功能方塊圖。振動感測器 301 及 307 藉安裝在 HDA 之壓電陶瓷元件予以實施。響應對 HDA 之環境振動，振動感測器 301 及 307 產生小 AC 信號（一般為 0.5 毫伏/G），其振幅與振動大小成比例。來自感測器之 AC 信號首先提供至帶通濾波器 313 及 317 予以帶限。帶限信號然後藉全波整流器 315 及 319 予以全波整流，及藉加法電路 321 予以累加。

加法電路 321 之輸出然後提供至低通濾波器 323，以切斷其自全波整流所產生之高頻組份。一有少量磁滯之比較器 325 將已濾波信號與界限 V_{th} 比較，並產生一邏輯信號，這以信號示表 HDA 已遭受大小高於預定界限值之振動。點線



五、發明說明 (7)

300所界限之系統3 示一種包含帶通濾波器313及317，全波整流器315及319，加法電路321，低通濾波器323及比較器325之電路整合。因此在方塊300產生邏輯信號，並在輸出插腳提供至外部。

前端帶通濾波器諸如圖3中之313及317，其主要需求包括：在約20 KHz DC及高頻組份均為足夠之捨棄；自1 KHz至2.5 KHz之信號增益加強。圖4中示其理想頻率響應，以及圖5中示其實際頻率響應特徵。

在圖4中，示用於系統300之理想帶通濾波器在1 KHz及2.5 KHz之二切斷頻率之間有固定之增益，並且頻率響應在較低及較高頻率衰減超過帶通。對實際之帶通濾波器，頻率響應更相似於圖5者，其中在1 KHz及2.5 KHz之帶通增益約為固定。

圖6示本發明之帶通濾波器之一種較佳實施例。帶通濾波器係藉一高通濾波器(HPF) 600與一低通濾波器602串聯所完成。在圖6中，振動感測器601予以耦合至外部電容器603(電容值C1)，其予以耦合至放大器606之正輸入端子。放大器606之正輸入端子也通過外部電阻器605(電阻值R1)予以耦合至參考電壓VR。晶片上電阻器609(電阻值R2)及外部電容器611(電容值C2)予以串聯耦合在參考電壓VR與放大器606之負輸入端子之間。晶片上反饋電阻器607(電阻值R3)予以耦合在放大器606之負輸入端子與輸出端子之間。

放大器606之輸出端子予以耦合至電阻器613(電阻值R4)



五、發明說明 (8)

，其予以至耦合至節點623。節點623通過電阻器619 (電阻值R5) 予以耦合至放大器620之負輸入端子。節點623通過電容器615 (電容值C3) 予以耦合至電路參考點諸如電路接地。放大器620之正輸入端子予以耦合至電路參考點諸如電路接地。放大器620之輸出端子通過電容器621 (電容值C4) 予以耦合至放大器620之負輸入端子，及通過電阻器617 (電阻值R6) 耦合至節點623。

非反相放大器606加晶片上電阻器607及609，配合外部組件603，605及611形成RC作用高通濾波器(HPF) 600，其轉移函數求得如下：

$$H(S)_{HPF} = \left[\frac{sR1C1}{1 + sR1C1} \right] \left[\frac{1 + s(R2+R3)C2}{1 + sR2C2} \right]$$

在HPF轉移函數第一部份之電容器603及電阻器605實現一在零頻率之傳輸零，及在少於1 KHz之一極。電容器603用以提供AC耦合供振動信號輸入，並因此規劃振動信號的DC組份。電阻器605用以在參考電壓VR偏壓振動信號。在HPF轉移函數第二部份之電阻器607，609及電容器611實現在一傳輸零及在約1 KHz之一極。對於高頻，HPF提供一增

$$\text{益} \frac{(R2+R3)}{R2} \text{。}$$

有晶片上電阻器613，617，619及電容器615，621之反相放大器620形成RC作用低通濾波器602，其轉移函數求得如下：



五、發明說明 (9)

$$H(S)LPF = \frac{-(R6/R4)}{1+sR5C4[1+(R6/R4)+(R6/R5)]+s^2 R5R6C3C4}$$

RC組件以-3分貝頻率約在3 KHz及品質因數在 $Q=0.6$ 實現二複共軛極。對於低頻，LPF提供一增益 $(R6/R4)$ 。

利用理想之組件值，圖6中所示帶通濾波器之頻率響應將會如圖7中所示。圖8為圖7之延長頻率響應圖。如圖8中所示，濾波器在1 KHz與2.5間之帶通提供實際約15分貝之增益加強，並有一捨棄帶，捨棄DC及高頻組份（超過20 KHz）大於30分貝（相對於帶通中之組份）。選定帶通中之增益加強予以設計為提供約1 KHz至2.5 KHz輸入信號頻率之最敏感振動檢測能力。因此，圖6中所示之整合高階濾波器較之諸如圖1中所示之先前技藝個別組件濾波器，提供較佳之高頻特徵，並且仍然需要最少數目之外部電容器以及最少增加板空間及成本。

晶片上電阻器依其應用而定，習知為藉多晶矽 p^+ 擴散， n^+ 擴散，或凹穴所實施。電阻器藉多晶矽或 p^+ 擴散，或 n^+ 擴散，或凹穴實施時，其一般為經受過程變化，並且示寬廣範圍之容差（多於 $\pm 30\%$ ），從而顯著改變濾波器之極及零位置。這使得具有此等類型電阻器之濾波器較所希望者為不可靠，並且在某些情況為無法接受。

因此，要提供可靠之頻率響應，在作為線性電阻器之三極管部位受到偏壓之MOSFET用以在本發明實施晶片上電阻器。其操作原理參照圖9予以說明。圖9例示根據本發明所構成之高通濾波器。

五、發明說明 (19)

在圖 9 中，輸入 V_{IN} 通過電容器 901 予以耦合至放大器 905 之正輸入端子。放大器 905 之正輸入端子也通過電阻器 903 予以耦合至參考電壓 V_R 。放大器 905 之負輸出端子通過 MOSFET 909 及電容器 907 予以耦合至 V_R 。MOSFET $M_{a,1}$, $M_{a,2}$, ..., $M_{a,N-1}$ 串聯連接在放大器 905 之輸出端子與放大器 905 之負輸入端子之間，而其閘共同連接至節點 913。MOSFET 909 之閘端子也予以耦合至節點 913。

MOSFET $M_{b,1}$, $M_{b,2}$, ..., $M_{b,N}$ 予以串聯連接在精密電流源 I_B 與參考電壓 V_R 之間，而其閘予以共同連接至節點 913。精密電流源 I_B 也予以耦合至放大器之負輸入端子 911。如圖 9 中所示，放大器 911 之非反相輸入端子予以耦合至參考電壓等於 $(V_R + V_x)$ 。放大器 911 之輸出端子予以耦合至節點 913。圖 9 中之點線示積體電路晶片邊界。

來自精密電流源 I_B 之電流，被強制通過 MOSFET $M_{b,1}$, $M_{b,2}$, ..., $M_{b,N}$ ，其在三極管部位被高增益放大器 911 所偏壓。 M_b 之同等電阻 $M_{b,n}$ 因此為越過 $M_{b,n}$ 之電壓，其被高增益放大器 911 強制等於 V_x 除以電流源 I_B 。 $M_{b,N}$ 然後被反映以實施電阻器諸如圖 6 中所示之電阻器 607 或 609。圖 9 中之系統由於 V_x 及 I_b 在過程和溫度變化均相當穩定，而達成穩定之頻率響應。電流源或 V_x ，及因此濾波器之頻率響應，也可予以修整以求更為精密，或予以規劃程式，以調整其值供各種不同之 HDA 設計需求。

在作為電阻器之三極管部位被偏壓之 MOSFET 有相當大電壓係數。換言之，607 及 609 之電阻器值將會在 MOSFET 隨端

五、發明說明 (1)

子電壓而略微改變。如果MOSFET在強三極管部位被偏壓，電壓係數可減至最少，並且超過MOSFET之電壓，自其操作點被限制在士200毫伏以內。HSPICE模擬業經證明以此方式所實施之電阻器值改變少於士10%，並且在大多數應用，此等改變為可接受。然而，對於需要較嚴格電阻器值容差之應用，圖10中所示之電路可用以偏壓MOSFET。

圖10示根據本發明之改良偏壓產生器之圖解。在圖10中，電流源 I_B 予以耦合至放大器931之正輸入端子，其負輸入端子予以耦合至 $(V_R + V_x)$ 。NMOS電晶體M1及M3予以串聯耦合在VCC與接地之間。NMOS電晶體M2及M4也予以串聯耦合在VCC與接地之間。放大器931之輸出端子予以耦合至作為偏壓電壓 V_B 之電晶體M1及M2之閘。M3之閘予以耦合至電流源 I_B 。PMOS電晶體M5及M6予以並聯連接在 I_B 與 V_R 之間。 V_R 也予以耦合至M4之閘。電晶體M5之閘予以耦合至節點933。電晶體M6之閘予以耦合至節點935。在圖10中所示之此種構形，M1，M2，M3及M4在飽和部位予以偏壓，同時電晶體M5及M6在作為線性電阻器之三極管部位予以偏壓。

圖10包含一在點線所包圍之PMOS電阻器元件。請參照圖10，M5及M6之偏壓電壓均為以與圖9中之相同方式致使M5及M6之漏極至源極電壓降等於 V_x 。然而，在此情況，由於在電流源加載時，M3及M4為隨M1及M2之源極從動者，故電晶體M5及M6之偏壓電壓也自其端子之電壓取得。因此電路消除電壓對MOSFET電阻器元件之端子電壓之相依性至第

五、發明說明 (13)

一階，從而提高操作可靠性。使用作為電路中之電阻器元件時，例如更換圖 6 之電阻器 607，609，613，617，或 619 時，便取電晶體 M3 及 M4 之閘，並用作電阻器元件之二端子。

圖 11 示根據本發明之偏壓產生器之替代性實施例。在圖 11 中，NMOS 電晶體 M11 及 M12 予以並聯連接在 I_B 與 V_R 之間。放大器 941 之輸出端子予以耦合至電晶體 M9 及 M11 之閘作為偏壓電壓 V_B 。 V_R 也予以耦合至 M8 之閘。電晶體 M11 之閘予以耦合至節點 945。電晶體 M12 之閘予以耦合至節點 943。

請參照圖 11 中所示之 NMOS 電阻器元件，M11 及 M12 之偏壓電壓均為致使 M11 及 M12 之漏極至源極電壓降等於 V_x ，如供圖 10 之 PMOS 電阻器。NMOS 電阻器也消除電壓對 MOSFET 電阻器元件之端子電壓之相依性至第一階。使用作為電路中之電阻器元件時，例如更換圖 6 之電阻器 607，609，613，617，或 619 時，便取電晶體 M7 及 M8 之閘，並用作電阻器元件之二端子。

因此，依應用及 IC 過程特徵而定，可代之或成組合使用以上所說明之 PMOS 電阻器或 NMOS 電阻器供精密電阻器元件。

圖 12 示一電路，其包含雙軸全波整流器電路，加法電路及低通濾波器，並且與 IC 電路單片技術相容。圖 12 包含一 X-軸全波整流器 950 及一 Y-軸全波整流器 952。在圖 12 中，X-軸感測器信號 V_{INx} 通過電阻器 R7a 予以耦合至放大器 951

五、發明說明 (13)

之負輸入端子。放大器951之正輸入端子予以耦合至 V_R 。MOS電晶體M16, M13, M14, M15予以串聯連接在VCC與地線之間。電流源11予以耦合至MNOS電晶體M13之閘及PMOS電晶體M19之源極, 漏極予以耦合以至地線。PMOS電晶體M14之源極也予以耦合至放大器951之負輸入端子。放大器951之輸出予以耦合至PMOS電晶體M14及M19之閘。

在圖12中, V_{INy} 通過電阻器R7b予以耦合至放大器952之負輸入端子。放大器953之正輸入端子予以耦合至 V_R 。NMOS電晶體M20及PMOS電晶體M21予以串聯連接。電晶體M20之漏極予以耦合至電晶體M13之漏極, 電晶體M21之漏極予以耦合至電晶體M15之漏極。電流源12予以耦合至NMOS電晶體M20之閘及PMOS電晶體M22之源極, 其漏極予以耦合至地線。PMOS電晶體M21之源極也予以耦合至放大器953之負輸入端子。放大器953之輸出予以耦合至PMOS電晶體M21及M22之閘。

NMOS電晶體M15之漏極予以耦合至其閘, 其也予以耦合至NMOS電晶體M18之閘。PMOS電晶體M17予以耦合在VCC與電晶體M15之閘之間。電晶體M17之閘予以耦合至電晶體M16之閘。電晶體M18之漏極通過電阻器959予以耦合至放大器955之負輸入端子, 而其源極予以接地。放大器955之正輸入端子予以耦合至參考電壓 V_R 。電容器957予以耦合在地線與電晶體M18之漏極之間。電阻器961予以耦合在放大器955之輸出 V_{out} 與電晶體M18之漏極之間。電容器963予以耦合在放大器955之輸出與放大器955之負輸入端子之



五、發明說明 (14)

間。

請參照圖12，輸入電壓 V_{INx} 首先藉線性電阻器R7a予在任一方向轉換為電流。輸入電壓超過 V_R 時，電流將會在 V_{INx} 之方向向R7a流動並通過M14。放大器951之輸出以及因此M14及M19之閉電壓被驅動為負，因而M14及M19被強制導通。M13之閉電壓為足夠低，因而M13關斷。此電流因此流過 V_{INx} ，M14及M15。M15為二極管連接，並且因此反映相同量之電流流過M18。

反之，輸入電壓少於 V_R 時，電流將會通過M13向 V_{INx} 流動。放大器951之輸出以及因此M14及M19之閉電壓變成足夠高，因而強制M14及M19關斷，並強制M13導通。此電流因此流過M16並反映進入M17及通過M15。電晶體M16及M17構成一配對之電流鏡，方式與M15及M18相同。因此，圖12中所示之X-軸全波整流器950產生一與輸入電壓大小 $|V_{INx}|$ 成比例之電流，其不管振動信號為在正或負方向均流過M15。

圖12中所示之Y-軸全波整流器952以相同方式操作，並且一與輸入電壓大小 $|V_{INy}|$ 成比例之電流也流過M15。來自X-軸及Y-軸全波整流器之此二電流在M15加在一起，並反映至M18，並且通過晶片上RC網路，進入一操作放大器，其形成低通濾波器，以捨棄自全波整流所產生之高頻組份。

低通濾波器在圖12中概括示於LPF，包含放大器955，電阻器959及961，以及電容器957及963。RC網路中之電阻器

五、發明說明 (15)

可如以上所說明藉MOSFET在強三極管部位被偏壓而實現。請予察知，MOSFET電阻器之同等電阻值係由 V_x 及 I_B 所決定。修整 V_x 及 I_B 之不同值及／或將其規劃程式，可調整MOSFET電阻器之值。圖12中之電晶體，其較佳實施例中之M15，M16，M17，及M18一般為在飽和部位操作。

本發明提供圍繞袖珍系統設計所建立之準確及可靠之振動感測能力。如以上所陳述，本發明之優點在供手提式電腦之HDA應用特別具有價值。本發明之優點為：

- 高階濾波器布局嚴格符合系統需求，
- 在溫度，供給電壓及過程變化之穩定頻率響應，
- 需要最少數目之外部旁路電容器，
- 可修整／可規劃程式之頻率響應。

因此，本案業已說明一種積體電路技術相容之雙軸振動檢測器系統，其包括有袖珍集積式高階濾波器。

雖然本發明說明並例示電阻器，整流器，及使用MOSFET之其他電路之各種不同實施例，但其他適當FET也可用以實現本發明。例如，可使用其他薄膜材料諸如氯化矽代替氧化物薄膜，以形成場效應電晶體。依設計及成本考慮而定，其他絕緣體薄膜顯然可用以形成FET，而不偏離如後附申請專利範圍所界定之本發明之範圍。

精於此項技藝者也將會察知，在各種不同細節上可作成種種變化，而不偏離如後附申請專利範圍所界定之本發明之範圍。例如，N-型MOS電晶體可由在電壓極性有適當變化之P-型MOS電晶體替代，反之亦然。

因此，本案業經說明一種精密HDA振動感測電路。

四、中文發明摘要(發明之名稱:全集積式雙軸振動檢測器)

本發明揭示一種全集積式精密HDA振動感測電路，具有以積體電路技術所實施之高階濾波器。濾波器與改良之晶片上偏壓產生器整合，因而其可藉最少數目之外部電容器提供穩定，可修整及/或可程式頻率響應。本發明提供雙全波整流器供X-軸及Y-軸振動感測，以便可被達成更準確及可靠之振動檢測。來自X-軸及Y-軸振動感測器之輸入信號轉換為電流，並提供至雙全波整流器。如此所全波整流之電流予以累加，並予以低通濾波，以產生輸出信號，其然後予以饋給至比較器，以產生振動檢測邏輯信號。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱:FULLY INTEGRATED TWO AXIS SHOCK DETECTOR)

The present invention discloses a fully integrated precision HDA shock sense circuit with high-order filters implemented in integrated circuit technology. Filters are integrated with an improved on-chip bias generator so that they can provide stable, trimmable and/or programmable frequency responses with a minimum number of external capacitors. The invention provides dual full-wave rectifiers for X-axis and Y-axis shock sensing so that more accurate and reliable shock detection can be achieved. Input signals from X-axis and Y-axis shock sensors are converted to current and provided to the dual full-wave rectifiers. The currents thus full-wave rectified are summed and lowpass filtered to generate an output signal, which is then fed to a comparator to produce a shock detection logic signal.

- 2 -

曾代
律師
師

訂

線

六、申請專利範圍

1. 一種感測電流之電路，該電路包含：

— 第一帶通濾波器，有一電阻器及一電容器；

— 第一全波整流器，耦合至該帶通濾波器；

— 第二帶通濾波器，有一第二電阻器及一第二電容器

；

— 第二全波整流器，耦合至上述第二帶通濾波器；以

及

— 加法電路，耦合至上述第一及第二帶通濾波器。

2. 根據申請專利範圍第 1 項之電路予以集積在單一晶片上

。

3. 根據申請專利範圍第 1 項之電路，另包含一耦合至加法電路之低通濾波器。

4. 根據申請專利範圍第 1 項之電路，其中上述電阻器包含 FET 電晶體。

5. 根據申請專利範圍第 4 項之電路，其中上述 FET 電阻器包含：

串聯耦合之第一 FET (場效應電晶體) 及第二 FET；

串聯耦合之第三 FET 及第四 FET；

並聯耦合在第一 FET 之間與第三 FET 間之第五 FET 及第六 FET；

耦合至第二 FET 及第四 FET 之間之偏壓電壓；

耦合至第二 FET 之溝道端子之第五 FET 之間，

耦合至第四 FET 之溝道端子之第六 FET 之間；以及

第一 FET 及之間及第三 FET 之間使用作為電阻器端子。

六、申請專利範圍

6. 根據申請專利範圍第 1 項之電路，其中上述第一全波整流器電路包含：

一電流源；

一放大器，放大器之負輸入端子予以耦合至供給電壓；

一耦合至放大器之正輸入端子之輸入信號；

串聯耦合在第一節點與第二節點間之第一 FET 及第二 FET；

耦合在電流源與地線間之第三 FET；

耦合至電流源之第一 FET 之閘；

耦合至第二及第三 FET 之閘之放大器之輸出端子。

7. 根據申請專利範圍第 6 項之電路，其中上述第二全波整流器電路包含：

一第二電流源；

一第二放大器，第二放大器之負輸入端子予以耦合至上述第一供給電壓；

耦合至第二放大器之正輸入端子之第二輸入信號；

串聯耦合在第一節點與第二節點間之第四 FET 及第五 FET；

耦合在第二電流源與地線間之第六 FET；

耦合至第二電流源之第四 FET 之閘；

第二放大器之輸出端子耦合至第五及第六 FET 之閘。

8. 根據申請專利範圍第 7 項之電路，另包含電流鏡電路包含：



六、申請專利範圍

第七FET，該第七FET溝道之端子耦合至上述第一節點，第七FET之閘耦合至上述第一節點；

第八FET，該第八FET溝道之端子耦合至上述第二節點，第八FET之閘耦合至上述第二節點；以及

第九FET，第九FET溝道之端子耦合至第八FET之閘。

9. 根據申請專利範圍第8項之電路，另包含一低通濾波器包含：

一第三放大器，該第三放大器之正輸入端子耦合至上述第一供給電壓；

第二電阻器及第二電容器，並聯耦合在上述第三放大器之負輸入端子與第三放大器之輸入之間；以及

第十FET耦合在上述第三放大器之負輸入端子與地線之間，該第十FET之閘耦合至第八FET之閘。

10. 根據申請專利範圍第1項之電路，其中上述帶通濾波器包含：

一低通濾波器；以及

一高通濾波器包含：

一放大器，該放大器之正輸入端子耦合至一輸入信號；

第一許多FET，串聯耦合在負輸入端子與放大器之輸出端子之間；

一FET耦合在第一供給電壓與放大器之負輸入端子之間；

一電流源；

六、申請專利範圍

一第二放大器，該第二放大器之正輸入端子耦合至第二供給電壓，第二放大器之負輸入端子耦合至電流源；
第二許多FET，串聯耦合在電流源與第一電壓供給之間；以及

上述FET以及第一及第二許多FET之間耦合至第二放大器之輸出端子。

11. 一種感測電流之電路，該電路包含：

一第一全波整流器；

一加法電路，耦合至第一及第二全波整流器，供累加上述第一及第二全波整流器之輸出；以及

一帶通濾波器，耦合至第一全波整流器，該帶通濾波器包含：

一放大器；

一電阻器，耦合至上述放大器，該電阻器包含：

串聯耦合之第一FET及第二FET，

串聯耦合之第三FET及第四FET；

一第五FET及一第六FET，並聯耦合在第一FET與第三FET之間之間，

一偏壓電壓，耦合至第二FET及第四FET之間，

第五FET之間耦合至第二FET溝道之端子；

第六FET之間耦合至第四FET溝道之端子；以及

第一FET之間及第三FET之間使用作為電阻器端子。

12. 根據申請專利範圍第11項之電路，其中上述第一全波整流器包含：

(請先閱讀背面之注意事項再填寫本頁)

訂



六、申請專利範圍

- 一 電流源；
 - 一 第二放大器，第二放大器之負輸入端子耦合至供給電壓；
 - 一 輸入信號耦合至第二放大器之正輸入端子；
 - 一 第一FET及一第二FET，串聯耦合在第一節點與第二節點之間；
 - 一 第三FET耦合在電流源與地線之間；
 - 第一FET之閘耦合至電流源；
 - 第二放大器之輸出端子耦合至第二及第三FET之閘。
13. 根據申請專利範圍第12項之電路，另包含一第二帶通濾波器及一耦合至該第二帶通濾波器之第二全波整流器，該第二全波整流器包含：
- 一 第二電流源；
 - 一 第三放大器，第三放大器之負輸入端子耦合至第二供給電壓；
 - 一 第二輸入信號，耦合至第三放大器之正輸入端子；
 - 一 第四FET及一第五FET，串聯耦合在第一節點與第二節點之間；
 - 一 第六FET，耦合在第二電流源與地線之間；
 - 第四FET之閘耦合至第二電流源；
 - 第三放大器之輸出端子耦合至第五及第六FET之閘。
14. 根據申請專利範圍第13項之電路，另包含電流鏡電路包含：
- 一 第七FET，第七FET溝道之端子耦合至上述第一節點

(請先閱讀背面之注意事項再填寫本頁)

訂



六、申請專利範圍

- ，第七FET之閘耦合至該第一節點；
 - 一第八FET，第八FET溝道之端子耦合至上述第二節點
- ，第八FET之閘耦合至該第二節點；以及
 - 一第九FET，第九FET溝道之端子耦合至第八FET之閘。
- 15. 根據申請專利範圍第14項之電路另包含一低通濾波器包含：
 - 一第四放大器，該第四放大器之正輸入端子耦合至上述第一供給電壓；
 - 一電阻器及一電容器，並聯耦合在上述第四放大器之負輸入端子與輸出之間；以及
 - 一第十FET，耦合在上述第四放大器之負輸入端子與地線之間，第十FET之閘耦合至第八FET之閘。
- 16. 根據申請專利範圍第15項之電路，集積在單一晶片上之電路。
- 17. 一種感測電流之電路，該電路包含：
 - 一帶通濾波器包含：
 - 一放大器；
 - 一FET電阻器，耦合至上述放大器；
 - 一第一全波整流器，耦合至上述帶通濾波器，該第一全波整流器包含：
 - 一電流源；
 - 一第二放大器，該第二放大器之負輸入端子耦合至供給電壓；

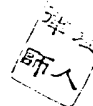
(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

- 一輸入信號，耦合至第二放大器之正輸入端子；
- 一第一FET及一第二FET，串聯耦合在第一節點與第二節點之間；
- 一第三FET，耦合在電流源與地線之間；
- 第一FET之閘耦合至電流源；
- 第二放大器之輸出端子耦合至第二及第三FET之閘；
- 一第二帶通濾波器包含：
 - 一第三放大器；
 - 一第二FET電阻器，耦合至上述第三放大器；
 - 一第二全波整流器，耦合至上述第二帶通濾波器，該第二全波整流器包含：
 - 一第二電流源；
 - 一第四放大器，第四放大器之負輸入端子耦合至上述第一電壓供給；
 - 一第二輸入信號，耦合至第四放大器之正輸入端子；
 - 一第四FET及一第五FET，串聯耦合在第一節點與第二節點之間；
 - 一第六FET，耦合在第二電流源與地線之間，
 - 第四FET之閘耦合至第二電流源；
 - 第四放大器之輸出端子耦合至第五及第六FET之閘；
- 以及
- 一加法電路耦合至上述第一及第二全波整流器，供累加第一及第二全波整流器之輸出。

18. 根據申請專利範圍第17項之電路，其中上述FET電阻



六、申請專利範圍

器包含：

串聯耦合之第七FET（場效應電晶體）及第八FET；

串聯耦合之第九FET及第十FET；

一第十一FET及一第十二FET，並聯耦合在第七FET與第九FET之間之間；

一偏壓電壓，耦合至第八FET及第十FET之間；

第十一FET之間耦合至第八FET溝道之端子；

第十二FET之間耦合至第十FET溝道之端子；以及

第七FET之間及第九FET之間使用作為電阻器端子。

19. 根據申請專利範圍第18項之電路，另包含一耦合至加法電路之電流鏡電路，其中提供一與加法電路之輸出成比例之電流作為自電流鏡電路之輸出。

20. 根據申請專利範圍第19項之電路，另包含一耦合至電流鏡電路之輸出之低通濾波器。

21. 根據申請專利範圍第20項之電路，集積在單一晶片上之電路。

（請先閱讀背面之注意事項再填寫本頁）

訂



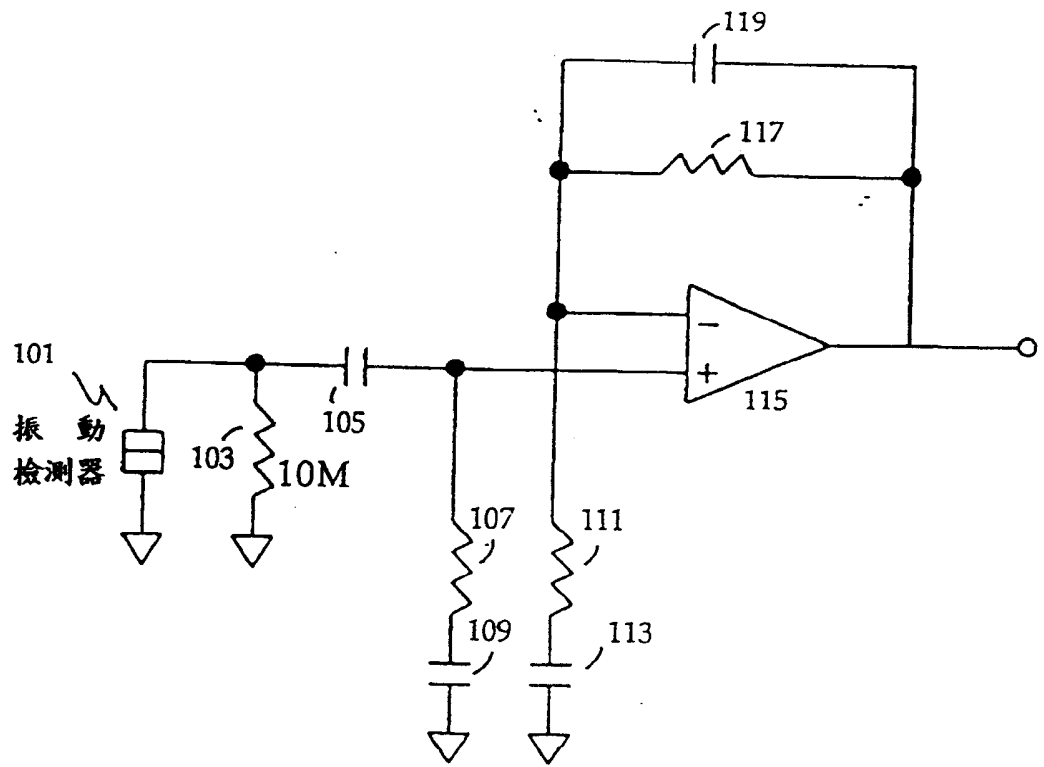


圖 1
 (先前技藝)

律師
 師人

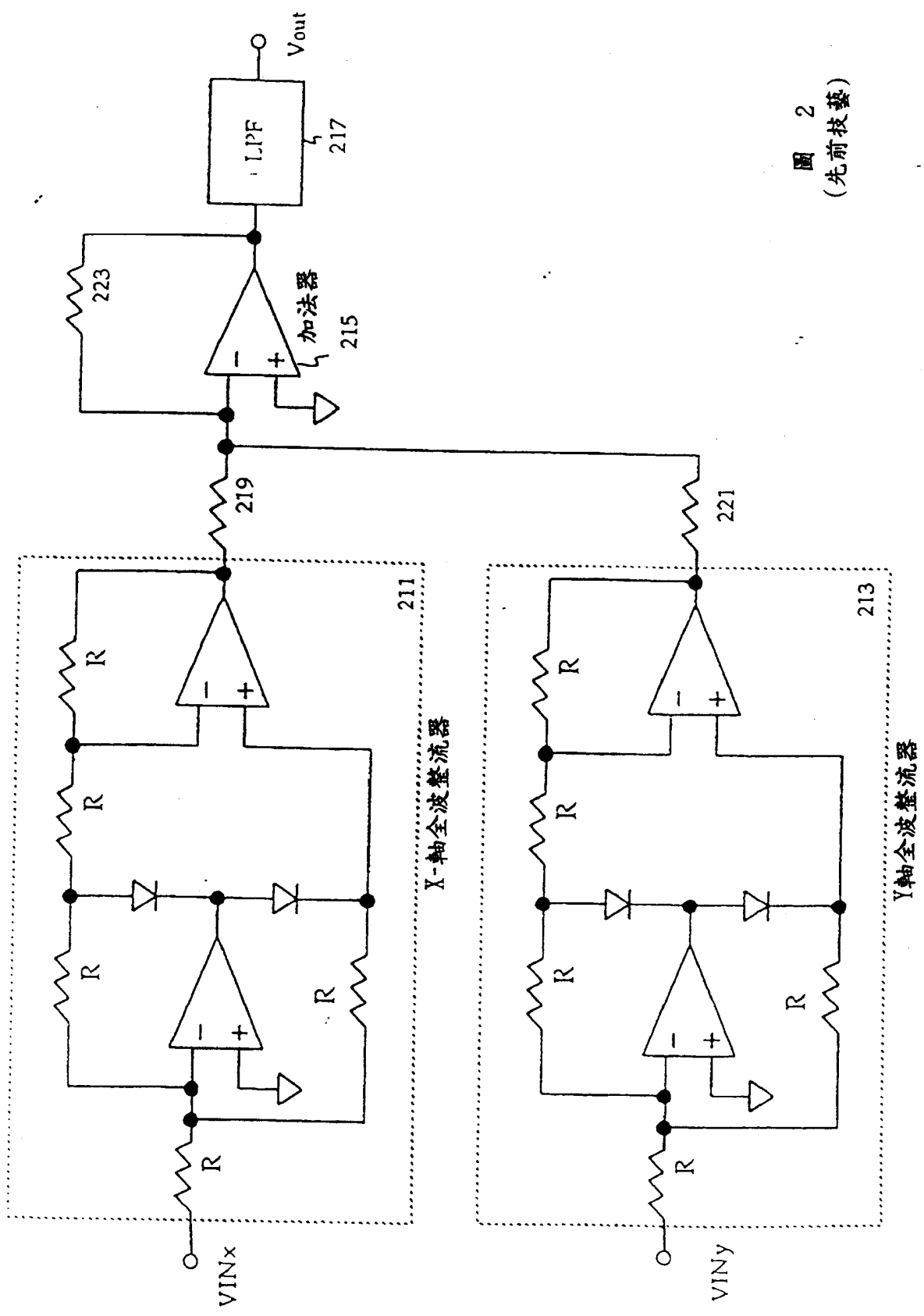


圖 2
(先前技藝)

洋
師

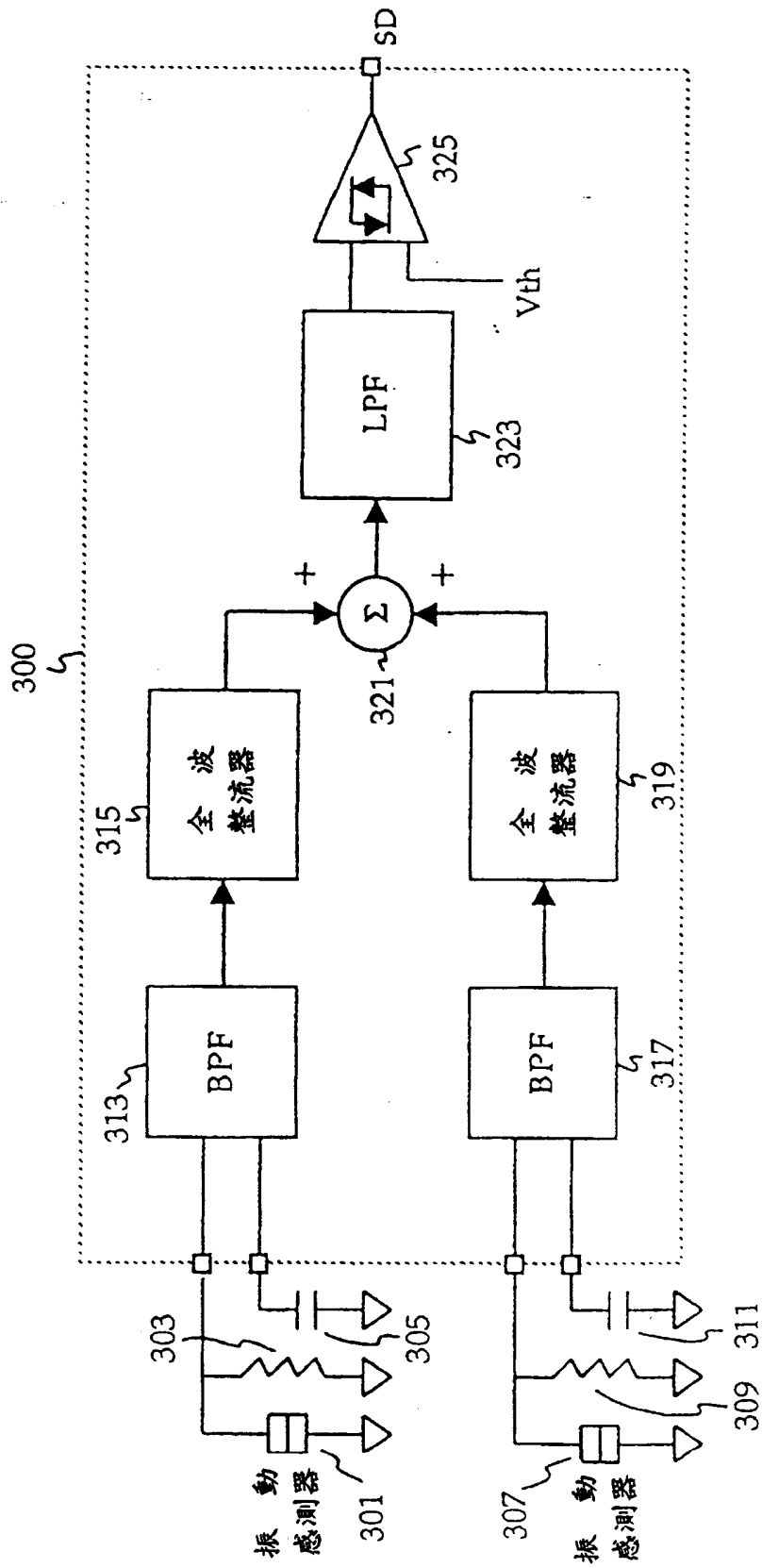


圖 3

研人
 洋

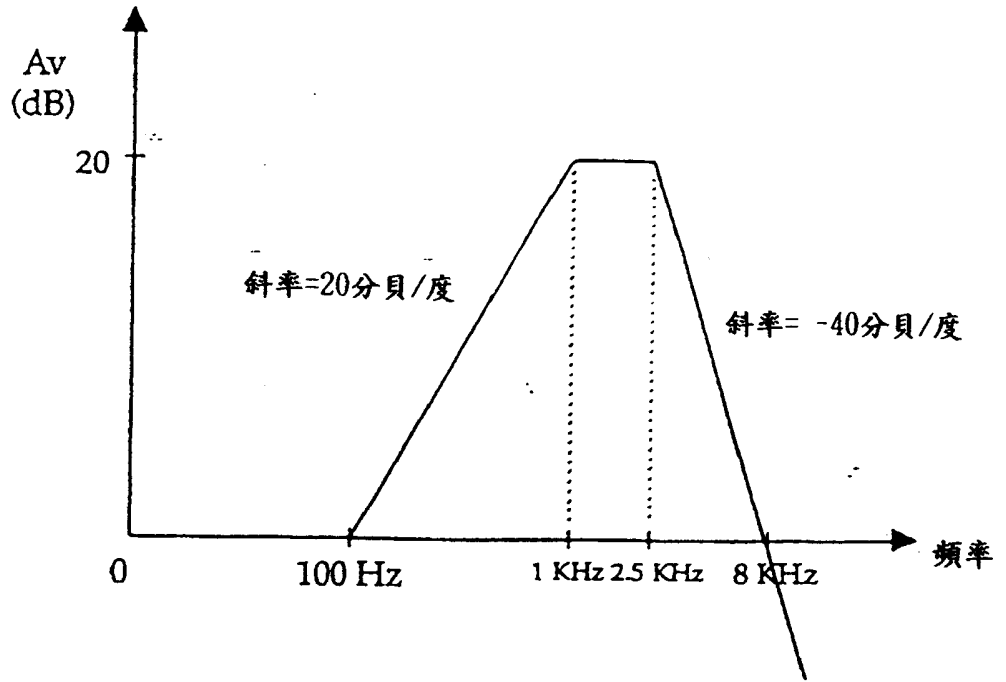


圖 4

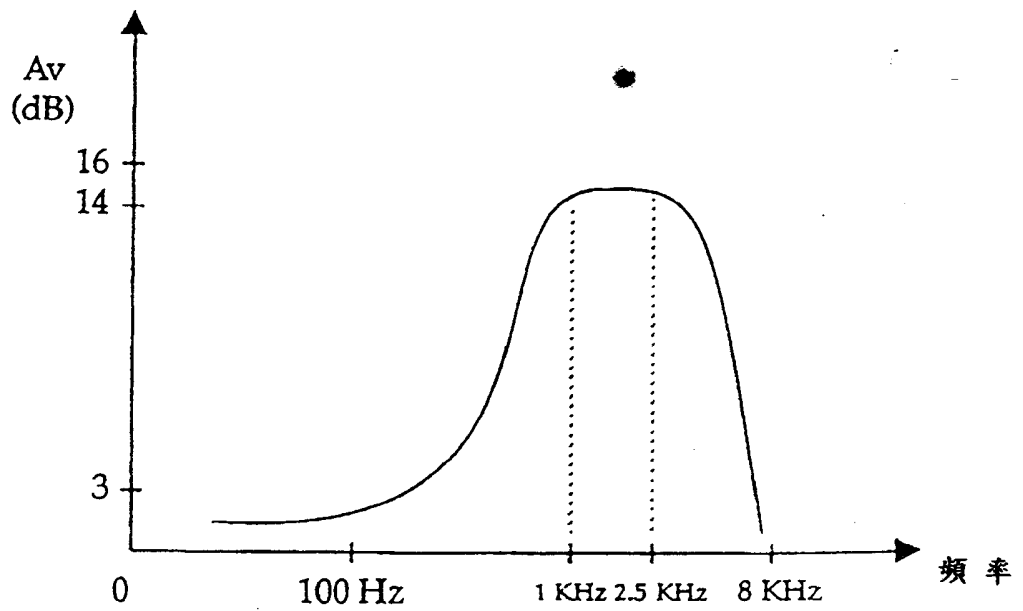


圖 5



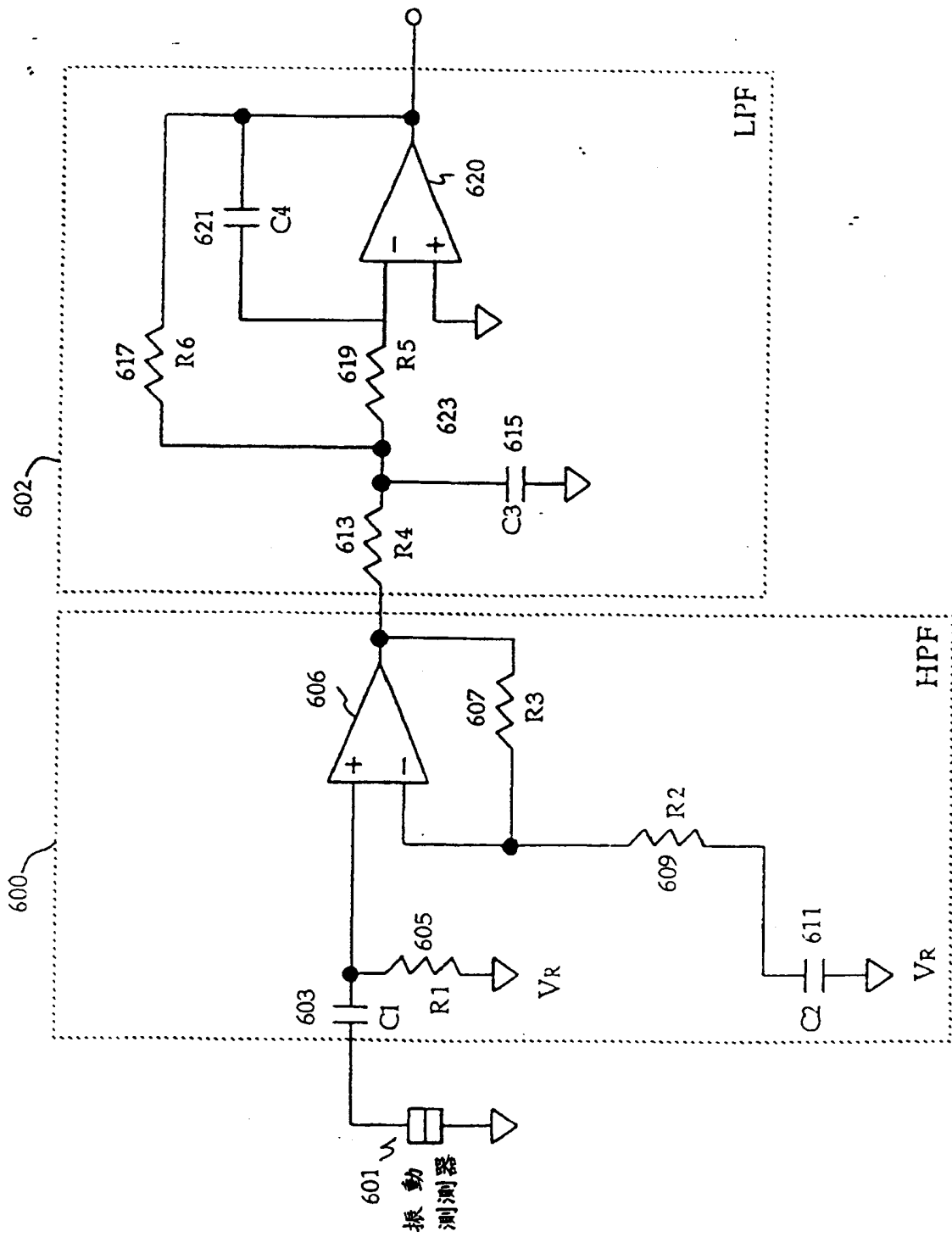
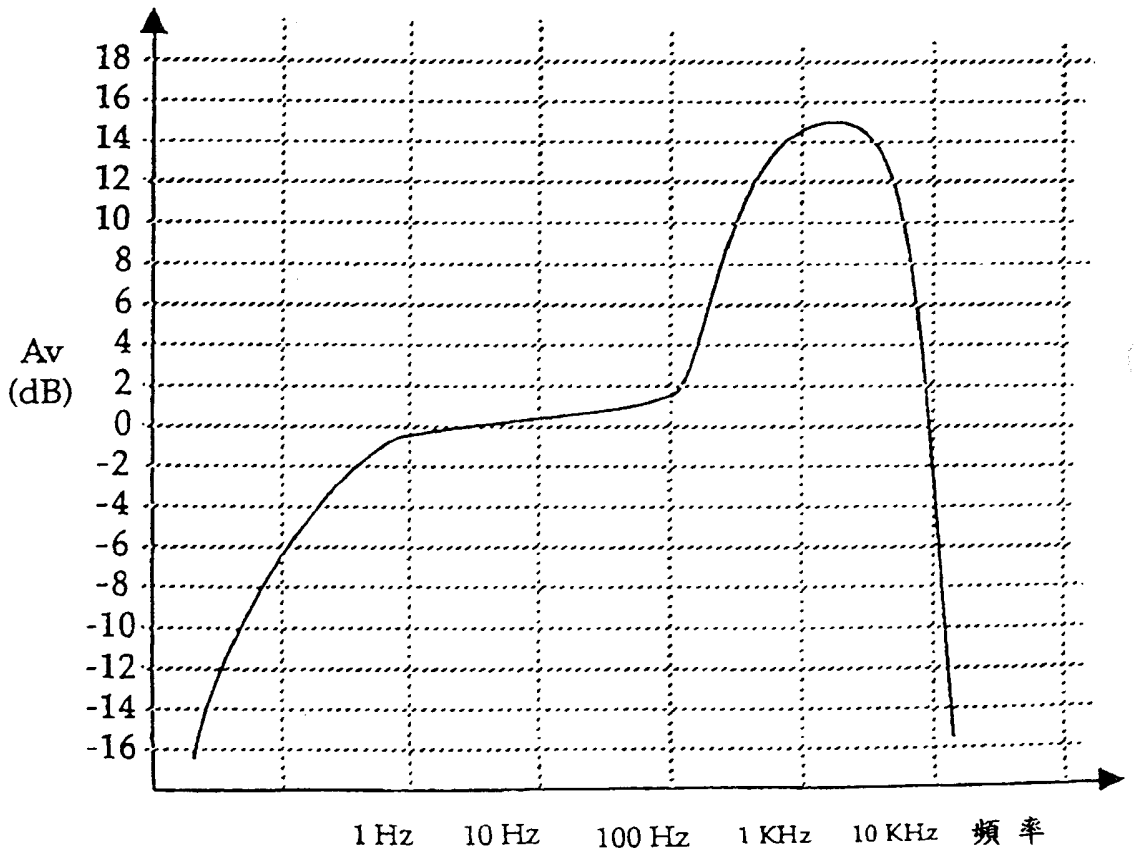
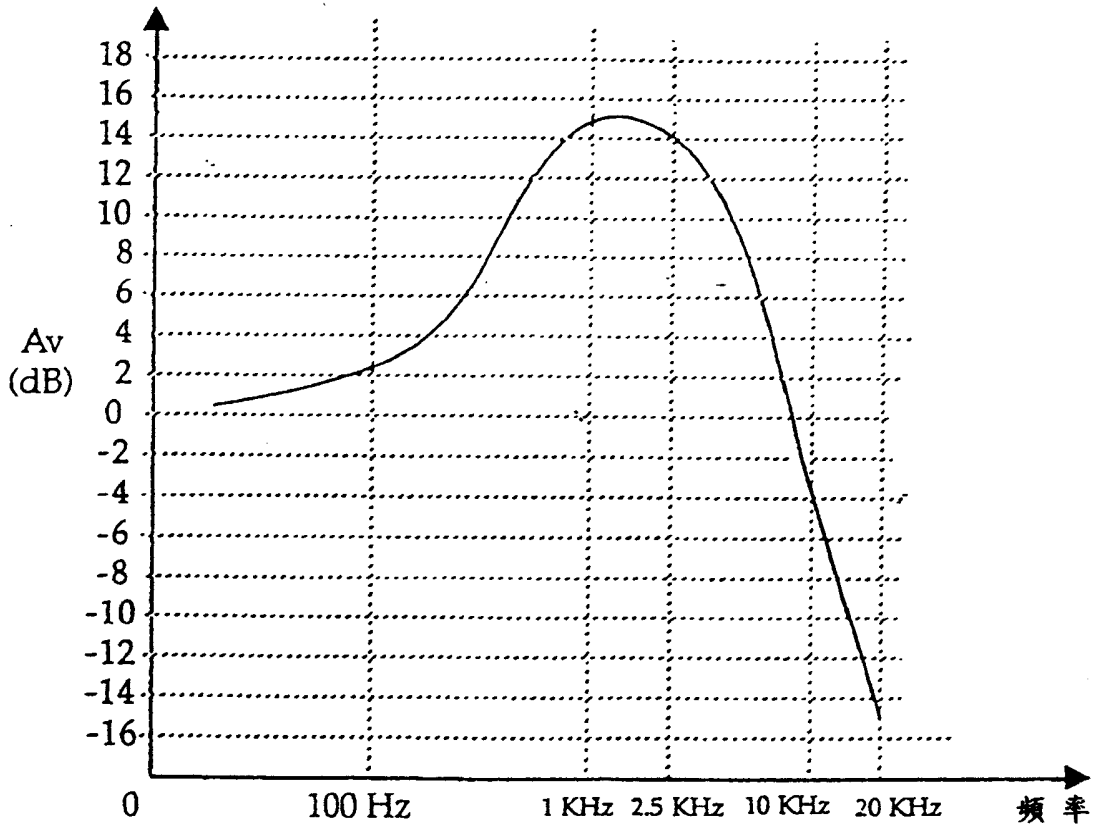


圖 6

評人

390997



印

390997

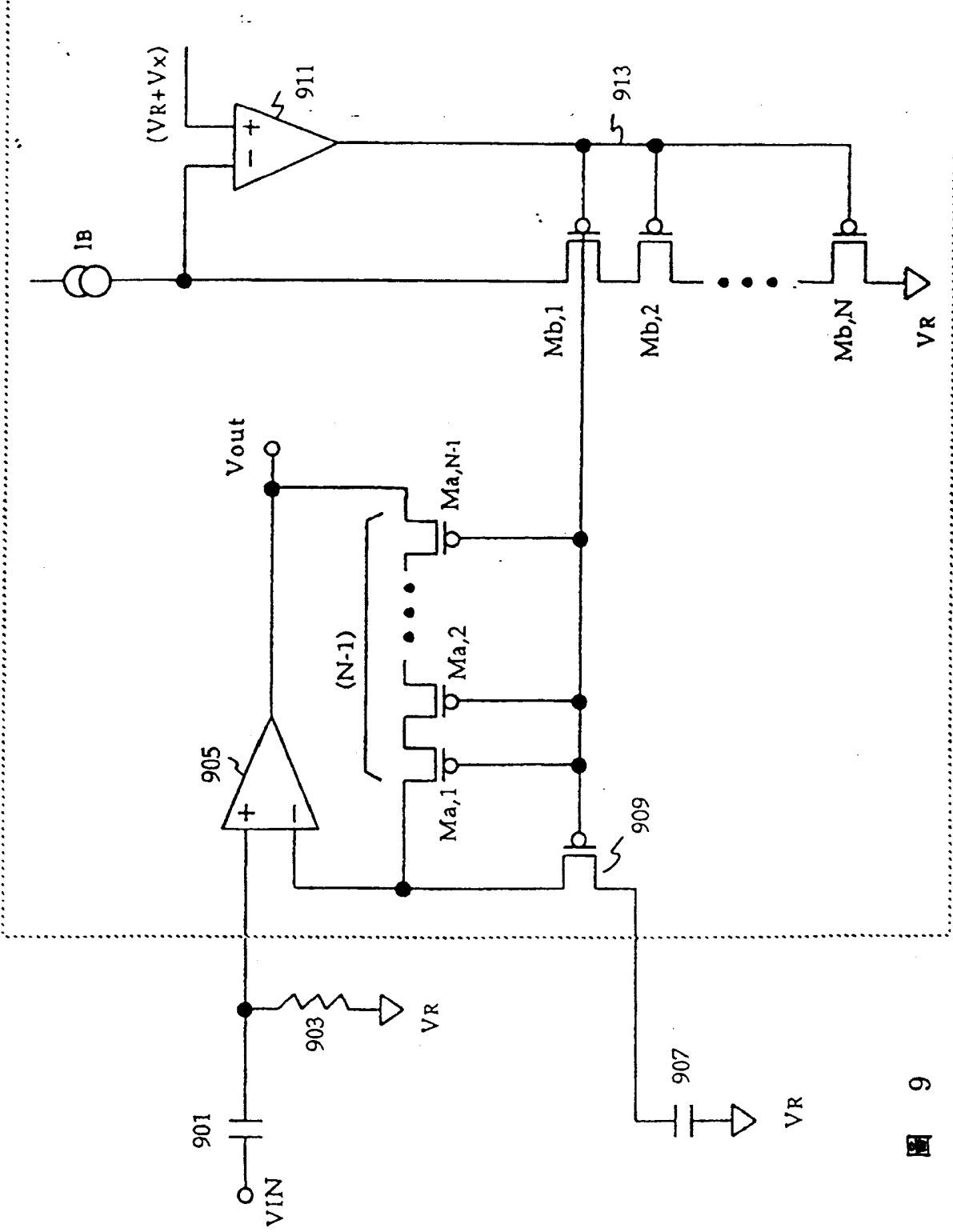


图 9

半强

390997

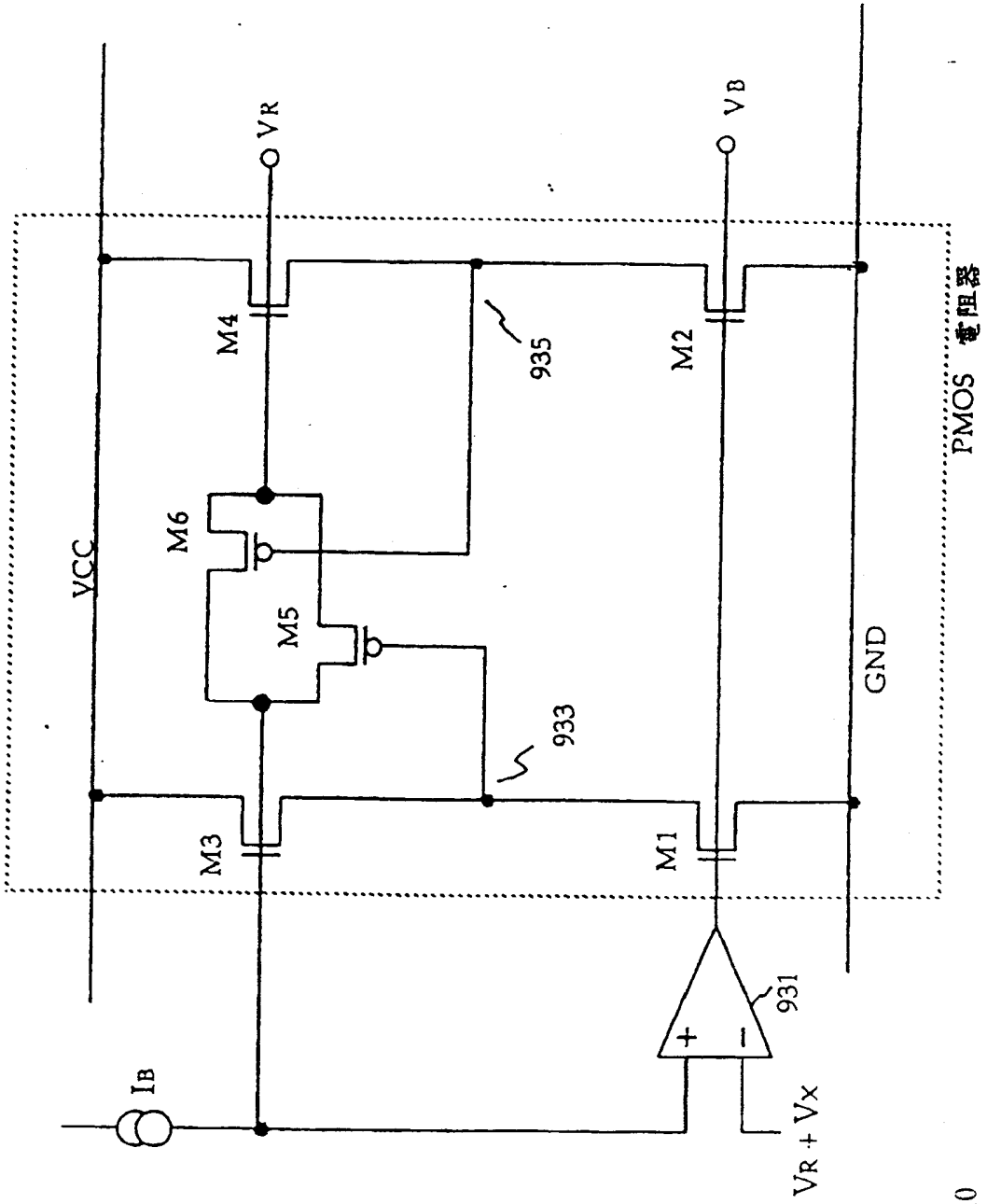


圖 10

研人

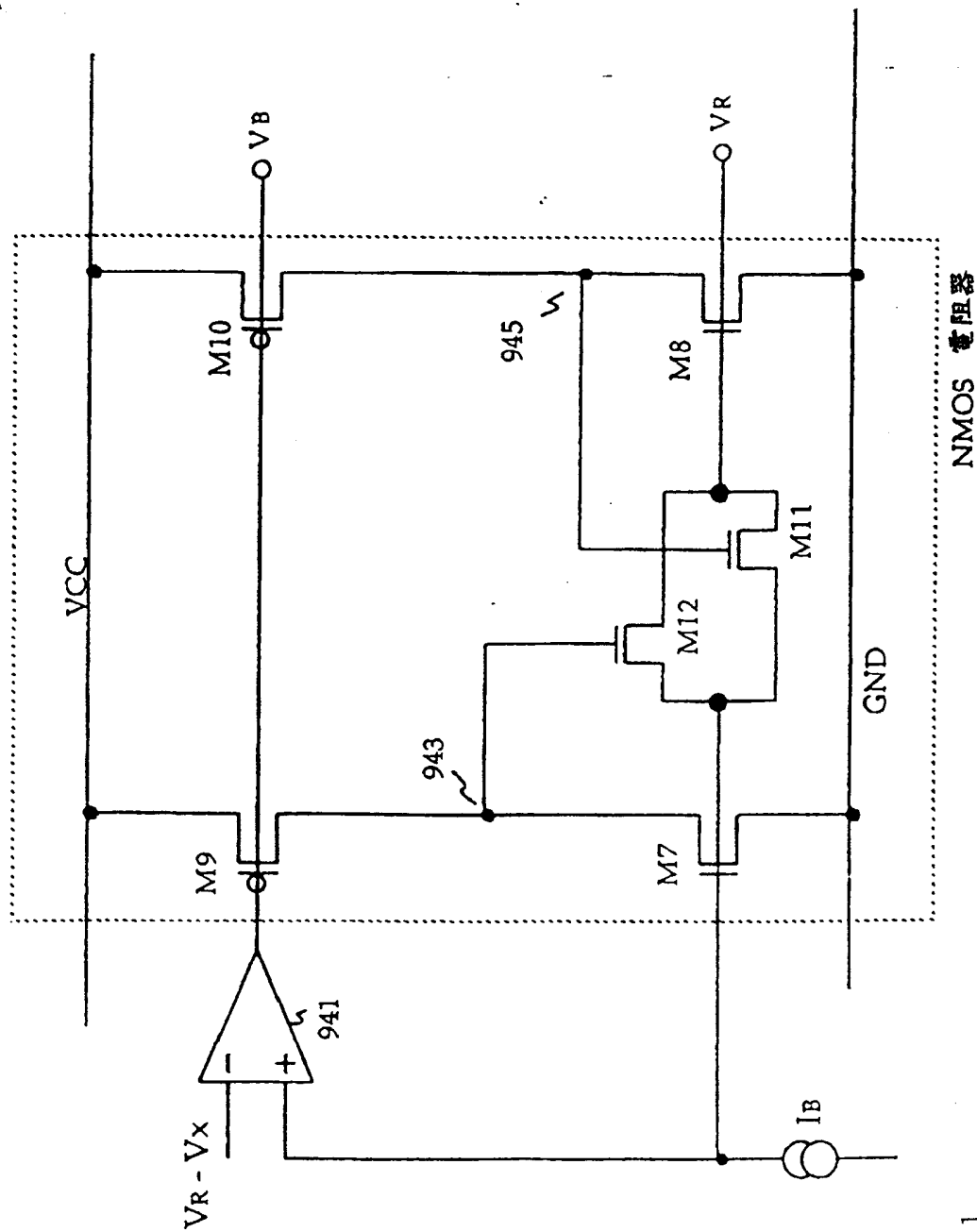


圖 11

野村

390997

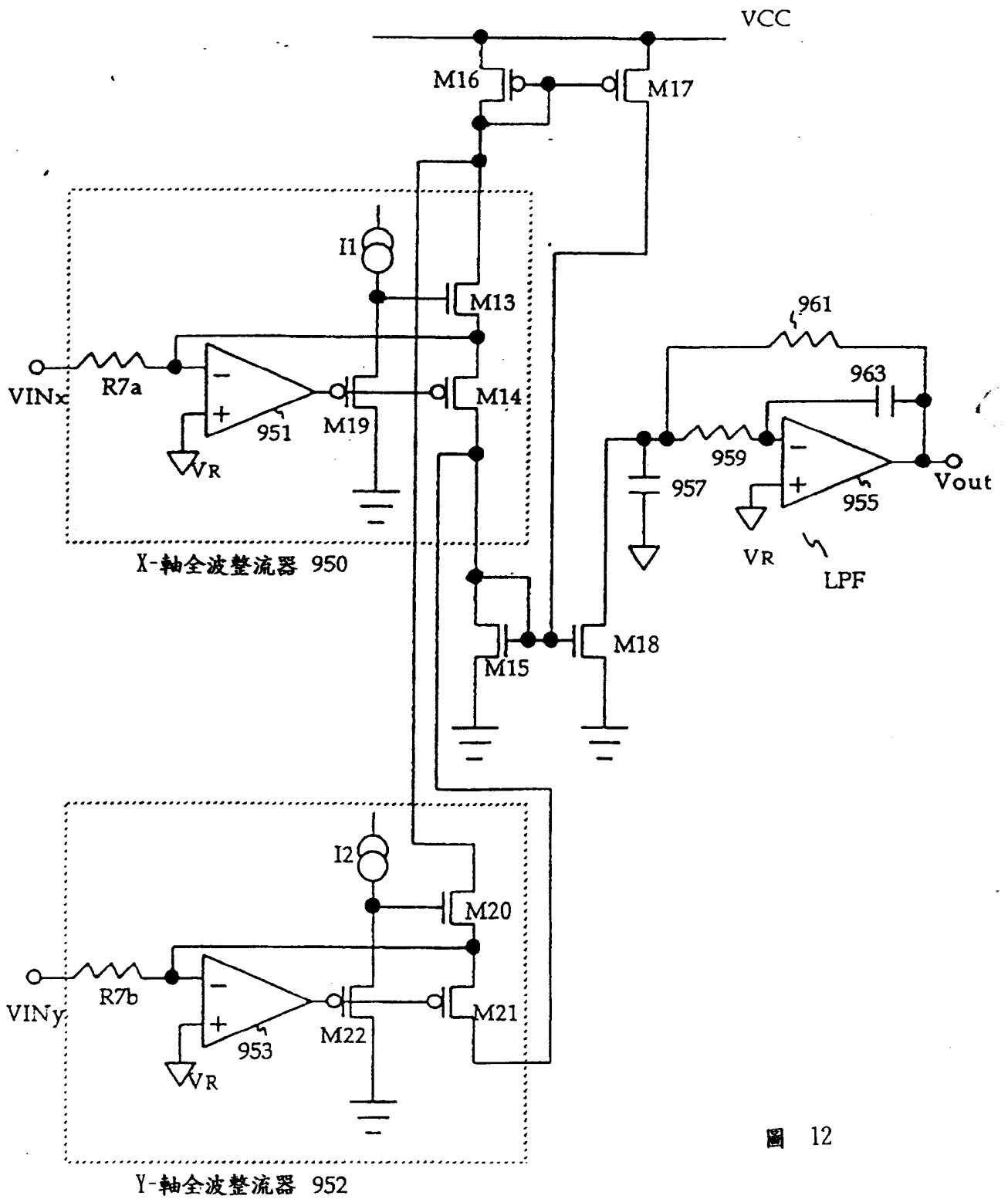


圖 12

師