

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 01817870.7

[51] Int. Cl.

G11C 11/22 (2006.01)

G11C 8/12 (2006.01)

G11C 8/14 (2006.01)

[45] 授权公告日 2009 年 8 月 19 日

[11] 授权公告号 CN 100530420C

[22] 申请日 2001.8.24 [21] 申请号 01817870.7

[30] 优先权

[32] 2000.8.24 [33] NO [31] 20004236

[86] 国际申请 PCT/NO2001/000348 2001.8.24

[87] 国际公布 WO2002/025665 英 2002.3.28

[85] 进入国家阶段日期 2003.4.24

[73] 专利权人 薄膜电子有限公司

地址 挪威奥斯陆

[72] 发明人 M·汤普逊 R·沃马克

G·古斯塔夫松 J·卡尔松

[56] 参考文献

EP0486901A2 1992.5.27

审查员 白雪涛

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 吴立明 梁永

权利要求书 3 页 说明书 12 页 附图 8 页

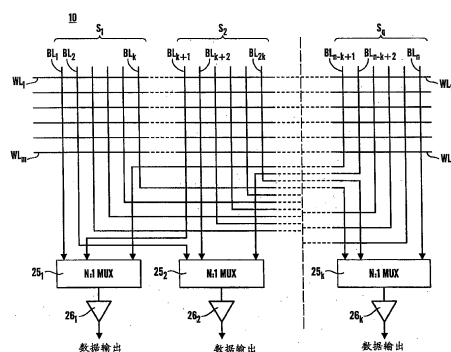
[54] 发明名称

非易失性无源矩阵器件及其读出方法

[57] 摘要

在一种包括展示出磁滞现象的电子可极化介电存储材料(12)的非易失性无源矩阵存储器件(10)中,第一组和第二组(14;15)寻址电极构成存储器件的字线(WL)和位线(BL)。存储单元(13)被限定在字线(WL)和位线(BL)之间的重叠处的存储材料(12)中。字线(WL)被分成多段(S),每段共享邻接位线(BL)并由其限定。提供装置(25)来用于将一个段(S)的每个位线(BL)与一个读出装置(26)相连,从而允许经由段(S)的位线(BL)为读出而同时连接一个字线段(15)的所有存储单元(13)。每个读出装置(26)读出位线(BL)中的电流,以便确定所存储的逻辑值。在一种读出方法中,通过在一个读周期的至少一个部分期间将其电位设置到存储单元(13)的一个转换电压 V_s 来激活段(S)的一个字线(WL),同时将段(S)的位线(BL)保持在零电位,

在该读周期期间由读出装置(26)读出存储在单个存储单元(13)中的逻辑值。在大容量数据存储装置中的使用。



1. 一种非易失性无源矩阵存储器件 (10), 包括展示出磁滞现象的电子可极化介电存储材料 (12), 其中, 所述存储材料 (12) 在夹在第一组和第二组 (14; 15) 相应的平行寻址电极之间的层中提供, 其中, 第一组 (14) 电极构成存储器件的字线 ($WL_{1,...,m}$), 并以与第二组 (15) 电极正交的关系提供, 后者构成存储器件的位线 ($BL_{1,...,n}$), 其中, 将带有电容特征的结构存储单元 (13) 限定在字线和位线之间的交叉处的存储材料 (12) 中, 其中, 存储器件的存储单元 (13) 构成无源矩阵 (11) 的元件, 其中, 可以通过字线 (WL) 和位线 (BL) 为一个写/读操作有选择地寻址每个存储单元 (13), 其中, 对存储单元 (13) 的写操作依靠通过经由限定所述单元的相应字线 (WL) 和位线 (BL) 而施加到所述单元上的电压在该单元中建立所希望的极化状态来产生, 其中, 所述施加的电压或者在存储单元 (13) 中建立一个所确定的极化状态, 或者能够在其极化状态之间转换, 以及, 其中, 读操作通过将大于矫顽电压 V_c 的一个电压施加到存储单元 (13) 上并检测位线 (BL) 上的输出电流的至少一个电参数来产生,

其特征在于,

字线 (WL) 被分成许多段 ($S_{1,...,q}$), 每段包括矩阵 (11) 中的多个邻接位线 (BL) 并由其限定, 并且, 提供装置 (25), 用于将分配给一个段 (S) 的每个位线 (BL) 与一个相关读出装置 (26) 相连, 从而允许分配给一个段 (S) 上的一个字线 (WL) 的所有存储单元 (13) 经由所述段 (S) 的对应位线 (BL) 同时连接用于读出, 每个读出装置 (26) 适于读出与其相连的位线 (BL) 中的电流, 以便确定存储在由所述位线限定的存储单元 (13) 中的逻辑值。

2. 如权利要求 1 所述的非易失性无源矩阵存储器件 (10), 其特征在于, 所述用于在寻址期间将一个段 (S) 的每个位线 (BL) 与一个相关读出装置 (26) 同时连接的装置 (25) 是多路复用器。

3. 如权利要求 2 所述的非易失性无源矩阵存储器件 (10), 其特征在于, 多路复用器 (25) 的数目对应于限定一个段 (S) 的位线 (BL) 的最大数目, 一个段的每个位线与一个特定的多路复用器相连。

4. 如权利要求 3 所述的非易失性无源矩阵存储器件 (10), 其特征在于, 每个多路复用器 (25) 的输出与一单个读出装置 (26) 相连。

5. 如权利要求 4 所述的非易失性无源矩阵存储器件, 其特征在于, 单个读出装置 (26) 是一个读出放大器。

6. 如权利要求 1 所述的非易失性无源矩阵存储器件, 其特征在于, 所述用于在寻址期间将一个段 (S) 的每个位线 (BL) 与一个相关读出装置 (26) 同时连接的装置 (25) 是一个门电路装置。

7. 如权利要求 6 所述的非易失性无源矩阵存储器件, 其特征在于, 一个段 (S) 的所有位线 ($BL_1, \dots, n$) 与一个特定门电路装置相连, 每个门电路装置具有对应于各个段 (S) 中的位线 (BL) 数目的多个输出, 每个门电路装置 (25) 的每个输出与一个输出数据总线 (28) 的一个特定总线线路 (27) 相连, 总线线路 (27) 的数目因此对应于一个段 (S) 中的位线 (BL) 的最大数目, 以及, 每个总线线路 (27) 与一单个读出装置 (26) 相连。

8. 如权利要求 6 所述的非易失性无源矩阵存储器件, 其特征在于, 门电路装置 (25) 包括传递门电路。

9. 如权利要求 6 所述的非易失性无源矩阵存储器件, 其特征在于, 读出装置 (26) 是一个读出放大器。

10. 如权利要求 1 所述的非易失性无源矩阵存储器件, 其特征在于, 所述电子可极化介电存储材料 (12) 是铁电材料。

11. 一种用于读出非易失性无源矩阵存储器件 (10) 的方法, 所述非易失性无源矩阵存储器件 (10) 包括展示出磁滞现象的电子可极化介电存储材料 (12), 其中, 所述存储材料 (12) 在夹在第一组和第二组 (14; 15) 相应的平行寻址电极之间的层中提供, 其中, 第一组 (14) 电极构成存储器件的字线 (WL), 并以与第二组 (15) 电极正交的关系提供, 后者构成存储器件 (10) 的位线 ($BL_1, \dots, n$), 其中, 将带有电容特征的结构存储单元 (13) 限定在字线 (WL) 和位线 (BL) 之间的交叉处的存储材料 (12) 中, 其中, 存储器件 (10) 的存储单元 (13) 构成无源矩阵 (11) 的元件, 其中, 可以通过字线 (WL) 和位线 (BL) 为一个写/读操作有选择地寻址每个存储单元 (13), 其中, 对存储单元 (13) 的写操作通过依靠经由限定所述单元的相应字线 (WL) 和位线 (BL) 而施加到所述单元上的电压在单元中建立所希望的极化状态来产生, 所述施加的电压或者在单元中建立一个所确定的极化状态, 或者能够在其极化状态之间转换, 其中, 读操作通过将一

个大于矫顽电压 V_c 的一个转换电压 V_s 施加到存储单元 (13) 上并检测其位线 (BL) 上的输出电流的至少一个电参数来产生, 以及, 其中, 所述方法包括如下步骤, 根据一个包括所有字线和位线的电定时序列的协议以一个以时间为坐标的方式控制所有字线 (WL) 和位线 (BL) 上的电位, 安排所述协议以包括一个读周期, 以及,

在读周期期间提供读出装置以读出位线中的电流, 以及, 其中, 所述方法的特征在于, 将字线 (WL) 分成许多段 ($S_1, \dots, S_q$), 每段包括矩阵 (11) 中的多个邻接位线 (BL) 并由其限定, 将一个字段 (S) 内的每个位线 (BL) 与一个相关读出装置 (26) 相连,

根据所述协议通过在读周期的至少一个部分期间将一个段 (S) 上的所述的一个字线 (WL) 的电位设置到转换电压 V_s 来每次激活段 (S) 上的所述一个字线 (WL), 同时将段 (S) 的所有位线保持在零电位, 以及,

确定存储在由读出装置 (26) 在读周期期间读出的单个存储单元 (13) 中的逻辑值。

12. 如权利要求 11 所述的用于读出的方法, 其特征在于,

当没有存储单元 (13) 被读或写时, 将所有字线 (WL) 和位线 (BL) 保持在一个大约为转换电压 V_s 的 $1/3$ 的静态电压,

根据所述协议通过在读周期的至少一个部分期间将段 (S) 上的所述一个字线 (WL) 的电位设置到转换电压 V_s 来每次激活一个字线 (WL), 同时将段 (S) 的所有位线 (BL) 保持在零电位, 以及,

确定存储在由读出装置 (26) 在读周期期间读出的单个存储单元 (13) 中的逻辑值。

13. 如权利要求 1 所述的非易失性无源矩阵存储器件 (10) 或如权利要求 11 所述的用于读出的方法在一个具有多个叠层 ($P_1, P_2, \dots$) 的大容量数据存储装置中的使用, 其中每层 (P) 包括一个非易失性无源矩阵存储器件 (10)。

非易失性无源矩阵器件及其读出方法

本发明涉及一种包括显示出磁滞现象的电子可极化介电存储材料、尤其是铁电材料的非易失性无源矩阵存储器件，其中所述存储材料在夹在第一组和第二组相应的平行寻址电极之间的层中提供，其中第一组电极构成存储器件的字线，并以与第二组电极基本上正交的关系提供，后者构成存储器件的位线，其中，将带有电容特征的结构存储单元限定在字线和位线之间的交叉处的存储材料中，其中存储器件的存储单元构成无源矩阵的元件，其中可以通过字线和位线为一个写/读操作有选择地寻址每个存储单元，其中对存储单元的写操作通过依靠经由限定该单元的相应字线和位线而施加到该单元上的电压在单元中建立所希望的极化状态来进行，其中所述施加的电压或者在存储单元中建立一个所确定的极化状态，或者能够在其极化状态之间转换，以及，其中读操作通过将大于矩顽电压 V_c 的转换电压 V_s 的电压施加到存储单元上并检测位线上的一个输出电流的至少一个电参数来进行。

本发明还涉及读出该类型存储器件的方法。

本发明还涉及非易失性无源矩阵存储器件在大容量数据存储装置中的使用。

铁电集成电路与传统技术相比具有革命性的特性。应用包括非易失性信息存储器件、特别是具有诸如高速、实际无限的耐久性和高的写速度等优点的矩阵存储器；其特性是近来仅梦想的。

铁电矩阵存储器可以被分成两类，一类包含与存储单元相连的有源元件，一类没有有源元件。这两类都将在下面描述。

具有不带有源访问元件、例如访问晶体管的铁电电容器形式的存储单元的铁电矩阵存储器包括薄铁电膜，具有一组平行导电电极（“字线”）沉积在其一面，基本垂直的一组导电电极（“字线”）附着在其另一面，其结构是在下面所称的“无源矩阵存储器”。在无源矩阵存储器中，单个铁电存储单元在生成存储器矩阵的相对电极的交叉点形成，其中存储器矩阵包括可以由来自矩阵边缘的适当电极有选择的激励来单独电访问的存储单元。

用于提供矩阵存储器的另一个方法是通过包括一个有源元件、典型地是与铁电电容器串联的访问晶体管来修改每个铁电存储单元。访

问晶体管控制对电容器的访问，并阻挡不想要的干扰信号，例如来自相邻存储单元的信号。存储单元典型地可以包括铁电电容器和其栅极与一个字线相连的 n-通道金属氧化物场效应晶体管（为了简单起见，下面一般简称为“MOSFET”，而不指出是 n-型还是 p-型）。MOSFET 的源极/漏极区域连接到一个位线。铁电电容器的一个电极连接到 MOSFET 的源极/漏极区域，电容器的另一个电极连接到所谓的“驱动线”。这是现在的传统概念，常常提供为一个晶体管、一个电容器（1T-1C）存储单元。其他概念也是公知的，包括两个晶体管或更多。然而，所有这些概念与无源矩阵存储器相比增大了晶体管的数目，这意味着很多缺陷，例如减小了一给定面积内的存储单元的数目，增大了复杂性和高的电流消耗。这里，因为每个存储单元中的“有源”元件、即晶体管，这些类型的器件在下面称为“有源”矩阵存储器。

然而，本发明仅仅针对不带有有源元件、例如与存储单元局部相关的二极管或晶体管的无源矩阵存储器。

无源矩阵存储器中的读和写操作可以依靠所谓的“部分字寻址”来执行，从而读或写一给定字线上的仅仅一部分存储单元、典型地为一个存储单元。为了完成这样一个部分读或写操作，根据所谓的“脉冲发生协议”对非激活字线或位线上的非寻址单元加偏压，以避免非寻址单元的部分转换。脉冲发生协议的选择取决于多个因素，在涉及展示出磁滞现象的铁电存储材料的应用的文献中已经提出了不同的方案。这例如在本申请人的 2000 年 7 月 7 日申请的共同未决的挪威专利申请 No. 20003508 中进行了描述。这个申请描述了一个用于无源矩阵存储器的协议。另一方面，通常非寻址单元的偏压引起干扰电压，这会导致存储器内容的损失或引起泄漏电流和其他寄生电流，这里称为“寄生电流”，这些电流在读操作期间可以掩盖所寻址的存储单元的电流，从而在读期间掩盖数据内容。根据所讨论的器件的类型，可以定义用于避免或至少减小非编址存储单元的干扰的不同标准，例如用于寄生电流抵消的方法。另一种方式是降低矩阵中每个单元对小信号干扰的灵敏度，这可以由展示出非线性电压-电流响应的单元来实现，例如包括阈值处理、整流和/或各种形式的磁滞。

为了提高有源和无源铁电存储器件的性能，可以将存储矩阵在内部划分、“分段”成较小的块，例如所谓的“段”，以减小功率需求。

通常这个分段对于用户是透明的。分段的另一个原因是与铁电电容器有关的问题，即它们要忍受所谓的“疲劳”，这意味着在铁电电容器已经转换了非常多次、即几百万次之后，它不能保持剩余的极化，因此停止工作。对这个特定问题的解决方案可以是较小矩阵分段，以避免转换整行电容器。这例如在 US-A-5 567 636 中进行了公开。另一个描述分段存储矩阵的文件是 Gary F. Derbenwick 等发明的 Colorado Springs 的 Celis 半导体公司的“用于空间应用的非易失性铁电存储器”。这个文件描述了一种能够采用一个晶体管、一个电容器存储单元结构 (1T, 1C) 来减少有源矩阵中的功率需求的分段存储矩阵。

采用铁电存储材料的无源矩阵存储器的例子可以在 40-50 年之前的文献中找到。例如，W. J. Merz 和 J. R. Anderson 在 1955 年描述了一种基于钛酸钡的存储器 (W. J. Merz 和 J. R. Anderson, “Ferroelectric storage devices”, Bell. Lab. Record. 1, pp. 335-342 (1955)), 类似的工作也由其他人紧跟在其后发表 (例如, 参见 C. F. Pulvari “Ferroelectrics and their memory applications”, IRE Transactions CP-3, pp. 3-11 (1956), 以及 D. S. Campbell, “Barium titanate and its use as a memory store”, J. Brit. IRE 17 (7), PP. 385-395 (1957))。无源矩阵存储器的另一个例子可以在 1994 年 11 月的 IBM 科技发布公报 Vol. 37, No. 11 中找到。然而，这些文件都没有描述对与受干扰的非寻址单元有关的问题的解决方案。

解决这个问题的另一个方法是改进铁电材料，以便生成一个方形的磁滞环。然而，这也没有被详细描述。

因此，需要一种没有上述负面属性、例如受干扰的非寻址单元的无源矩阵存储器。

根据上述问题，本发明的一个目的是提供一种解决了与受干扰的非寻址单元有关的问题的无源矩阵存储器件。本发明的另一个目的是提供一种在所存储数据的读期间使来自非寻址单元的累积信号的影响最小的无源矩阵存储器件。最后，本发明的一个目的也是提供在无源矩阵存储器件中的一种读出方法并与上述目的相一致。

上述目的以及进一步的优点和特征由依据本发明的非易失性无源存储矩阵器件来实现，其特征不在于，字线被分成许多段，每段包括矩

阵中的多个邻接位线并由其限定，并且，提供装置来用于将分配给一个段的每个位线与一个相关读出装置相连，从而允许分配给一个段上的一个字线的所有存储单元同时连接以便经由所述段的对应位线用于读出，每个读出装置适于读出与其相连的位线中的电流，以便确定存储在由所述位线限定的存储单元中的逻辑值。

在依据本发明的存储器件的第一个有利的实施例中，用于在寻址期间将一个段的每个位线与一个相关读出装置同时连接的装置是多路复用器。在这种情况下多路复用器的数目可以对应于限定一个段的位线的最大数目，一个段的每个位线与一个特定的多路复用器相连。然后，最好每个多路复用器的输出与一单个读出装置相连，特别是单个读出装置可以是一个读出放大器。

在依据本发明的存储器件的第二个有利的实施例中，用于在寻址期间将一个段的每个位线与一个相关读出装置同时连接的装置是一个门电路装置。在这种情况下一个段的所有位线可以与一个特定门电路装置相连，每个门电路装置具有对应于各个段中的位线数目的多个输出，每个门电路装置的每个输出与一个输出数据总线的一个特定总线线路相连，总线线路的数目因此对应于一个段中的位线的最大数目，以及，每个总线线路与一单个读出装置相连。

最好门电路装置包括传递门电路，并且最好读出装置是一个读出放大器。

上述目的和其他优点和特征也由依据本发明的用于存储器件的读出方法来实现，从而该方法的特征在于，将字线分成许多段，每段包括矩阵中的多个邻接位线并由其限定，将一个字线段内的每个位线与一个相关读出装置相连，

根据所述协议通过在读周期的至少一个部分期间将一个段上的一个字线的电位设置到转换电压 V_s 来每次激活段上的所述一个字线，同时将段的所有位线保持在零电位，以及，确定存储在由读出装置在读周期期间读出的单个存储单元中的逻辑值。

在依据本发明的读出方法的一个有利的实施例中，当没有存储单元被读或写时，将所有字线和位线保持在一个大约为转换电压 V_s 的 $1/3$ 的静态电压，根据所述协议通过在读周期的至少一个部分期间将段上的所述一个字线的电位设置到转换电压 V_s 来每次激活一个字线，同时

将段上的所述一个字线的电位设置到转换电压 V_s 来每次激活一个字线, 同时将段的所有位线保持在零电位, 以及, 确定存储在由读出装置在读周期期间读出的单个存储单元中的逻辑值。

最后, 上述目的和其他特征和优点也依据本发明通过将本发明的非易失性无源矩阵存储器件和本发明的用于读出的方法用在一个具有多个叠层的大容量数据存储装置中来实现, 其中每层包括一个非易失性无源矩阵存储器件。

下面在本发明的一般背景和其后结合附图而展示的最佳实施例的讨论的基础上更全面地描述本发明, 其中:

图 1 显示了一个铁电存储材料的磁滞曲线的原理图;

图 2 是一个带有交叉电极行的无源存储矩阵的一部分的示意图, 其中, 存储单元包括位于它们重叠的这些电极之间的铁电材料;

图 3 是沿图 2 中的线 A-A 的放大截面图;

图 4 是显示铁电矩阵存储器中的全字读的功能方框图;

图 5 是显示依据本发明的一个最佳实施例并带有分段字线的无源矩阵存储器的功能方框图;

图 6 是显示依据本发明的一个最佳实施例并带有分段字线的无源矩阵存储器的功能方框图;

图 7a 是简化的全字读的时序图, 其后跟着为在“全字读”中对存储矩阵的一个段的一个字线寻址而提供的写/刷新周期;

图 7b 是图 7a 中的时序图的一个变化; 以及

图 8a 是与图 5 中相同的实施例, 但是带有字线的电分段,

图 9 是与图 6 中相同的实施例, 但是带有字线的电分段, 以及

图 10 示意地显示出图 5 或 6 中的存储矩阵如何能够在大容量存储器件中实现。

在给出最佳实施例的详细描述之前, 应该讨论本发明的一般背景以便更好地理解这样的存储器中的无源矩阵存储器乃至一单个存储单元是如何工作的。参看图 1, 图 1 显示了铁电材料的典型的所谓的“磁滞环”, 其中铁电材料的极化 P 相对于一个电位差 V 被绘出。极化的值将以指示的方向沿环走一圈。具有如图 1 中所示的磁滞环的铁电材料将在应用超过所谓的矫顽电压 V_c 的电压 V_s 时改变其净极化方向(“转换”)。当该电压 V_c 超过矫顽场 V_c 时, 极化 P 突然地改变为大的正值 $+P_r$ (假设在

零电位以负极化开始)。该正极化+Pr 一直保持到一个相应的负电压 $-V_s$ 超过该负矫顽电压 $-V_c$ 再次将极化改回到负极化。以这种方式, 带有包含铁电材料的电容器的存储器件将在缺少所施加的外部电场的情况下显示出一个存储器的效果, 使得可以通过运用引起极化响应的铁电材料两端之间的电位差来存储非易失性数据。这样其方向(和幅度)可以被设置并处于所期望的状态。同样, 可以确定极化状态。存储和确定数据将在下面更详细地描述。

基于所需要的转换速度等, 用于驱动铁电材料的极化状态的额定电压 V_s 典型地被选择为显著大于矫顽电压 V_c 。额定电压 V_s 一般地显示为图 1 中的虚线, 但决不是局限在这个特定值。其他的也可以使用。

图 2 显示了显示两个相互相对组平行电极的无源矩阵存储器 10 的 $m \times n$ 存储器矩阵 11 的一部分, 即字线电极 WL 和位线电极 BL。字线和位线电极 WL; BL 彼此垂直排列, 由此在相交区域的字线和位线电极限定了一个绝缘铁电材料(将在下面更详细地描述)的具体体积元 (Volume elements) 的侧壁, 随即限定了存储器矩阵 11 中的电容状存储单元的体积。图 3 公开了沿图 2 中的线 A-A 的截面图。每一个“电容器”的绝缘体是铁电层 12 中的铁电材料, 其中材料的厚度限定了体积元素的高度 h , 该高度 h 随即限定了存储器单元 13。为了简单起见, 图 2 中仅仅显示了在字线和位线电极 WL; BL 之间的三个交叉点。

通过应用两个相对电极、在单元 13 中的字线 WL 和位线 BL 之间的电位差 V_s , 在单元 13 中的铁电材料受到引起极化响应的电场 E 的控制, 具有可以依据例如图 1 中公开的方式被设置并且留在正或负极化这两个稳定状态中的一个的方向。两个状态代表二进制状态“1”和“0”。类似地, 单元 13 的极化状态可以通过继续应用寻址该单元 13 的两个相对电极 WL 和 BL 之间的电位差来改变或推导, 这或者使得在去除电位差之后极化保持不变, 或者变换为相反方向。在前一种情况, 响应于所施加的电压, 小电流将流过, 而在后一种情况, 极化的改变引起大的电流。将电流与一个参考值进行比较, 以便能够确定“0”或“1”是否存在, 其中参考值可以以多种方式(未显示)提供。如果读是破坏性的读, 在一些单元中的极化状态将被切换到相反状态。例如不管读取的状态处于状态“1”还是状态“0”, 单元的极化状态可以切换到“0”。初始状态必须写回到存储器中的一个单元, 以便在存储器中保存该信息, 也就是读出值。无源矩阵存储器如何运行的更详细

的描述将在下面描述本发明的最佳实施例时给出。

也为了增进对本发明的理解，对显示无源矩阵存储器的另一个读出方法的图 4 进行参考，在下文中称为“全字读”，从而，一个现用字线、这里是包括所期望的存储单元 13 的第一字线 WL_1 在它的整个字长、也就是由位线 $BL_1, \dots, BL_n$ 定义的每一个存储单元 13 上被读出。全字读本身是例如在 US-A-6157578 中描述的已知内容。但是，在所述文件中，解决方案针对的是一个有源矩阵存储器件，其目的是增加传输存储在相对大的存储矩阵块中的数据的速度。本发明相反则与无源矩阵存储器有关，由此关于有源矩阵的现有技术知识、例如在 US-A-6157578 中描述的知识是无关的，因为有源器件没有干扰非编址单元的问题。

需要注意的是，依据在无源矩阵存储器中的全字读的脉冲发生协议，未用字线、在这种情况下是字线 $WL_2, \dots, W_m$ 可以保持与位线 $BL_1, \dots, BL_n$ 相同的电位或基本上相同的电位。因此，在存储矩阵 10 的任何一个非编址单元上没有干扰信号。为了读出数据（读出），现用字线、在这种情况下是第一字线 WL_1 被带到导致电流 I 流过相交的位线 $BL_1, \dots, BL_n$ 上的单元的电位。电流 I 的幅度依赖于每一个单元 13 的极化状态并且由读出装置 26 来确定，如图 4 中所示，对于每一个位线 BL 有一个读出装置。例如读出装置可以是读出放大器。

全字读方法提供几个优点。例如可以将读出电压选择为比矫顽电压高得多，而不会招致非寻址单元中的部分转换，并且该方法可兼容大的矩阵。

本发明的最佳实施例在附图的图 5-7 中显示。所附的时序图完成了非编址存储单元的零伏干扰，同时在读取一个当前段中的所有单元期间将转换电压加到现用字线 WL_1 的所有单元上。最佳时序图显示在图 7a 中并且一个替换时序图在图 7b 中公开。

参照显示了依据本发明的无源矩阵存储器的一个最佳实施例的图 5，矩阵 proper 被实现为由 m 条字线 $WL_1, \dots, W_m$ 和 n 条位线 $BL_1, \dots, BL_n$ 形成的 $m \cdot n$ 矩阵。字线被分成 q 个段 S ，每一个段 S 由矩阵 BL 中的 k 个相邻位线 BL 限定。 k 最好对于每一个段都相同，这样 $q \cdot k = n$ 。为了读出，每一个段 S 中的第一位线现在可以通过从第一多路复用器 25₁ 耦合到第一读出装置 26₁。在每一个段中的第二位线也将对应地被耦合到另一个多路

复用器 25_i，这样每一个段中的第 k 个位线将被耦合到最后一个多路复用器 25_i。换句话说，多路复用器 (MUX) 25 的数目应该等于限定一个段的位线 BL 的最大数目。当然，并不能防止每一个段 S 中的位线的数目可以不同，但是如果段上的位线上的存储单元包含具有相同长度的数据字， k 对于所有段都将相同。每一个多路复用器 25 与用于读出数据的读出装置 26 连接并且读出装置 26 的数目也将因此等于限定一个段的位线 BL 的最大数目 k 。与使用部分字读的常规无源矩阵存储器不同，字线段 n 中的所有存储单元 13 被同时连接到读出装置 26，这样在字线段上的所有位点可以并行读出。特别地，读出装置可以是读出放大器。为了简单，在图 5 中仅仅反映了开始的两个段 S_1 、 S_2 和最后一个段 S_q 并且对于相关的多路复用器 25 和读出放大器 26 也是同样适用。存储和/或将要存储在存储矩阵 11 中的数据可以通过图 5 中未显示的相关的行译码器和列译码器来访问，并且存储在存储矩阵 11 中的存储单元 13 中的数据可以通过脉冲发生协议读出，例如象结合图 7a 所讨论的一样，通过在多路复用器 25 上连接到位线的读出放大器 26 来进行。所有的限定字线段 S 的位线 BL 途经多路复用器 25 并且仅仅当该段中的一给定字线 WL 是现用字线时被选择。以这种方式，在段 S 中的现用字线 WL 中的所有位线被以“全字配置”的方式并行读出，并且所有位线被分配在读出放大器 26 中。

在一个实际的实施例中，无源存储器件例如可以是被分成 8 段 S 的 16M 位存储器，也就是 $q=8$ 并且每一个 64 位包括 256000 条字线。然后在每一个段 S 中将是 8 条位线 BL，换句话说 $k=8$ 。当然其他结构也是可能的，例如在每一个段 S 中具有 9、16 或 32 条位线。

在本发明的另一个最佳实施例中，至少 256 个存储单元 13 被用在每一个段 S 中。采用一个 32:1 的多路复用器 25，以仅仅 32 倍字线驱动器形成了 8192 位宽的存储器。当然每一个字线将依据提供的读出放大器 26 的数目被分段。

在图 6 中，显示了依据本发明的存储器件的一个替代实施例，其中多路复用器被门电路装置 25 替代。门电路装置 25 以与多路复用器相同的方式激活位线 BL。

门电路装置 25 最好实现为与段 S 中的每一条位线 BL 连接的传递门电路。虽然图 5 中的实施例中的多路复用器 25 的数目应该等于段 S

中的位线的数目，即 k ，但图 6 中的实施例中的传递门电路 25 的数目应该对应于段 S 的数目 q 。每个传递门电路 25 上的输出数目对应于相应段 S 中的位线 BL 的数目。为了保持段 S 中的现用字线 WL 的存储单元 13 的并行读出，读出放大器 26 被用于段中的每一条位线 BL ，每一个读出放大器 26 被连接到数据总线 28 上的线路 27 中的一条。传递门电路的第一输出被连接到第一总线线路 27_1 ，第二输出被连接到第二总线线路 27_2 ，等等，当然，总线线路 27 和读出放大器的数目将是限定一个段 S 的位线 BL 的最大数目。

图 7a 和 7b 反映了一个全字读周期的替换时序图。

图 7a 显示了对于一个字线段的全字读以及后面跟着写/读周期（“刷新”，“回写”）的时序图。该时序图基于四级电压协议。依据这个时序图，当矩阵中没有单元被读或写时，所有字线和所有位线被保持在一个等于零电压的静态电压上。所有存储单元具有一个代表由一个激活字线 WL 和将被读取的这个段中的所有位线 BL 形成的交点的地址。

在读周期中，非现用字线 WL 和所有位线 BL 遵循同样的电压曲线。在读周期中，连接将被读取的单元的字线被设置到转换电压 V_s 。在同样的时间间隔，所有位线被保持在零电压。在所示的时序图中，显示出在一个单元的字线一侧的转换电压 V_s 的应用，并且，在同一单元的位线一侧上的零电压意味着“0”被写入到该单元中。据此，在显示的两个时序图中，在现用字线上的所有单元在读操作执行完后被设置为零状态。因此，为了恢复存储在存储器中的数据，需要仅仅在具有应该包含“1”的单元的位线上回写“1”。这在图 7a 和 7b 中的例子中都有显示，其中具有反向极性的电压被施加到如图所示的在读周期期间应该写入“1”的单元。

图 7b 显示了基于四电平电压协议的一个替换时序图。依据本实施例，当在矩阵中没有单元被读或写时，所有的字线和位线被保持在一个静态电压 $V_s/3$ 。

对于所有显示为图 7a 和 7b 中的例子的定时点的准确值依赖于存储单元的材料和设计的细节。

在图 5 和 6 中的实施例中，原理上字线可以是不间断的，也就是它们连续地扩展到单独的段，这些段仅被所讨论的位线限定。然后多

路复用和读和写的协议必须与其配合。但是，字线变得太长就没有优势了。采用每一个段中的有限数目的段和有限数目的位线，这个问题就避免了，举例来说，如上面提到的例子，使用了 25600 条字线和每一个段中带有 8 条位线的 8 个段。然后，存储器获得了所确定的 16M 位的存储容量。但是，连续的字线也存在其他的缺点。如果段 S 中存储单元的位点在现用字线上用高电压读取，则同样高的电压将被施加到所有段中的现用字线上，并且，即使仅仅连接了所寻址段中的位线，电容耦合和寄生电流也可以形成并例如影响段中相邻非现用字线中的存储单元，这将会导致寄生的读出或噪声影响。在依据本发明的存储器件的实际实施例中，它将因此是相关的，也能够以电方式对字线分段，使得只有所寻址段内的现用字线与驱动器电连接，同时断开剩余段中的相应字线段。当使用图 7 中的协议并且产生如图 8 所示的存储器件的一个实施例时这是特别相关的，图 8 所示的实施例在原理上对应于图 5。通过一个段选择器 22 选择驱动器组 20 中的一个未显示的驱动器，使得为一个读或写周期激活所选择的段 S 中的字线 WL，其中段选择器 22 例如可以实现为一个选择器总线。由段选择器装置 22 控制的多路复用器 25 可以通过转换 24 与组 20 中的一个选定驱动器相连，并通过在一个可转换高速缓冲存储器 21 上的选择器装置 22 进行控制。特定多路复用器 25 被同时寻址，用于将所寻址的段中的位线 BL 连接到读出放大器 26。在纯实用方面，一个段中的每条字线 WL 可以连接到 AND 门电路、例如 COMS 逻辑门电路或传递门电路，并且从一条字线或一个地址译码器对该段寻址。例如，在段 S_i 中选择字线 WL_i ，然后只将电压加到段 S_i 内的这条位线上。采用破坏性的读出，现在段 S_i 中的所有存储单元和字线 WL_i 将被切换到零状态，同时多路复用器 25 将段 S_i 中的所有位线连接到相应的读出放大器 $26_1 \dots 26_k$ 。所激活字线上的所有单元因此可以被读出，即，如果该段的字线被限定为包含一个数据字，则获得一个全字读。虽然之后所选定字线 WL_i 上的所有单元的状态被检测，但剩余字线 $WL_2 \dots WL_n$ 和位线 $BL_1 - BL_k$ 被保持在一个在读出放大器 26 的偏压点附近的静态电压，并且，在原理上，则将没有来自该段的剩余单元的干扰影响。在位线上的单元上不会有任何偏压，使得可以产生对读出放大器 26 的输入的干扰信号。读出放大器 26 的数据输出被传送到一个双向数据总线 23，同时将一个写逻辑 29 并联在多

路复用器的输出上，用于向该段中的一个现用字线上的单元的位点写数据，与在读出情况中一样，该段中的字线通过选择器装置 22 以对应的方式进行选择。最好在选择器装置 22 的可切换输出上提供缓冲存储器 21，选择器装置 22 通过由选择器装置 22 控制的多个行转换装置 24 来连接驱动器和多路复用器 25。

图 9 显示了一个在功能上等效于图 8 中的实施例的实施例，但该实施例另外还对应于图 6 中的实施例，其中，多路复用器由传递装置 25 替代。每个传递装置 25 例如可以包括用作传递门电路的转换晶体管 25a，其中每行有一个转换晶体管，使得在传递装置 25 中总共有 k 个转换晶体管 25a。与在图 8 中的实施例的情况一样，为每段提供一个驱动器组 20，同时选择器装置 22 现在由一个驱动器组选择器 22a 替代。单独的字线 WL 的寻址在组选择器 22a 的控制下在字线地址总线 30 的输出上产生。在读出中，位线 25a 被连接到数据总线 28 中的总线线 27，读出放大器的数据输出被连接到一个双向数据总线 23。对应地，与图 8 中一样，在读出放大器 26 两端并联提供写逻辑 29，当进行写操作时，通过组选择器 22a 并采用在字线地址总线 30 上寻址来选择字线段。

基本上，用于选择、译码和寻址所必需的器件和装置、象未显示的定时逻辑是本领域公知的，是在有源和无源的矩阵可寻址存储器中都常常采用的，因此在这里不再进一步详细讨论。

只要满足执行全字读的需要，脉冲发生调制协议中的电压电平的数目和电压电平本身可以任意选择。此外，依据所示这些协议的电压的极性同样可以反转。

在用于实现依据本发明的存储器件的实际电路技术中，存储矩阵可以在一个基底上提供，并且字线驱动器集成在其中，使得器件的总面积不会增大。

分段的字线同样可以在叠层的存储板上实现，其中位线 BL 与多路复用器或门电路装置 25 垂直连接。这在图 10 中进行了显示，图 10 示意性地显示了一个实施例的截面，其中，依据本发明的存储器件 10 以一个叠层排列来提供。这实现了大容量数据存储装置，其中，每个层或存储板 P 包括一个存储器件 10。通过以交错排列来提供存储器件，各个字线和位线可以在所谓的交错通路 (staggered vias) 上连接，交错通路即为与基底 14 中的驱动器和控制电路的交替的水平和垂直

“跨边缘(over-the-edge)”连接。基底 14 可以是无机的,即硅基的,因此电路例如可以以一个可兼容的 COMS 工艺来实现。图 8 只显示了两个存储板 P_1, P_2 (注意,只显示了有限数目的位线),但实际上大容量数据存储装置可以包括非常大数目的存储板,从 8 到远大于 100 或更多,实现了具有非常高的容量和存储密度的存储器,因为每个存储板只有大约 $1\mu\text{m}$ 厚或更薄。

上述无源矩阵存储器件的优点包括制造简单和高密度的单元。进一步的优点是:

a) 如果字线在电上分段,非寻址的存储单元在读周期期间将经受零电压电位(或一个小电位),假定采用依据图 7a 的协议。这将减少可能导致存储内容的损失的干扰信号的数目,并在一个读操作期间消除产生寄生电流的所有干扰。

b) 数据传输速率将处于由一个段内的位线数目所允许的最大速率。

c) 在不招致非寻址单元中的部分转换的情况下,读出电压 V_s 可以被选择为比矫顽电压高得多。这使得转换速度能接近单元中的可极化材料的最高可能速度。

d) 读出方法与大矩阵兼容。

另外,本发明的存储器件可以用减少数目的读出放大器实现,当存储器较大时这是有利的,并且在读出放大器的功率消耗方面也是有利的。这可以较高,但也可以由驱动和寻址电路的适当的功率管理减小到某种程度。此外,读出放大器的数目的减少暗示着专用于读出装置的地方可以被平衡,以实现存储器件中的整体面积优化。最后,字线的分段暗示着在一单个字线出故障的情况下在读出或寻址期间的误差将被局限到一单个字。

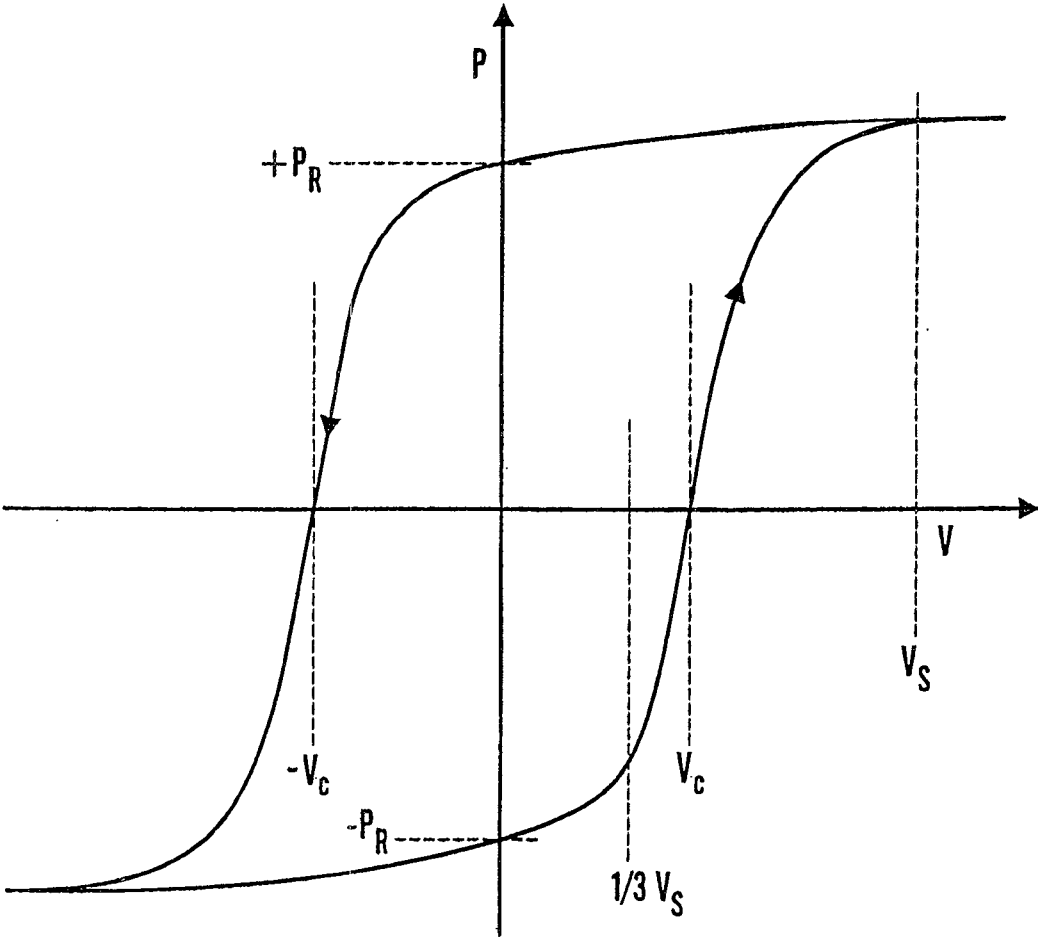


图 1

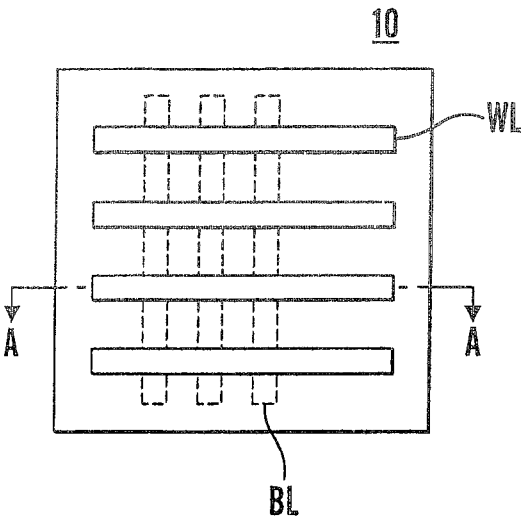


图 2

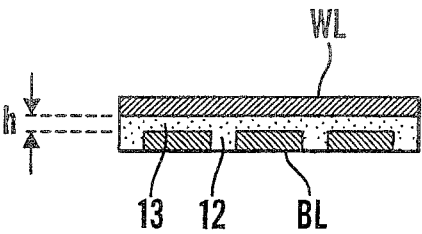


图 3

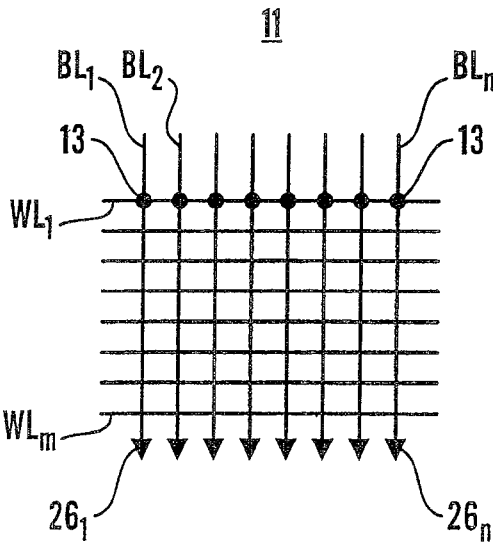


图 4

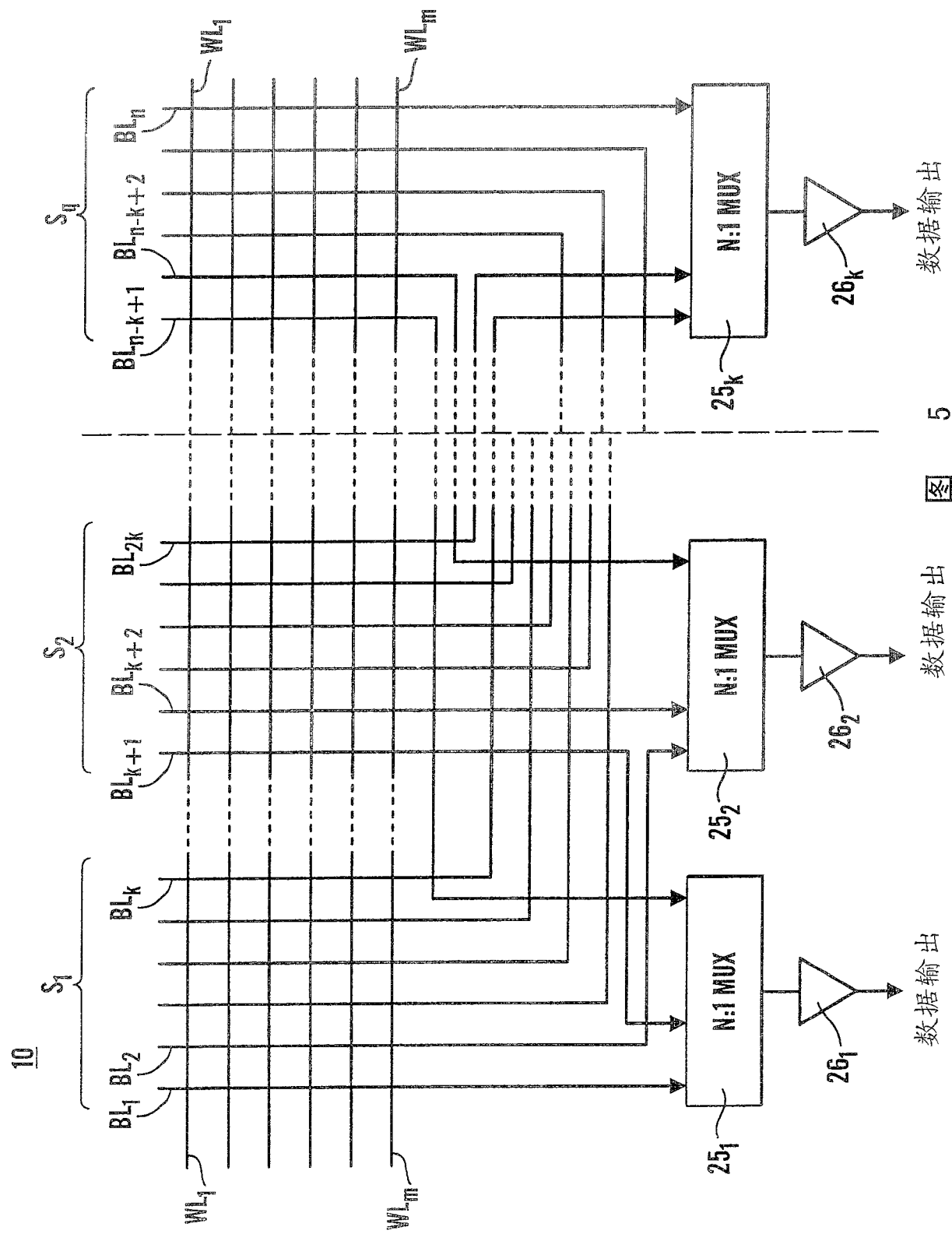


图 5

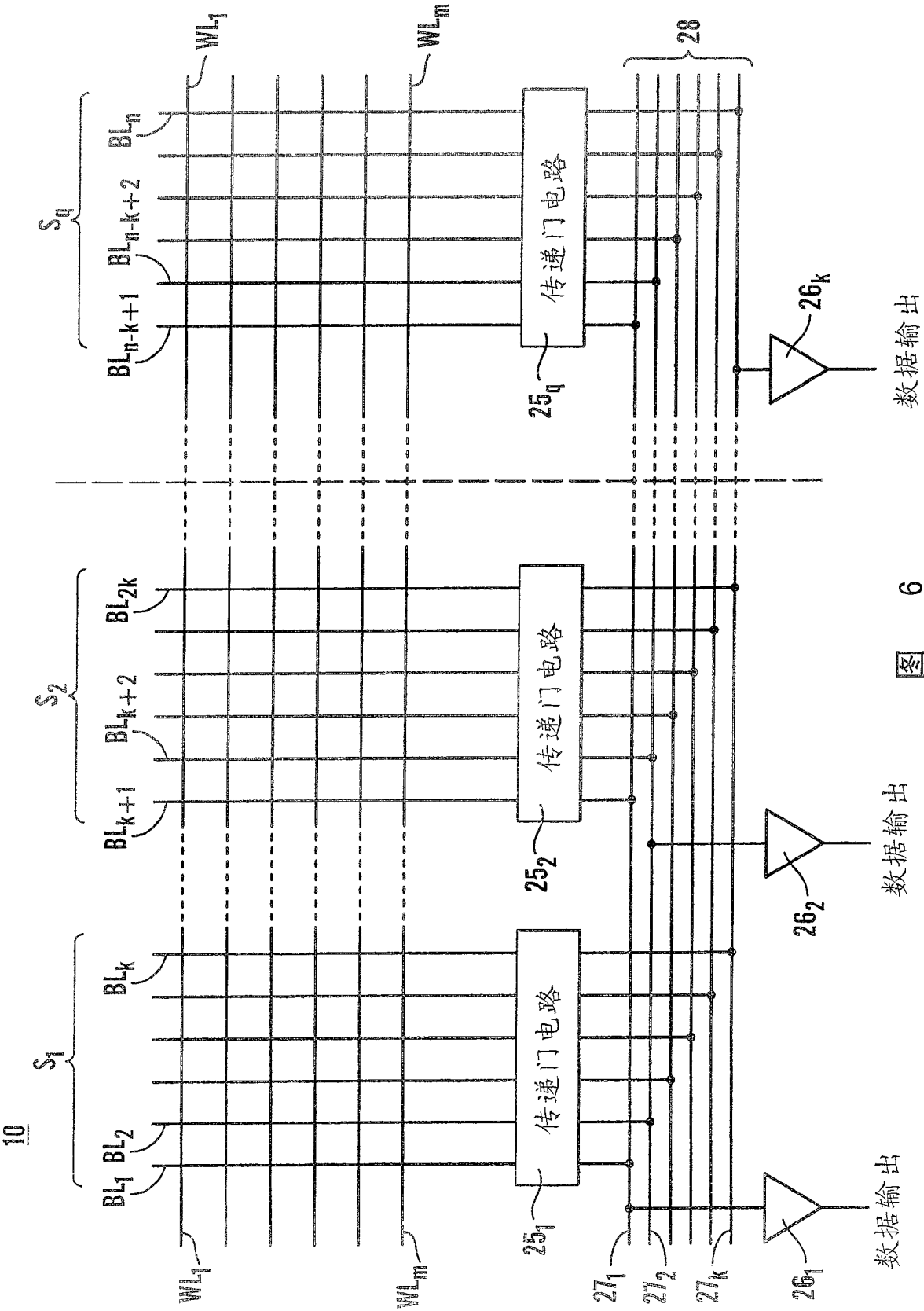


图 6

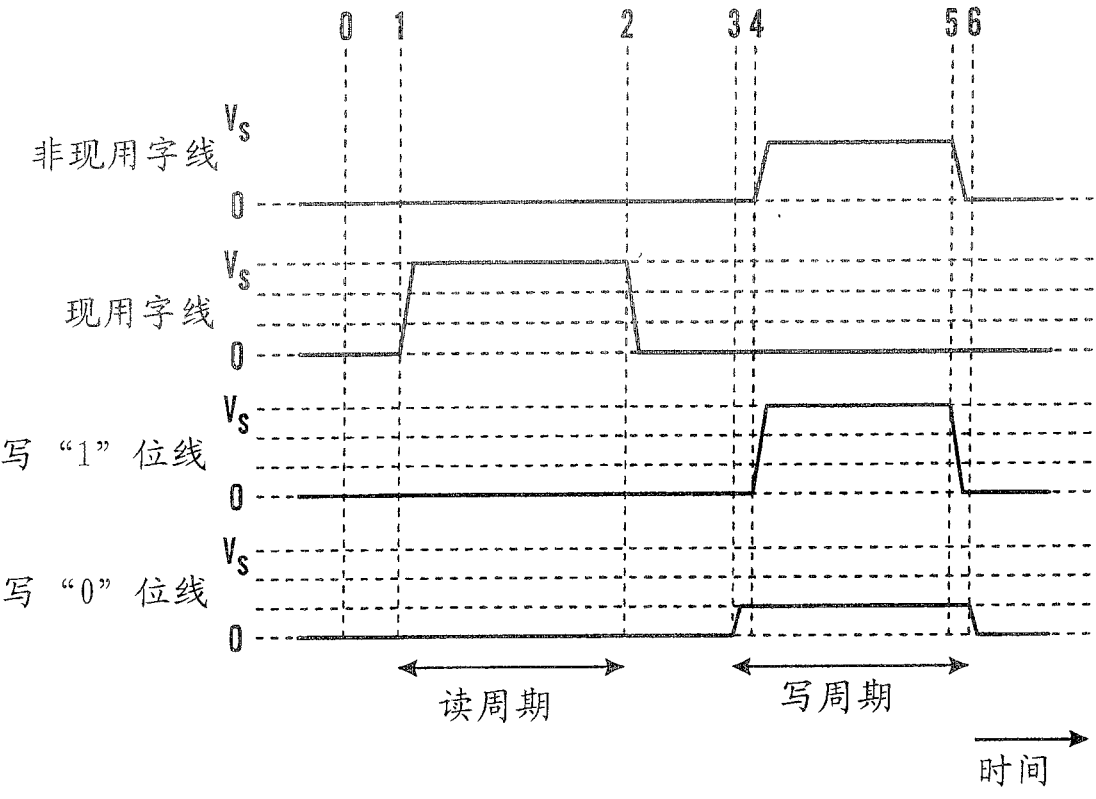


图 7a

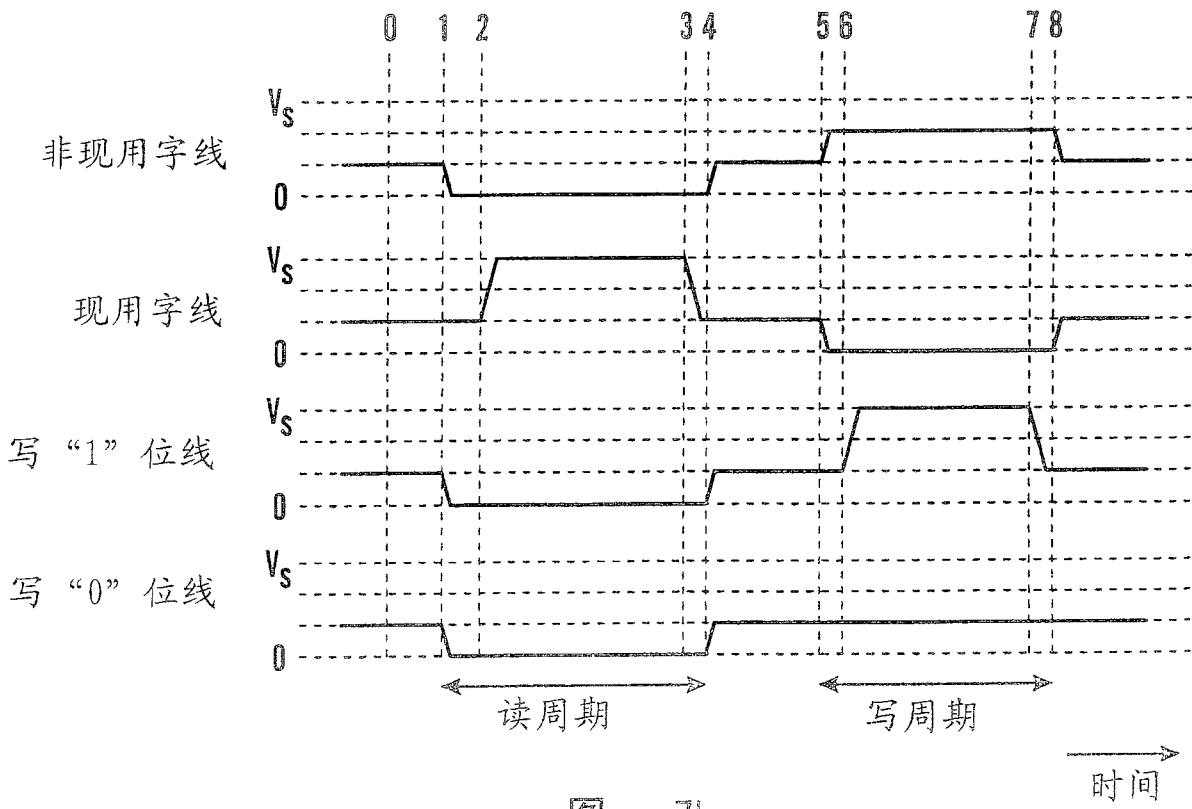
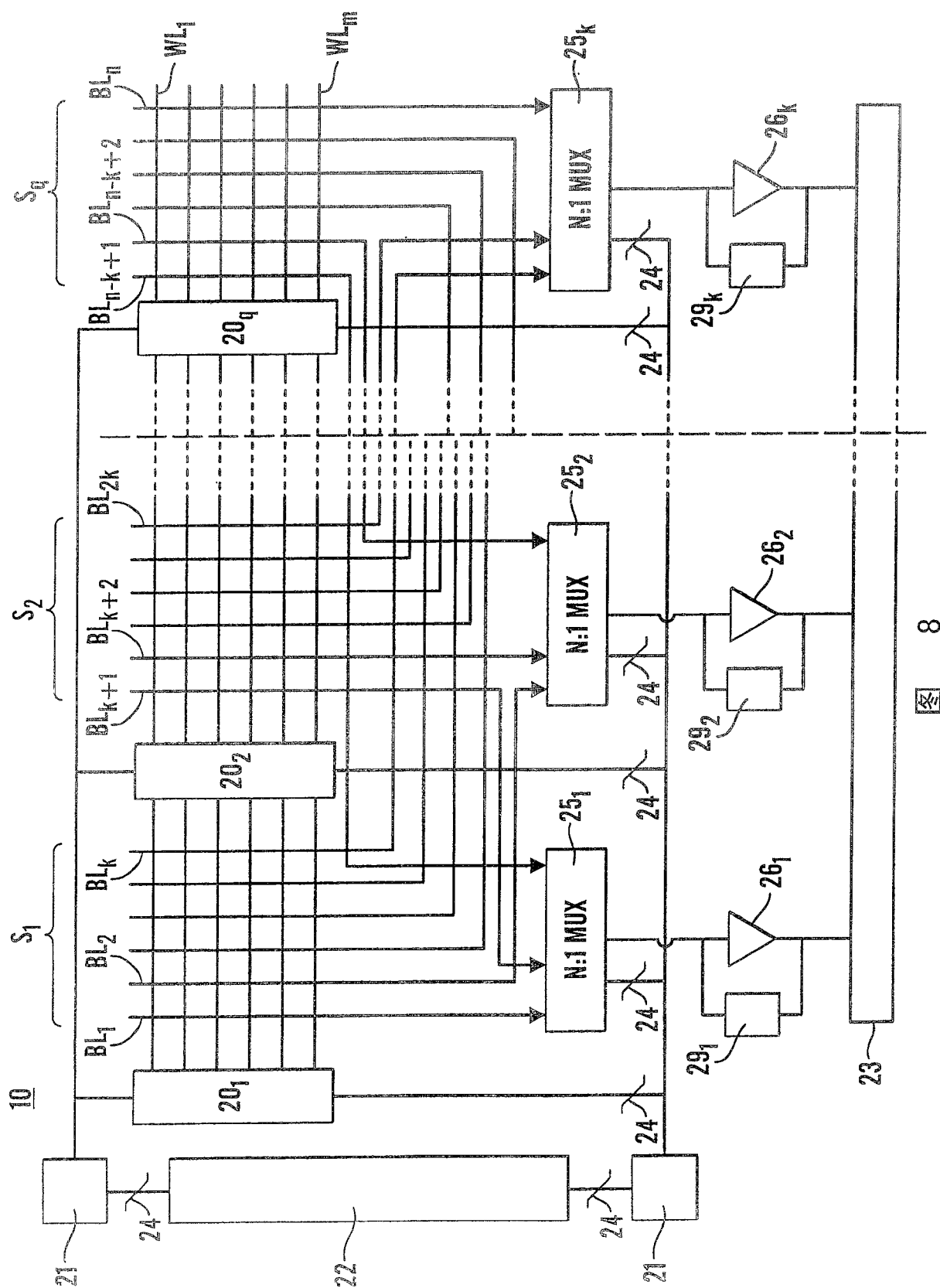
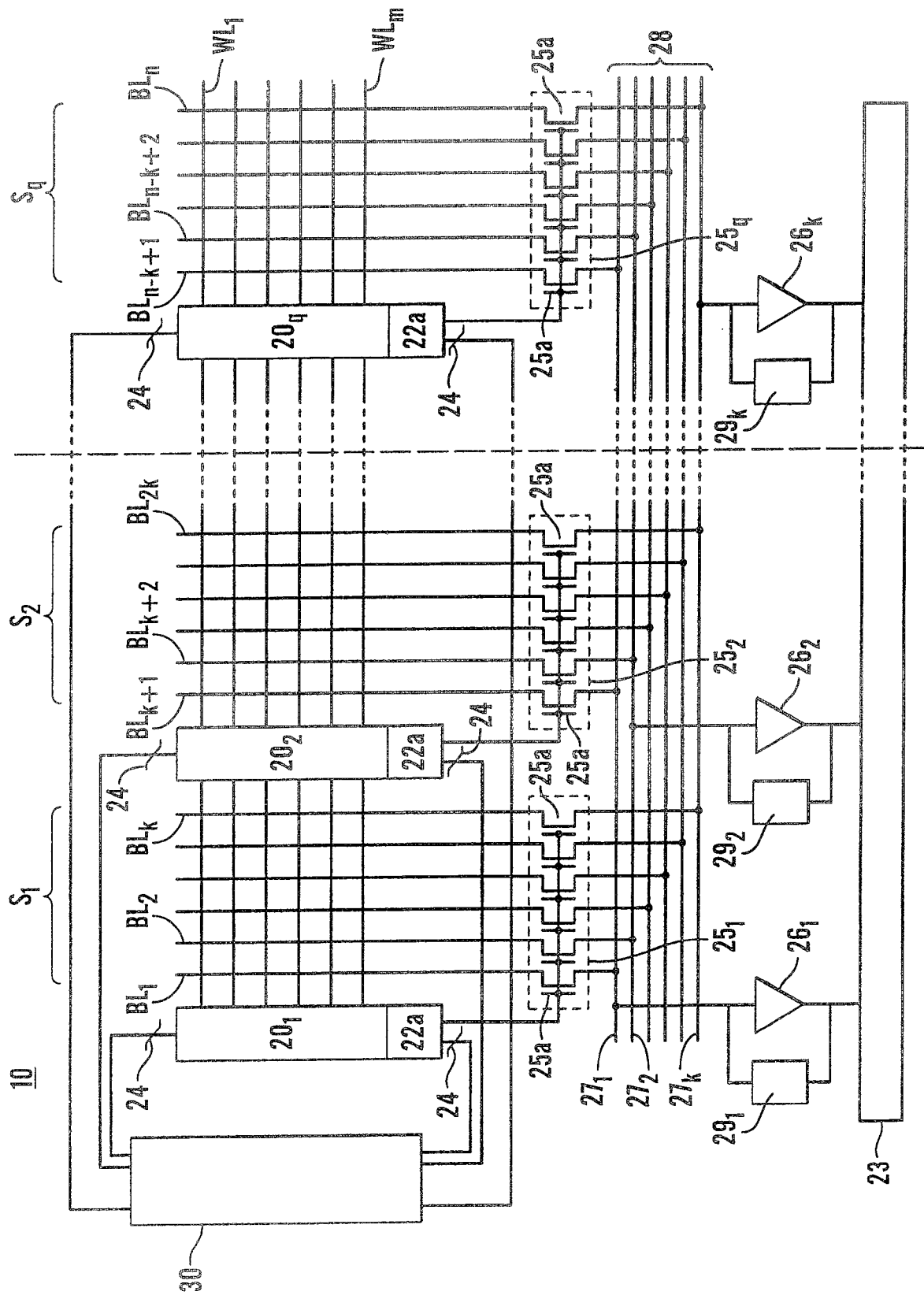


图 7b



8

8



9

三

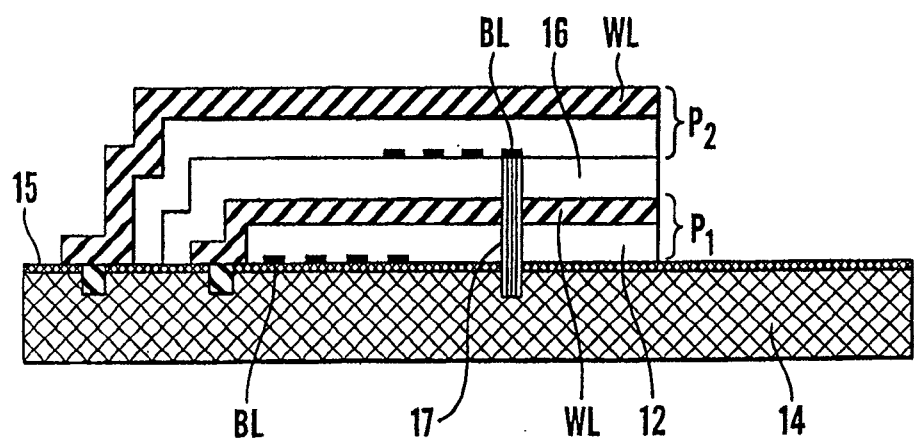


图 10