(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年3月2日(02.03.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/026834 A1

(51) 国際特許分類:
H02M 3/155 (2006.01)

(21) 国際出願番号： PCT/JP2022/030208

(22) 国際出願日： 2022年8月8日(08.08.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2021-135279 2021年8月23日(23.08.2021) JP

(71) 出願人: 株式会社村田製作所 (**MURATA MANUFACTURING CO., LTD.**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

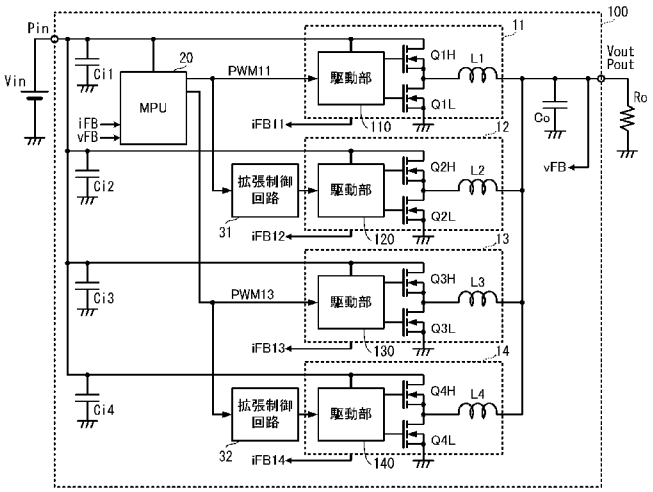
(72) 発明者: 細谷 達也 (**HOSOTANI Tatsuya**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 藤原 義大 (**FUJIWARA Yoshihiro**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 弁理士法人 楓国際特許事務所 (**KAEDE PATENT ATTORNEYS' OFFICE**); 〒5400011 大阪府大阪市中央区農人橋１丁目４番３４号 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,

(54) **Title:** SCALABLE POWER SUPPLY SYSTEM

(54) 発明の名称： 規模拡張型スケーラブル電源システム



31, 32 **Scale control circuit**
110, 120, 130, 140 **Driving unit**

(57) **Abstract:** A power supply system (100) comprises an MPU (20), a plurality of power conversion circuits (11–14), and a plurality of scale control circuits (31, 32). The MPU (20) supplies a digital switching driving signal (PWM11) to the power conversion circuit (11) and supplies a digital switching driving signal (PWM13) to the power conversion circuit (13). The scale control circuit (31) comprises a CR circuit, and generates and supplies to the power conversion circuit (12) a switching driving signal (PWM12) that is delayed relative to the digital switching driving signal (PWM11). The scale

WO 2023/026834 A1

［続葉有］

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

control circuit (32) comprises a CR circuit, and generates and supplies to the power conversion circuit (14) a switching driving signal (PWM14) that is delayed relative to the digital switching driving signal (PWM13).

(57) 要約：電源システム（１００）は、ＭＰＵ（２０）、複数の電力変換回路（１１－１４）、および、複数の拡張制御回路（３１、３２）を備える。ＭＰＵ（２０）は、デジタルスイッチング駆動信号（ＰＷＭ１１）を電力変換回路（１１）に供給し、デジタルスイッチング駆動信号（ＰＷＭ１３）を電力変換回路（１３）に供給する。拡張制御回路（３１）は、ＣＲ回路を備え、デジタルスイッチング駆動信号（ＰＷＭ１１）に対して遅延するスイッチング駆動信号（ＰＷＭ１２）を生成し、電力変換回路（１２）に供給する。拡張制御回路（３２）は、ＣＲ回路を備え、デジタルスイッチング駆動信号（ＰＷＭ１３）に対して遅延するスイッチング駆動信号（ＰＷＭ１４）を生成し、電力変換回路（１４）に供給する。

明　細　書

発明の名称 ： 規模拡張型スケーラブル電源システム

技術分野

[0001] 本発明は、複数の電力変換回路を備えた電源システム、特に、規模拡張型スケーラブル電源システムに関する。

背景技術

[0002] 特許文献１には、スイッチング電源装置が記載されている。特許文献１に記載のスイッチング電源装置は、複数のパルス補正器を備える。複数のパルス補正器は、複数の電力変換回路を駆動する個別パルス信号を生成する。複数のパルス補正器によって、複数の個別パルス信号の位相を異ならせることで、多相化を実現する。

[0003] 特許文献２には、マルチフェーズ型ＤＣＤＣコンバータが記載されている。特許文献２に記載のマルチフェーズ型ＤＣＤＣコンバータは、複数の遅延回路を備える。複数の遅延回路は、制御回路が出力するＰＷＭ駆動信号を遅延させる。制御回路および複数の遅延回路は、それぞれの後段に接続されるコンバータ駆動部に対して、ＰＷＭ駆動信号および遅延制御したＰＷＭ駆動信号を供給する。これにより、マルチフェーズ駆動を実現する。

[0004] 特許文献３には、ＤＣＤＣコンバータが記載されている。特許文献３のＤＣＤＣコンバータは、フェーズコントローラを備える。フェーズコントローラは、ＤＣＤＣコンバータの状態を検出して、駆動フェーズ数を動的に変化させる。フェーズコントローラは、駆動フェーズ数を分配器に与え、分配器は、１つのパルス信号から、駆動フェーズ数に応じた位相差に設定された複数のパルス信号を分配して、ドライバＩＣに与える。これにより、マルチフェーズ駆動を実現する。

[0005] 特許文献４には、電源用半導体装置が記載されている。特許文献４に記載の電源用半導体装置は、複数のタイマー付き駆動ＩＣを備える。複数のタイマー付き駆動ＩＣは、リング状に接続されており、トリガ信号を順次送る。

複数のタイマー付き駆動ＩＣは、このトリガ信号に基づいて、順次時間をずらしながら、スイッチング制御する。これにより、マルチフェーズ駆動を実現する。

[0006] 特許文献５には、マルチフェーズ型ＤＣＤＣコンバータが記載されている。特許文献５に記載のマルチフェーズ型ＤＣＤＣコンバータは、フェーズ制御部とパルス分配部とを備える。フェーズ制御部は、駆動フェーズ数を設定し、パルス分配部に与える。パルス分配部は、駆動フェーズ数に応じて、１つの駆動信号に含まれる複数のパルスを、それぞれのパルスが重ならないように複数の駆動信号に分配する。これにより、マルチフェーズ駆動を実現する。

先行技術文献

特許文献

[0007] 特許文献1：特開２０１９－１７６６０６号公報

特許文献2：特開２０１５－１４６７１１号公報

特許文献3：特開２０１４－８７１８５号公報

特許文献4：特開２０１３－９４０５８号公報

特許文献5：特開２０１０－１１９１１７号公報

発明の概要

発明が解決しようとする課題

[0008] しかしながら、上述の特許文献１－５に示す各装置では、フェーズ数に応じた複数のパルス信号（ＰＷＭ駆動信号）を生成する構成が複雑であり、特殊なカスタムＩＣを都度設計しなければならない。

[0009] また、従来では、インターリーブ方式の分配回路も提案されているが、分配数に応じて信号の周波数が低下するため、過渡応答性は悪化し、コンバータの動作周波数での制御範囲によっては利用不可という問題が生じる。この問題は、分配数に応じて入力信号の周波数を高くすれば解決できる可能性はあるが、半導体により構成される制御回路の動作周波数の上限によっては対

応できない場合も多い。

[0010] したがって、本発明の目的は、簡素な構成で、且つ、電力変換効率の低下を抑制でき、且つ、制御ＩＣの駆動出力数に制限されることなく駆動する電力変換回路の個数に応じたマルチフェーズ駆動を実現する規模拡張型スケーラブル電源システムを提供することにある。

課題を解決するための手段

[0011] この発明の規模拡張型スケーラブル電源システムは、複数の電力変換回路、電力管理制御回路、および、拡張制御回路を備える。複数の電力変換回路は、インダクタと、該インダクタに流れる電流を制御するスイッチング素子および該スイッチング素子を駆動する駆動部を備えるパワー半導体回路とを、それぞれに備える。電力管理制御回路は、複数のパワー半導体回路における第１のパワー半導体回路に与える第１のデジタルスイッチング駆動信号を生成する。

[0012] 拡張制御回路は、電力管理制御回路と複数のパワー半導体回路における第1のパワー半導体回路と異なる第２のパワー半導体回路との間に電気接続される。拡張制御回路は、第１のデジタルスイッチング駆動信号から第２のスイッチング駆動信号を生成し、第２のパワー半導体回路に第２のスイッチング駆動信号を与える。拡張制御回路は、第１のデジタルスイッチング駆動信号に対して所定の信号遅延時間を設定して第２のスイッチング駆動信号を生成する電圧時間変換回路を有する。

[0013] 電圧時間変換回路は、抵抗とキャパシタからなるＣＲ回路の時定数としきい値電圧とを用いて信号遅延時間を決定するしきい値信号変換回路を有する。

[0014] 拡張制御回路は、しきい値信号変換回路のＣＲ回路の時定数を用いて、第２のスイッチング駆動信号のもととなる第２のアナログスイッチング駆動信号の位相を設定する。拡張制御回路は、しきい値信号変換回路のしきい値電圧と、位相の設定後の第２のアナログスイッチング信号とを用いて、第２のスイッチング駆動信号のオン時間幅を第１のデジタルスイッチング駆動信号

のオン時間幅と同じに設定する。拡張制御回路は、第１のデジタルスイッチング駆動信号の第１信号数に第２のスイッチング駆動信号の第２信号数に加えた総信号数によって、複数の電力変換回路の数を決定する。

[0015] この構成では、１つの電力管理制御回路から出力する第1のデジタルスイッチング駆動信号から、第1のデジタルスイッチング駆動信号と位相が異なり、オン時間幅が同じ第２のスイッチング駆動信号が生成される。これらの第1のデジタルスイッチング駆動信号および第２のスイッチング駆動信号がそれぞれ個別の電力変換回路に与えられることで、マルチフェーズ駆動が実現される。

[0016] また、第２のスイッチング駆動信号は、第１のデジタルスイッチング駆動信号を遅延させた信号であるので、電力変換回路の個数が増えても、スイッチング周波数は低下せず、維持される。

[0017] さらに、第2のスイッチング駆動信号を生成する拡張制御回路が、抵抗とキャパシタとのＣＲ回路であるので、簡素な構成となる。

発明の効果

[0018] この発明によれば、制御ＩＣに拡張回路を接続する簡素な構成で、且つ、拡張回路での消費電力が小さくて電力変換効率の低下を抑制でき、且つ、制御ＩＣの駆動出力数に制限されることなく駆動する電力変換回路の個数に応じて電流増大に柔軟に対応して、出力電力容量の規模を拡張できるマルチフェーズ駆動を実現する規模拡張型スケーラブル電源システムを提供できる。

図面の簡単な説明

[0019] [図1]図１は、第１の実施形態に係る電源システムの一例を示す回路ブロック図である。

[図2]図２は、第１の実施形態に係る拡張制御回路の構成の一例を示す回路図である。

[図3]図３は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。

[図4]図４（Ａ）、図４（Ｂ）は、本発明の第1の実施形態に係る電源システ

ムの有効性の一例を示すための機能ブロック図である。

[図5]図５は、第２の実施形態に係る電源システムの拡張制御回路部分を示す回路ブロック図である。

[図6]図６は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。

[図7]図７は、第３の実施形態に係る電源システムの拡張制御回路部分を示す回路ブロック図である。

[図8]図８は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。

[図9]図９は、第４の実施形態に係る電源システムの一例を示す回路ブロック図である。

[図10]図１０は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。

[図11]図１１は、第５の実施形態に係る電源システムの一例を示す回路ブロック図である。

[図12]図１２は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。

発明を実施するための形態

[0020] 本願における規模拡張型電源システムとは、マルチフェーズ駆動に用いる電力変換回路の個数を所望の個数に設定可能な電源システムを意味する。例えば、所望の出力電圧値において所望の出力電流値を高効率で実現するため、システムとして必要な電力変換回路の個数を適正に設定して構成できる電源システムを意味する。なお、以下では、規模拡張型電源システムを単に電源システムと称する。

[0021] ［第１の実施形態］

本発明の第１の実施形態に係る電源システムについて、図を参照して説明する。図１は、第１の実施形態に係る電源システムの一例を示す回路ブロック図である。

[0022] 図１に示すように、電源システム１００は、複数の電力変換回路１１－１４（電力変換回路１１、電力変換回路１２、電力変換回路１３、電力変換回路１４）、ＭＰＵ２０、および、複数の拡張制御回路３１－３２（拡張制御回路３１、拡張制御回路３２）を備える。本実施形態では、電力変換回路の個数は、４個であるが、２個以上であれば、本実施形態の構成を適用できる。また、拡張制御回路の個数は、２個であるが、電力変換回路の個数、および、ＭＰＵ２０から位相を異ならせて出力可能なデジタルスイッチング駆動信号の個数に応じて、設定できる。

[0023] （電源システム１００の概略構成）

電源システム１００は、共通入力端子Ｐｉｎ、および、共通出力端子Ｐｏｕｔを備える。共通入力端子Ｐｉｎは、外部の直流電圧源（入力電源）に接続されている。電源システム１００は、共通入力端子Ｐｉｎから直流の入力電圧Ｖｉｎの供給を受ける。共通出力端子Ｐｏｕｔは、負荷Ｒｏに接続されている。共通出力端子Ｐｏｕｔの電圧が、電源システム１００の出力電圧Ｖｏｕｔとなる。

[0024] ＭＰＵ２０は、共通入力端子Ｐｉｎに接続しており、共通入力端子Ｐｉｎを通じて電源供給されている。なお、実際には、ＭＰＵ２０の電源入力端にはレギュレータ等が接続されており、当該レギュレータを通じて電源供給されている。この電源供給ラインは、入力コンデンサＣｉ１を通してグランド基準電位に接続されている。

[0025] ＭＰＵ２０は、プログラマブルなＭｉｃｒｏ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔであり、マルチフェーズコントローラを実現するＩＣ等によって実現される。ＭＰＵ２０が、本発明の「電力管理制御回路」に対応する。

[0026] ＭＰＵ２０は、電力変換回路１１、および、電力変換回路１３に接続する。

[0027] 拡張制御回路３１の入力端は、ＭＰＵ２０と電力変換回路１１との接続ラインに接続し、拡張制御回路３１の出力端は、電力変換回路１２に接続する。拡張制御回路３２の入力端は、ＭＰＵ２０と電力変換回路１３との接続ラ

インに接続し、拡張制御回路３２の出力端は、電力変換回路１４に接続する。

[0028] 複数の電力変換回路１１－１４は、共通入力端子Ｐｉｎに接続されており、共通入力端子Ｐｉｎを通じて電源供給されている。電力変換回路１１の電源供給ラインは、入力コンデンサＣｉ１を通してグランド基準電位に接続されている。電力変換回路１２の電源供給ラインは、入力コンデンサＣｉ２を通してグランド基準電位に接続されている。電力変換回路１３の電源供給ラインは、入力コンデンサＣｉ３を通してグランド基準電位に接続されている。電力変換回路１４の電源供給ラインは、入力コンデンサＣｉ４を通してグランド基準電位に接続されている。

[0029] 電力変換回路１１の出力端、電力変換回路１２の出力端、電力変換回路１３の出力端、および、電力変換回路１４の出力端は、出力共通ノードで互いに接続され、出力共通ノードを通じて共通出力端子Ｐｏｕｔに接続されている。

[0030] 複数の電力変換回路１１－１４は、入力電圧Ｖｉｎを出力電圧Ｖｏｕｔに変換する電力変換動作を、並行してそれぞれに個別に実行する。電力変換回路１１－１４は、同じ回路構成を有する。

[0031] 図１に示すように、電力変換回路１１は、駆動部１１０、スイッチング素子Ｑ１Ｈ、スイッチング素子Ｑ１Ｌ、および、インダクタＬ１を備える。駆動部１１０、スイッチング素子Ｑ１Ｈ、および、スイッチング素子Ｑ１Ｌは、例えば、一体化して集積されたＦＥＴ内蔵ＰＷＭ制御ＩＣ（アナログ回路ＩＣ）によって形成される。そして、駆動部１１０、スイッチング素子Ｑ１Ｈ、および、スイッチング素子Ｑ１Ｌからなる回路部が、本願発明の「パワー半導体回路」に対応する。

[0032] 駆動部１１０は、共通入力端子Ｐｉｎに接続されており、共通入力端子Ｐｉｎを通じて電源供給されている。駆動部１１０は、ＭＰＵ２０に接続される。スイッチング素子Ｑ１Ｈのゲートおよびスイッチング素子Ｑ１Ｌのゲートは、駆動部１１０に接続される。

[0033] スイッチング素子Ｑ１Ｈのドレインは、共通入力端子Ｐｉｎに接続される。スイッチング素子Ｑ１Ｈのソースとスイッチング素子Ｑ１Ｌのドレインとは、接続される。スイッチング素子Ｑ１Ｌのソースは、グランド基準電位に接続される。インダクタＬ１の一方端は、スイッチング素子Ｑ１Ｈとスイッチング素子Ｑ１Ｌのノードに接続され、インダクタＬ１の他方端は、出力共通ノードに接続される。

[0034] 電力変換回路１２は、駆動部１２０、スイッチング素子Ｑ２Ｈ、スイッチング素子Ｑ２Ｌ、および、インダクタＬ２を備える。駆動部１２０、スイッチング素子Ｑ２Ｈ、および、スイッチング素子Ｑ２Ｌは、例えば、一体化して集積されたＦＥＴ内蔵ＰＷＭ制御ＩＣ（アナログ回路ＩＣ）によって形成される。そして、駆動部１２０、スイッチング素子Ｑ２Ｈ、および、スイッチング素子Ｑ２Ｌからなる回路部が、本願発明の「パワー半導体回路」に対応する。

[0035] 駆動部１２０は、共通入力端子Ｐｉｎに接続されており、共通入力端子Ｐｉｎを通じて電源供給されている。駆動部１２０は、拡張制御回路３１に接続される。スイッチング素子Ｑ２Ｈのゲートおよびスイッチング素子Ｑ２Ｌのゲートは、駆動部１２０に接続される。

[0036] スイッチング素子Ｑ２Ｈのドレインは、共通入力端子Ｐｉｎに接続される。スイッチング素子Ｑ２Ｈのソースとスイッチング素子Ｑ２Ｌのドレインとは、接続される。スイッチング素子Ｑ２Ｌのソースは、グランド基準電位に接続される。インダクタＬ２の一方端は、スイッチング素子Ｑ２Ｈとスイッチング素子Ｑ２Ｌのノードに接続され、インダクタＬ２の他方端は、出力共通ノードに接続される。

[0037] 電力変換回路１３は、駆動部１３０、スイッチング素子Ｑ３Ｈ、スイッチング素子Ｑ３Ｌ、および、インダクタＬ３を備える。駆動部１３０、スイッチング素子Ｑ３Ｈ、および、スイッチング素子Ｑ３Ｌは、例えば、一体化して集積されたＦＥＴ内蔵ＰＷＭ制御ＩＣ（アナログ回路ＩＣ）によって形成される。そして、駆動部１３０、スイッチング素子Ｑ３Ｈ、および、スイッ

チング素子Ｑ３Ｌからなる回路部が、本願発明の「パワー半導体回路」に対応する。

[0038] 駆動部１３０は、共通入力端子Ｐｉｎに接続されており、共通入力端子Ｐｉｎを通じて電源供給されている。駆動部１３０は、駆動部１１０と別のラインによってＭＰＵ２０に接続される。スイッチング素子Ｑ３Ｈのゲートおよびスイッチング素子Ｑ３Ｌのゲートは、駆動部１３０に接続される。

[0039] スイッチング素子Ｑ３Ｈのドレインは、共通入力端子Ｐｉｎに接続される。スイッチング素子Ｑ３Ｈのソースとスイッチング素子Ｑ３Ｌのドレインとは、接続される。スイッチング素子Ｑ３Ｌのソースは、グランド基準電位に接続される。インダクタＬ３の一方端は、スイッチング素子Ｑ３Ｈとスイッチング素子Ｑ３Ｌのノードに接続され、インダクタＬ３の他方端は、出力共通ノードに接続される。

[0040] 電力変換回路１４は、駆動部１４０、スイッチング素子Ｑ４Ｈ、スイッチング素子Ｑ４Ｌ、および、インダクタＬ４を備える。駆動部１４０、スイッチング素子Ｑ４Ｈ、および、スイッチング素子Ｑ４Ｌは、例えば、一体化して集積されたＦＥＴ内蔵ＰＷＭ制御ＩＣ（アナログ回路ＩＣ）によって形成される。そして、駆動部１４０、スイッチング素子Ｑ４Ｈ、および、スイッチング素子Ｑ４Ｌからなる回路部が、本願発明の「パワー半導体回路」に対応する。

[0041] 駆動部１４０は、共通入力端子Ｐｉｎに接続されており、共通入力端子Ｐｉｎを通じて電源供給されている。駆動部１４０は、拡張制御回路３２に接続される。スイッチング素子Ｑ４Ｈのゲートおよびスイッチング素子Ｑ４Ｌのゲートは、駆動部１４０に接続される。

[0042] スイッチング素子Ｑ４Ｈのドレインは、共通入力端子Ｐｉｎに接続される。スイッチング素子Ｑ４Ｈのソースとスイッチング素子Ｑ４Ｌのドレインとは、接続される。スイッチング素子Ｑ４Ｌのソースは、グランド基準電位に接続される。インダクタＬ４の一方端は、スイッチング素子Ｑ４Ｈとスイッチング素子Ｑ４Ｌのノードに接続され、インダクタＬ４の他方端は、出力共

通ノードに接続される。

[0043] 共通出力端子Ｐｏｕｔは、出力コンデンサＣｏを通じてグランド基準電位に接続される。

[0044] 共通出力端子Ｐｏｕｔの出力電圧Ｖｏｕｔは、電圧フィードバック回路ｖＦＢを通じて、ＭＰＵ２０にフィードバックされる。この際、詳細な回路は省略しているが、電圧フィードバック回路ｖＦＢは、出力電圧Ｖｏｕｔから ＭＰＵ２０が入力可能な電圧に変換して、ＭＰＵ２０にフィードバックする。

[0045] また、詳細な回路は省略しているが、複数の電力変換回路１１は、インダクタＬ１のインダクタ電流を検出し、個別電流フィードバック回路ｉＦＢ１１を通じて、インダクタＬ１のインダクタ電流検出値をＭＰＵ２０にフィードバックする。複数の電力変換回路１２は、インダクタＬ２のインダクタ電流を検出し、個別電流フィードバック回路ｉＦＢ１２を通じて、インダクタＬ２のインダクタ電流検出値をＭＰＵ２０にフィードバックする。複数の電力変換回路１３は、インダクタＬ３のインダクタ電流を検出し、個別電流フィードバック回路ｉＦＢ１３を通じて、インダクタＬ３のインダクタ電流検出値をＭＰＵ２０にフィードバックする。複数の電力変換回路１４は、インダクタＬ４のインダクタ電流を検出し、個別電流フィードバック回路ｉＦＢ１４を通じて、インダクタＬ４のインダクタ電流検出値をＭＰＵ２０にフィードバックする。

[0046] （マルチフェーズ駆動の具体的な説明）

ＭＰＵ２０は、電力変換回路１１用のデジタルスイッチング駆動信号ＰＷＭ１１と電力変換回路１３用のデジタルスイッチング駆動信号ＰＷＭ１３とを生成する。デジタルスイッチング駆動信号ＰＷＭ１１とデジタルスイッチング駆動信号ＰＷＭ１３とは、矩形波の信号である。デジタルスイッチング駆動信号ＰＷＭ１１とデジタルスイッチング駆動信号ＰＷＭ１３とは、同じ周波数であり、所定の位相差（同位相ではない）を有する。この場合、ＭＰＵ２０がスイッチング駆動信号を出力する電力変換回路の個数が２個である

ので、デジタルスイッチング駆動信号ＰＷＭ１１とデジタルスイッチング駆動信号ＰＷＭ１３との位相差は、例えば、１８０°（＝３６０°／２）に設定される。デジタルスイッチング駆動信号ＰＷＭ１１とデジタルスイッチング駆動信号ＰＷＭ１３とが、本発明の「第１のデジタルスイッチング駆動信号」に対応する。

[0047] ＭＰＵ２０は、デジタルスイッチング駆動信号ＰＷＭ１１を電力変換回路１１の駆動部１１０に出力し、デジタルスイッチング駆動信号ＰＷＭ１３を電力変換回路１３の駆動部１３０に出力する。この際、ＭＰＵ２０は、デジタルスイッチング駆動信号ＰＷＭ１１とデジタルスイッチング駆動信号ＰＷＭ１３とを、同期して出力する。

[0048] 拡張制御回路３１は、デジタルスイッチング駆動信号ＰＷＭ１１に基づいて、アナログスイッチング駆動信号ＰＷＭ１２（記号の図示を省略）を生成し、電力変換回路１２の駆動部１２０に出力する。詳細は後述するが、アナログスイッチング駆動信号ＰＷＭ１２は、デジタルスイッチング駆動信号ＰＷＭ１１に対して、矩形パルスの立ち上がりと立ち下がりが鈍った信号である。

[0049] この際、拡張制御回路３１は、アナログスイッチング駆動信号ＰＷＭ１２のオン時間幅がデジタルスイッチング駆動信号ＰＷＭ１１のオン時間幅と同じになるように、アナログスイッチング駆動信号ＰＷＭ１２を生成する。より具体的には、拡張制御回路３１は、電力変換回路１２の駆動部１２０におけるオン電圧しきい値ＴＨｏｎの時間とオフ電圧しきい値ＴＨｏｆｆの時間との時間差がデジタルスイッチング駆動信号ＰＷＭ１１のオン時間幅と同じになるように、アナログスイッチング駆動信号ＰＷＭ１２を生成する。

[0050] また、拡張制御回路３１は、アナログスイッチング駆動信号ＰＷＭ１２のオン時間がデジタルスイッチング駆動信号ＰＷＭ１１のオン時間に対して所定時間遅延するように設定する。デジタルスイッチング駆動信号ＰＷＭ１１とアナログスイッチング駆動信号ＰＷＭ１２の位相差は、デジタルスイッチング駆動信号ＰＷＭ１１とデジタルスイッチング駆動信号ＰＷＭ１３との位

相差（２個のデジタルスイッチング駆動信号の位相差）よりも短く設定される。アナログスイッチング駆動信号ＰＷＭ１２が、本発明の「第２のスイッチング駆動信号」に対応する。

[0051] 拡張制御回路３２は、デジタルスイッチング駆動信号ＰＷＭ１３に基づいて、アナログスイッチング駆動信号ＰＷＭ１４（記号の図示を省略）を生成し、電力変換回路１４の駆動部１４０に出力する。詳細は後述するが、アナログスイッチング駆動信号ＰＷＭ１４は、デジタルスイッチング駆動信号ＰＷＭ１３に対して、矩形パルスの立ち上がりと立ち下がりが鈍った信号である。

[0052] この際、拡張制御回路３２は、アナログスイッチング駆動信号ＰＷＭ１４のオン時間幅がデジタルスイッチング駆動信号ＰＷＭ１３のオン時間幅と同じになるように、アナログスイッチング駆動信号ＰＷＭ１４を生成する。より具体的には、拡張制御回路３２は、電力変換回路１４の駆動部１４０におけるオン電圧しきい値ＴＨｏｎの時間とオフ電圧しきい値ＴＨｏｆｆの時間との時間差がデジタルスイッチング駆動信号ＰＷＭ１３のオン時間幅と同じになるように、アナログスイッチング駆動信号ＰＷＭ１４を生成する。

[0053] また、拡張制御回路３１は、アナログスイッチング駆動信号ＰＷＭ１２のオン時間がデジタルスイッチング駆動信号ＰＷＭ１１のオン時間に対して所定時間遅延するように設定する。この遅延時間は、デジタルスイッチング駆動信号ＰＷＭ１３とアナログスイッチング駆動信号ＰＷＭ１４の位相差は、デジタルスイッチング駆動信号ＰＷＭ１３とデジタルスイッチング駆動信号ＰＷＭ１１との位相差（２個のデジタルスイッチング駆動信号の位相差）よりも短く設定される。アナログスイッチング駆動信号ＰＷＭ１４が、本発明の「第２のスイッチング駆動信号」に対応する。

[0054] 電力変換回路１１の駆動部１１０は、デジタルスイッチング駆動信号ＰＷＭ１１を用いて、スイッチング素子Ｑ１Ｈとスイッチング素子Ｑ１Ｌのゲート電圧信号を生成する。スイッチング素子Ｑ１Ｈのゲート電圧信号は、デジタルスイッチング駆動信号ＰＷＭ１１に同期し、Ｈｉ状態での電圧レベルが

異なる信号である。スイッチング素子Ｑ１Ｌのゲート電圧信号は、スイッチング素子Ｑ１Ｈの反転信号である。

[0055] 電力変換回路１２の駆動部１２０は、アナログスイッチング駆動信号ＰＷＭ１２を用いて、スイッチング素子Ｑ２Ｈとスイッチング素子Ｑ２Ｌのゲート電圧信号を生成する。スイッチング素子Ｑ２Ｈのゲート電圧信号は、アナログスイッチング駆動信号ＰＷＭ１２の電圧とオン電圧しきい値ＴＨｏｎおよびオフ電圧しきい値ＴＨｏｆｆとによって決定された矩形波の信号である。スイッチング素子Ｑ２Ｌのゲート電圧信号は、スイッチング素子Ｑ２Ｈの反転信号である。

[0056] 電力変換回路１３の駆動部１３０は、デジタルスイッチング駆動信号ＰＷＭ１３を用いて、スイッチング素子Ｑ３Ｈとスイッチング素子Ｑ３Ｌのゲート電圧信号を生成する。スイッチング素子Ｑ３Ｈのゲート電圧信号は、デジタルスイッチング駆動信号ＰＷＭ１３に同期し、Ｈｉ状態での電圧レベルが異なる信号である。スイッチング素子Ｑ３Ｌのゲート電圧信号は、スイッチング素子Ｑ３Ｈの反転信号である。

[0057] 電力変換回路１４の駆動部１４０は、アナログスイッチング駆動信号ＰＷＭ１４を用いて、スイッチング素子Ｑ４Ｈとスイッチング素子Ｑ４Ｌのゲート電圧信号を生成する。スイッチング素子Ｑ４Ｈのゲート電圧信号は、アナログスイッチング駆動信号ＰＷＭ１４の電圧とオン電圧しきい値ＴＨｏｎおよびオフ電圧しきい値ＴＨｏｆｆとによって決定された矩形波の信号である。スイッチング素子Ｑ４Ｌのゲート電圧信号は、スイッチング素子Ｑ２Ｈの反転信号である。

[0058] このようなＭＰＵ２０、拡張制御回路３１、拡張制御回路３２、および、複数の駆動部１１０、１２０、１３０、１４０の制御（処理）によって、電力変換回路１１のスイッチング素子Ｑ１Ｈのゲート電圧信号、電力変換回路１２のスイッチング素子Ｑ２Ｈのゲート電圧信号、電力変換回路１３のスイッチング素子Ｑ３Ｈのゲート電圧信号、および、電力変換回路１４のスイッチング素子Ｑ４Ｈのゲート電圧信号は、同じ周波数で、同じオン時間幅で、

それぞれに所定の位相差を有する。同様に、電力変換回路１１のスイッチング素子Ｑ１Ｌのゲート電圧信号、電力変換回路１２のスイッチング素子Ｑ２Ｌのゲート電圧信号、電力変換回路１３のスイッチング素子Ｑ３Ｌのゲート電圧信号、および、電力変換回路１４のスイッチング素子Ｑ４Ｌのゲート電圧信号は、同じ周波数で、同じオン時間幅で、それぞれに所定の位相差を有する。

[0059] これにより、複数の電力変換回路１１－１４は、互いに位相がズレた状態で電力変換動作を行う。したがって、電源システム１００は、マルチフェーズ駆動による電力変換動作を実行し、所望の出力電圧Ｖｏｕｔおよび所望の出力電流を、電力変換効率の低下を抑制して高効率で負荷Ｒｏに出力できる。

[0060] （拡張制御回路３１、３２の具体的な説明）

図２は、第１の実施形態に係る拡張制御回路の構成の一例を示す回路図である。図２では、拡張制御回路３１を図示しているが、拡張制御回路３２も基本的な回路構成は同じである。

[0061] 拡張制御回路３１は、抵抗Ｒ３１１、抵抗Ｒ３１２、コンデンサＣ３１、および、ダイオードＤ３１を備える。

[0062] 抵抗Ｒ３１２とダイオードＤ３１は、直列接続される。より具体的には、ダイオードＤ３１のカソードと抵抗Ｒ３１２の一方端は、接続される。

[0063] 抵抗Ｒ３１２とダイオードＤ３１との直列回路は、抵抗Ｒ３１１に並列接続される。より具体的には、抵抗Ｒ３１２とダイオードＤ３１との直列回路のダイオードＤ３１側の一方端（ダイオードＤ３１のアノード）は、抵抗Ｒ３１１の一方端に接続される。抵抗Ｒ３１２とダイオードＤ３１との直列回路の抵抗Ｒ３１２側の他方端（抵抗Ｒ３１２の他方端）は、抵抗Ｒ３１１の他方端に接続される。

[0064] 抵抗Ｒ３１１の一方端とダイオードＤ３１のアノードのノードは、ＭＰＵ２０と電力変換回路１１との接続ライン（デジタルスイッチング駆動信号ＰＷＭ１１が伝送されるライン）に接続される。

[0065] 抵抗Ｒ３１１の他方端と抵抗Ｒ３１２の他方端のノードは、コンデンサＣ３１を通じてグランド基準電位に接続される。そして、コンデンサＣ３１におけるグランド基準電位側と反対側の端子、および、抵抗Ｒ３１１の他方端と抵抗Ｒ３１２の他方端のノードは、電力変換回路１２（より具体的には、電力変換回路１２の駆動部１２０）に接続される。

[0066] このような回路構成によって、拡張制御回路３１は、抵抗Ｒ３１１、抵抗Ｒ３１２、および、ダイオードＤ３１の回路による抵抗成分と、コンデンサＣ３１によるキャパシタンスによって、ＣＲ時定数回路を構成する。

[0067] これにより、デジタルスイッチング駆動信号ＰＷＭ１１とアナログスイッチング駆動信号ＰＷＭ１２とは、次のような関係になる。図３は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。図３は、上段から順に、デジタルスイッチング駆動信号ＰＷＭ１１、アナログスイッチング駆動信号ＰＷＭ１２、ゲート電圧信号Ｖ１Ｈ、ゲート電圧信号Ｖ２Ｈを示す。

[0068] 上述のように、デジタルスイッチング駆動信号ＰＷＭ１１は、ＭＰＵ２０で生成され電力変換回路１１に供給される信号である。デジタルスイッチング駆動信号ＰＷＭ１１は、図３に示すように、所定周波数でオン時間幅Ｔｏｎ１の矩形波の信号である。なお、図３では図示を省略しているが、デジタルスイッチング駆動信号ＰＷＭ１１は、状況によって若干の高周波ノイズを重畳している。

[0069] アナログスイッチング駆動信号ＰＷＭ１２は、デジタルスイッチング駆動信号ＰＷＭ１１を入力とする拡張制御回路３１の出力信号である。拡張制御回路３１は、上述のようにＣＲ時定数回路である。

[0070] したがって、図３に示すように、アナログスイッチング駆動信号ＰＷＭ１２は、ＣＲ時定数に応じて、デジタルスイッチング駆動信号ＰＷＭ１１の立ち上がり時間から遅れて立ち上がり、デジタルスイッチング駆動信号ＰＷＭ１１の立ち下がり時間から遅れた立ち下がる信号となる。アナログスイッチング駆動信号ＰＷＭ１２の立ち上がり特性（波形）および立ち下がり特性（

波形）は、拡張制御回路３１の抵抗Ｒ３１１の抵抗値、抵抗Ｒ３１２の抵抗値、および、コンデンサＣ３１のキャパシタンスによって設定される。

[0071] ここで、拡張制御回路３１は、デジタルスイッチング駆動信号ＰＷＭ１１の立ち上がり時間から遅延時間τの後にアナログスイッチング駆動信号ＰＷＭ１２がオン電圧しきい値ＴＨｏｎに達するように、拡張制御回路３１の立ち上がり時定数を設定する。さらに、拡張制御回路３１は、アナログスイッチング駆動信号ＰＷＭ１２のオン時間幅Ｔｏｎ２がデジタルスイッチング駆動信号ＰＷＭ１１のオン時間幅Ｔｏｎ１のオン時間幅Ｔｏｎ１と同じになる立ち下がり時定数を設定する。すなわち、拡張制御回路３１は、本願発明の「電圧時間変換回路」および「しきい値信号変換回路」として機能する。

[0072] 電力変換回路１２の駆動部１２０は、スイッチング駆動信号ＰＷＭ１２の電圧がオン電圧しきい値ＴＨｏｎまで上昇すると、ゲート電圧信号Ｖ２Ｈの電圧をＬｏｗ状態（ＶＬ）からＨｉ状態（ＶＨ）に遷移させる（図３参照）。そして、その後、駆動部１２０は、アナログスイッチング駆動信号ＰＷＭ１２の電圧がオフ電圧しきい値ＴＨｏｆｆまで下降すると、ゲート電圧信号Ｖ２Ｈの電圧をＨｉ状態（ＶＨ）からＬｏｗ状態（ＶＬ）に遷移させる（図３参照）。

[0073] 一方、電力変換回路１１の駆動部１１０は、デジタルスイッチング駆動信号ＰＷＭ１１がＬｏｗ状態からＨｉ状態になると、これに同期して、ゲート電圧信号Ｖ１Ｈの電圧をＬｏｗ状態（ＶＬ）からＨｉ状態（ＶＨ）に遷移させる（図３参照）。そして、その後、駆動部１１０は、デジタルスイッチング駆動信号ＰＷＭ１１がＨｉ状態からＬｏｗ状態になると、これに同期して、ゲート電圧信号Ｖ１Ｈの電圧をＨｉ状態（ＶＨ）からＬｏｗ状態（ＶＬ）に遷移させる（図３参照）。

[0074] そして、アナログスイッチング駆動信号ＰＷＭ１２は、デジタルスイッチング駆動信号ＰＷＭ１１を用いて、上述のように生成される。これにより、図３に示すように、電力変換回路１２のスイッチング素子Ｑ２Ｈへのゲート電圧信号Ｖ２Ｈは、電力変換回路１１のスイッチング素子Ｑ１Ｈへのゲート

電圧信号Ｖ１Ｈに対して、同じ周波数で、所定の遅延時間τで、オン時間幅Ｔｏｎ１と同じ時間長のオン時間幅Ｔｏｎ２の信号となる。

[0075] したがって、電力変換回路１２と電力変換回路１１とは、所定の位相差（時間差τ）で電力変換動作を行い、電力変換回路１１と電力変換回路１２によるマルチフェーズ駆動が実現される。

[0076] 同様に、拡張制御回路３２を備えることによって、電力変換回路１３に供給されるデジタルスイッチング駆動信号ＰＷＭ１３と電力変換回路１４に供給されるアナログスイッチング駆動信号ＰＷＭ１４との関係（周波数、位相、オン時間幅）は、デジタルスイッチング駆動信号ＰＷＭ１１とアナログスイッチング駆動信号ＰＷＭ１２と同様の関係になる。

[0077] そして、上述のように、デジタルスイッチング駆動信号ＰＷＭ１１とデジタルスイッチング駆動信号ＰＷＭ１３とは、周波数およびオン時間幅が同じで、所定の位相差を有する。

[0078] これにより、電源システム１００は、複数の電力変換回路１１－１４によるマルチフェーズ駆動を実現できる。

[0079] さらに、拡張制御回路３１、３２は、上述のように、抵抗、コンデンサを含む時定数回路によって実現される。これにより、電源システム１００は、簡素な回路構成によってマルチフェーズ駆動を実現できる。

[0080] すなわち、電源システム１００は、簡素な構成で、且つ、電力変換効率の低下を抑制し、駆動する電力変換回路の個数に応じたマルチフェーズ駆動を実現できる。

[0081] また、さらに、拡張制御回路３１では、時定数を決定する抵抗成分について、抵抗Ｒ３１２とダイオードＤ３１の直列回路を含んでいる。これにより、拡張制御回路３１は、立ち上がり時定数と立ち下がり時定数とを異なるように設定できる。したがって、拡張制御回路３１は、デジタルスイッチング駆動信号ＰＷＭ１１に対するアナログスイッチング駆動信号ＰＷＭ１２の遅延時間を所望時間に設定することと、オン時間幅を同じに設定することとを同時に実現することを、より容易に且つより確実に実現できる。拡張制御回

路３２についても同様に、デジタルスイッチング駆動信号ＰＷＭ１３に対するアナログスイッチング駆動信号ＰＷＭ１４の遅延時間を所望時間に設定することと、オン時間幅を同じに設定することとを同時に実現することを、より容易に且つより確実に実現できる。

[0082] また、さらに、拡張制御回路３１は、コンデンサＣ３１がグランド基準電位に接続されるＣＲ回路であるので、ローパスフィルタとしても機能する。これにより、拡張制御回路３１は、デジタルスイッチング駆動信号ＰＷＭ１１に高周波ノイズが重畳していても、この高調波ノイズを抑制できる。これにより、アナログスイッチング駆動信号ＰＷＭ１２は、高周波ノイズが抑圧された滑らかな波形となる。したがって、駆動部１２０の誤動作を抑制できる。

[0083] 同様に、拡張制御回路３２は、デジタルスイッチング駆動信号ＰＷＭ１３に高周波ノイズが重畳していても、この高調波ノイズを抑制できる。これにより、アナログスイッチング駆動信号ＰＷＭ１４は、高周波ノイズが抑圧された滑らかな波形となる。したがって、駆動部１４０の誤動作を抑制できる。

[0084] これにより、電源システム１００は、簡素な構成であって、誤動作が抑制された動作信頼性の高いマルチフェーズ駆動を実現できる。

[0085] （電源システム１００の構成の適用例）

図４（Ａ）、図４（Ｂ）は、本発明の第1の実施形態に係る電源システムの有効性の一例を示すための機能ブロック図である。図４（Ａ）は、本願発明の構成を用いた場合のフェーズ数の増加に対応する一態様を示した図であり、図４（Ｂ）は、従来の構成を用いた場合のフェーズ数の増加に対応する一態様を示した図である。なお、図４（Ａ）、図４（Ｂ）では、４フェーズ出力のＭＰＵを用いた場合を示す。

[0086] 従来の構成では、８個の電力変換回路１１－１８によってマルチフェーズ駆動を実現する場合、図４（Ｂ）に示すように、４フェーズ出力のＭＰＵ２０Ａで４個の電力変換回路１１－１４にスイッチング駆動信号を供給し、４

フェーズ出力のＭＰＵ２０Ｂで４個の電力変換回路１５－１８に水賃具駆動信号を供給する。そして、ＭＰＵ２０ＡとＭＰＵ２０Ｂとで同期制御信号等を送受信し、同期処理を行う。これにより、８フェーズのマルチフェーズ駆動を実現する。

[0087] 一方、図４（Ａ）に示すように、本願発明では、複数の拡張制御回路３１－３４を用いることで、４フェーズ出力のＭＰＵ２０で、８個の電力変換回路１１－１８にスイッチング駆動信号を供給し、８フェーズのマルチフェーズ駆動を実現する。

[0088] このように、本発明の構成を用いることで、１個のＭＰＵ２０で出力できるフェーズ数よりも多くの個数の電力変換回路をマルチフェーズ駆動させることができる。すなわち、所望の電力変換回路の個数に応じて、ＭＰＵ数を増加させること無く、電源システムの規模を拡張できる。より具体的には、この発明の電源システムは、制御ＩＣに拡張回路を接続する簡素な構成で、且つ、拡張回路での消費電力が小さくて電力変換効率の低下を抑制でき、且つ、制御ＩＣの駆動出力数に制限されることなく駆動する電力変換回路の個数に応じて電流増大に柔軟に対応して、出力電力容量の規模を拡張できる。

[0089] この際、拡張制御回路は、抵抗、ダイオード、コンデンサからなる回路構成が簡素なＣＲ回路によって実現されるので、回路構成が複雑でなく、比較的に簡素な構成で、マルチフェーズ駆動のフェーズ数を増加させ、電源システムの規模を拡張できる。

[0090] ［第２の実施形態］

本発明の第２の実施形態に係る電源システムについて、図を参照して説明する。図５は、第２の実施形態に係る電源システムの拡張制御回路部分を示す回路ブロック図である。

[0091] 図５に示すように、第２の実施形態に係る電源システム１００Ａは、第１の実施形態に係る電源システム１００に対して、拡張制御回路の構成において異なる。電源システム１００Ａにおける他の構成は、電源システム１００と同様であり、同様の箇所の説明は省略する。

[0092] 電源システム１００Ａは、拡張制御回路３１Ｌを備える。なお、電源システム１００Ａは、電源システム１００の拡張制御回路３２に代えて、拡張制御回路３１Ｌと同様の構成の拡張制御回路３２Ｌ（図示を省略する）を備える。

[0093] 拡張制御回路３１Ｌは、第１の実施形態に係る拡張制御回路３１に論理回路３１０を追加した点で異なる。拡張制御回路３１Ｌの他の構成は、拡張制御回路３１と同様である。

[0094] 拡張制御回路３１Ｌは、抵抗Ｒ３１１、抵抗Ｒ３１２、コンデンサＣ３１、ダイオードＤ３１、および、論理回路３１０を備える。

[0095] 抵抗Ｒ３１２とダイオードＤ３１は、直列接続される。抵抗Ｒ３１２とダイオードＤ３１との直列回路は、抵抗Ｒ３１１に並列接続される。

[0096] 抵抗Ｒ３１１の一方端とダイオードＤ３１のアノードのノードは、ＭＰＵ２０と電力変換回路１１との接続ライン（デジタルスイッチング駆動信号ＰＷＭ１１が伝送されるライン）に接続される。

[0097] 抵抗Ｒ３１１の他方端と抵抗Ｒ３１２の他方端のノードは、コンデンサＣ３１を通じてグランド基準電位に接続される。

[0098] コンデンサＣ３１におけるグランド基準電位側と反対側の端子、および、抵抗Ｒ３１１の他方端と抵抗Ｒ３１２の他方端のノードは、論理回路３１０の入力端子に接続される。

[0099] 論理回路３１０の出力端子は、電力変換回路１２（より具体的には、電力変換回路１２の駆動部１２０）に接続される。

[0100] 抵抗Ｒ３１１、抵抗Ｒ３１２、コンデンサＣ３１、および、ダイオードＤ３１は、上述のように、ＣＲ回路を構成する。これにより、ＣＲ回路からは、アナログスイッチング駆動信号ＰＷＭ１２が出力される。

[0101] 論理回路３１０は、例えば、ＡＮＤ回路、コンパレータ等を用いて構成される。論理回路３１０は、アナログスイッチング駆動信号ＰＷＭ１２を入力として、オン電圧しきい値ＴＨｏｎおよびオフ電圧しきい値ＴＨｏｆｆを用いた２値化処理を行う。これにより、論理回路３１０は、矩形波の信号から

なるデジタルスイッチング駆動信号ＰＷＭ１２Ｄを生成する。論理回路３１０は、デジタルスイッチング駆動信号ＰＷＭ１２Ｄを、電力変換回路１２の駆動部１２０に出力する。

[0102] 図６は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。図６は、上段から順に、デジタルスイッチング駆動信号ＰＷＭ１１、アナログスイッチング駆動信号ＰＷＭ１２、デジタルスイッチング駆動信号ＰＷＭ１２Ｄ、ゲート電圧信号Ｖ１Ｈ、ゲート電圧信号Ｖ２Ｈを示す。

[0103] 拡張制御回路３１Ｌを備えることによって、図７に示すように、電力変換回路１２に供給されるデジタルスイッチング駆動信号ＰＷＭ１２Ｄは、電力変換回路１１に供給されるデジタルスイッチング駆動信号ＰＷＭ１１と、同じ周波数で、同じオン時間幅で、位相差を有する信号となる。

[0104] これにより、電源システム１００Ａは、電源システム１００と同様に、簡素な構成で、且つ、電力変換効率の低下を抑制し、駆動する電力変換回路の個数に応じたマルチフェーズ駆動を実現できる。

[0105] また、電源システム１００Ａでは、位相差を有するだけで波形形状が同じ矩形波の信号が複数の電力変換回路１１－１４に供給される。これにより、複数の電力変換回路１１－１４の誤動作をさらに抑制できる。

[0106] ［第３の実施形態］

本発明の第３の実施形態に係る電源システムについて、図を参照して説明する。図７は、第３の実施形態に係る電源システムの拡張制御回路部分を示す回路ブロック図である。図８は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。図８は、上段から順に、デジタルスイッチング駆動信号ＰＷＭ１１、アナログスイッチング駆動信号ＰＷＭ１２、ゲート電圧信号Ｖ１Ｈ、ゲート電圧信号Ｖ２Ｈを示す。

[0107] 図７に示すように、第３の実施形態に係る電源システム１００Ｂは、第１の実施形態に係る電源システム１００に対して、拡張制御回路の構成において異なる。電源システム１００Ｂにおける他の構成は、電源システム１００と同様であり、同様の箇所の説明は省略する。

[0108] 電源システム１００Ｂは、拡張制御回路３１Ｓを備える。なお、電源システム１００Ｂは、電源システム１００の拡張制御回路３２に代えて、拡張制御回路３１Ｓと同様の構成の拡張制御回路３２Ｓ（図示を省略する）を備える。

[0109] 拡張制御回路３１Ｓは、第１の実施形態に係る拡張制御回路３１から抵抗Ｒ３１２およびダイオードＤ３１を削除した点で異なる。拡張制御回路３１Ｓの他の構成は、拡張制御回路３１と同様である。

[0110] このような構成でも、抵抗Ｒ３１１の抵抗値、および、コンデンサＣ３１のキャパシタンスを適宜設定することによって、図８に示すように、電力変換回路１１のスイッチング素子Ｑ１Ｈへのゲート電圧信号Ｖ１Ｈと、電力変換回路１２のスイッチング素子Ｑ２Ｈへのゲート電圧信号Ｖ２Ｈとの位相差を所定値（０でない値）に設定できる。

[0111] これにより、電源システム１００Ｂは、電源システム１００と同様に、簡素な構成で、且つ、電力変換効率の低下を抑制し、駆動する電力変換回路の個数に応じたマルチフェーズ駆動を実現できる。

[0112] また、電源システム１００Ｂは、電源システム１００よりも簡素な回路構成を実現できる。

[0113] ［第４の実施形態］

本発明の第４の実施形態に係る電源システムについて、図を参照して説明する。図９は、第４の実施形態に係る電源システムの一例を示す回路ブロック図である。図１０は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。図１０は、上段から順に、デジタルスイッチング駆動信号ＰＷＭ１１、アナログスイッチング駆動信号ＰＷＭ１２、デジタルスイッチング駆動信号ＰＷＭ１２Ｄ、アナログスイッチング駆動信号ＰＷＭ１３、デジタルスイッチング駆動信号ＰＷＭ１３Ｄ、ゲート電圧信号Ｖ１Ｈ、ゲート電圧信号Ｖ２Ｈ、ゲート電圧信号Ｖ３Ｈを示す。

[0114] 図９に示すように、第４の実施形態に係る電源システム１００Ｃは、第２の実施形態に係る電源システム１００Ａに対して、複数の拡張制御回路をカ

スケード接続する点で異なる。電源システム１００Ｃの他の基本的な構成は、電源システム１００Ａの基本的な回路構成と同様であり、同様の箇所の説明は省略する。

[0115] 図９に示す例では、電源システム１００Ｃは、８個よりも多い電力変換回路をマルチフェーズ駆動するシステムである。

[0116] 電源システム１００Ｃは、複数の電力変換回路１１－１８、および、複数の拡張制御回路３１Ｌ－３６Ｌを備える。

[0117] 複数の電力変換回路１１－１８は、同じ回路構成を備える。複数の拡張制御回路３１Ｌ－３６Ｌは、同じ回路構成を備える。複数の拡張制御回路３１Ｌ－３６Ｌは、第２の実施形態に示した拡張制御回路３１Ｌと同じ回路構成を備える。

[0118] ＭＰＵ２０は、電力変換回路１１および電力変換回路１５に、それぞれ個別の接続ラインで接続する。

[0119] 拡張制御回路３１Ｌの入力端は、ＭＰＵ２０と電力変換回路１１との接続ラインに接続される。拡張制御回路３１Ｌの出力端は、電力変換回路１２に接続される。

[0120] 拡張制御回路３２Ｌの入力端は、拡張制御回路３１Ｌの出力端に接続される。拡張制御回路３２Ｌの出力端は、電力変換回路１３に接続される。

[0121] 拡張制御回路３３Ｌの入力端は、拡張制御回路３２Ｌの出力端に接続される。拡張制御回路３３Ｌの出力端は、電力変換回路１４に接続される。

[0122] 拡張制御回路３４Ｌの入力端は、ＭＰＵ２０と電力変換回路１５との接続ラインに接続される。拡張制御回路３４Ｌの出力端は、電力変換回路１６に接続される。

[0123] 拡張制御回路３５Ｌの入力端は、拡張制御回路３４Ｌの出力端に接続される。拡張制御回路３５Ｌの出力端は、電力変換回路１７に接続される。

[0124] 拡張制御回路３６Ｌの入力端は、拡張制御回路３５Ｌの出力端に接続される。拡張制御回路３６Ｌの出力端は、電力変換回路１８に接続される。

[0125] ＭＰＵ２０は、デジタルスイッチング駆動信号ＰＷＭ１１を電力変換回路

１１に出力（供給）する。また、ＭＰＵ２０は、デジタルスイッチング駆動信号ＰＷＭ１５を電力変換回路１５に出力（供給）する。デジタルスイッチング駆動信号ＰＷＭ１５は、デジタルスイッチング駆動信号ＰＷＭ１１に対して所定の位相差を有する信号である。

[0126] この位相差は、電源システム１００Ｃでマルチフェーズ駆動する電力変換回路の個数（員数）を参照し、ＭＰＵ２０がデジタルスイッチング駆動信号を直接出力する電力変換回路の個数（員数）によって決定される。例えば、３６個の電力変換回路をマルチフェーズ駆動する場合において、ＭＰＵ２０がデジタルスイッチング駆動信号を直接出力する電力変換回路の個数が４個の場合、位相差は、９０°に設定される。

[0127] 拡張制御回路３１Ｌは、デジタルスイッチング駆動信号ＰＷＭ１１を入力として、図１０に示すように、アナログスイッチング駆動信号ＰＷＭ１２を生成し、アナログスイッチング駆動信号ＰＷＭ１２からデジタルスイッチング駆動信号ＰＷＭ１２Ｄを生成する。拡張制御回路３１Ｌは、デジタルスイッチング駆動信号ＰＷＭ１２Ｄを電力変換回路１２に出力する。

[0128] 拡張制御回路３２Ｌは、デジタルスイッチング駆動信号ＰＷＭ１２Ｄを入力として、図１０に示すように、アナログスイッチング駆動信号ＰＷＭ１３を生成し、アナログスイッチング駆動信号ＰＷＭ１３からデジタルスイッチング駆動信号ＰＷＭ１３Ｄを生成する。拡張制御回路３２Ｌは、デジタルスイッチング駆動信号ＰＷＭ１３Ｄを電力変換回路１３に出力する。

[0129] 拡張制御回路３３Ｌは、拡張制御回路３１Ｌ、３２Ｌと同様に、デジタルスイッチング駆動信号ＰＷＭ１３Ｄを入力として、デジタルスイッチング駆動信号ＰＷＭ１４Ｄを生成する。拡張制御回路３３Ｌは、デジタルスイッチング駆動信号ＰＷＭ１４Ｄを電力変換回路１４に出力する。

[0130] この処理によって、デジタルスイッチング駆動信号ＰＷＭ１２Ｄは、デジタルスイッチング駆動信号ＰＷＭ１１に対して所定位相差で遅延する信号となり、デジタルスイッチング駆動信号ＰＷＭ１３Ｄは、デジタルスイッチング駆動信号ＰＷＭ１２Ｄに対して所定位相差で遅延する信号となり、デジタ

ルスイッチング駆動信号ＰＷＭ１４Ｄは、デジタルスイッチング駆動信号ＰＷＭ１３Ｄに対して所定位相差で遅延する信号となる。

[0131] このように、電源システム１００Ｃは、１つのデジタルスイッチング駆動信号ＰＷＭ１１によって、順に遅延する複数のデジタルスイッチング駆動信号ＰＷＭ１２Ｄ、ＰＷＭ１３Ｄ、ＰＷＭ１４Ｄを生成し、それぞれに複数の電力変換回路１１－１４に供給できる。

[0132] 同様に、拡張制御回路３４Ｌは、デジタルスイッチング駆動信号ＰＷＭ１５を入力として、デジタルスイッチング駆動信号ＰＷＭ１６Ｄを生成し、電力変換回路１６に出力する。拡張制御回路３５Ｌは、デジタルスイッチング駆動信号ＰＷＭ１６Ｄを入力として、デジタルスイッチング駆動信号ＰＷＭ１７Ｄを生成し、電力変換回路１７に出力する。拡張制御回路３６Ｌは、デジタルスイッチング駆動信号ＰＷＭ１７Ｄを入力として、デジタルスイッチング駆動信号ＰＷＭ１８Ｄを生成し、電力変換回路１８に出力する。

[0133] このように、電源システム１００Ｃは、１つのデジタルスイッチング駆動信号ＰＷＭ１５によって、順に遅延する複数のデジタルスイッチング駆動信号ＰＷＭ１６Ｄ、ＰＷＭ１７Ｄ、ＰＷＭ１８Ｄを生成し、それぞれに複数の電力変換回路１５－１８に供給できる。

[0134] 以上のように、電源システム１００Ｃの構成を備えることによって、ＭＰＵ２０から出力される１つのデジタルスイッチング駆動信号を用いて、４個以上の電力変換回路をマルチフェーズ駆動させることができる。これにより、電源システム１００Ｃは、より多くの電力変換回路が必要とされる構成でも、ＭＰＵ２０の個数を不必要に増加させることなく、マルチフェーズ駆動を実現できる。

[0135] また、複数の拡張制御回路３１Ｌ－３６ＬがＣＲ回路を用いているので、電源システム１００Ｃは、簡素な回路構成で、規模拡張型の電源システムを構成できる。

[0136] なお、上述の構成において、例えば、２０個の電力変換回路をマルチフェーズ駆動する場合において、ＭＰＵ２０がデジタルスイッチング駆動信号を

直接出力する電力変換回路の個数が４個の場合（例えば、図９において、図示していない電力変換回路１９１および電力変換回路１９２にデジタルスイッチング駆動信号を直接供給する場合）、デジタルスイッチング駆動信号ＰＷＭ１１とデジタルスイッチング駆動信号ＰＷＭ１５との位相差は、例えば、３６０°／２０個×４個（１つのデジタルスイッチング駆動信号ＰＷＭ１１、ＰＷＭ１５を元にしてそれぞれ駆動される電力変換回路の個数）＝７２°に設定される。また、デジタルスイッチング駆動信号ＰＷＭ１５とデジタルスイッチング駆動信号ＰＷＭ１９（図示をしていない電力変換回路１９１への駆動信号）との位相差も、例えば、７２°に設定される。そして、デジタルスイッチング駆動信号ＰＷＭ１９（図示をしていない電力変換回路１９１への駆動信号）とデジタルスイッチング駆動信号ＰＷＭ２０（図示をしていない電力変換回路１９２への駆動信号）との位相差は、例えば、１８°に設定される。さらに、デジタルスイッチング駆動信号ＰＷＭ２０（図示をしていない電力変換回路１９２への駆動信号）とデジタルスイッチング駆動信号ＰＷＭ１１との位相差は、例えば、１８°に設定される。これにより、２０個の電力変換回路を用いた場合に、電力供給のバランスが向上し、電力変換効率の低下をさらに抑制できる。

[0137] ［第５の実施形態］

本発明の第５の実施形態に係る電源システムについて、図を参照して説明する。図１１は、第５の実施形態に係る電源システムの一例を示す回路ブロック図である。図１２は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。図１２は、上段から順に、デジタルスイッチング駆動信号ＰＷＭ１１、アナログスイッチング駆動信号ＰＷＭ１２、デジタルスイッチング駆動信号ＰＷＭ１２Ｄ、アナログスイッチング駆動信号ＰＷＭ１３、デジタルスイッチング駆動信号ＰＷＭ１３Ｄ、ゲート電圧信号Ｖ１Ｈ、ゲート電圧信号Ｖ２Ｈ、ゲート電圧信号Ｖ３Ｈを示す。

[0138] 図１１に示すように、第５の実施形態に係る電源システム１００Ｄは、第２の実施形態に係る電源システム１００Ａに対して、複数の拡張制御回路を

並列接続する点で異なる。電源システム１００Ｄの他の基本的な構成は、電源システム１００Ａの基本的な回路構成と同様であり、同様の箇所の説明は省略する。

[0139] 図１１に示す例では、電源システム１００Ｃは、６個よりも多い電力変換回路をマルチフェーズ駆動するシステムである。

[0140] 電源システム１００Ｄは、複数の電力変換回路１１－１６、および、複数の拡張制御回路３１Ｌ－３４Ｌを備える。

[0141] 複数の電力変換回路１１－１６は、同じ回路構成を備える。複数の拡張制御回路３１Ｌ－３４Ｌは、同じ回路構成を備える。複数の拡張制御回路３１Ｌ－３４Ｌは、第２の実施形態に示した拡張制御回路３１Ｌと同じ回路構成を備えるが、それぞれにＣＲ時定数の設定が異なる。

[0142] ＭＰＵ２０は、電力変換回路１１および電力変換回路１４に、それぞれ個別の接続ラインで接続する。

[0143] 拡張制御回路３１Ｌの入力端は、ＭＰＵ２０と電力変換回路１１との接続ラインに接続される。拡張制御回路３１Ｌの出力端は、電力変換回路１２に接続される。

[0144] 拡張制御回路３２Ｌの入力端は、ＭＰＵ２０と電力変換回路１１との接続ラインに接続される。拡張制御回路３２Ｌの出力端は、電力変換回路１３に接続される。

[0145] 拡張制御回路３３Ｌの入力端は、ＭＰＵ２０と電力変換回路１４との接続ラインに接続される。拡張制御回路３３Ｌの出力端は、電力変換回路１５に接続される。

[0146] 拡張制御回路３４Ｌの入力端は、ＭＰＵ２０と電力変換回路１４との接続ラインに接続される。拡張制御回路３４Ｌの出力端は、電力変換回路１６に接続される。

[0147] ＭＰＵ２０は、デジタルスイッチング駆動信号ＰＷＭ１１を電力変換回路１１に出力（供給）する。また、ＭＰＵ２０は、デジタルスイッチング駆動信号ＰＷＭ１４を電力変換回路１４に出力（供給）する。デジタルスイッチ

ング駆動信号ＰＷＭ１４は、デジタルスイッチング駆動信号ＰＷＭ１１に対して所定の位相差を有する信号である。なお、位相差の設定は、上述の第４の実施形態と同様の原理で行われており、説明は省略する。

[0148] 拡張制御回路３１Ｌは、デジタルスイッチング駆動信号ＰＷＭ１１を入力として、図１１に示すように、アナログスイッチング駆動信号ＰＷＭ１２を生成し、アナログスイッチング駆動信号ＰＷＭ１２からデジタルスイッチング駆動信号ＰＷＭ１２Ｄを生成する。拡張制御回路３１Ｌは、デジタルスイッチング駆動信号ＰＷＭ１２Ｄを電力変換回路１２に出力する。

[0149] 拡張制御回路３２Ｌは、デジタルスイッチング駆動信号ＰＷＭ１１を入力として、図１１に示すように、アナログスイッチング駆動信号ＰＷＭ１３を生成し、アナログスイッチング駆動信号ＰＷＭ１３からデジタルスイッチング駆動信号ＰＷＭ１３Ｄを生成する。拡張制御回路３２Ｌは、デジタルスイッチング駆動信号ＰＷＭ１３Ｄを電力変換回路１３に出力する。

[0150] この際、図１２に示すように、アナログスイッチング駆動信号ＰＷＭ１３は、アナログスイッチング駆動信号ＰＷＭ１２と異なる波形を有する。より具体的には、アナログスイッチング駆動信号ＰＷＭ１３は、アナログスイッチング駆動信号ＰＷＭ１２よりも遅くオン電圧しきい値ＴＨｏｎに到達する。また、アナログスイッチング駆動信号ＰＷＭ１３は、アナログスイッチング駆動信号ＰＷＭ１２よりも遅くオフ電圧しきい値ＴＨｏｆｆに到達する。

[0151] ただし、アナログスイッチング駆動信号ＰＷＭ１３におけるオン電圧しきい値ＴＨｏｎの時間とオフ電圧しきい値ＴＨｏｆｆの時間との時間差は、アナログスイッチング駆動信号ＰＷＭ１２におけるオン電圧しきい値ＴＨｏｎの時間とオフ電圧しきい値ＴＨｏｆｆの時間との時間差と同じに設定される。

[0152] これは、拡張制御回路３２ＬのＣＲ時定数を拡張制御回路３１ＬのＣＲ時定数を異ならせることによって実現される。

[0153] この処理によって、デジタルスイッチング駆動信号ＰＷＭ１２Ｄは、デジタルスイッチング駆動信号ＰＷＭ１１に対して所定位相差で遅延する信号と

なり、デジタルスイッチング駆動信号ＰＷＭ１３Ｄは、デジタルスイッチング駆動信号ＰＷＭ１２Ｄに対して所定位相差で遅延する信号となる。

[0154] このように、電源システム１００Ｄは、１つのデジタルスイッチング駆動信号ＰＷＭ１１によって、順に遅延する複数のデジタルスイッチング駆動信号ＰＷＭ１２Ｄ、ＰＷＭ１３Ｄを生成し、それぞれに複数の電力変換回路１１－１３に供給できる。

[0155] 同様に、拡張制御回路３３Ｌは、デジタルスイッチング駆動信号ＰＷＭ１４を入力として、デジタルスイッチング駆動信号ＰＷＭ１５Ｄを生成し、電力変換回路１５に出力する。拡張制御回路３４Ｌは、デジタルスイッチング駆動信号ＰＷＭ１５Ｄを入力として、デジタルスイッチング駆動信号ＰＷＭ１６Ｄを生成し、電力変換回路１６に出力する。

[0156] このように、電源システム１００Ｄは、１つのデジタルスイッチング駆動信号ＰＷＭ１４によって、順に遅延する複数のデジタルスイッチング駆動信号ＰＷＭ１５Ｄ、ＰＷＭ１６Ｄを生成し、それぞれに複数の電力変換回路１４－１６に供給できる。

[0157] 以上のように、電源システム１００Ｄの構成を備えることによって、ＭＰＵ２０から出力される１つのデジタルスイッチング駆動信号を用いて、３個以上の電力変換回路をマルチフェーズ駆動させることができる。これにより、電源システム１００Ｄは、より多くの電力変換回路が必要とされる構成でも、ＭＰＵ２０の個数を不必要に増加させることなく、マルチフェーズ駆動を実現できる。

[0158] また、複数の拡張制御回路３１Ｌ－３４ＬがＣＲ回路を用いているので、電源システム１００Ｄは、簡素な回路構成で、規模拡張型の電源システムを構成できる。

[0159] 電源システム１００Ｄでは、複数の拡張制御回路３１Ｌ－３４Ｌに代えて、第１の実施形態に示した拡張制御回路３１と同様の構成を採用することができる。言い換えれば、電源システム１００Ｄは、論理回路３１０を用いない構成も適用できる。これにより、電源システム１００Ｄは、さらに簡素な

回路構成を実現できる。

[0160] なお、上述の各実施形態では、ＭＰＵ２０が出力するデジタルスイッチング駆動信号のオン時間幅に対して、拡張制御回路が出力するスイッチング駆動信号のオン時間幅を同じにする態様を示した。しかしながら、これは、例えば、マルチフェーズ駆動する電力変換回路の個数によって設定される値である。例えば、第１の実施形態に係る電源システム１００であれば、ＭＰＵ２０は、出力電圧Ｖｏｕｔのフィードバック電圧、複数の電力変換回路１１－１４からのフィードバック電流に基づいてオン時間幅を調整することも可能である。なお、この際、複数の電力変換回路１１－１４からのフィードバック電流に基づいて、ＭＰＵ２０から出力されるデジタルスイッチング駆動信号のオン時間幅、拡張制御回路３１、３２に設定されるオン電圧しきい値ＴＨｏｎおよびオフ電圧しきい値ＴＨｏｆｆ、オン電圧しきい値ＴＨｏｎの時間およびオフ電圧しきい値ＴＨｏｆｆの時間を適宜設定すれば、複数の電力変換回路１１－１４での電流バランスを調整することも可能である。

[0161] さらに、ＭＰＵ２０は、ＰＭＢｕｓ信号の入力端子を備えており、ＰＭＢｕｓ信号によって指定される電圧や電流に応じて、マルチフェーズ駆動する電力変換回路の個数を決定して、オン時間幅を設定することもできる。

[0162] また、上述の各実施形態の構成は、適宜組み合わせることが可能であり、それぞれの組合せに応じた作用効果を奏することができる。

符号の説明

[0163] １００、１００Ａ、１００Ｂ、１００Ｃ、１００Ｄ：電源システム

１１０、１２０、１３０、１４０：駆動部

１１－１８、１９１、１９２：電力変換回路

２０、２０Ａ、２０Ｂ：ＭＰＵ

３１、３１Ｌ、３１Ｓ、３２、３２Ｌ、３２Ｓ、３３Ｌ、３４Ｌ、３５Ｌ、３６Ｌ：拡張制御回路

３１０：論理回路

Ｃ３１：コンデンサ

Ｃｉ１、Ｃｉ２、Ｃｉ３、Ｃｉ４：入力コンデンサ

Ｃｏ：出力コンデンサ

Ｄ３１：ダイオード

Ｌ１、Ｌ２、Ｌ３、Ｌ４：インダクタ

Ｐｉｎ：共通入力端子

Ｐｏｕｔ：共通出力端子

Ｑ１Ｈ、Ｑ２Ｈ、Ｑ３Ｈ、Ｑ４Ｈ：スイッチング素子

Ｑ１Ｌ、Ｑ２Ｌ、Ｑ３Ｌ、Ｑ４Ｌ：スイッチング素子

Ｒ３１１、Ｒ３１２：抵抗

Ｒｏ：負荷

請求の範囲

[請求項1] インダクタと、該インダクタに流れる電流を制御するスイッチング素子および該スイッチング素子を駆動する駆動部を備えるパワー半導体回路とを、それぞれに備える複数の電力変換回路と、

前記複数のパワー半導体回路における第１のパワー半導体回路に与える第１のデジタルスイッチング駆動信号を生成する電力管理制御回路と、

前記電力管理制御回路と前記複数のパワー半導体回路における前記第１のパワー半導体回路と異なる第２のパワー半導体回路との間に電気接続され、前記第１のデジタルスイッチング駆動信号から第２のスイッチング駆動信号を生成し、前記第２のパワー半導体回路に、前記第２のスイッチング駆動信号を与える拡張制御回路と、

を備え、

前記拡張制御回路は、

前記第１のデジタルスイッチング駆動信号に対して所定の信号遅延時間を設定して前記第２のスイッチング駆動信号を生成する電圧時間変換回路を有し、

前記電圧時間変換回路は、

抵抗とキャパシタからなるＣＲ回路の時定数としきい値電圧とを用いて前記信号遅延時間を決定するしきい値信号変換回路を有し、

前記拡張制御回路は、

前記しきい値信号変換回路の前記ＣＲ回路の時定数を用いて、前記第２のスイッチング駆動信号のもととなる第２のアナログスイッチング駆動信号の位相を設定し、

前記しきい値信号変換回路の前記しきい値電圧と前記位相の設定後の前記第２のアナログスイッチング信号とを用いて、前記第２のスイッチング駆動信号のオン時間幅を前記第１のデジタルスイッチング駆動信号のオン時間幅と同じに設定し、

前記第１のデジタルスイッチング駆動信号の第１信号数に前記第２のスイッチング駆動信号の第２信号数に加えた総信号数によって、前記複数の電力変換回路の数を決定する、

規模拡張型スケーラブル電源システム。

[請求項2] 前記しきい値信号変換回路は、前記第２のスイッチング駆動信号の位相およびオン時間幅を設定し、前記第２のスイッチング駆動信号をデジタルスイッチング駆動信号で出力する論理回路を備える、

請求項１に記載の規模拡張型スケーラブル電源システム。

[請求項3] 前記ＣＲ回路の前記抵抗を設定する抵抗設定回路を有し、

前記抵抗設定回路は、

第１の抵抗素子、第２の抵抗素子、および、整流素子を備え、

前記第２の抵抗素子と前記整流素子との直列回路は、前記第１の抵抗素子に並列に接続される、

請求項１または請求項２に記載の規模拡張型スケーラブル電源システム。

[請求項4] 前記拡張制御回路は、複数であり、

前記複数の拡張制御回路は、カスケード接続される、

請求項１乃至請求項３のいずれかに記載の規模拡張型スケーラブル電源システム。

[請求項5] 前記拡張制御回路は、複数であり、

前記複数の拡張制御回路は、並列接続される、

請求項１乃至請求項３のいずれかに記載の規模拡張型スケーラブル電源システム。

[請求項6] 前記電力管理制御回路は、マルチフェーズコントローラで構成される、

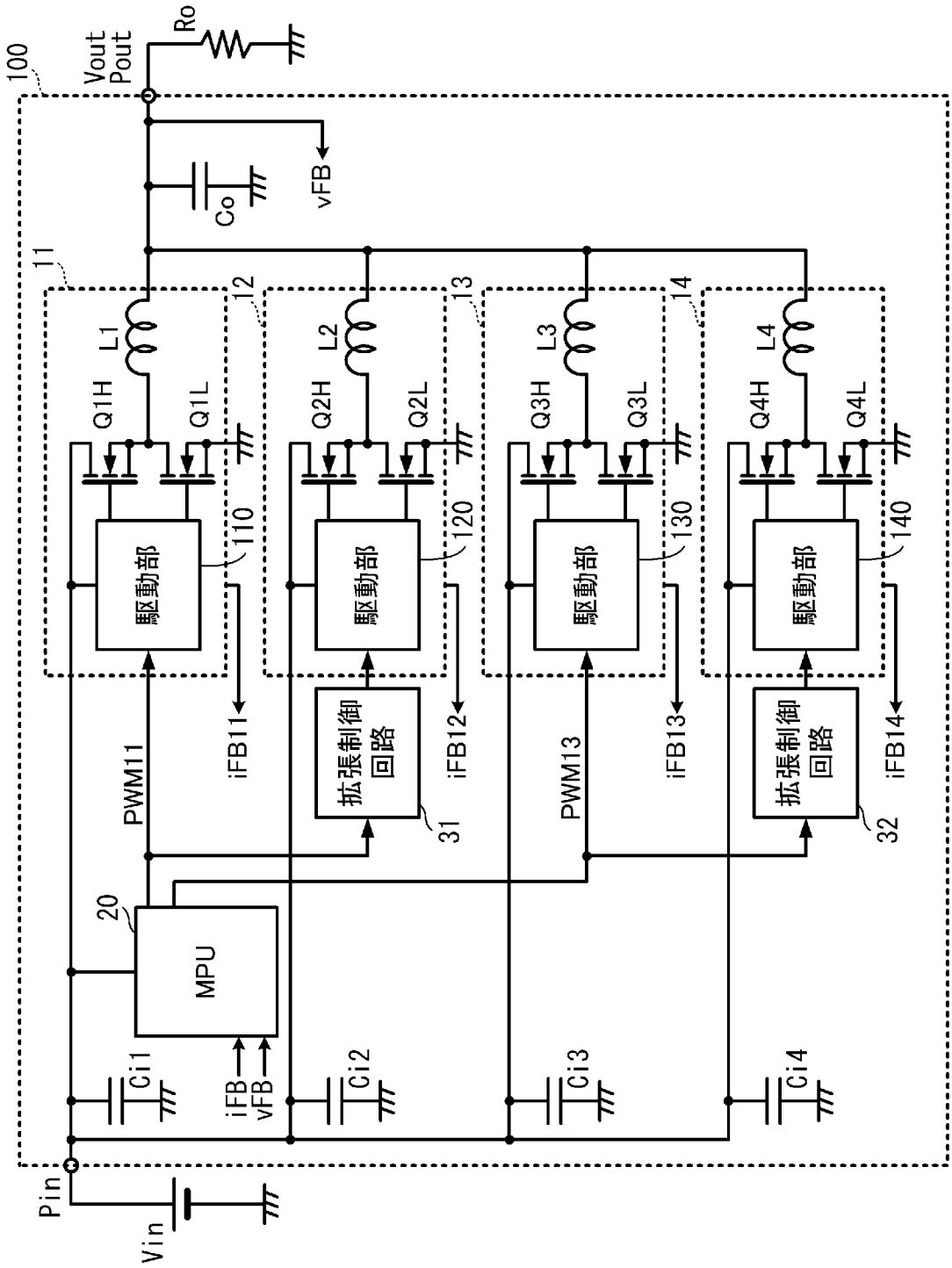
請求項１乃至請求項５のいずれかに記載の規模拡張型スケーラブル電源システム。

[請求項7] 前記電力管理制御回路は、ＰＭＢｕｓ信号の入力が可能であり、前

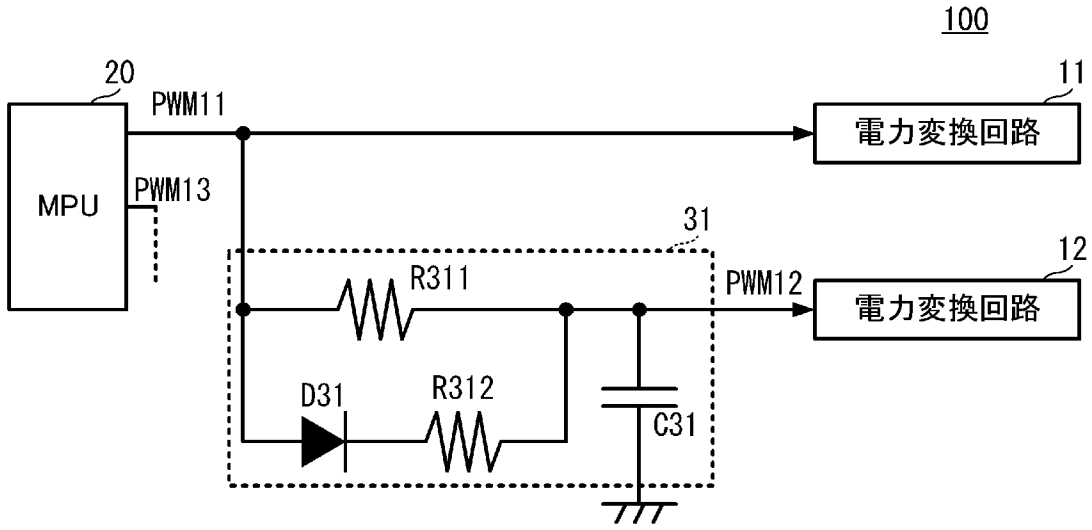
記ＰＭＢｕｓ信号に応じた制御を実行可能である、

請求項１乃至請求項６のいずれかに記載の規模拡張型スケーラブル電源システム。

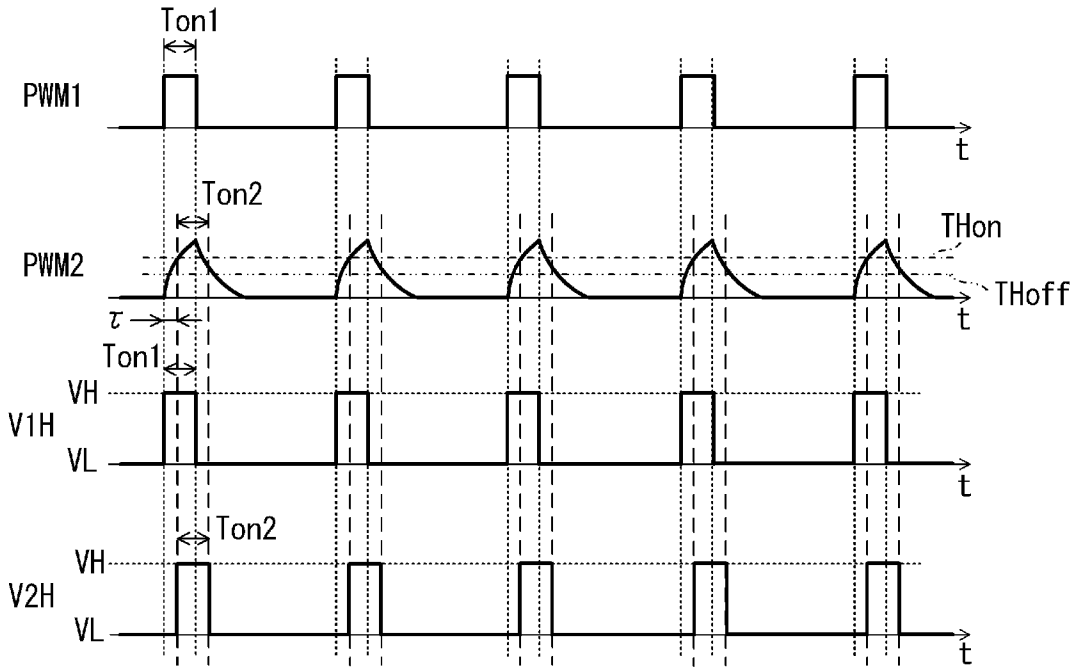
[図1]


100
Vout
Pout
Ro
Co
vFB
11
12
13
14
L1
L2
L3
L4
Q1H
Q1L
Q2H
Q2L
Q3H
Q3L
Q4H
Q4L
駆動部
110
120
130
140
PWM11
PWM13
iFB11
iFB12
iFB13
iFB14
拡張制御回路
31
32
20
MPU
Ci1
Ci2
Ci3
Ci4
iFB
vFB
Pin
Vin

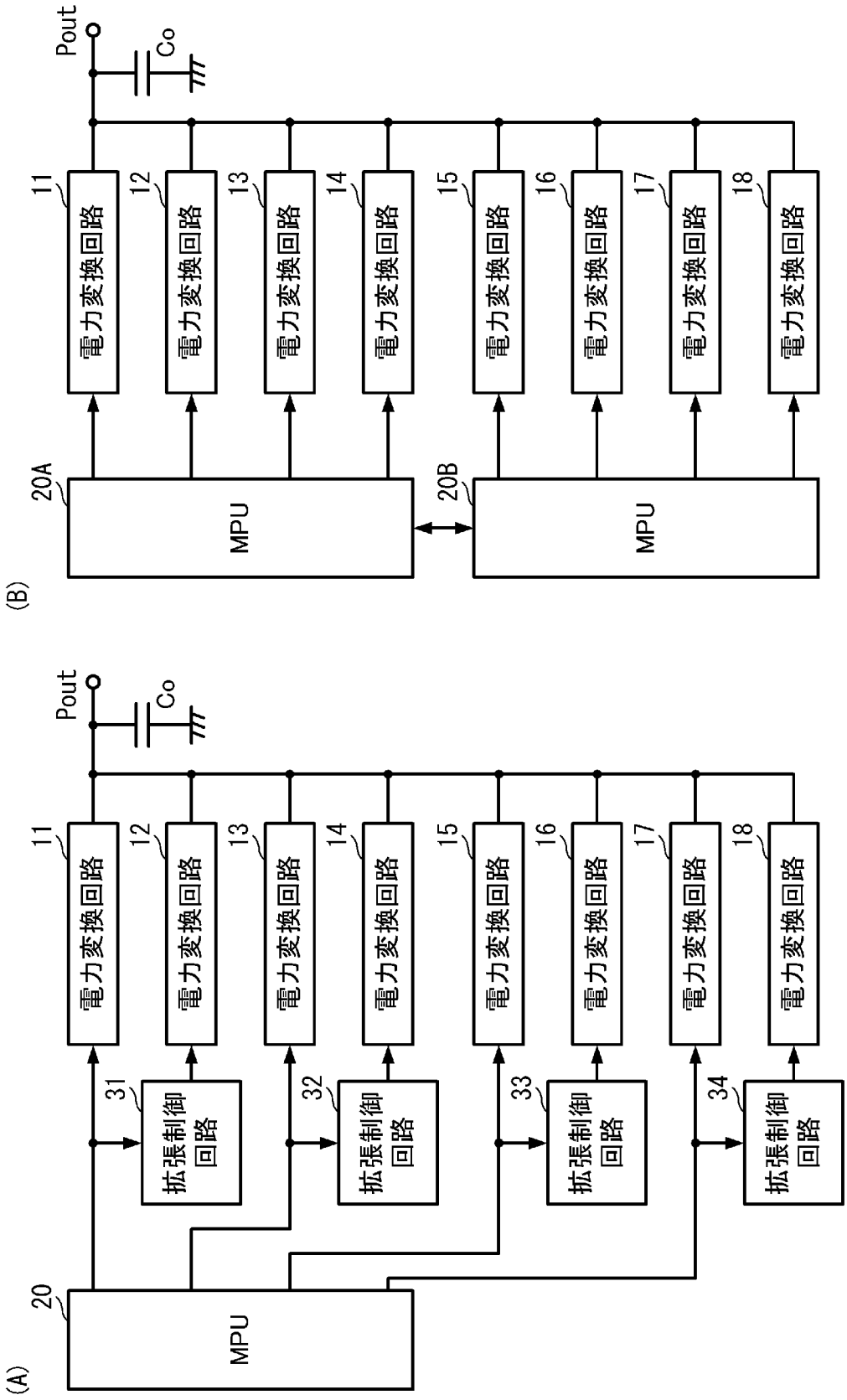
[図2]


100
20
PWM11
11
電力変換回路
MPU
PWM13
31
R311
12
PWM12
電力変換回路
D31
R312
C31

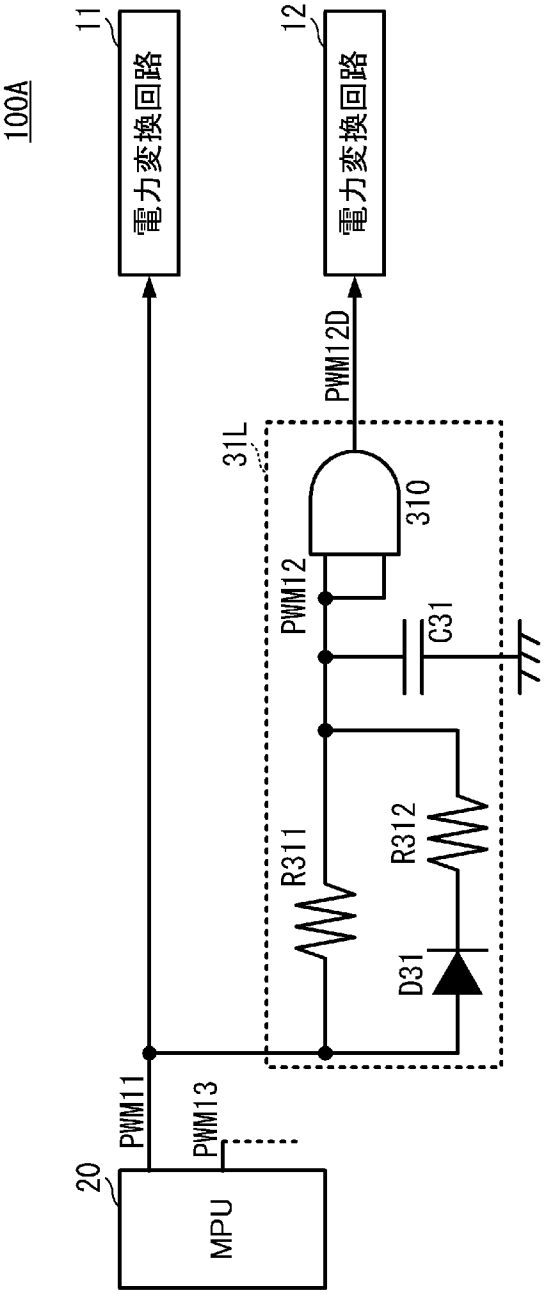
[図3]


Ton1
PWM1
t
Ton2
THon
PWM2
THoff
τ
t
Ton1
VH
V1H
VL
t
Ton2
VH
V2H
VL
t

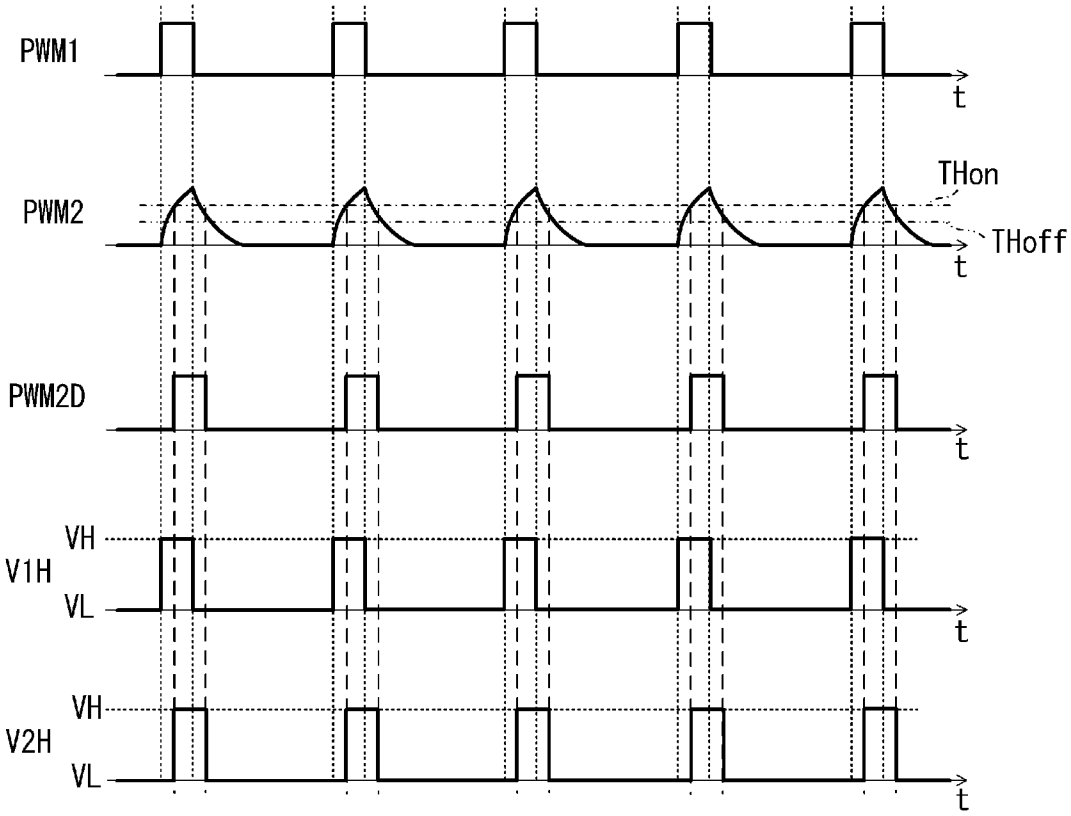
[図4]


(B)
Pout
Co
11
12
13
14
15
16
17
18
電力変換回路
20A
20B
MPU
(A)
31
32
33
34
拡張制御回路
20
MPU

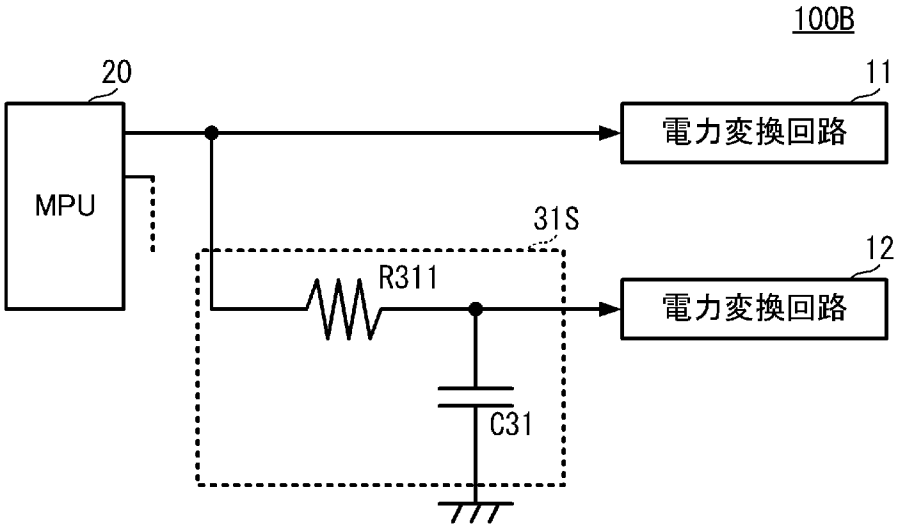
[図5]


100A
11
電力変換回路
12
電力変換回路
PWM12D
31L
310
PWM12
C31
R311
R312
D31
PWM11
PWM13
20
MPU

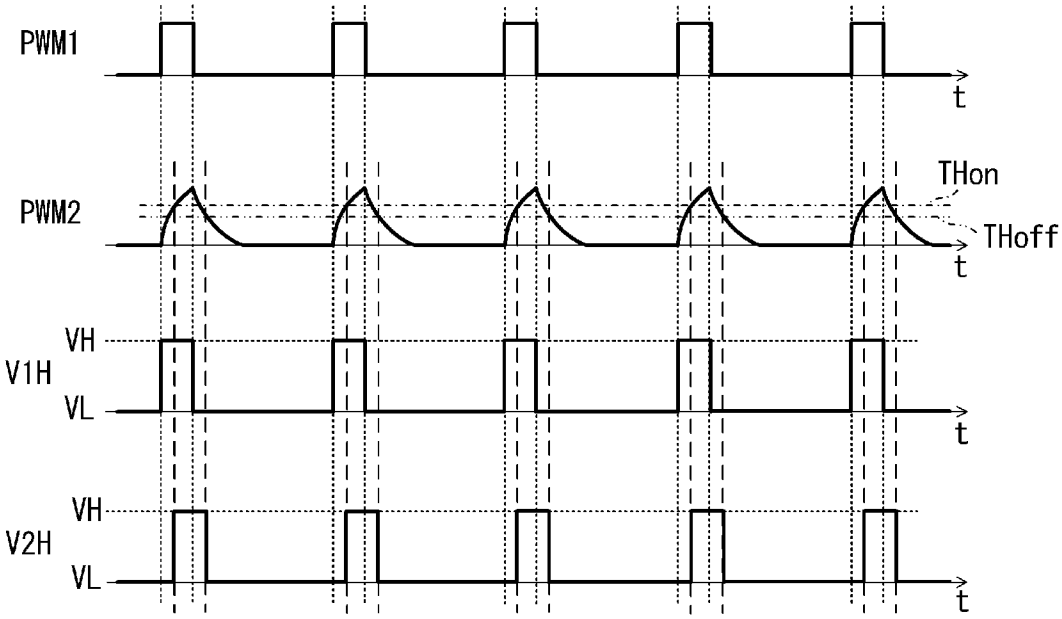
[図6]


PWM1
t
PWM2
THon
THoff
t
PWM2D
t
VH
V1H
VL
t
VH
V2H
VL
t

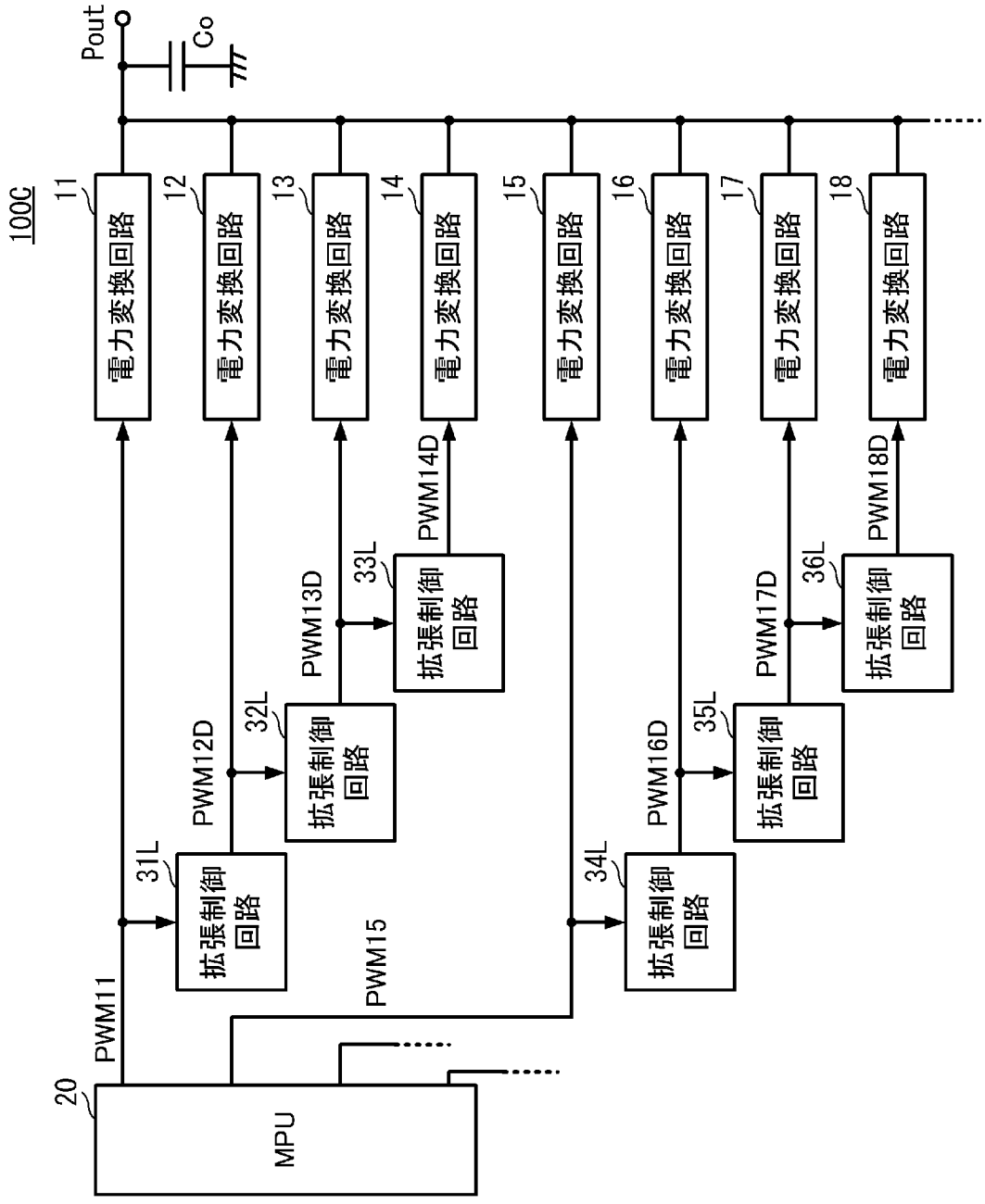
[図7]


100B
20
11
MPU
電力変換回路
31S
12
R311
電力変換回路
C31

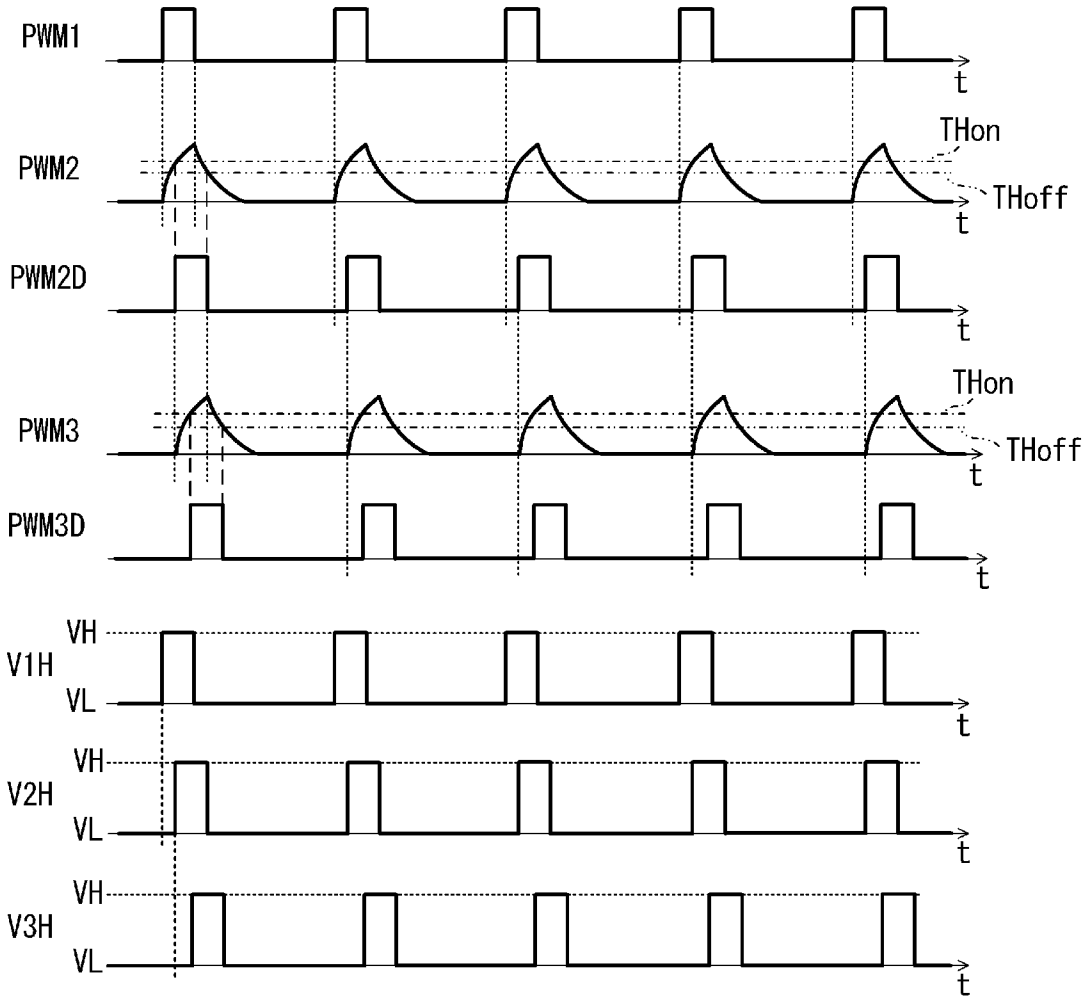
[図8]


PWM1
t
PWM2
THon
THoff
t
VH
V1H
VL
t
VH
V2H
VL
t

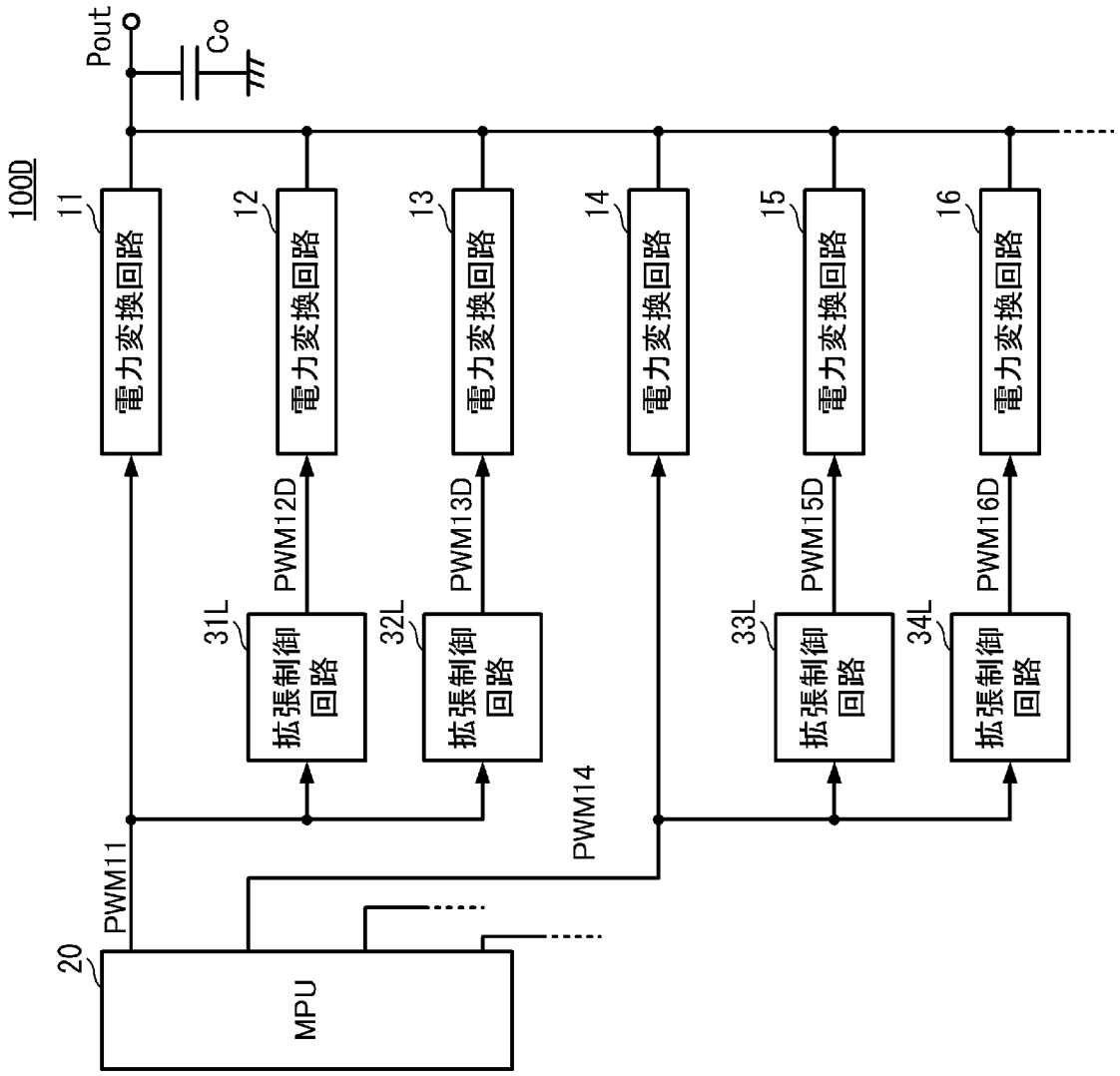
[図9]


Pout
Co
100C
11
12
13
14
15
16
17
18
電力変換回路
PWM11
PWM12D
PWM13D
PWM14D
PWM15
PWM16D
PWM17D
PWM18D
31L
32L
33L
34L
35L
36L
拡張制御回路
20
MPU

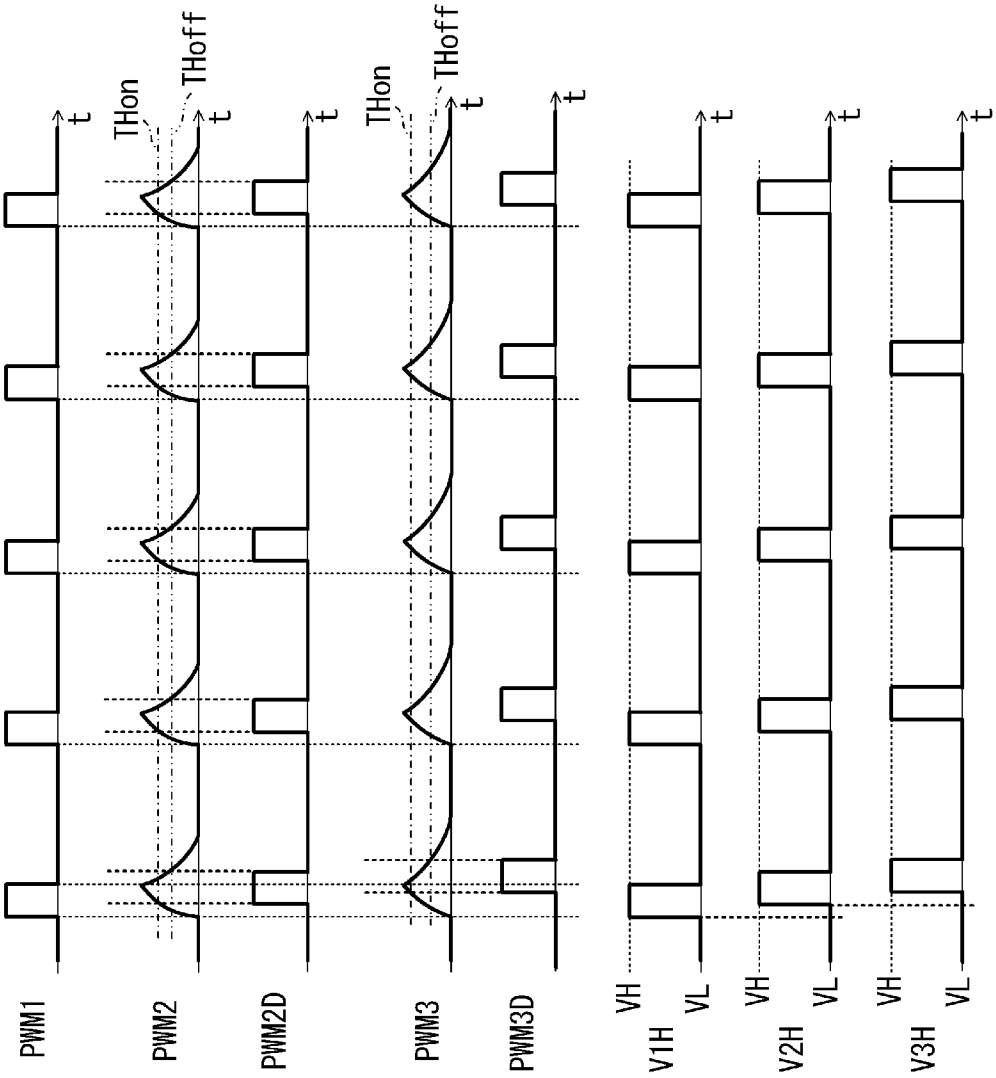
[図10]


PWM1
t
THon
PWM2
THoff
t
PWM2D
t
THon
PWM3
THoff
t
PWM3D
t
VH
V1H
VL
t
VH
V2H
VL
t
VH
V3H
VL
t

[図11]


Pout
Co
100D
11
電力変換回路
12
電力変換回路
13
電力変換回路
14
電力変換回路
15
電力変換回路
16
電力変換回路
PWM12D
PWM13D
PWM15D
PWM16D
31L
拡張制御回路
32L
拡張制御回路
33L
拡張制御回路
34L
拡張制御回路
PWM11
PWM14
20
MPU

[図12]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/030208

A. CLASSIFICATION OF SUBJECT MATTER

H02M 3/155(2006.01)i
FI: H02M3/155 W; H02M3/155 H

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-146711 A (RICOH ELECTRONIC DEVICES CO LTD) 13 August 2015 (2015-08-13) paragraphs [0001]-[0083], fig. 1-12	1-7
Y	JP 50-152650 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 08 December 1975 (1975-12-08) p. 1, lower left column, line 13 to p. 3, lower right column, line 17, fig. 1-6	1-7
Y	JP 55-071319 A (OKI ELECTRIC IND CO LTD) 29 May 1980 (1980-05-29) p. 1, lower left column, line 10 to p. 3, upper left column, line 13, fig. 1-2	1-7
Y	JP 02-192371 A (FUJI PHOTO FILM CO LTD) 30 July 1990 (1990-07-30) p. 1, lower right column, line 5 to p. 5, upper left column, line 8, fig. 1-7	1-7
Y	JP 2017-158373 A (TOYOTA MOTOR CORP) 07 September 2017 (2017-09-07) paragraphs [0001]-[0047], fig. 1-7	6-7

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
29 September 2022	**11 October 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/030208

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2015-146711 A	13 August 2015	(Family: none)	
JP 50-152650 A	08 December 1975	(Family: none)	
JP 55-071319 A	29 May 1980	(Family: none)	
JP 02-192371 A	30 July 1990	(Family: none)	
JP 2017-158373 A	07 September 2017	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2022/030208

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H02M 3/155(2006.01)i
FI: H02M3/155 W; H02M3/155 H

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H02M3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2015-146711 A (リコー電子デバイス株式会社) 13.08.2015 (2015-08-13) 段落［０００１］－［００８３］，図１－図１２	1-7
Y	JP 50-152650 A (松下電器産業株式会社) 08.12.1975 (1975-12-08) 第１頁左下欄第１３行－第３頁右下欄第１７行，第１図－第６図	1-7
Y	JP 55-071319 A (沖電気工業株式会社) 29.05.1980 (1980-05-29) 第１頁左下欄第１０行-第３頁左上欄第１３行，第１図－第２図	1-7
Y	JP 02-192371 A (富士写真フィルム株式会社) 30.07.1990 (1990-07-30) 第１頁右下欄第５行－第５頁左上欄第８行，第１図－第７図	1-7
Y	JP 2017-158373 A (トヨタ自動車株式会社) 07.09.2017 (2017-09-07) 段落［０００１］－［００４７］，図１－図７	6-7

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
29.09.2022	11.10.2022

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
白井　孝治 5G 8843

電話番号 03-3581-1101 内線 3526

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/030208

引用文献	公表日	パテントファミリー文献	公表日
JP 2015-146711 A	13.08.2015	（ファミリーなし）	
JP 50-152650 A	08.12.1975	（ファミリーなし）	
JP 55-071319 A	29.05.1980	（ファミリーなし）	
JP 02-192371 A	30.07.1990	（ファミリーなし）	
JP 2017-158373 A	07.09.2017	（ファミリーなし）	