



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201826711 A

(43)公開日：中華民國 107 (2018) 年 07 月 16 日

(21)申請案號：106134751

(22)申請日：中華民國 106 (2017) 年 10 月 11 日

(51)Int. Cl. : H03K17/687 (2006.01)

H03K17/693 (2006.01)

(30)優先權：2016/10/11 美國

62/406,881

2017/10/10 美國

15/729,294

(71)申請人：美商微晶片科技公司(美國) MICROCHIP TECHNOLOGY INCORPORATED (US)
美國

(72)發明人：梅臣 丹 MEACHAM, DAN (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：17 項 圖式數：5 共 27 頁

(54)名稱

高電壓自舉採樣電路

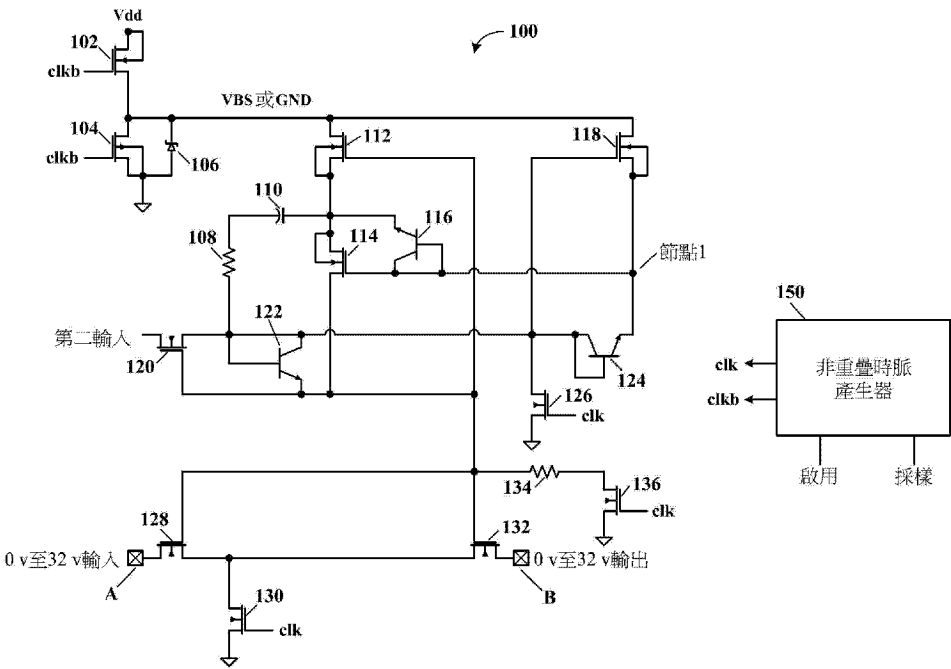
HIGH VOLTAGE BOOTSTRAP SAMPLING CIRCUIT

(57)摘要

一種自舉採樣開關可歸因於其高線性度而以較低供應電壓被使用，其中經採樣電壓可實質上高於供應電壓。一 2.7 伏特或更低供應 DC 可結合此採樣開關以採樣一高得多的電壓。複數個此等高電壓傳輸開關可被直接連接在一起，由此移除通道間失配之一主要源(主動緩衝器/降壓電路)，且啟用先前不可能之新誤差補償方法。該採樣開關電路未消耗來自正經量測內容之 DC 電流。可存在一小的經切換電容器電壓充電，且可存在一些電壓洩漏，但未自正經量測之電壓輸入汲取 DC 電流。

A bootstrapped sampling switch may be used at lower supply voltages due to its high linearity, wherein the sampled voltage may be substantially higher than the supply voltage. A 2.7 volt or lower DC supply may be used with this sampling switch to sample a much higher voltage. A plurality of these high voltage transmission gate switches may be connected directly together, thereby removing a primary source of channel-to-channel mismatch (the active buffer / voltage reduction circuit) and enables new methods of error compensation not previously possible. The sampling switch circuit does not consume DC current from what is being measured. There may be a small switched capacitor voltage charge and there may be some voltage leakage, but no DC current is drawn from the voltage input being measured.

指定代表圖：



【圖1】

符號簡單說明：

- 1 . . . 節點
- 100 . . . 高電壓自舉採樣電路/高電壓多工器
- 102 . . . 低電壓金屬氧化物半導體場效應電晶體(MOSFET)
- 104 . . . 低電壓金屬氧化物半導體場效應電晶體(MOSFET)
- 106 . . . 齊納(Zener)二極體
- 108 . . . 電阻器
- 110 . . . 浮動電容器
- 112 . . . 電晶體
- 114 . . . 電晶體
- 116 . . . PNP 電晶體/雙極接面電晶體(BJT)
- 118 . . . 電晶體
- 120 . . . NMOS 開關電晶體
- 122 . . . PNP 電晶體/雙極接面電晶體(BJT)
- 124 . . . 電晶體/雙極接面電晶體(BJT)
- 126 . . . 電晶體
- 128 . . . NMOS 開關電晶體
- 130 . . . 電晶體
- 132 . . . NMOS 開關電晶體
- 134 . . . 電阻器
- 136 . . . 電晶體
- 150 . . . 非重疊時脈產生器
- A . . . 節點

B . . . 節點

clk . . . 時脈輸出

clkb . . . 時脈輸出

Vdd . . . 電壓

【發明說明書】

【中文發明名稱】

高電壓自舉採樣電路

【英文發明名稱】

HIGH VOLTAGE BOOTSTRAP SAMPLING CIRCUIT

【技術領域】

本發明係關於採樣電路，且特定言之係關於在較高電壓電路中使用之採樣電路。

【先前技術】

為了量測例如電源供應器電路中之電壓及電流，耦合一分流電阻器與一量測裝置，例如，一感測(量測)電阻器及耦合至該感測電阻器之一感測放大器。該感測電阻器之較高電壓節點可稱為「VBUS」且該感測電阻器之負載側上的電壓節點可稱為「VSENSE」。該感測放大器亦可包含類比前端電路中之採樣電路。此等裝置可與具有一類比至數位轉換器(ADC)之一微控制器組合。該微控制器通常以一低電壓操作且因此，大多數其周圍支援電路亦針對此一低電壓(例如，3.3 VDC或5 VDC)而設計。然而，該電源供應器電路常常產生一高得多電壓且量測高側上之電流引入一高共模電壓。使用此一量測電路來判定一高電壓電路中之電流可因此需要一特殊採樣電路。常常期望運用一可多工器採樣架構採樣一高電壓信號而未消耗來自輸入源之大量功率且無需一高供應電壓。此一案例中之一高電壓可為至多約40 VDC之一電壓，但在不久的將來預期至多約70 VDC。

【發明內容】

因此，需要一種改良式採樣電路。

根據一實施例，一種用於運用低電壓控制信號控制一高電壓切換電路之方法可包括下列步驟：提供一低電壓反相器，其耦合至至少一個低電壓控制信號；提供一第一高電壓電晶體，其耦合至該低電壓反相器且受該低電壓反相器控制；提供一第二高電壓電晶體，其耦合至該第一高電壓電晶體且受該第一高電壓電晶體控制；及提供一主要輸入/輸出信號路徑，其包括背對背第三及第四高電壓電晶體，該等第三及第四高電壓電晶體耦合至該第二高電壓電晶體且受該第二高電壓電晶體控制；其中該低電壓反相器接通該第一高電壓電晶體，該第一高電壓電晶體接通該第二高電壓電晶體，且該第二高電壓電晶體藉由接通該等第三及第四高電壓電晶體而啟用該主要輸入/輸出信號路徑。

根據該方法之一進一步實施例，其可包括運用一浮動電容器僅使用低電壓控制信號自舉該第二高電壓電晶體之一源極的步驟。根據該方法之一進一步實施例，其可包括提供一次要路徑以自該主要輸入/輸出信號路徑移除洩漏電流及切換電流之步驟。根據該方法之一進一步實施例，其可包括自該次要路徑提供驅動該等高電壓電晶體所需之控制電流的步驟。根據該方法之一進一步實施例，其可包括自該次要路徑對該等高電壓電晶體提供洩漏電流之步驟。根據該方法之一進一步實施例，其可包括自該主要路徑或該次要路徑驅動該浮動電容器之步驟。根據該方法之一進一步實施例，該高電壓切換電路可用作高電壓信號之一傳輸閘開關而無需一高供應電壓或高電壓控制信號，且無需消耗來自一高電壓輸入信號之大量電流。

根據另一實施例，一種用於以一高共模電壓切換一信號之高電壓切換電路，該切換電路可包括受低電壓控制信號控制之高電壓輸入及輸出電晶體。根據一進一步實施例，該高電壓切換電路可調適為耦合至一高電壓

信號之一傳輸閘開關而無需一高供應電壓、高電壓控制信號，且未自該高電壓信號汲取電流。

根據又一實施例，一種用於以一高共模電壓切換一信號之高電壓切換電路可包括：高電壓輸入及輸出電晶體，其等受低電壓控制信號控制；及一主要電流路徑，其中所有電流流動通過該主要電流路徑。根據一進一步實施例，一第二輸入電流路徑可用來產生驅動該主要電流路徑、該等高電壓輸入及輸出電晶體所必需之電流。根據一進一步實施例，該第二輸入電流路徑可產生已由該主要電流路徑產生之實質上所有洩漏電流。根據一進一步實施例，一浮動電容器可由該主要輸入電流路徑或該第二輸入電流路徑驅動。

根據再一實施例，一種採樣電路及多工器可包括：第一及第二採樣開關，其等具有一共同連接件，另外該第一採樣開關可耦合至一VBUS節點，且該第二採樣開關可耦合至一VSENSE節點；一第一採樣電容器，其具有耦合至該共同連接件之一個節點；一第二採樣電容器，其具有耦合至該第一採樣電容器之另一節點的一個節點；一短路開關，其與該第二採樣電容器並聯地耦合；及一運算放大器，其具有耦合至該第一採樣電容器與該第二採樣電容器之間的接面之一輸入及耦合至該第二採樣電容器之另一節點的一輸出；其中該等第一及第二採樣器開關可包括受低電壓控制信號控制之高電壓輸入及輸出電晶體。

根據另一實施例，一種採樣電路及多工器可包括：複數個高電壓切換電路，其等可包括高電壓輸入與高電壓輸出及低電壓控制輸入；一採樣及保持電容器，其具有耦合至一些該等高電壓輸出之一第一節點及耦合至一些其他該等高電壓輸出之一第二節點；及一雙極開關，其具有耦合至該

第一節點之一個極及耦合至該第二節點之另一極。

根據一進一步實施例，一類比至數位轉換器(ADC)可具有耦合至該雙極開關之一差分輸入。根據一進一步實施例，該採樣電路及多工器可包括：一感測電阻器，其經調適以耦合於一電源供應器與一負載之間；該複數個高電壓切換電路之一些該等高電壓輸入可耦合至該感測電阻器之該電源供應器側；且該複數個高電壓切換電路之一些其他該等高電壓輸入可耦合至該感測電阻器之該負載側。

【圖式簡單說明】

可藉由參考結合隨附圖式所作之下文描述而獲得本發明之更全面理解，其中：

圖1繪示根據本發明之一特定實例性實施例的一高電壓自舉採樣電路之一示意圖；

圖2繪示根據本發明之另一特定實例性實施例的一高電壓自舉採樣電路之一示意圖；

圖3繪示具有包括兩個高電壓開關之一單通道差分輸入多工器的一採樣電路之一示意圖；

圖4繪示在類似應用中使用之先前技術採樣電路的示意方塊圖；及

圖5繪示根據本發明之教示的圖1及圖2中所展示且經調適以將一電源供應器之電流及電壓量測耦合至一採樣電路類比至數位轉換器(ADC)之高電壓自舉採樣電路的一簡化實例性應用之一示意方塊圖。

雖然本發明具有各種修改及替代形式，但其特定實例性實施例已在圖式中展示且已在本文中詳細描述。然而，應理解，特定實例性實施例在本文中之描述並非意欲於將本發明限於本文中所揭示之形式。

【實施方式】

相關專利申請案

本申請案主張2016年10月11日申請之共同擁有之美國臨時專利申請案第62/406,881號的優先權，其針對所有目的係以引用方式併入本文中。

根據各項實施例，一典型自舉採樣開關可結合高線性度類比至數位轉換器(ADC)來使用，該高線性度ADC使用一採樣及保持電路，以將一固定 V_{gs} (閘極與源極之間的電壓)強加於一金屬氧化物半導體場效應電晶體(MOSFET)採樣開關。傳統上，類似於本文中所揭示之電路(後文中「此電路」)之一電路可歸因於其高線性度而以較低電壓被使用(由於 V_{gs} 係恆定的，且不取決於輸入電壓)。在此修改電路中，根據各項實施例，諸多顯著變化已被合併為如下：(1)經採樣電壓可實質上高於供應電壓。可在文獻中發現其他先前技術電路，但電壓差必須係相對小的。根據本發明之教示，一2.7伏特或更低供應電壓直流電(VDC)可被用來採樣一40 VDC或更高(例如，70 VDC)共模(CM)輸入。(2)歸因於高電壓要求，必須使用特殊裝置，其等允許汲極電壓遠高於源極電壓，但始終對閘極至源極電壓具有極明確限制。根據本發明之教示，採樣電路維持所有裝置上之可允許 V_{gs} (<5 VDC)，同時仍能夠採樣高電壓，例如，70 VDC CM輸入信號。(3)諸多此等先前技術電路不支援一經多工輸入。例如，各輸入用來驅動一單獨主動電路，該主動電路產生接著可被多工之一低電壓信號。此電路允許來自複數個高電壓傳輸閘開關的輸出被直接連接在一起，由此移除通道間失配之一主要源(主動緩衝器/降壓電路)，且啟用先前不可能之新誤差補償方法。且(4)此開關電路未消耗來自正經量測內容之DC電流；可存在一小的經切換電容器充電電流，且可存在一些洩漏電流，但未自正經量測

電壓輸入汲取DC電流(其係與此電路與先前技術之一顯著區別)。

現參考圖式，示意性地繪示實例性實施例之細節。圖式中之相同元件將係由相同符號表示，且類似元件將係由具有一不同小寫字母後綴之相同符號表示。

參考圖1，描繪根據本發明之一特定實例性實施例之一高電壓自舉採樣電路之一示意圖。一般由符號100表示之一高電壓自舉採樣電路可包括電晶體102、104、112、114、116、118、120、122、124、126、128、130、132與136；齊納(Zener)二極體106；電容器110；及電阻器108與134。亦包含可用來產生低電壓非重疊控制信號(時脈)(例如，時脈輸出「clk」及「clkb」)之一非重疊時脈產生器150。

齊納二極體106並不是嚴格要求的，但可被包含以防止高電壓回掃(在開關轉變至關狀態時)毀壞亦經連接於此節點處之低電壓電晶體。電容器110可自約一(1)皮法(pf)至約20 pf，且可被用以保持經施加於電晶體120、128與132 (實際開關電晶體)之閘極與源極之間的DC電壓。電阻器108可自約0歐姆(未用)至約100k歐姆，且可被用以轉換限制開關之關至開轉變。電阻器134可自約0歐姆(未用)至約100k歐姆，且可被用以轉換限制開關之開至關轉變。高電壓多工器100可將一0 VDC至32 VDC輸入接受於任一端子處，且提供一0 VDC至32 VDC輸出，而無關於輸入電壓。所有控制電壓可為(例如，但不限於)5 VDC、3.3 VDC或更低。為了接通高電壓自舉採樣電路100，藉由將clk切為低(其斷開電晶體136)而自接地釋放開關電晶體120、128及132之閘極及源極。自舉電壓輸入(由電晶體104及102驅動之電壓)自VBS (~5 VDC)切換至接地。此下拉節點1直至電晶體114接通為止。電晶體114跨NMOS開關電晶體120、128及132之V_{gs}強

加VBS (例如, 5 VDC), 由此接通電晶體120、128及132, 且使其等導通, 藉此接通高電壓自舉採樣電路100。

電路(高電壓自舉採樣電路100)中之所有電晶體一直保持為小於5 VDC V_{gs} (包含暫態電壓)。PNP電晶體122及116 (其等亦可為二極體或二極體連接MOSFET)僅係抑制可在轉變期間超過5 VDC之暫態電壓所必需的, 且在所有實施例中可能並非係必需的。被展示為耦合至電晶體120之一第二輸入路徑可經提供以在高溫下降低洩漏誤差。第二輸入路徑將由相同於節點A之電壓或一實質上類似電壓驅動(例如, V_{sense} 可由 V_{bus} 驅動)。

齊納二極體106用於防止高電壓回掃且在特定應用中可能係非所需的。電阻器108及134用於轉換速率限制且可能並非係特定應用所需的。雙極接面電晶體(BJT) 116、122及124可用以一「二極體」組態連接之金屬氧化物半導體場效應電晶體(MOSFET)裝置取代。電晶體102及104可為正常低電壓MOSFET。 V_{dd} 係將跨高電壓閘極至源極接面強加以接通開關之電壓。 V_{dd} 可取決於HV MOSFET技術而改變但通常在約2 VDC至約5 VDC之間。明顯, 在高電壓自舉採樣電路100係關時, 可由另一開關裝置將輸出電壓節點驅動至一高位準, 例如, 諸多此等開關可並聯地連接且開關不被一經接通電壓輸出毀壞。

高電壓自舉採樣電路100之切換經完成而無須使用高電壓控制信號。包括低電壓電晶體102及104之一反相器電路可受一低電壓控制信號控制。在此反相器自VBS切換至接地時, 電晶體118自VDD朝向接地下拉節點1, 此提供足夠電壓以接通電晶體114。電晶體114現在係導通的, 主要開關電晶體120、128及132經啟用且將繼續經由浮動電容器110 (其可經由

電晶體114連接於其等閘極節點與源極節點之間)自舉此等電晶體之源極節點而無需任何高電壓控制邏輯。回想到，此時電晶體114處於其導通「開」狀態。

包括電晶體120 (及可選雙極電晶體122)之一犧牲輸入路徑可經提供以自主要輸入路徑(電晶體128及132)移除洩漏電流及切換電路。通過開關(高電壓自舉採樣電路100)之主要路徑包括兩個背對背HVNfet裝置：電晶體128及132。可期望所有電流流動通過主要路徑且不轉向。一第二輸入路徑可包括電晶體120 (標稱上係主要路徑之一複製品)，且一類似HVNfet亦可用來產生驅動切換電路寄生負載(包含與電晶體120、128及132相關聯之閘極電容及電容器110之寄生(底板)電容)以及其他寄生負載(互連件等)所必需的電流。此第二輸入路徑亦產生可流動通過電晶體118及124、否則將需要自主要路徑產生之大多數裝置洩漏電流。

第二輸入可由量值類似於耦合至電晶體128之主要輸入的彼電壓之一電壓驅動。此允許洩漏電流及切換電流對信號電流之一不同路徑，從而降低來自主要輸入之電流要求且使其移位至次要(代理)輸入。電路亦可經組態而不具有此特徵，在此情況下該電路看似圖2中所展示之電路。亦在圖2中所展示，二極體連接BJT已用高電壓PMOSFET裝置取代。

作為圖1中所展示之整體電路的一變體，浮動電容器110可替代地由主要輸入路徑(電晶體128及132)或次要輸入路徑(電晶體120)驅動。在圖2中所展示之實施例中，為了線性度及設計簡單性起見，寄生電容可由主要路徑驅動。然而，經由第二路徑驅動寄生電容將降低主要輸入上之負載。

因此，圖1中所展示之電路可用作高電壓信號之一傳輸開關而無需(1)一高供應電壓或(2)高電壓控制信號，且(3)無需消耗來自輸入信號之大

量電流。應注意，在一實際實施方案中，取決於製程，可或可不需要二極體及過度保護電路。

參考圖2，描繪根據本發明之另一特定實例性實施例的一高電壓自舉採樣電路之一示意圖。圖2中所展示之電路以實質上相同於圖1中所展示且上文中所描述之電路的方式操作。

上文中所揭示之各項實施例啟用資料表中之關鍵區別：自輸入消耗零電流，因為小的經切換電容器電流係在~奈安範圍中。(下列電路之ESD洩漏電流及經切換電容器電流可將此電流增大至近似~ $1\ \mu\text{A}$)。自輸入之觀點，此裝置可被視為一被動裝置，藉此藉由設計而保證不同輸入路徑之間的理想匹配，且可提供經4倍多工輸入路徑之間的一經量測~ $<1\ \text{LSB}$ (16位元)匹配。根據各項實施例，此高電壓多工器100允許複製品DC偏移校準及偏移抖動，藉此透過整個系統(32 VDC範圍)提供一經量測 $<1\ \text{LSB}$ ($3\ \mu\text{V}$)輸入偏移電壓。各項實施例進一步允許輸入之外部電阻器至電容器(RC)濾波而不破壞量測。習知裝置警告外部電阻器及印刷電路板(PCB)跡線電路破壞量測。例如，一些習知裝置規定：「建議儘可能接近於裝置而放置感測電阻器且不使用最小寬度PCB跡線」。根據各項實施例，包含一前端裝置之一評估板可包含各輸入(無需)上之100歐姆串聯電阻器。此允許一系統使用者接近於產生電路而放置感測電阻器，在產生電路處使感測電阻器最有意義。

參考圖3，描繪具有包括兩個高電壓開關之一單通道差分輸入多工器的一採樣電路之一示意圖。根據本發明之教示，必須以高於一大共模電壓量測一小差分電壓。共模電壓可自約零(0) VDC至約32 VDC。差分信號可例如小如 $\pm 25\ \text{mV}$ ，例如，由通過一感測電阻器之一電流引起的一電

壓。此電路之供應電壓可為例如但不限於2.6 VDC。作為一實例而非一限制，八個輸入可經多工，其中各輸入具有一不同(未知)共模電壓 V_{CM} 。圖3中所展示之電路係可在一較高位準系統中用來量測一小差分電壓(以高 V_{CM})且將其轉換至一較大低電壓信號之一開關-多工器的一實例。

參考圖4，描繪先前技術採樣電路之示意方塊圖。圖4中所展示之先前技術採樣電路不具有可用高側電壓軌，因此消耗來自輸入信號自身的功率。自正經量測之輸入消耗的功率係一關鍵參數。例如，由本申請案之受讓人製造的PAC1921不使用多工器，且自各輸入通道消耗約35微安。由本申請案之受讓人製造的PAC1720 (未展示)包含一雙通道多工器，且自各輸入通道消耗約150微安。根據本文中所揭示之各項實施例，一設計目標可為小於約一微安與一四通道多工器。此係優於先前技術之一實質改良。在此情況下，PAC1921使用一電阻分壓器，以藉由將VBUS電壓(0 v至32 v)分為0 v至3 v之間之一電壓來量測該VBUS電壓。PAC1921使用在VBUS電源供應器上操作之一差分放大器來緩衝VBUS與VSENSE之間的小差分電壓，且將所得信號驅動至一低電壓ADC中。來自圖4中所展示之方塊圖的MAX34407亦包含自外部VBUS電源供應器操作之一主動高電壓緩衝器。

本技術裝置，諸如圖4中所展示之彼等裝置：a)包括自高側輸入(最常見)供電之一差分輸入緩衝放大器。本技術放大器使用來自正經量測電壓輸入之DC電流，且未減低至零(0) VDC。通道間失配之一源存在於此等本技術裝置中。難以形成雙向輸入，因為哪個差分輸入載送最高電壓係未知的；b)在一些本技術裝置中，開關電晶體係自此等本技術裝置中之高側輸入供電，且其等使用來自輸入之DC電流來產生開關之 V_{gs} 。再者，此

未減低至零VDC，且不增添自身至一多工組態；c)一些本技術裝置使用一AC耦合切換控制，此引起高可變性，不增強自身至一多工組態；且亦難以斷開(DC洩漏可為高)；且d)一些本技術裝置使用輸入處之一電阻分壓器，該電阻分壓器使用來自輸入之DC電流，將通道間匹配限於約8個位元，且破壞信號對雜訊比(SNR)。

參考圖5，描繪根據本發明之教示之圖1及圖2中所展示且經調適以將一電源供應器之電流及電壓量測耦合至一採樣電路類比至數位轉換器(ADC)之高電壓自舉採樣電路之一簡化實例性應用之一示意方塊圖。複數個高電壓自舉採樣電路100/200可經耦合至一電流感測電阻器542及跨一負載(電阻器) 550量測之一電源供應器輸出電壓。複數個高電壓自舉採樣電路100/200之選定者可將不同電壓節點552、554及556連接至一採樣及保持電容器548。複數個高電壓自舉採樣電路100/200之兩者可經選擇，以將待量測電壓節點之+/-電壓耦合至採樣及保持電容器548。接著，斷開(自採樣及保持電容器548斷接)此兩個自舉採樣電路100/200，且閉合採樣開關546。藉此將經儲存於採樣及保持電容器548上之經採樣電壓耦合至一類比至數位轉換器(ADC) 544之一差分輸入(+/-)，該ADC 544可接著將經儲存之採樣電壓轉換至一數位值，該數位值可被耦合至一微控制器(未展示)以處理之。

例如：

在啟用高電壓採樣電路100b時，節點552耦合至(+)電容器548。

在啟用高電壓採樣電路100a時，節點554耦合至(-)電容器548。

在啟用高電壓採樣電路100d時，節點552耦合至(-)電容器548。

在啟用高電壓採樣電路100c時，節點554耦合至(+)電容器548。

在啟用高電壓採樣電路100e時，節點556耦合至(-)電容器548。

在啟用高電壓採樣電路100f時，節點556耦合至(+)電容器548。

因此，跨電阻器542之壓降(供應至負載之電源供應器電流)可量測為一正電壓(啟用高電壓採樣電路100b及100a)或一負電壓(啟用高電壓採樣電路100d及100c)。供應至負載(電阻器550)之電壓可量測為一正電壓(啟用高電壓採樣電路100c及100e)或一負電壓(啟用高電壓採樣電路100a及100f)。藉由在正電壓量測與負電壓量測之間交替且平均化，可獲得一更準確電壓量測。

雙向量測能力(例如，正(+)或負(-)差分電壓量測)亦可被視為一可期望關鍵參數。先前技術量測電路不容易支援雙向量測而無功率消耗或複雜度之顯著懲罰。此係困難的，因為一人不知道哪個軌可載送更高電壓電位且先前技術可取決於更高(更正)電壓電位來操作功率。

實施根據本發明之教示且圖3中所展示的一多工器之另一方式係首先(經由開關374)採樣節點370處之一個電壓(VBUS)且將其儲存至電容器378同時經由開關380將另一電容器382重設至零伏特。接著(經由開關376)將節點372上之另一電壓(VSENSE)切換至電容器378上，因此運算放大器384將經由一N:1電容比(例如一8:1電容比但不限於一特定電容比)將差放大至電容器382上。

上文中所揭示之各項實施例啟用產品效能中之關鍵區別：實質上未消耗來自輸入電壓之電流，因為小的經切換電容器電流係在~奈安範圍中。(下列電路之ESD洩漏電流及經切換電容器電流可將此電流增大至近似~ 1 μ A)。自輸入之觀點，此裝置可被視為一被動裝置，藉此藉由設計而保證不同輸入路徑之間的理想匹配，且可提供經4倍多工輸入路徑之間

的一經量測~ <1 LSB (16b)匹配。根據各項實施例，此高電壓多工器100允許複製品DC偏移校準及偏移抖動，藉此透過整個系統(32 VDC範圍)提供一經量測<1 LSB (3 μ V)輸入偏移電壓。各項實施例進一步允許輸入之外部電阻器至電容器(RC)濾波而不破壞量測。習知裝置警告外部電阻器及印刷電路板(PCB)跡線電路破壞量測。例如，一些習知裝置規範規定：「建議儘可能接近於裝置而放置感測電阻器且不使用最小寬度PCB跡線」。根據各項實施例，包含一前端裝置之一評估板可包含各輸入(無需)上之100歐姆串聯電阻器。此允許一系統使用者接近於產生電路而放置感測電阻器，在產生電路處使感測電阻器最有意義。

習知部件自高電壓輸入消耗自約10 μ A至約100 μ A。各項實施例允許來自輸入之奈安位準偏壓電流。偏壓電流如此低允許「感測電阻器」遠離高電壓多工器100而定位且亦允許在輸入引腳處使用RC低通濾波。此設計亦在出現顯著量測電路誤差之前允許千歐電阻。

【符號說明】

1	節點
100	高電壓自舉採樣電路/高電壓多工器
102	低電壓金屬氧化物半導體場效應電晶體(MOSFET)
104	低電壓金屬氧化物半導體場效應電晶體(MOSFET)
106	齊納(Zener)二極體
108	電阻器
110	浮動電容器
112	電晶體
114	電晶體

116	PNP電晶體/雙極接面電晶體(BJT)
118	電晶體
120	NMOS開關電晶體
122	PNP電晶體/雙極接面電晶體(BJT)
124	電晶體/雙極接面電晶體(BJT)
126	電晶體
128	NMOS開關電晶體
130	電晶體
132	NMOS開關電晶體
134	電阻器
136	電晶體
150	非重疊時脈產生器
200	高電壓自舉採樣電路
370	節點
372	節點
374	開關
376	開關
378	電容器
380	開關
382	電容器
384	運算放大器
542	電流感測電阻器
544	類比至數位轉換器(ADC)

546	採樣開關
548	採樣及保持電容器
550	負載/電阻器
552	電壓節點
554	電壓節點
556	電壓節點
A	節點
B	節點
clk	時脈輸出
clkb	時脈輸出
VBUS	電壓
Vdd	電壓
VSENSE	電壓



201826711

申請日：

IPC 分類：

【發明摘要】**【中文發明名稱】**

高電壓自舉採樣電路

【英文發明名稱】

HIGH VOLTAGE BOOTSTRAP SAMPLING CIRCUIT

【中文】

一種自舉採樣開關可歸因於其高線性度而以較低供應電壓被使用，其中經採樣電壓可實質上高於供應電壓。一2.7伏特或更低供應DC可結合此採樣開關以採樣一高得多的電壓。複數個此等高電壓傳輸閘開關可被直接連接在一起，由此移除通道間失配之一主要源(主動緩衝器/降壓電路)，且啟用先前不可能之新誤差補償方法。該採樣開關電路未消耗來自正經量測內容之DC電流。可存在一小的經切換電容器電壓充電，且可存在一些電壓洩漏，但未自正經量測之電壓輸入汲取DC電流。

【英文】

A bootstrapped sampling switch may be used at lower supply voltages due to its high linearity, wherein the sampled voltage may be substantially higher than the supply voltage. A 2.7 volt or lower DC supply may be used with this sampling switch to sample a much higher voltage. A plurality of these high voltage transmission gate switches may be connected directly together, thereby removing a primary source of channel-to-channel mismatch (the active buffer / voltage reduction circuit) and enables new methods of error compensation not previously possible. The sampling switch circuit does not consume DC current from

what is being measured. There may be a small switched capacitor voltage charge and there may be some voltage leakage, but no DC current is drawn from the voltage input being measured.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

1	節點
100	高電壓自舉採樣電路/高電壓多工器
102	低電壓金屬氧化物半導體場效應電晶體(MOSFET)
104	低電壓金屬氧化物半導體場效應電晶體(MOSFET)
106	齊納(Zener)二極體
108	電阻器
110	浮動電容器
112	電晶體
114	電晶體
116	PNP電晶體/雙極接面電晶體(BJT)
118	電晶體
120	NMOS開關電晶體
122	PNP電晶體/雙極接面電晶體(BJT)
124	電晶體/雙極接面電晶體(BJT)
126	電晶體
128	NMOS開關電晶體
130	電晶體

132	NMOS開關電晶體
134	電阻器
136	電晶體
150	非重疊時脈產生器
A	節點
B	節點
clk	時脈輸出
clkb	時脈輸出
Vdd	電壓

【發明申請專利範圍】

【第1項】

一種用於運用低電壓控制信號來控制一高電壓切換電路之方法，該方法包括下列步驟：

提供一低電壓反相器，其經耦合至至少一個低電壓控制信號；

提供一第一高電壓電晶體，其經耦合至該低電壓反相器且受該低電壓反相器控制；

提供一第二高電壓電晶體，其經耦合至該第一高電壓電晶體且受該第一高電壓電晶體控制；及

提供一主要輸入/輸出信號路徑，其包括背對背第三及第四高電壓電晶體，該等第三及第四高電壓電晶體經耦合至該第二高電壓電晶體且受該第二高電壓電晶體控制；

其中

該低電壓反相器接通該第一高電壓電晶體，

該第一高電壓電晶體接通該第二高電壓電晶體，且

該第二高電壓電晶體藉由接通該等第三及第四高電壓電晶體來啟用該主要輸入/輸出信號路徑。

【第2項】

如請求項1之方法，進一步包括運用一浮動電容器而僅使用低電壓控制信號來自舉該第二高電壓電晶體之一源極的步驟。

【第3項】

如請求項2之方法，進一步包括提供一次要路徑以自該主要輸入/輸出信號路徑移除洩漏電流及切換電流之步驟。

【第4項】

如請求項3之方法，進一步包括自該次要路徑提供驅動該等高電壓電晶體所需之控制電流的步驟。

【第5項】

如請求項3之方法，進一步包括自該次要路徑對該等高電壓電晶體提供洩漏電流之步驟。

【第6項】

如請求項3之方法，進一步包括自該主要路徑或該次要路徑驅動該浮動電容器之步驟。

【第7項】

如請求項1之方法，其中該高電壓切換電路係用作高電壓信號之一傳輸閘開關而無需一高供應電壓或高電壓控制信號，且無需自一高電壓輸入信號消耗大量電流。

【第8項】

一種用於以一高共模電壓切換一信號之高電壓切換電路，該切換電路包括受低電壓控制信號控制之高電壓輸入及輸出電晶體。

【第9項】

如請求項8之高電壓切換電路，其經調適為經耦合至一高電壓信號之一傳輸閘開關而無需一高供應電壓、高電壓控制信號，且未自該高電壓信號汲取電流。

【第10項】

一種用於以一高共模電壓來切換一信號之高電壓切換電路，該切換電路包括：高電壓輸入及輸出電晶體，其等受低電壓控制信號控制；及一

主要電流路徑，其中所有電流流動通過該主要電流路徑。

【第11項】

如請求項10之高電壓切換電路，進一步包括一第二輸入電流路徑，該第二輸入電流路徑係用以產生驅動該主要電流路徑、該等高電壓輸入及輸出電晶體所必需之電流。

【第12項】

如請求項11之高電壓切換電路，其中該第二輸入電流路徑產生已由該主要電流路徑產生之實質上所有洩漏電流。

【第13項】

如請求項11之高電壓切換電路，進一步包括一浮動電容器，該浮動電容器係由該主要輸入電流路徑或該第二輸入電流路徑驅動。

【第14項】

一種採樣電路及多工器，其包括：

第一及第二採樣開關，其等具有一共同連接件，另外

該第一採樣開關經耦合至一VBUS節點，且

該第二採樣開關經耦合至一VSENSE節點；

一第一採樣電容器，其具有經耦合至該共同連接件之一個節點；

一第二採樣電容器，其具有經耦合至該第一採樣電容器之另一節點的一個節點；

一短路開關，其係與該第二採樣電容器並聯地耦合；及

一運算放大器，其具有經耦合至該第一採樣電容器與該第二採樣電容器之間之接面之一輸入，及經耦合至該第二採樣電容器之另一節點之一輸出；

其中該等第一及第二採樣器開關包括受低電壓控制信號控制之高電壓輸入及輸出電晶體。

【第15項】

一種採樣電路及多工器，其包括：

複數個高電壓切換電路，其等包括高電壓輸入與高電壓輸出，及低電壓控制輸入；

一採樣及保持電容器，其具有經耦合至一些該等高電壓輸出之一第一節點，及經耦合至一些其他該等高電壓輸出之一第二節點；及

一雙極開關，其具有經耦合至該第一節點之一個極，及經耦合至該第二節點之另一極。

【第16項】

如請求項15之採樣電路及多工器，進一步包括一類比至數位轉換器(ADC)，該ADC具有經耦合至該雙極開關之一差分輸入。

【第17項】

如請求項15之採樣電路及多工器，進一步包括：

一感測電阻器，其經調適以耦合於一電源供應器與一負載之間；

該複數個高電壓切換電路中之一些該等高電壓輸入被耦合至該感測電阻器之該電源供應器側；且

該複數個高電壓切換電路中之一些其他該等高電壓輸入被耦合至該感測電阻器之該負載側。

