

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2015年3月26日(26.03.2015)



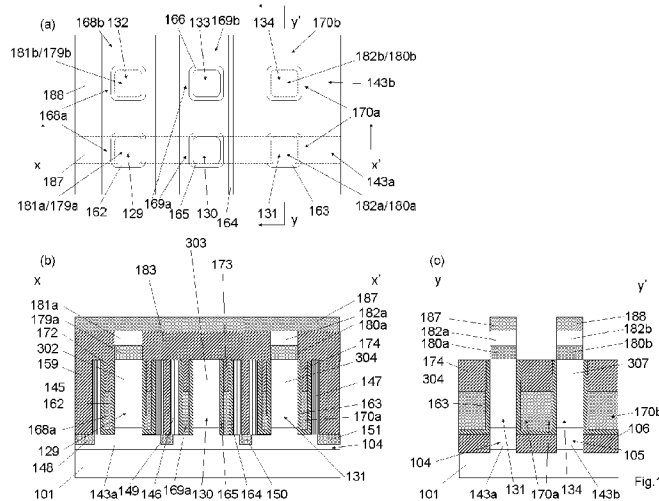
(10) 国際公開番号  
WO 2015/040705 A1

- (51) 国際特許分類:  
H01L 27/105 (2006.01)
- (21) 国際出願番号: PCT/JP2013/075192
- (22) 国際出願日: 2013年9月18日(18.09.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニサンティス エレクトロニクス シンガポール プライベート リミテッド (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098 ノースブリッジロード 111、ペニンシュラ プラザ #16-04 Singapore (SG).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 舛岡 富士雄 (MASUOKA Fujio) [JP/JP]; 〒1020073 東京都千代田区九段北1-15-2 九段坂パークビル4F Semicon Consulting株式会社内 Tokyo (JP). 中村 広記 (NAKAMURA Hiroki) [JP/JP]; 〒1020073 東京都千代田区九段北1-15-2 九段坂パークビル4F Semicon Consulting株式会社内 Tokyo (JP).
- (74) 代理人: 木村 満 (KIMURA Mitsuru); 〒1010054 東京都千代田区神田錦町二丁目7番地 協販ビル2階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置、及び半導体装置の製造方法



(57) Abstract: This semiconductor device has: first columnar semiconductor layers (129, 131, 132, 134); a gate insulating film (162) that is formed around the first columnar semiconductor layers; gate electrodes (168a, 170a) that are formed around the gate insulating film; gate wiring lines (168b, 170b) that are connected to the gate electrodes; first diffusion layers (302, 304, 305, 307) that are formed as upper portions of the first columnar semiconductor layers; second diffusion layers (143a, 143b) that are formed as lower portions of the first columnar semiconductor layers; and storage elements (181a, 181b, 182a, 182b), which are formed on the first diffusion layers, and in which resistance values vary.

(57) 要約: 半導体装置は、第1の柱状半導体層(129、131、132、134)と、第1の柱状半導体層の周囲に形成されたゲート絶縁膜(162)と、ゲート絶縁膜の周囲に形成されたゲート電極(168a、170a)と、ゲート電極に接続されたゲート配線(168b、170b)と、第1の柱状半導体層の上部に形成された第1の拡散層(302、304、305、307)と、第1の柱状半導体層の下部に形成された第2の拡散層(143a、143b)と、第1の拡散層上に形成された、抵抗が変化する記憶素子(181a、181b、182a、182b)と、を有する。



WO 2015/040705 A1

NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI 添付公開書類:  
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, — 国際調査報告 (条約第 21 条(3))  
MR, NE, SN, TD, TG).

## 明 細 書

発明の名称：半導体装置、及び半導体装置の製造方法

### 技術分野

[0001] 本発明は半導体装置、及び半導体装置の製造方法に関する。

### 背景技術

[0002] 近年、相変化メモリが開発されている（例えば、特許文献1を参照）。相変化メモリは、メモリセルの情報記憶素子の抵抗の変化を記録することにより、情報を記憶する。

[0003] 相変化メモリは、セルトランジスタをオンすることによってビット線とソース線との間に電流を流すと、高抵抗素子のヒーターで熱が発生し、このヒーターに接するカルコゲナイドガラス（GST： $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ）を融解させることで、状態を遷移させるメカニズムを利用している。カルコゲナイドガラスは、高温（高電流）で融解するとともに高速で冷却する（電流を停止する）とアモルファス状態（リセット [Reset] 動作）になる一方、比較的低い高温（低電流）で融解するとともに低速で冷却する（電流を徐々に減らす）と結晶化する（セット [Set] 動作）。これにより読み出し時、ビット線—ソース線間に大量の電流が流れる場合（低抵抗＝結晶状態）と、少量の電流が流れる場合（高抵抗＝アモルファス）とで、2値情報（「0」、「1」）の判断がなされる（例えば、特許文献1を参照）。

[0004] この場合、例えばリセット電流が $200\mu\text{A}$ と非常に多く流れる。このように、大量のリセット電流をセルトランジスタに流すためには、メモリセルサイズを相当に大きくする必要がある。このように大量の電流を流すためには、バイポーラトランジスタやダイオードの選択素子を用いることができる（例えば、特許文献1を参照）。

[0005] ダイオードは二端子素子であるため、メモリセルを選択するために一本のソース線を選択すると、そのソース線に接続された全てのメモリセルの電流が一本のソース線に流れるようになる。したがって、ソース線の抵抗におけ

るIR（電流、抵抗）積の電圧降下であるIRドロップが大きくなってしま  
う。

[0006] 一方、バイポーラトランジスタは三端子素子であるが、ゲートに電流が流  
れるので、ワード線に多くのトランジスタを接続することが難しい。

[0007] 基板に対して垂直方向にソース、ゲート、ドレインが配置され、ゲート電  
極が柱状半導体層を取り囲む構造のSurrounding Gate Transistor（以下、「  
SGT」という。）が提案されている。SGTは、単位ゲート幅当たり、ダ  
ブルゲートトランジスタよりも大量の電流を流すことができる（例えば、特  
許文献2を参照）。さらに、SGTは、ゲート電極が柱状半導体層を取り  
囲む構造を有していることから、単位面積当たりのゲート線幅を大きくする  
ことができるので、さらに大量の電流を流すことができる。

[0008] また、相変化メモリにおいては、リセット電流が大きいため、ソース線の  
抵抗を下げる必要がある。

## 先行技術文献

## 特許文献

[0009] 特許文献1：特開2012-204404号公報  
特許文献2：特開2004-356314号公報

## 発明の概要

## 発明が解決しようとする課題

[0010] 本発明は、上述した問題点に鑑みてなされたものであり、選択トランジス  
タに大量の電流を流すことが可能であり、かつ、抵抗が変化する記憶素子を  
有するメモリの構造及び製造方法を提供することを目的とする。

## 課題を解決するための手段

[0011] 本発明の第1の観点に係る半導体装置は、  
第1の柱状半導体層と、  
前記第1の柱状半導体層の周囲に形成されたゲート絶縁膜と、  
前記ゲート絶縁膜の周囲に形成されたゲート電極と、

前記ゲート電極に接続されたゲート配線と、  
前記第 1 の柱状半導体層の上部に形成された第 1 の拡散層と、  
前記第 1 の柱状半導体層の下部に形成された第 2 の拡散層と、  
前記第 1 の拡散層上に形成された、抵抗が変化する記憶素子と、を有する  
、  
ことを特徴とする。

- [0012] 半導体基板上に一方方向に延びるように形成されたフィン状半導体層と、  
前記フィン状半導体層の周囲に形成された第 1 の絶縁膜と、をさらに有し  
、  
前記ゲート絶縁膜は、前記ゲート電極及び前記ゲート配線の周囲及び底下  
に形成されており、  
前記第 1 の柱状半導体層は、前記フィン状半導体層上に形成されており、  
前記ゲート電極及び前記ゲート配線は金属からなり、  
前記ゲート配線は、前記フィン状半導体層に直交する方向に延在しており  
、  
前記第 2 の拡散層は、前記フィン状半導体層に形成されている、  
ことが好ましい。

- [0013] 前記第 2 の拡散層は、前記フィン状半導体層に加えて、さらに前記半導体  
基板にも形成されている、ことが好ましい。

- [0014] 前記第 2 の拡散層に接続されている前記ゲート配線に平行に延びるコンタ  
クト配線をさらに有する、ことが好ましい。

- [0015] 前記半導体基板上に形成された前記フィン状半導体層と、  
前記フィン状半導体層の周囲に形成された前記第 1 の絶縁膜と、  
前記フィン状半導体層上に形成された第 2 の柱状半導体層と、  
前記第 2 の柱状半導体層の周囲に形成されるとともに金属からなるコンタ  
クト電極と、  
前記コンタクト電極に接続された前記フィン状半導体層に直交する方向に  
延在するとともに金属からなる前記コンタクト配線と、

前記フィン状半導体層において前記第2の柱状半導体層の下部に形成された前記第2の拡散層と、を有し、

前記コンタクト電極は、前記第2の拡散層と接続されている、  
ことが好ましい。

[0016] 前記ゲート電極の外側の線幅は、前記ゲート配線の線幅と等しく、前記フィン状半導体層に直交する方向での前記第1の柱状半導体層の線幅は、前記フィン状半導体層に直交する方向での前記フィン状半導体層の線幅と等しい、  
ことが好ましい。

[0017] 前記ゲート絶縁膜には、前記第2の柱状半導体層と前記コンタクト電極との間に形成されているものが存在する、  
ことが好ましい。

[0018] 前記フィン状半導体層に直交する方向での前記第2の柱状半導体層の線幅は、前記フィン状半導体層に直交する方向での前記フィン状半導体層の線幅と等しい、  
ことが好ましい。

[0019] 前記ゲート絶縁膜には、前記コンタクト電極及び前記コンタクト配線の周囲に形成されているものが存在する、  
ことが好ましい。

[0020] 前記コンタクト電極の外側の線幅は、前記コンタクト配線の線幅と等しい、  
ことが好ましい。

[0021] 前記第1の柱状半導体層は、半導体基板上に形成され、  
前記ゲート電極及び前記ゲート配線は金属からなり、  
前記第2の拡散層は、前記半導体基板上に形成されている、  
ことが好ましい。

[0022] 前記第2の拡散層に接続されている前記ゲート配線に平行に延びるコンタクト配線をさらに有する、  
ことが好ましい。

[0023] 前記半導体基板上に形成された第2の柱状半導体層と、  
前記第2の柱状半導体層の周囲に形成されるとともに金属からなるコンタクト電極と、  
前記コンタクト電極に接続されたコンタクト配線と、を有し、  
前記第2の拡散層は、前記第2の柱状半導体層の下部に形成され、

前記コンタクト電極は、前記第2の拡散層と接続されている、  
ことが好ましい。

[0024] 前記ゲート電極の外側の線幅は、前記ゲート配線の線幅と等しい、ことが好ましい。

[0025] 前記ゲート絶縁膜には、前記第2の柱状半導体層と前記コンタクト電極との間に形成されているものが存在する、ことが好ましい。

[0026] 前記ゲート絶縁膜には、前記コンタクト電極及び前記コンタクト配線の周囲に形成されているものが存在する、ことが好ましい。

[0027] 前記コンタクト電極の外側の線幅は、前記コンタクト配線の線幅と等しい、ことが好ましい。

[0028] 本発明の第2の観点に係る半導体装置の製造方法は、  
半導体基板上に一方向に延びるフィン状半導体層を形成し、前記フィン状半導体層の周囲に第1の絶縁膜を形成する第1工程と、

前記第1工程の後、前記フィン状半導体層の周囲に第2の絶縁膜を形成し、前記第2の絶縁膜上に第1のポリシリコンを堆積するとともに平坦化し、ゲート配線、第1の柱状半導体層、第2の柱状半導体層、及びコンタクト配線を形成するための第2のレジストを、前記フィン状半導体層が延びる方向と直交する方向に延在するように形成し、前記第1のポリシリコンと、前記第2の絶縁膜と、前記フィン状半導体層とをエッチングすることにより、第1の柱状半導体層と、前記第1のポリシリコンに由来する第1のダミーゲートと、第2の柱状半導体層と、前記第1のポリシリコンに由来する第2のダミーゲートとを形成する第2工程と、

前記第2工程の後、前記第1の柱状半導体層と、前記第2の柱状半導体層と、前記第1のダミーゲートと、前記第2のダミーゲートとの周囲に第4の絶縁膜を形成し、

前記第4の絶縁膜の周囲に第2のポリシリコンを堆積するとともにエッチングを行い、前記第1のダミーゲート、前記第1の柱状半導体層、前記第2のダミーゲート、及び前記第2の柱状半導体層の側壁に残存させることで、

第3のダミーゲートと第4のダミーゲートとを形成する第3工程と、

前記フィン状半導体層の上部と、前記第1の柱状半導体層の下部と、前記第2の柱状半導体層の下部とに第2の拡散層を形成し、前記第3のダミーゲートと前記第4のダミーゲートとの周囲に、第5の絶縁膜を形成するとともにエッチングすることでサイドウォール状に残存させ、前記第5の絶縁膜からなるサイドウォールを形成し、前記第2の拡散層上に金属と半導体とからなる化合物層を形成する第4工程と、

前記第4の工程の後、第1の層間絶縁膜を堆積するとともに平坦化し、前記第1のダミーゲート、前記第2のダミーゲート、前記第3のダミーゲート、及び前記第4のダミーゲートの上部を露出させ、前記第1のダミーゲート、前記第2のダミーゲート、前記第3のダミーゲート、及び前記第4のダミーゲートを除去し、前記第2の絶縁膜及び前記第4の絶縁膜を除去し、ゲート絶縁膜を、前記第1の柱状半導体層の周囲、前記第2の柱状半導体層の周囲、及び前記第5の絶縁膜の内側に形成し、前記第2の柱状半導体層の底部周辺のゲート絶縁膜を除去するための第4のレジストを形成し、前記第2の柱状半導体層の底部周辺のゲート絶縁膜を除去し、金属層を堆積するとともにエッチバックを行うことで、前記第1の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、前記第2の柱状半導体層の周囲にコンタクト電極及びコンタクト配線を形成する第5工程と、

前記第5工程の後、第2の層間絶縁膜を堆積するとともに平坦化し、前記第1の柱状半導体層の上部を露出させ、前記第1の柱状半導体層の上部に、抵抗が変化する記憶素子を形成する第6工程と、を有する、

ことを特徴とする。

[0029] 前記第2の絶縁膜上に第1のポリシリコンを堆積するとともに平坦化した後、前記第1のポリシリコン上に第3の絶縁膜を形成する、ことが好ましい。

[0030] 前記第1の柱状半導体層と前記第1のダミーゲートと、前記第2の柱状半導体層と、前記第2のダミーゲートとの周囲に第4の絶縁膜を形成した後、



第3のレジストを形成するとともにエッチバックを行うことで、前記第1の柱状半導体層の上部を露出させ、前記第1の柱状半導体層の上部に第1の拡散層を形成する、ことが好ましい。

### 発明の効果

[0031] 本発明によれば、選択トランジスタに大量の電流を流すことができ、かつ、抵抗が変化する記憶素子を有するメモリの構造を提供することができる。

### 図面の簡単な説明

[0032] [図1] (a) は本発明の実施形態に係る半導体装置の平面図であり、(b) は (a) のX-X' 線での断面図であり、(c) は (a) のY-Y' 線での断面図である。

[図2] (a) は本発明の実施形態に係る半導体装置の平面図であり、(b) は (a) のX-X' 線での断面図であり、(c) は (a) のY-Y' 線での断面図である。

[図3] (a) は本発明の実施形態に係る半導体装置の平面図であり、(b) は (a) のX-X' 線での断面図であり、(c) は (a) のY-Y' 線での断面図である。

[図4] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) のX-X' 線での断面図であり、(c) は (a) のY-Y' 線での断面図である。

[図5] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) のX-X' 線での断面図であり、(c) は (a) のY-Y' 線での断面図である。

[図6] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) のX-X' 線での断面図であり、(c) は (a) のY-Y' 線での断面図である。

[図7] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) のX-X' 線での断面図であり、(c) は (a) のY-Y' 線での断面図である。

[図8] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図9] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図10] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図11] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図12] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図13] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図14] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図15] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図16] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図17] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するた

めの平面図であり、(b)は(a)のX-X'線での断面図であり、(c)は(a)のY-Y'線での断面図である。

[図18] (a)は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b)は(a)のX-X'線での断面図であり、(c)は(a)のY-Y'線での断面図である。

[図19] (a)は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b)は(a)のX-X'線での断面図であり、(c)は(a)のY-Y'線での断面図である。

[図20] (a)は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b)は(a)のX-X'線での断面図であり、(c)は(a)のY-Y'線での断面図である。

[図21] (a)は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b)は(a)のX-X'線での断面図であり、(c)は(a)のY-Y'線での断面図である。

[図22] (a)は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b)は(a)のX-X'線での断面図であり、(c)は(a)のY-Y'線での断面図である。

[図23] (a)は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b)は(a)のX-X'線での断面図であり、(c)は(a)のY-Y'線での断面図である。

[図24] (a)は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b)は(a)のX-X'線での断面図であり、(c)は(a)のY-Y'線での断面図である。

[図25] (a)は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b)は(a)のX-X'線での断面図であり、(c)は(a)のY-Y'線での断面図である。

[図26] (a)は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b)は(a)のX-X'線での断面図であり、(c)

は (a) の Y-Y' 線での断面図である。

[図27] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図28] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図29] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図30] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図31] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図32] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図33] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図34] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図35] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図36] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図37] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図38] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図39] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図40] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図41] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図42] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図43] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図44] (a) は本発明の実施形態に係る半導体装置の製造方法を説明するための平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

**発明を実施するための形態**

[0033] 図1に、本発明の実施形態に係る半導体装置の構造を示す。

図1に示されるように、本実施形態の半導体装置であるメモリセルは、3×2のマトリクス状のセル配列において、一行一列、一行三列、二行一列、及び二行三列にそれぞれ配置されている。ソース線を相互に接続するためのコンタクト電極及びコンタクト配線を有するコンタクト装置は、3×2のマトリクス状のセル配列において、一行二列及び二行二列にそれぞれ配置されている。

[0034] 二行一列に位置するメモリセルは、半導体基板101上で左右方向に延びるように形成されたフィン状シリコン層104と、フィン状シリコン層104の周囲に形成された第1の絶縁膜106と、フィン状シリコン層104上に形成された第1の柱状シリコン層129とを有する。フィン状シリコン層104に直交する方向での第1の柱状シリコン層129の線幅は、フィン状シリコン層104に直交する方向でのフィン状シリコン層104の線幅と等しい。

[0035] 二行一列に位置するメモリセルは、さらに、第1の柱状シリコン層129の周囲に形成されたゲート絶縁膜162と、ゲート絶縁膜162の周囲に形成された、金属からなるゲート電極168aと、ゲート電極168aに接続された、金属からなるゲート配線168bとを有する。ゲート絶縁膜162は、ゲート電極168a及びゲート配線168bの周囲及び底下に形成されている。ゲート配線168bは、フィン状シリコン層104に直交する方向に延在しており、ゲート電極168aの外側の線幅は、ゲート配線168bの線幅と等しい。

[0036] 二行一列に位置するメモリセルは、さらに、第1の柱状シリコン層129の上部に形成された第1の拡散層302と、フィン状シリコン層104において第1の柱状シリコン層129の下部に形成された第2の拡散層143aと、第1の拡散層302上に形成された抵抗が変化する記憶素子181aと、を有する。抵抗が変化する記憶素子181aと第1の柱状シリコン層129との間には、高抵抗素子のヒーター179aが形成されている。

- [0037] 抵抗が変化する記憶素子181aは、例えば、カルコゲナイドガラス ( $GST: Ge_2Sb_2Te_5$ ) 等の相変化膜からなることが好ましい。また、ヒーター179aは、例えば、窒化チタンからなることが好ましい。
- [0038] 二行三列に位置するメモリセルは、半導体基板101上で左右方向に延びるように形成されたフィン状シリコン層104と、フィン状シリコン層104の周囲に形成された第1の絶縁膜106と、フィン状シリコン層104上に形成された第1の柱状シリコン層131とを有する。フィン状シリコン層104に直交する方向での第1の柱状シリコン層131の線幅は、フィン状シリコン層104に直交する方向でのフィン状シリコン層104の線幅と等しい。
- [0039] 二行三列に位置するメモリセルは、さらに、第1の柱状シリコン層131の周囲に形成されたゲート絶縁膜163と、ゲート絶縁膜163の周囲に形成された、金属からなるゲート電極170aと、ゲート電極170aに接続された、金属からなるゲート配線170bとを有する。ゲート絶縁膜163は、ゲート電極170a及びゲート配線170bの周囲及び底下に形成されている。ゲート配線170bは、フィン状シリコン層104に直交する方向に延在しており、ゲート電極170aの外側の線幅は、ゲート配線170bの線幅と等しい。
- [0040] 二行三列に位置するメモリセルは、さらに、第1の柱状シリコン層131の上部に形成された第1の拡散層304と、フィン状シリコン層104において第1の柱状シリコン層131の下部に形成された第2の拡散層143aと、第1の拡散層304上に形成された、抵抗が変化する記憶素子182aとを有する。抵抗が変化する記憶素子182aと第1の柱状シリコン層131との間には、高抵抗素子のヒーター180aが形成されている。
- [0041] 抵抗が変化する記憶素子181aは、ビット線187によって、抵抗が変化する記憶素子182aと接続されている。
- [0042] 一行一列に位置するメモリセルは、半導体基板101上で左右方向に延びるように形成されたフィン状シリコン層105と、フィン状シリコン層10

5の周囲に形成された第1の絶縁膜106と、フィン状シリコン層105上に形成された第1の柱状シリコン層132とを有する。フィン状シリコン層105に直交する方向での第1の柱状シリコン層132の線幅は、フィン状シリコン層105に直交する方向でのフィン状シリコン層105の線幅と等しい。

[0043] 一行一列に位置するメモリセルは、さらに、第1の柱状シリコン層132の周囲に形成されたゲート絶縁膜162と、ゲート絶縁膜162の周囲に形成された、金属からなるゲート電極168aと、ゲート電極168aに接続された、金属からなるゲート配線168bとを有する。ゲート絶縁膜162は、ゲート電極168a及びゲート配線168bの周囲及び底下に形成されている。ゲート配線168bは、フィン状シリコン層105に直交する方向に延在しており、ゲート電極168aの外側の線幅は、ゲート配線168bの線幅と等しい。

[0044] 一行一列に位置するメモリセルは、さらに、第1の柱状シリコン層132の上部に形成された第1の拡散層305と、フィン状シリコン層105において第1の柱状シリコン層132の下部に形成された第2の拡散層143bと、第1の拡散層305上に形成された抵抗が変化する記憶素子181bと、を有する。抵抗が変化する記憶素子181bと第1の柱状シリコン層132との間には、高抵抗素子のヒーター179bが形成されている。

[0045] 一行三列に位置するメモリセルは、半導体基板101上で左右方向に延びるように形成されたフィン状シリコン層105と、フィン状シリコン層105の周囲に形成された第1の絶縁膜106と、フィン状シリコン層105上に形成された第1の柱状シリコン層134とを有する。フィン状シリコン層105に直交する方向での第1の柱状シリコン層134の線幅は、フィン状シリコン層105に直交する方向でのフィン状シリコン層105の線幅と等しい。

[0046] 一行三列に位置するメモリセルは、さらに、第1の柱状シリコン層134の周囲に形成されたゲート絶縁膜163と、ゲート絶縁膜163の周囲に形



成された、金属からなるゲート電極170aと、ゲート電極170aに接続された、金属からなるゲート配線170bとを有する。ゲート絶縁膜163は、ゲート電極170a及びゲート配線170bの周囲及び底下に形成されている。ゲート配線170bは、フィン状シリコン層105に直交する方向に延在しており、ゲート電極170aの外側の線幅は、ゲート配線170bの線幅と等しい。

[0047] 一行三列に位置するメモリセルは、さらに、第1の柱状シリコン層134の上部に形成された第1の拡散層307と、フィン状シリコン層105において第1の柱状シリコン層134の下部に形成された第2の拡散層143bと、第1の拡散層307上に形成された抵抗が変化する記憶素子182bとを有する。抵抗が変化する記憶素子182bと第1の柱状シリコン層134との間には、高抵抗素子のヒーター180bが形成されている。

[0048] 抵抗が変化する記憶素子181bは、ビット線188によって、抵抗が変化する記憶素子182bと接続されている。

[0049] SGTは、単位ゲート幅当たり、ダブルゲートトランジスタよりも大量の電流を流すことができる。さらに、SGTは、ゲート電極が柱状半導体層を取り囲む構造を有していることから、単位面積当たりのゲート線幅を大きくすることができるので、さらに大量の電流を流すことができる。これにより、SGTは、大きなりセット電流を流すことができるため、抵抗が変化する記憶素子181a、181b等の相変化膜を高温（高電流）で融解することができる。また、SGTのサブスレッショルドスイング（弱反転領域で動作するMOSFETのドレインソース間電流が一桁変化するのに必要なゲート電圧）は、理想値を実現できることから、オフ電流を小さくすることができるので、抵抗が変化する記憶素子181a、181b等の相変化膜を高速で冷却する（電流を停止する）ことができる。

[0050] また、ゲート電極168a、170aは金属からなり、ゲート配線168b、170bも金属からなるので、その放熱効果によって、大きなりセット電流によって加熱された部位の冷却を早めることができる。また、半導体装

置が、ゲート電極168a、170aと、ゲート電極168a、170a及びゲート配線168b、170bの周囲及び底下に形成されたゲート配線168b、170bと、を有することで、熱処理工程後に金属ゲートを形成するゲートラストによって金属ゲートであるゲート電極168a、170aが形成されるので、金属ゲートプロセスと高温プロセスとを両立させることができる。

[0051] ゲート絶縁膜162、163は、ゲート電極168a、170a及びゲート配線168b、170bの周囲及び底下に形成されている。ゲート電極168a、170a、及び、ゲート配線168b、170bは金属からなる。ゲート配線168b、170bは、フィン状シリコン層104、105に直交する方向に延在している。第2の拡散層143a、143bは、フィン状シリコン層104、105に形成されている。ゲート電極168a、170aの外側の線幅は、ゲート配線168b、170bの線幅と等しく、かつ、第1の柱状シリコン層129、131、132、134の線幅は、フィン状シリコン層104、105の線幅と等しいことにより、本実施形態の半導体装置では、フィン状シリコン層104、105と、第1の柱状シリコン層129、131、132、134と、ゲート電極168a、170aと、ゲート配線168b、170bとが、二枚のマスクを用いた自己整合によって形成される。これにより、本実施形態によれば、半導体装置の製造に要する工程数を削減することができる。

[0052] 二行二列に位置するコンタクト装置は、半導体基板101上に形成されたフィン状シリコン層104と、フィン状シリコン層104の周囲に形成された第1の絶縁膜106と、フィン状シリコン層104上に形成された第2の柱状シリコン層130とを有する。フィン状シリコン層104に直交する方向での第2の柱状シリコン層130の線幅は、フィン状シリコン層104に直交する方向でのフィン状シリコン層104の線幅と等しい。

[0053] 二行二列に位置するコンタクト装置は、さらに、第2の柱状シリコン層130の周囲に形成された、金属からなるコンタクト電極169aと、第2の

柱状シリコン層 130 とコンタクト電極 169 a との間に形成されたゲート絶縁膜 165 と、コンタクト電極 169 a に接続され、フィン状シリコン層 104 に直交する方向に延在する、金属からなるコンタクト配線 169 b と、コンタクト電極 169 a 及びコンタクト配線 169 b の周囲に形成されたゲート絶縁膜 164 を有する。コンタクト電極 169 a の外側の線幅は、コンタクト配線 169 b の線幅と等しい。フィン状シリコン層 104 及び第 2 の柱状シリコン層 130 の下部に第 2 の拡散層 143 a が形成されている。コンタクト電極 169 a は第 2 の拡散層 143 a と電氣的に接続されている。

[0054] 一行二列に位置するコンタクト装置は、半導体基板 101 上に形成されたフィン状シリコン層 105 と、フィン状シリコン層 105 の周囲に形成された第 1 の絶縁膜 106 と、フィン状シリコン層 105 上に形成された第 2 の柱状シリコン層 133 とを有する。フィン状シリコン層 105 に直交する方向での第 2 の柱状シリコン層 133 の線幅は、フィン状シリコン層 105 に直交する方向でのフィン状シリコン層 105 の線幅と等しい。

[0055] 一行二列に位置するコンタクト装置は、さらに、第 2 の柱状シリコン層 133 の周囲に形成された金属からなるコンタクト電極 169 a と、第 2 の柱状シリコン層 133 とコンタクト電極 169 a との間に形成されたゲート絶縁膜 166 と、コンタクト電極 169 a に接続され、フィン状シリコン層 105 に直交する方向に延在する、金属からなるコンタクト配線 169 b と、コンタクト電極 169 a 及びコンタクト配線 169 b の周囲に形成されたゲート絶縁膜 164 を有する。コンタクト電極 169 a の外側の線幅は、コンタクト配線 169 b の線幅と等しい。フィン状シリコン層 105 及び第 2 の柱状シリコン層 133 の下部に第 2 の拡散層 143 b が形成されている。コンタクト電極 169 a は第 2 の拡散層 143 b と電氣的に接続されている。

[0056] 本実施形態では、第 2 の拡散層 143 a、143 b に接続されるゲート配線 168 b、170 b に平行に延びるコンタクト配線 169 b を有する。これにより、第 2 の拡散層 143 a、143 b が相互に接続され、ソース線の

抵抗を下げることができる。この結果、ソース線に大きなリセット電流を流すことができる。このようなゲート配線 168b、170b に平行に延びるコンタクト配線 169b は、例えば、ビット線 187、188 が延びる方向に沿って一列に配置されたメモリセル 2、4、8、16、32、及び 64 個のいずれかの個数毎に一本ずつ配置することが好ましい。

[0057] 本実施形態では、第 2 の柱状シリコン層 130、133 と、第 2 の柱状シリコン層 130、133 の周囲に形成されるコンタクト電極 169a と、コンタクト配線 169b とから形成される構造は、コンタクト電極 169a が第 2 の拡散層 143a、143b と電気的に接続される点以外は、一行一列等に位置するメモリセルのトランジスタ構造と同じ構造である。また、ゲート配線 168b、170b に平行に延びる、第 2 の拡散層 143a、143b からなる全てのソース線は、コンタクト配線 169b に接続される。これにより、半導体装置の製造に要する工程数が削減される。

[0058] 図 2 は、図 1 に示す第 2 の拡散層 143a、143b と比較して、第 2 の拡散層 143c が半導体基板 101 のさらに深い位置まで形成されるとともにフィン状シリコン層 104、105 に形成されており、図 1 に示す第 2 の拡散層 143a、143b と同様な接続を行った構造の半導体装置を示す。このような構造とすることで、ソース抵抗をさらに低減することができる。

[0059] 図 3 は、図 2 に示すフィン状シリコン層 105 と、フィン状シリコン層 105 の周囲に形成された第 1 の絶縁膜 106 とが存在せず、半導体基板 101 に直接的に第 2 の拡散層 143d が形成された構造の半導体装置を示す。このような構造とすることで、ソース抵抗をさらに低減することができる。

[0060] 以下に、図 4 ~ 図 44 を参照しながら、本発明の実施形態に係る半導体装置の構造を形成するための製造工程について説明する。

[0061] 以下、半導体基板 101 上にフィン状シリコン層 104、105 を形成し、フィン状シリコン層 104、105 の周囲に第 1 の絶縁膜 106 を形成する、本実施形態の第 1 工程について説明する。本実施形態では、半導体基板 101 はシリコン基板としたが、半導体であればその他の材料からなる基板

であってもよい。

- [0062] まず、図4に示すように、シリコン基板101上にフィン状シリコン層104、105を形成するための第1のレジスト102、103を形成する。
- [0063] 次に、図5に示すように、シリコン基板101をエッチングすることで、フィン状シリコン層104、105を形成する。ここでは、レジストをマスクとしてフィン状シリコン層104、105を形成したが、レジストに代えて酸化膜や窒化膜といったハードマスクを用いてもよい。
- [0064] 次に、図6に示すように、第1のレジスト102、103を除去する。
- [0065] 次に、図7に示すように、フィン状シリコン層104、105の周囲に第1の絶縁膜106を堆積する。第1の絶縁膜106には、高密度プラズマによる酸化膜や低圧CVD(Cheical Vapor Deposition)による酸化膜を用いることができる。
- [0066] 次に、図8に示すように、第1の絶縁膜106をエッチバックすることで、フィン状シリコン層104、105の上部を露出させる。
- [0067] 以上により、半導体基板101上にフィン状シリコン層104、105を形成し、フィン状シリコン層104、105の周囲に第1の絶縁膜106を形成する、本実施形態の第1工程が示された。
- [0068] 以下、本発明の実施形態の第2工程について説明する。第2工程では、第1工程の後、フィン状シリコン層104、105の周囲に第2の絶縁膜107、108を形成し、第2の絶縁膜107、108上に第1のポリシリコン109を堆積するとともに平坦化する。続いて、ゲート配線168b、170b、第1の柱状シリコン層129、131、132、134、第2の柱状シリコン層130、133、及びコンタクト配線169bを形成するための第2のレジスト111、112、113を、フィン状シリコン層104、105が延びる方向に直交する方向に延在するように形成する。続いて、第2のレジスト111、112、113をマスクとして用い、第1のポリシリコン109と、第2の絶縁膜107、108と、フィン状シリコン層104、105とをエッチングすることで、第1の柱状シリコン層129、131、

132、134と、第1のポリシリコン109に由来する第1のダミーゲート117、119と、第2の柱状シリコン層130、133と、第1のポリシリコン109に由来する第2のダミーゲート118と、を形成する。

[0069] まず、図9に示すように、半導体基板101上で左右方向に延びるフィン状シリコン層104、105の周囲に第2の絶縁膜107、108を形成する。第2の絶縁膜107、108は、酸化膜であることが好ましい。

[0070] 次に、図10に示すように、第2の絶縁膜107、108上に第1のポリシリコン109を堆積するとともに平坦化する。

[0071] 次に、図11に示すように、第1のポリシリコン109上に第3の絶縁膜110を形成する。第3の絶縁膜110は、窒化膜が好ましい。

[0072] 次に、図12に示すように、ゲート配線168b、170b、第1の柱状シリコン層129、131、132、134、第2の柱状シリコン層130、133、及びコンタクト配線169bを形成するための第2のレジスト111、112、113を、フィン状シリコン層104、105が延びる方向に直交する方向に延在するように形成する。

[0073] 次に、図13に示すように、第2のレジスト111、112、113をマスクとして用い、第3の絶縁膜110と、第1のポリシリコン109と、第2の絶縁膜107、108と、フィン状シリコン層104、105とをエッチングすることにより、第1の柱状シリコン層129、131、132、134と、第1のポリシリコン109に由来する第1のダミーゲート117、119と、第2の柱状シリコン層130、133と、第1のポリシリコン109に由来する第2のダミーゲート118とを形成する。ここでは、第3の絶縁膜110が複数の部位に分離され、第1のダミーゲート117、119と、第2のダミーゲート118との上に第3の絶縁膜114、115、116が形成される。また、第2の絶縁膜107、108は複数の部位に分離され、第1のダミーゲート117、119、第2のダミーゲート118と、第1の柱状シリコン層129、131、132、134との間に、第2の絶縁膜107、108が形成される。なお、第2のレジスト111、112、1

13がエッチングを行っている間に除去された場合には、第3の絶縁膜114、115、116がハードマスクとして機能する。一方、第2のレジスト111、112、113がエッチングを行っている間に除去されなかった場合には、第3の絶縁膜114、115、116をマスクとして使用する必要はない。

[0074] 次に、図14に示すように、第2のレジスト111、112、113を除去する。

[0075] 以上により、第1工程の後、フィン状シリコン層104、105の周囲に第2の絶縁膜107、108を形成し、第2の絶縁膜107、108上に第1のポリシリコン109を堆積するとともに平坦化する。続いて、ゲート配線168b、170b、第1の柱状シリコン層129、131、132、134、第2の柱状シリコン層130、133、及びコンタクト配線169bを形成するための第2のレジスト111、112、113を、フィン状シリコン層104、105が延びる方向に直交する方向に延在するように形成する。続いて、第2のレジスト111、112、113をマスクとして用い、第1のポリシリコン109と、第2の絶縁膜107、108と、フィン状シリコン層104、105とをエッチングすることで、第1の柱状シリコン層129、131、132、134と、第1のポリシリコン109に由来する第1のダミーゲート117、119と、第2の柱状シリコン層130、133と、第1のポリシリコン109に由来する第2のダミーゲート118とを形成する第2工程が示された。

[0076] 以下、本発明の実施形態の第3工程について説明する。第3工程では、第2工程の後、第1の柱状シリコン層129、131、132、134、第2の柱状シリコン層130、133、第1のダミーゲート117、119、及び第2のダミーゲート118の周囲に第4の絶縁膜135を形成する。続いて、第4の絶縁膜135の周囲に第2のポリシリコン136を堆積するとともにエッチングし、第2のポリシリコン136を、第1のダミーゲート117、119と、第1の柱状シリコン層129、131、132、134と、

第2のダミーゲート118と、第2の柱状シリコン層130、133とのそれぞれの側壁に残存させることで、第3のダミーゲート137、139と、第4のダミーゲート138とを形成する。

[0077] まず、図15に示すように、第1の柱状シリコン層129、131、132、134、第2の柱状シリコン層130、133、第1のダミーゲート117、119、及び第2のダミーゲート118の周囲に第4の絶縁膜135を形成する。第4の絶縁膜135は、酸化膜であることが好ましい。続いて、第3のレジスト301を形成するとともにエッチバックを行うことで、第1の柱状シリコン層129、131、132、134の上部を露出させる。このとき、第2の柱状シリコン層130、133の上部を露出させてもよい。

[0078] 次に、図16に示すように、不純物を導入し、第1の柱状シリコン層129、131、132、134の上部に第1の拡散層302、304、305、307を形成する。また、第2の柱状シリコン層130、133の上部に第1の拡散層303、306を形成してもよい。導入される不純物がn型拡散層のときは、砒素やリンを導入することが好ましい。一方、導入される不純物がp型拡散層のときは、ボロンを導入することが好ましい。

[0079] 次に、図17に示すように、第3のレジスト301を除去する。

[0080] 次に、図18に示すように、第4の絶縁膜135の周囲に第2のポリシリコン136を堆積する。

[0081] 次に、図19に示すように、第2のポリシリコン136をエッチングすることで、第2のポリシリコン136を第1のダミーゲート117、119、第1の柱状シリコン層129、131、132、134、第2のダミーゲート118、及び第2の柱状シリコン層130、133の側壁に残存させることで、第3のダミーゲート137、139と第4のダミーゲート138とを形成する。このとき、第4の絶縁膜135が複数の部位に分離され、第4の絶縁膜140、141、142が形成されてもよい。

[0082] 以上により、第2工程の後、第1の柱状シリコン層129、131、132、134、第2の柱状シリコン層130、133、第1のダミーゲート117、119、第2のダミーゲート118、第3のダミーゲート137、139、第4のダミーゲート138、第4の絶縁膜140、141、142が形成されてもよい。



2、134、第2の柱状シリコン層130、133、第1のダミーゲート117、119、及び第2のダミーゲート118の周囲に第4の絶縁膜135を形成する。続いて、第4の絶縁膜135の周囲に第2のポリシリコン136を堆積するとともにエッチングし、第2のポリシリコン136を、第1のダミーゲート117、119と、第1の柱状シリコン層129、131、132、134と、第2のダミーゲート118と、第2の柱状シリコン層130、133とのそれぞれの側壁に残存させることで、第3のダミーゲート137、139と、第4のダミーゲート138とを形成する第3工程が示された。

[0083] 以下、本発明の実施形態の第4工程について説明する。第4工程では、第3工程の後、フィン状シリコン層104、105の上部と、第1の柱状シリコン層129、131、132、134の下部と、第2の柱状シリコン層130、133の下部とに第2の拡散層143a、143bを形成する。続いて、第3のダミーゲート137、139と第4のダミーゲート138との周囲に、第5の絶縁膜144を形成するとともにエッチングすることでサイドウォール状に残存させ、第5の絶縁膜144に由来するサイドウォール145、146、147を形成する。さらに第2の拡散層143a、143b上に、金属と半導体とからなる化合物層148、149、150、151、152、153、154、155を形成する。

[0084] まず、図20に示すように、不純物を導入し、第1の柱状シリコン層129、131、132、134の下部と第2の柱状シリコン層130、133の下部とに、第2の拡散層143a、143bを形成する。ここで、導入する不純物がn型拡散層を形成するときは、砒素やリンを導入することが好ましい。一方、導入する不純物がp型拡散層を形成するときは、ボロンを導入することが好ましい。このような拡散層の形成は、後述する第5の絶縁膜144に由来するサイドウォール145、146、147を形成した後に行ってもよい。

[0085] 次に、図21に示すように、第3のダミーゲート137、139と、第4

のダミーゲート138との周囲に、第5の絶縁膜144を形成する。第5の絶縁膜144は、窒化膜であることが好ましい。

[0086] 次に、図22に示すように、第5の絶縁膜144をエッチングすることで、サイドウォール状に残存させる。これにより、第5の絶縁膜144からサイドウォール145、146、147を形成する。

[0087] 次に、図23に示すように、第2の拡散層143a、143b上に、金属と半導体とからなる化合物層148、149、150、151、152、153、154、155を形成する。このとき、第3のダミーゲート137、139の上部と、第4のダミーゲート138の上部にも、金属と半導体とからなる化合物層156、158、157が形成される。

[0088] 以上により、フィン状シリコン層104、105の上部と、第1の柱状シリコン層129、131、132、134の下部と、第2の柱状シリコン層130、133の下部とに第2の拡散層143a、143bを形成する。続いて、第3のダミーゲート137、139と第4のダミーゲート138との周囲に、第5の絶縁膜144を形成するとともにエッチングすることで、サイドウォール状に残存させ、第5の絶縁膜144に由来するサイドウォール145、146、147を形成する。さらに第2の拡散層143a、143b上に、金属と半導体とからなる化合物層148、149、150、151、152、153、154、155を形成する第4工程が示された。

[0089] 以下、本発明の実施形態の第5工程について説明する。第5工程では、第4の工程の後、第1の層間絶縁膜159を堆積するとともに平坦化し、第1のダミーゲート117、119、第2のダミーゲート118、第3のダミーゲート137、139、及び第4のダミーゲート138のそれぞれの上部を露出させ、第1のダミーゲート117、119、第2のダミーゲート118、第3のダミーゲート137、139、及び第4のダミーゲート138を除去する。続いて、第2の絶縁膜123、124、125、126、127、128と第4の絶縁膜140、141、142とを除去し、ゲート絶縁膜160を第1の柱状シリコン層129、131、132、134の周囲と、第

2の柱状シリコン層130、133の周囲と、第5の絶縁膜144の内側とに形成する。続いて、第2の柱状シリコン層130、133の底部周辺のゲート絶縁膜160を除去するための第4のレジスト161を形成し、第2の柱状シリコン層130、133の底部周辺のゲート絶縁膜160を除去し、金属層167を堆積するとともにエッチバックを行うことで、第1の柱状シリコン層129、131、132、134の周囲にゲート電極168a、170a及びゲート配線168b、170bを形成する。その後、第2の柱状シリコン層130、133の周囲にコンタクト電極169a及びコンタクト配線169bを形成する。

[0090] まず、図24に示すように、第1の層間絶縁膜159を堆積する。ここでは、コンタクトストッパ膜を用いてもよい。

[0091] 次に、図25に示すように、化学機械研磨（CMP）を行うことで、第1のダミーゲート117、119、第2のダミーゲート118、第3のダミーゲート137、139、及び第4のダミーゲート138のそれぞれの上部を露出させる。このとき、第3のダミーゲート137、139の上部及び第4のダミーゲート138の上部に存在する金属と半導体とからなる化合物層156、158、157を除去する。

[0092] 次に、図26に示すように、第1のダミーゲート117、119、第2のダミーゲート118、第3のダミーゲート137、139、及び第4のダミーゲート138を除去する。

[0093] 次に、図27に示すように、第2の絶縁膜123、124、125、126、127、128と、第4の絶縁膜140、141、142とを除去する。

[0094] 次に、図28に示すように、第1の柱状シリコン層129、131、132、134の周囲と、第2の柱状シリコン層130、133の周囲と、第5の絶縁膜144に由来するサイドウォール145、146、147の内側とに、ゲート絶縁膜160を形成する。

[0095] 次に、図29に示すように、第2の柱状シリコン層130、133の底部

周辺のゲート絶縁膜160を除去するための第4のレジスト161を形成する。

[0096] 次に、図30に示すように、第4のレジスト161をマスクとして用い、第2の柱状シリコン層130、133の底部周辺のゲート絶縁膜160を除去する。このとき、ゲート絶縁膜160は複数の部位に分離され、ゲート絶縁膜162、163、164、165、166が形成される。なお、ゲート絶縁膜164、165、166は、等方性エッチングによって除去してもよい。

[0097] 次に、図31に示すように、第4のレジスト161を除去する。

[0098] 次に、図32に示すように、金属層167を堆積する。

[0099] 次に、図33に示すように、金属層167のエッチバックを行うことで、第1の柱状シリコン層129、131、132、134の周囲にゲート電極168a、170a及びゲート配線168b、170bを形成し、第2の柱状シリコン層130、133の周囲にコンタクト電極169a及びコンタクト配線169bを形成する。

[0100] 以上により、第4の工程の後、第1の層間絶縁膜159を堆積するとともに平坦化し、第1のダミーゲート117、119、第2のダミーゲート118、第3のダミーゲート137、139、及び第4のダミーゲート138のそれぞれの上部を露出させ、第1のダミーゲート117、119、第2のダミーゲート118、第3のダミーゲート137、139、及び第4のダミーゲート138を除去する。続いて、第2の絶縁膜123、124、125、126、127、128と第4の絶縁膜140、141、142とを除去し、ゲート絶縁膜160を第1の柱状シリコン層129、131、132、134の周囲と第2の柱状シリコン層130、133の周囲と第5の絶縁膜144に由来するサイドウォール145、146、147の内側に形成する。続いて、第2の柱状シリコン層130、133の底部周辺のゲート絶縁膜160を除去するための第4のレジスト161を形成し、第2の柱状シリコン層130、133の底部周辺のゲート絶縁膜160を除去し、金属層167

を堆積するとともにエッチバックを行うことで、第1の柱状シリコン層129、131、132、134の周囲にゲート電極168a、170a及びゲート配線168b、170bを形成する。その後、第2の柱状シリコン層130、133の周囲にコンタクト電極169a及びコンタクト配線169bを形成する第5工程が示された。

[0101] 以下、本発明の実施形態の第6工程について説明する。第6工程では、第5工程の後、第2の層間絶縁膜171を堆積するとともに平坦化し、第1の柱状シリコン層129、131、132、134の上部を露出させ、第1の柱状シリコン層129、131、132、134の上部に、抵抗が変化する記憶素子181a、181b、182a、182bを形成する。

[0102] まず、図34に示すように、第2の層間絶縁膜171を堆積する。

[0103] 次に、図35に示すように、第2の層間絶縁膜171をエッチバックすることで、第1の柱状シリコン層129、131、132、134の上部と、第2の柱状シリコン層130、133の上部とを露出させる。

[0104] 次に、図36に示すように、金属層175と、抵抗が変化する膜176とを堆積する。

[0105] 次に、図37に示すように、ビット線に直交する方向に沿って、第1の柱状シリコン層129、131、132、134の上部が、金属層175に接続されるように第5のレジスト177、178を形成する。

[0106] 次に、図38に示すように、金属層175と、抵抗が変化する膜176とをエッチングする。金属層175は、抵抗が変化する膜176と分離され、それぞれ、金属線179、180と、抵抗が変化する膜の配線181、182となる。

[0107] 次に、図39に示すように、第5のレジスト177、178を除去する。

[0108] 次に、図40に示すように、第3の層間絶縁膜183を堆積するとともにエッチバックすることで、抵抗が変化する膜の配線181、182の上部を露出させる。

[0109] 次に、図41に示すように、金属層184を堆積する。

- [0110] 次に、図42に示すように、ビット線を形成するための第6のレジスト185、186を形成する。第6のレジスト185、186は、金属線179、180と、抵抗が変化する膜の配線181、182とに直交する方向に延在することで、第1の柱状シリコン層129、131、132、134の上部と、金属線179、180とが互いに接続されるように形成されることが好ましい。
- [0111] 次に、図43に示すように、金属層184と、金属線179、180と、抵抗が変化する膜の配線181、182とをエッチングすることで、ビット線187、188を形成する。このとき、金属線179、180、及び、抵抗が変化する膜の配線181、182が分離され、高抵抗素子のヒーター179a、179b、180a、180bと、抵抗が変化する記憶素子181a、181b、182a、182bと、が形成される。
- [0112] 次に、図44に示すように、第6のレジスト185、186を除去する。
- [0113] 以上により、第5工程の後、第2の層間絶縁膜171を堆積するとともに平坦化し、第1の柱状シリコン層129、131、132、134の上部を露出させ、第1の柱状シリコン層129、131、132、134の上部に、抵抗が変化する記憶素子181a、181b、182a、182bを形成する第6工程が示された。
- [0114] 以上により、本発明の実施形態に係る半導体装置の構造を形成するための製造工程が示された。本実施形態によれば、全ての半導体装置の構造が、直線状のレジストを用いて形成されるため、微細加工が容易となる。
- [0115] SGTは、単位ゲート幅当たり、ダブルゲートトランジスタよりも大量の電流を流すことができる。さらに、SGTは、ゲート電極が柱状半導体層を取り囲む構造であるから、単位面積当たりのゲート線幅を大きくすることができ、さらに大量の電流を流すことができる。したがって、大きなリセット電流を流すことができ、抵抗が変化する記憶素子181a、181b等の相変化膜を高温（高電流）で融解することができる。また、SGTのサブスレッショルドスイングは、理想値を実現できるため、オフ電流を小さくするこ

とができるので、相変化膜を高速で冷却する（電流を停止する）ことができる。

[0116] 上記実施形態に係る半導体装置によれば、ゲート電極168a、170a及びゲート配線168bは金属であるので、加熱された場合の冷却を早めることができる。また、ゲート電極168a、170aと、ゲート配線168b、170bの周囲及び底下に形成されたゲート配線168b、170bとを有することにより、熱処理工程後に金属ゲートを形成するゲートラストによって金属ゲートであるゲート電極168a、170aが形成されるので、金属ゲートプロセスと高温プロセスとを両立させることができる。

[0117] また、上記実施形態に係る半導体装置によれば、半導体基板101上に形成されたフィン状シリコン層104、105と、フィン状シリコン層104、105の周囲に形成された第1の絶縁膜106と、フィン状シリコン層104、105上に形成された第1の柱状シリコン層129、131、132、134と、を有する。ゲート電極168a、170a及びゲート配線168b、170bの周囲及び底下に形成されたゲート配線168b、170bと、を有し、ゲート電極168a、170a及びゲート配線168b、170bは金属からなり、ゲート配線168aはフィン状シリコン層104、105に直交する方向に延在しており、第2の拡散層143a、143bはフィン状シリコン層104、105に形成され、ゲート電極168a、170aの外側の線幅は、ゲート配線168b、170bの線幅と等しく、第1の柱状シリコン層129、131、132、134の線幅は、フィン状シリコン層104、105の線幅と等しいことにより、上記実施形態の半導体装置のフィン状シリコン層104、105と、第1の柱状シリコン層129、131、132、134と、ゲート電極168a、170aと、ゲート配線168b、170bとが、二枚のマスクを用いた自己整合で形成されるので、半導体装置の製造に要する工程数を削減することができる。

[0118] また、上記実施形態に係る半導体装置によれば、第2の拡散層143a、143bに接続されるゲート配線168b、170bに平行に延びるコンタ

クト配線 169b を有することにより、第2の拡散層 143a、143b が相互に接続され、ソース線の抵抗を下げるができる。この結果、ソース線に大きなリセット電流を流すことができる。ゲート配線 168b、170b に平行に延びるコンタクト配線は、例えば、ビット線 187、188 が延びる方向に沿って一列に配置されたメモリセル 2、4、8、16、32、及び 64 個のいずれかの個数毎に一本ずつ配置することが好ましい。

[0119] また、上記実施形態に係る半導体装置によれば、第2の柱状シリコン層 130、133 と第2の柱状シリコン層 130、133 の周囲に形成されるコンタクト電極 169a とコンタクト配線 169b とから形成される構造は、コンタクト電極 169a が第2の拡散層 143a、143b と電氣的に接続される点以外は、一行一列等に位置するメモリセルのトランジスタ構造と同じ構造である。また、ゲート配線 168b、170b に平行に延びる、第2の拡散層 143a、143b からなる全てのソース線は、コンタクト配線 169b に接続される。これにより、半導体装置の製造に要する工程数を削減することができる。

[0120] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

[0121] 例えば、上記実施形態において、p型（p+型を含む。）とn型（n+型を含む。）とをそれぞれ反対の導電型とした半導体装置の製造方法、及び、それにより得られる半導体装置も当然に本発明の技術的範囲に含まれる。

## 符号の説明

- [0122] 101. シリコン基板  
102. 第1のレジスト  
103. 第1のレジスト  
104. フィン状シリコン層  
105. フィン状シリコン層



- 106. 第1の絶縁膜
- 107. 第2の絶縁膜
- 108. 第2の絶縁膜
- 109. 第1のポリシリコン
- 110. 第3の絶縁膜
- 111. 第2のレジスト
- 112. 第2のレジスト
- 113. 第2のレジスト
- 114. 第3の絶縁膜
- 115. 第3の絶縁膜
- 116. 第3の絶縁膜
- 117. 第1のダミーゲート
- 118. 第2のダミーゲート
- 119. 第1のダミーゲート
- 123. 第2の絶縁膜
- 124. 第2の絶縁膜
- 125. 第2の絶縁膜
- 126. 第2の絶縁膜
- 127. 第2の絶縁膜
- 128. 第2の絶縁膜
- 129. 第1の柱状シリコン層
- 130. 第2の柱状シリコン層
- 131. 第1の柱状シリコン層
- 132. 第1の柱状シリコン層
- 133. 第2の柱状シリコン層
- 134. 第1の柱状シリコン層
- 135. 第4の絶縁膜
- 136. 第2のポリシリコン

- 1 3 7. 第3のダミーゲート
- 1 3 8. 第4のダミーゲート
- 1 3 9. 第3のダミーゲート
- 1 4 0. 第4の絶縁膜
- 1 4 1. 第4の絶縁膜
- 1 4 2. 第4の絶縁膜
- 1 4 3 a. 第2の拡散層
- 1 4 3 b. 第2の拡散層
- 1 4 3 c. 第2の拡散層
- 1 4 3 d. 第2の拡散層
- 1 4 4. 第5の絶縁膜
- 1 4 5. サイドウォール
- 1 4 6. サイドウォール
- 1 4 7. サイドウォール
- 1 4 8. 金属と半導体とからなる化合物層
- 1 4 9. 金属と半導体とからなる化合物層
- 1 5 0. 金属と半導体とからなる化合物層
- 1 5 1. 金属と半導体とからなる化合物層
- 1 5 2. 金属と半導体とからなる化合物層
- 1 5 3. 金属と半導体とからなる化合物層
- 1 5 4. 金属と半導体とからなる化合物層
- 1 5 5. 金属と半導体とからなる化合物層
- 1 5 6. 金属と半導体とからなる化合物層
- 1 5 7. 金属と半導体とからなる化合物層
- 1 5 8. 金属と半導体とからなる化合物層
- 1 5 9. 第1の層間絶縁膜
- 1 6 0. ゲート絶縁膜
- 1 6 1. 第4のレジスト

- 162. ゲート絶縁膜
- 163. ゲート絶縁膜
- 164. ゲート絶縁膜
- 165. ゲート絶縁膜
- 166. ゲート絶縁膜
- 167. 金属層
- 168 a. ゲート電極
- 168 b. ゲート配線
- 169 a. コンタクト電極
- 169 b. コンタクト配線
- 170 a. ゲート電極
- 170 b. ゲート配線
- 171. 第2の層間絶縁膜
- 175. 金属層
- 176. 抵抗が変化する膜
- 177. 第5のレジスト
- 178. 第5のレジスト
- 179. 金属線
- 179 a. 高抵抗素子のヒーター
- 179 b. 高抵抗素子のヒーター
- 180. 金属線
- 180 a. 高抵抗素子のヒーター
- 180 b. 高抵抗素子のヒーター
- 181. 抵抗が変化する膜の配線
- 181 a. 抵抗が変化する記憶素子
- 181 b. 抵抗が変化する記憶素子
- 182. 抵抗が変化する膜の配線
- 182 a. 抵抗が変化する記憶素子

- 182b. 抵抗が変化する記憶素子
- 183. 第3の層間絶縁膜
- 184. 金属層
- 185. 第6のレジスト
- 186. 第6のレジスト
- 301. 第3のレジスト
- 302. 第1の拡散層
- 303. 第1の拡散層
- 304. 第1の拡散層
- 305. 第1の拡散層
- 306. 第1の拡散層
- 307. 第1の拡散層

## 請求の範囲

- [請求項1] 第1の柱状半導体層と、  
前記第1の柱状半導体層の周囲に形成されたゲート絶縁膜と、  
前記ゲート絶縁膜の周囲に形成されたゲート電極と、  
前記ゲート電極に接続されたゲート配線と、  
前記第1の柱状半導体層の上部に形成された第1の拡散層と、  
前記第1の柱状半導体層の下部に形成された第2の拡散層と、  
前記第1の拡散層上に形成された、抵抗が変化する記憶素子と、を有する、  
ことを特徴とする半導体装置。
- [請求項2] 半導体基板上に一方向に延びるように形成されたフィン状半導体層と、  
前記フィン状半導体層の周囲に形成された第1の絶縁膜と、をさらに有し、  
前記ゲート絶縁膜は、前記ゲート電極及び前記ゲート配線の周囲及び底下に形成されており、  
前記第1の柱状半導体層は、前記フィン状半導体層上に形成されており、  
前記ゲート電極及び前記ゲート配線は金属からなり、  
前記ゲート配線は、前記フィン状半導体層に直交する方向に延在しており、  
前記第2の拡散層は、前記フィン状半導体層に形成されている、  
ことを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記第2の拡散層は、前記フィン状半導体層に加えて、さらに前記半導体基板にも形成されている、ことを特徴とする請求項2に記載の半導体装置。
- [請求項4] 前記第2の拡散層に接続されている前記ゲート配線に平行に延びるコンタクト配線をさらに有する、ことを特徴とする請求項2又は3に

記載の半導体装置。

- [請求項5] 前記半導体基板上に形成された前記フィン状半導体層と、  
前記フィン状半導体層の周囲に形成された前記第1の絶縁膜と、  
前記フィン状半導体層上に形成された第2の柱状半導体層と、  
前記第2の柱状半導体層の周囲に形成されるとともに金属からなる  
コンタクト電極と、  
前記コンタクト電極に接続された前記フィン状半導体層に直交する  
方向に延在するとともに金属からなる前記コンタクト配線と、  
前記フィン状半導体層において前記第2の柱状半導体層の下部に形  
成された前記第2の拡散層と、を有し、  
前記コンタクト電極は、前記第2の拡散層と接続されている、  
ことを特徴とする請求項4に記載の半導体装置。
- [請求項6] 前記ゲート電極の外側の線幅は、前記ゲート配線の線幅と等しく、  
前記フィン状半導体層に直交する方向での前記第1の柱状半導体層の  
線幅は、前記フィン状半導体層に直交する方向での前記フィン状半導  
体層の線幅と等しい、ことを特徴とする請求項2乃至5のいずれか一  
項に記載の半導体装置。
- [請求項7] 前記ゲート絶縁膜には、前記第2の柱状半導体層と前記コンタクト  
電極との間に形成されているものが存在する、ことを特徴とする請求  
項5に記載の半導体装置。
- [請求項8] 前記フィン状半導体層に直交する方向での前記第2の柱状半導体層  
の線幅は、前記フィン状半導体層に直交する方向での前記フィン状半  
導体層の線幅と等しい、ことを特徴とする請求項5に記載の半導体装  
置。
- [請求項9] 前記ゲート絶縁膜には、前記コンタクト電極及び前記コンタクト配  
線の周囲に形成されているものが存在する、ことを特徴とする請求項  
7に記載の半導体装置。
- [請求項10] 前記コンタクト電極の外側の線幅は、前記コンタクト配線の線幅と

等しい、ことを特徴とする請求項5に記載の半導体装置。

- [請求項11] 前記第1の柱状半導体層は、半導体基板上に形成され、前記ゲート電極及び前記ゲート配線は金属からなり、前記第2の拡散層は、前記半導体基板上に形成されている、ことを特徴とする請求項1に記載の半導体装置。
- [請求項12] 前記第2の拡散層に接続されている前記ゲート配線に平行に延びるコンタクト配線をさらに有する、ことを特徴とする請求項11に記載の半導体装置。
- [請求項13] 前記半導体基板上に形成された第2の柱状半導体層と、前記第2の柱状半導体層の周囲に形成されるとともに金属からなるコンタクト電極と、前記コンタクト電極に接続されたコンタクト配線と、を有し、前記第2の拡散層は、前記第2の柱状半導体層の下部に形成され、前記コンタクト電極は、前記第2の拡散層と接続されている、ことを特徴とする請求項11又は12に記載の半導体装置。
- [請求項14] 前記ゲート電極の外側の線幅は、前記ゲート配線の線幅と等しい、ことを特徴とする請求項10乃至13のいずれか一項に記載の半導体装置。
- [請求項15] 前記ゲート絶縁膜には、前記第2の柱状半導体層と前記コンタクト電極との間に形成されているものが存在する、ことを特徴とする請求項13に記載の半導体装置。
- [請求項16] 前記ゲート絶縁膜には、前記コンタクト電極及び前記コンタクト配線の周囲に形成されているものが存在する、ことを特徴とする請求項15に記載の半導体装置。
- [請求項17] 前記コンタクト電極の外側の線幅は、前記コンタクト配線の線幅と等しい、ことを特徴とする請求項13に記載の半導体装置。
- [請求項18] 半導体基板上に一方向に延びるフィン状半導体層を形成し、前記フィン状半導体層の周囲に第1の絶縁膜を形成する第1工程と、

前記第1工程の後、前記フィン状半導体層の周囲に第2の絶縁膜を形成し、前記第2の絶縁膜上に第1のポリシリコンを堆積するとともに平坦化し、ゲート配線、第1の柱状半導体層、第2の柱状半導体層、及びコンタクト配線を形成するための第2のレジストを、前記フィン状半導体層が延びる方向と直交する方向に延在するように形成し、前記第1のポリシリコンと、前記第2の絶縁膜と、前記フィン状半導体層とをエッチングすることにより、第1の柱状半導体層と、前記第1のポリシリコンに由来する第1のダミーゲートと、第2の柱状半導体層と、前記第1のポリシリコンに由来する第2のダミーゲートとを形成する第2工程と、

前記第2工程の後、前記第1の柱状半導体層と、前記第2の柱状半導体層と、前記第1のダミーゲートと、前記第2のダミーゲートとの周囲に第4の絶縁膜を形成し、

前記第4の絶縁膜の周囲に第2のポリシリコンを堆積するとともにエッチングを行い、前記第1のダミーゲート、前記第1の柱状半導体層、前記第2のダミーゲート、及び前記第2の柱状半導体層の側壁に残存させることで、第3のダミーゲートと第4のダミーゲートとを形成する第3工程と、

前記フィン状半導体層の上部と、前記第1の柱状半導体層の下部と、前記第2の柱状半導体層の下部とに第2の拡散層を形成し、前記第3のダミーゲートと前記第4のダミーゲートとの周囲に、第5の絶縁膜を形成するとともにエッチングすることでサイドウォール状に残存させ、前記第5の絶縁膜からなるサイドウォールを形成し、前記第2の拡散層上に金属と半導体とからなる化合物層を形成する第4工程と、

前記第4の工程の後、第1の層間絶縁膜を堆積するとともに平坦化し、前記第1のダミーゲート、前記第2のダミーゲート、前記第3のダミーゲート、及び前記第4のダミーゲートの上部を露出させ、前記



第1のダミーゲート、前記第2のダミーゲート、前記第3のダミーゲート、及び前記第4のダミーゲートを除去し、前記第2の絶縁膜及び前記第4の絶縁膜を除去し、ゲート絶縁膜を、前記第1の柱状半導体層の周囲、前記第2の柱状半導体層の周囲、及び前記第5の絶縁膜の内側に形成し、前記第2の柱状半導体層の底部周辺のゲート絶縁膜を除去するための第4のレジストを形成し、前記第2の柱状半導体層の底部周辺のゲート絶縁膜を除去し、金属層を堆積するとともにエッチバックを行うことで、前記第1の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、前記第2の柱状半導体層の周囲にコンタクト電極及びコンタクト配線を形成する第5工程と、

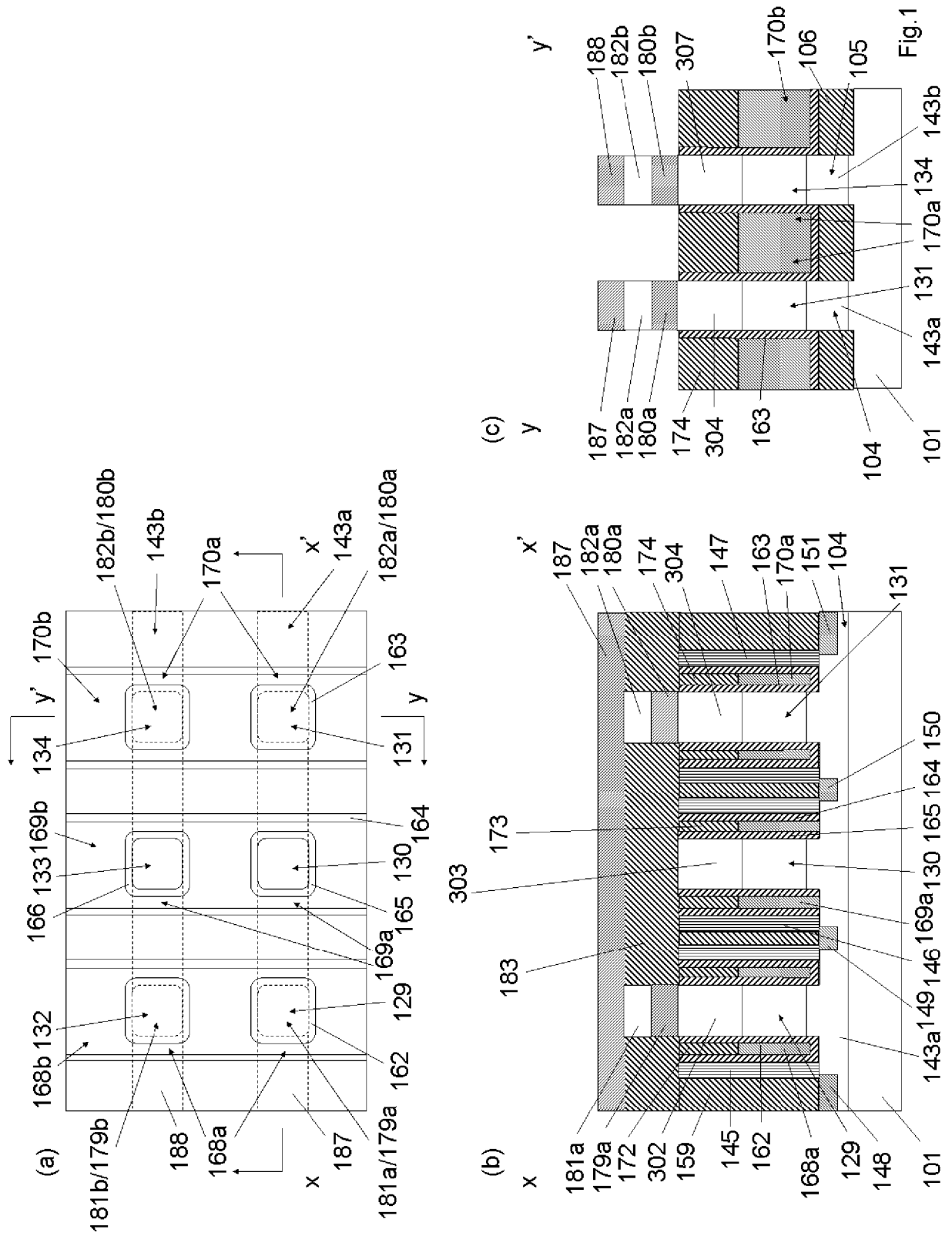
前記第5工程の後、第2の層間絶縁膜を堆積するとともに平坦化し、前記第1の柱状半導体層の上部を露出させ、前記第1の柱状半導体層の上部に、抵抗が変化する記憶素子を形成する第6工程と、を有する、

ことを特徴とする半導体装置の製造方法。

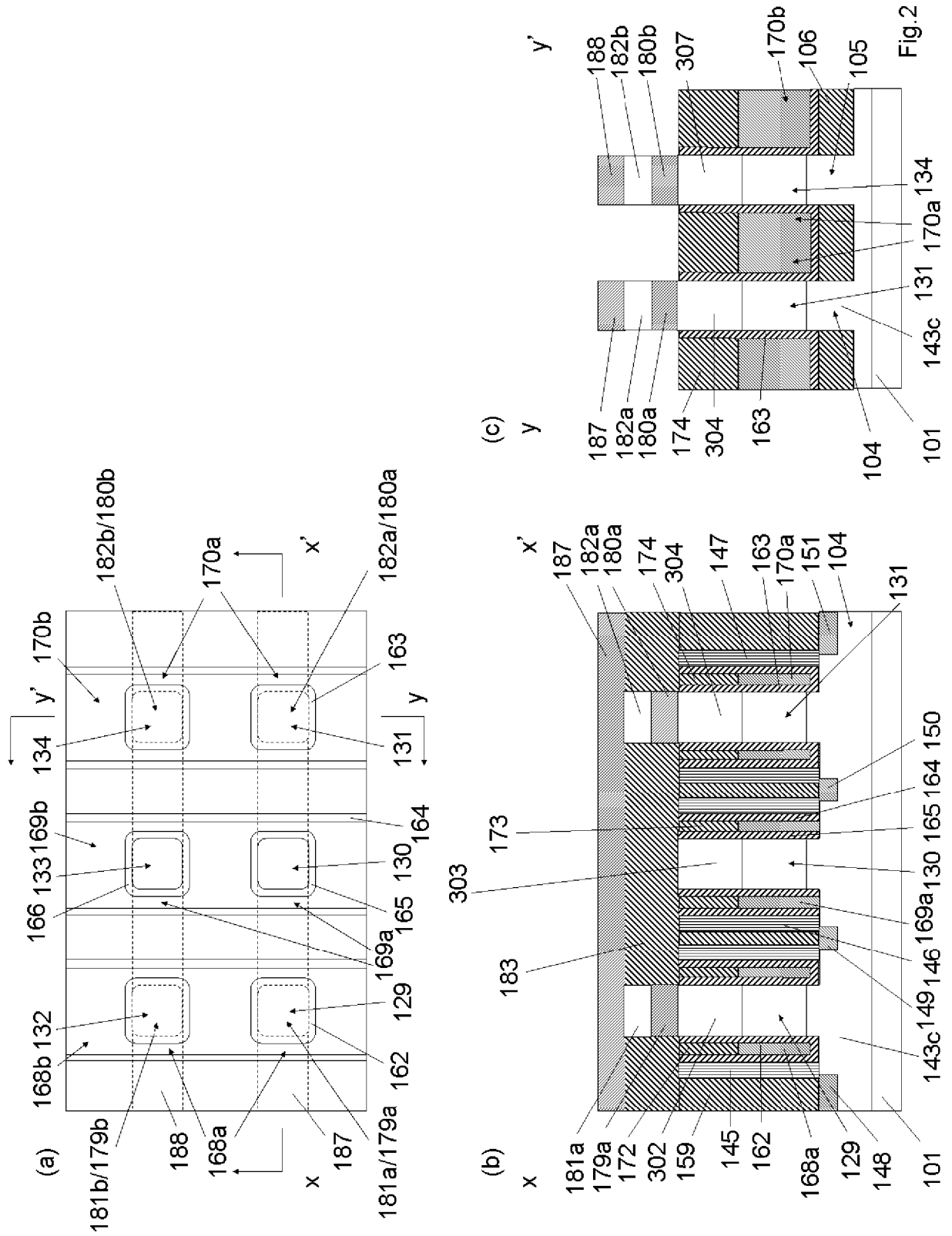
[請求項19] 前記第2の絶縁膜上に第1のポリシリコンを堆積するとともに平坦化した後、前記第1のポリシリコン上に第3の絶縁膜を形成する、ことを特徴とする請求項18に記載の半導体装置の製造方法。

[請求項20] 前記第1の柱状半導体層と前記第1のダミーゲートと、前記第2の柱状半導体層と、前記第2のダミーゲートとの周囲に第4の絶縁膜を形成した後、第3のレジストを形成するとともにエッチバックを行うことで、前記第1の柱状半導体層の上部を露出させ、前記第1の柱状半導体層の上部に第1の拡散層を形成する、ことを特徴とする請求項18に記載の半導体装置の製造方法。

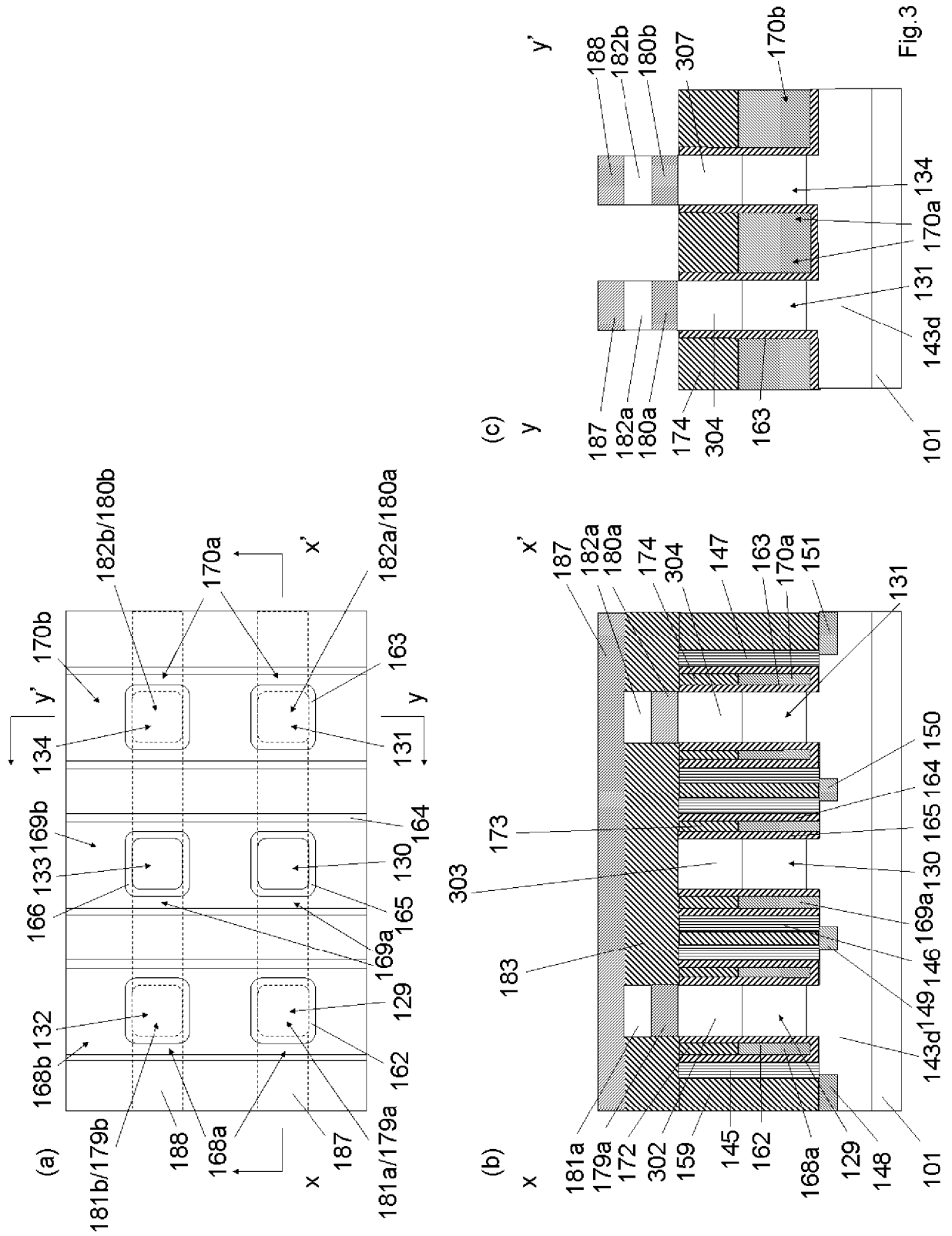
[図1]



[圖2]



[Fig. 3]



[図4]

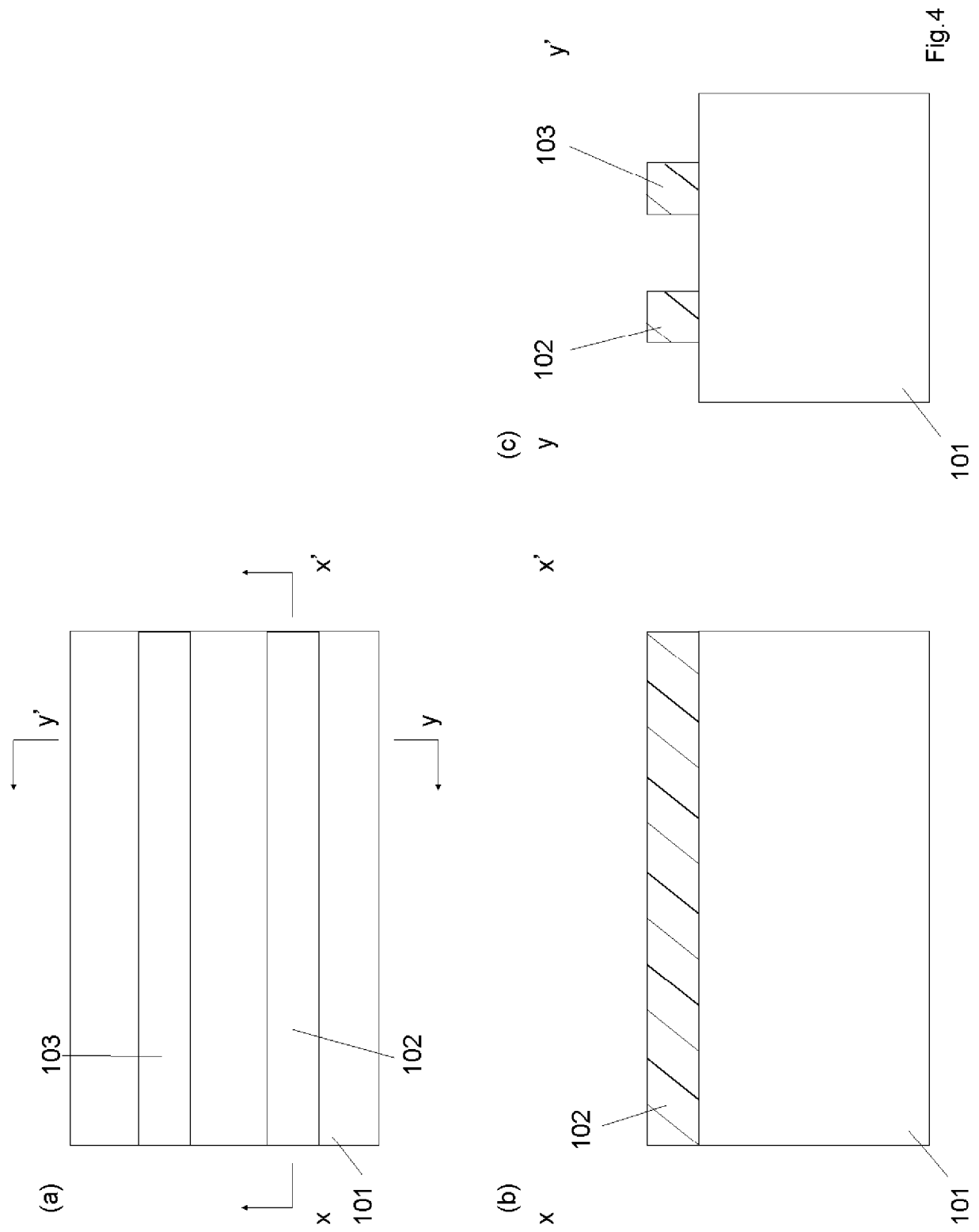
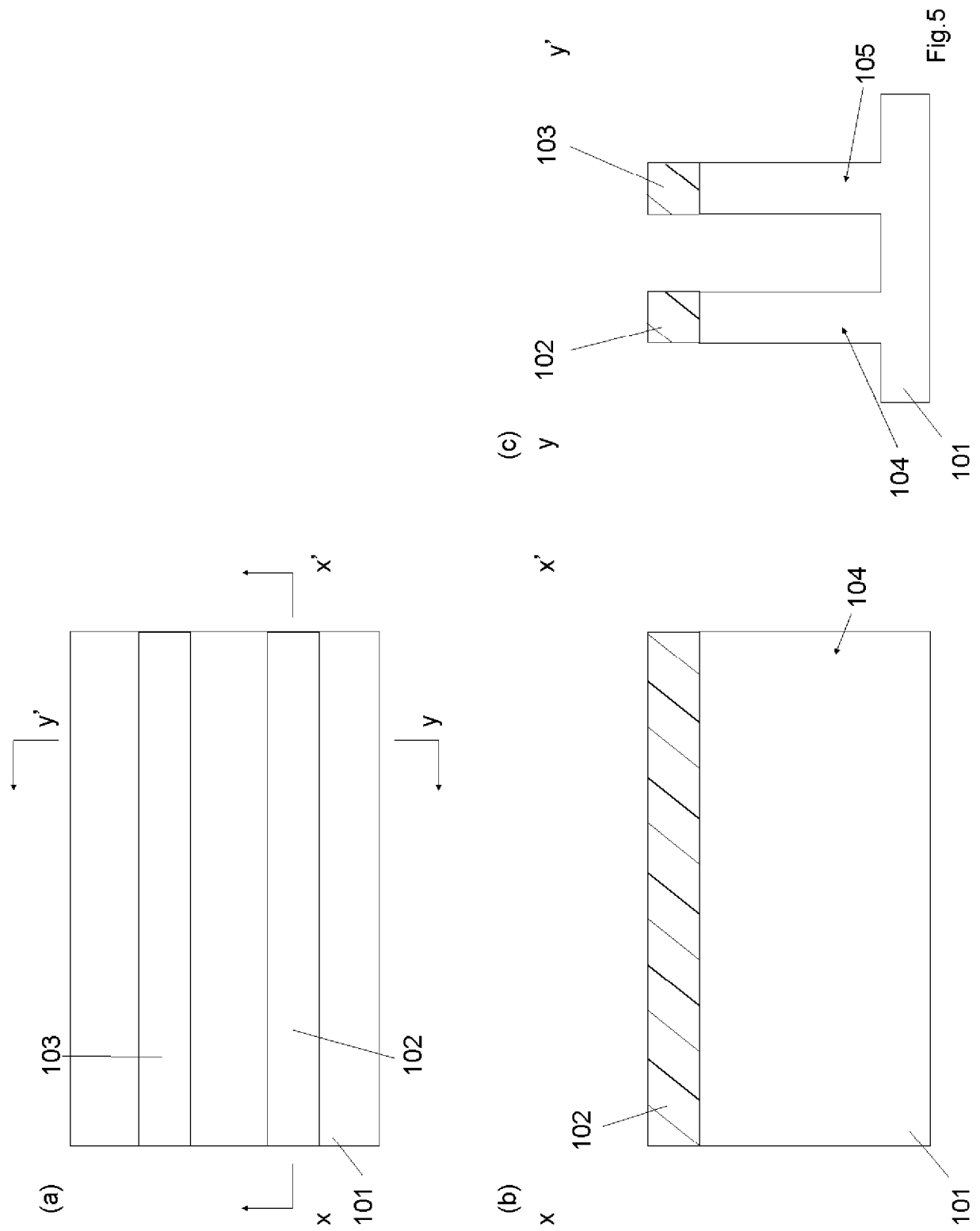
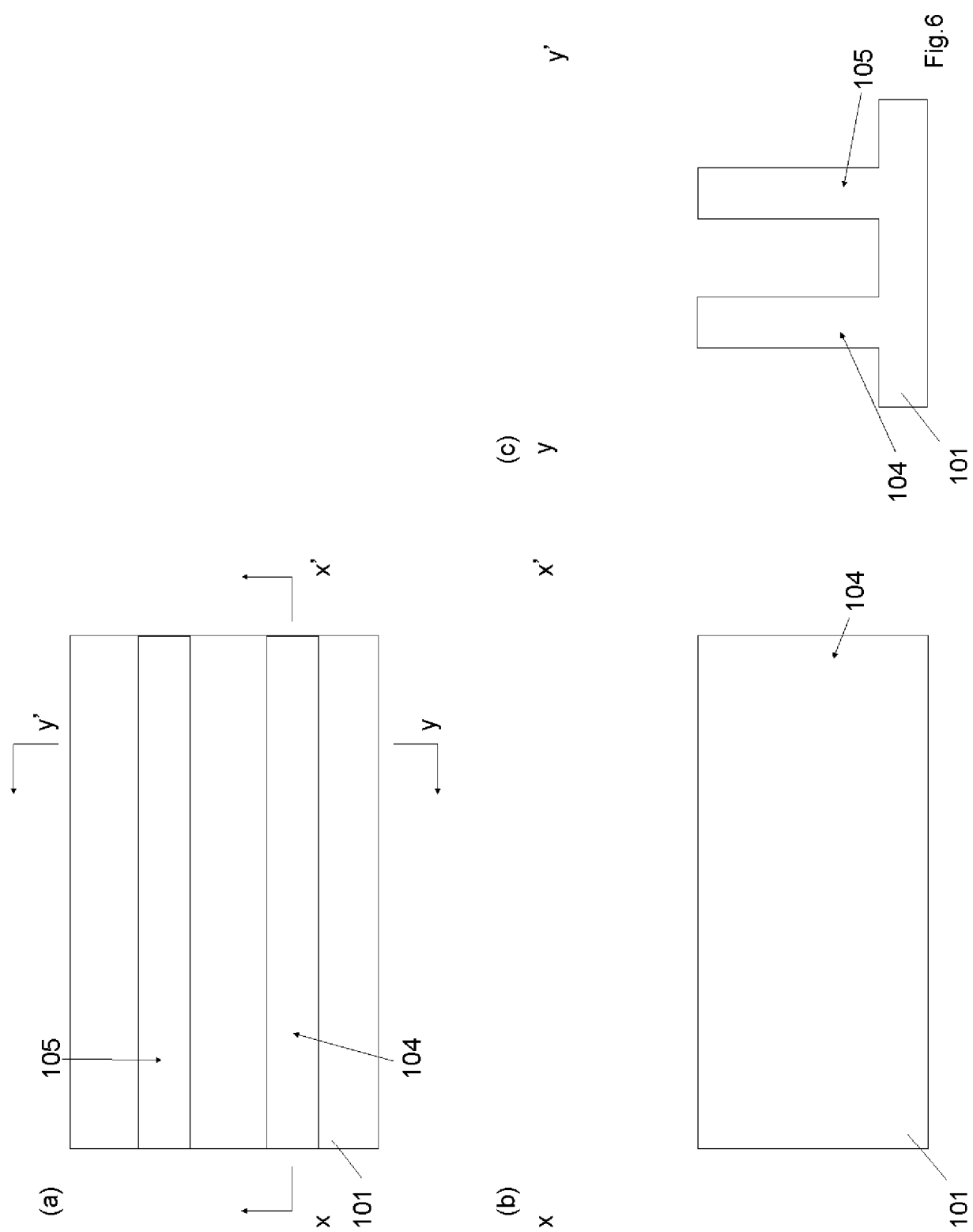


Fig.4

[図5]



[図6]



[図7]

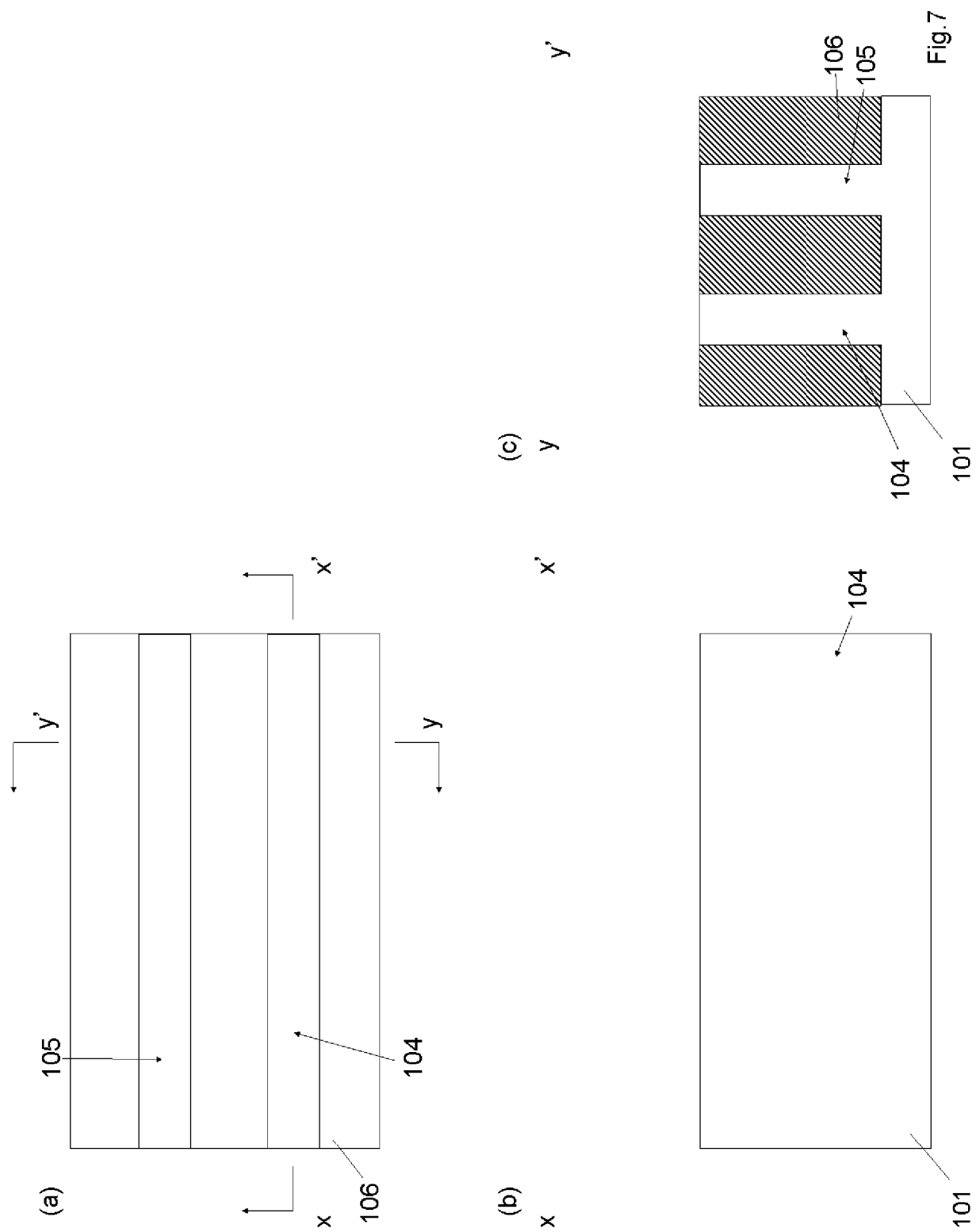
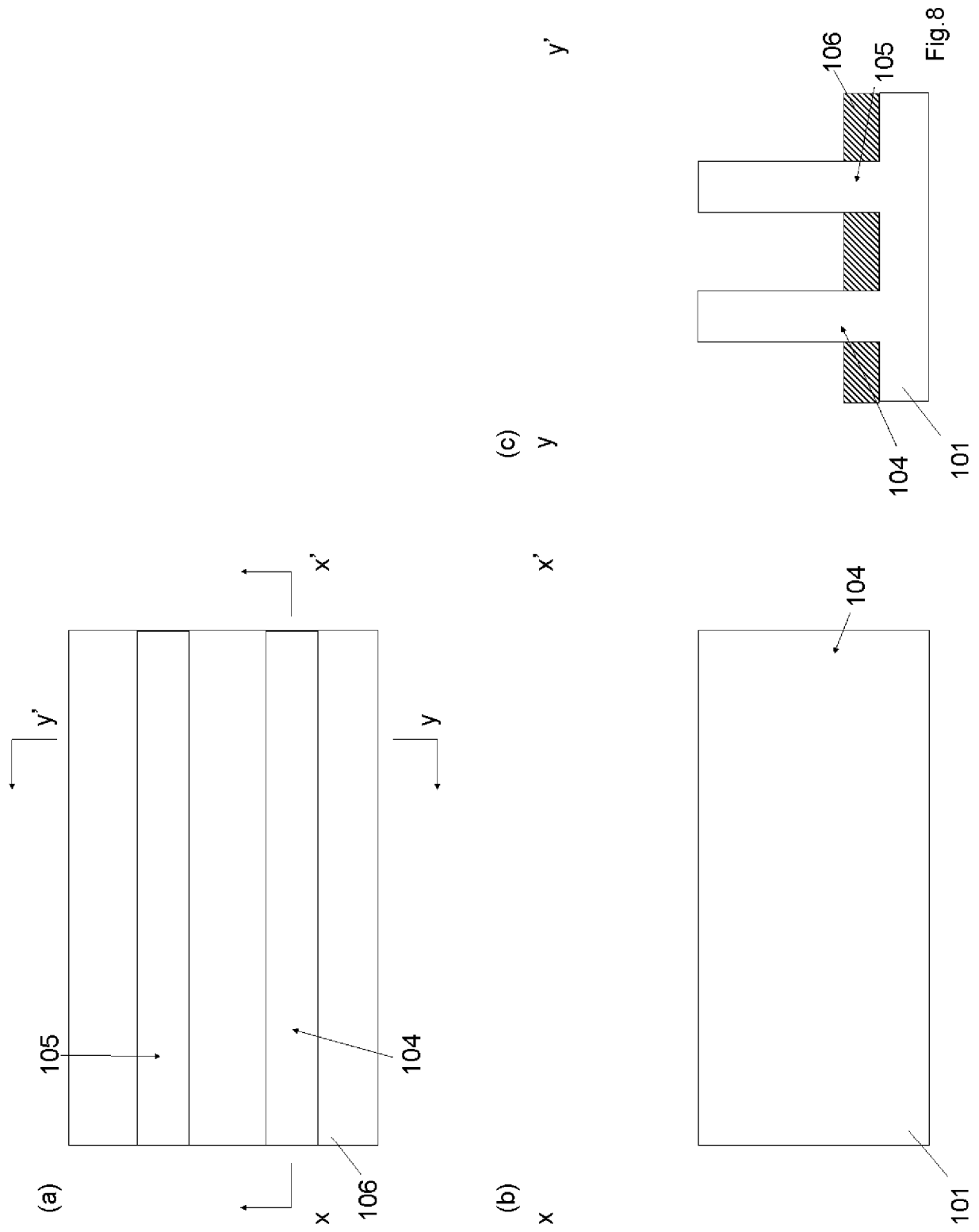


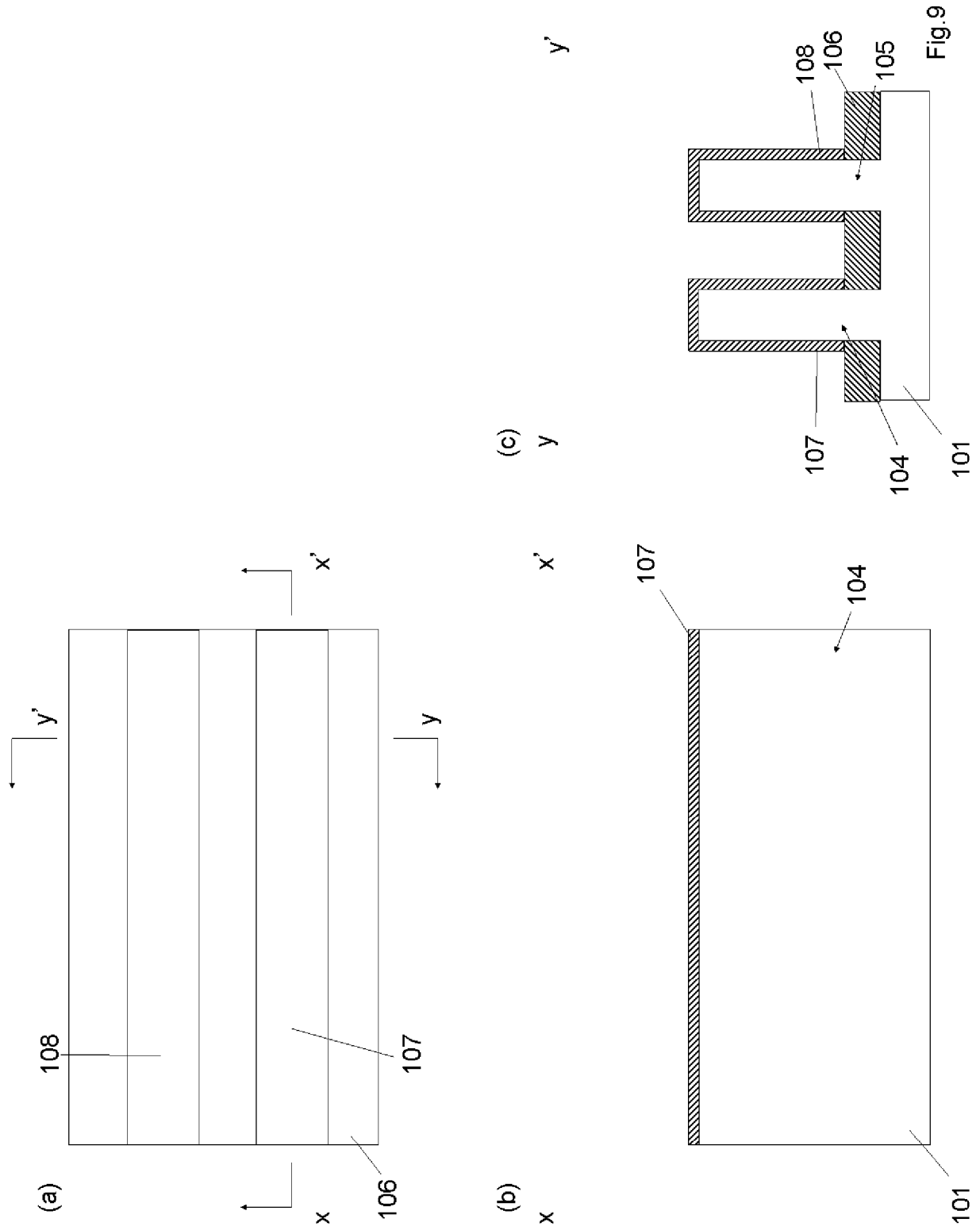
Fig.7



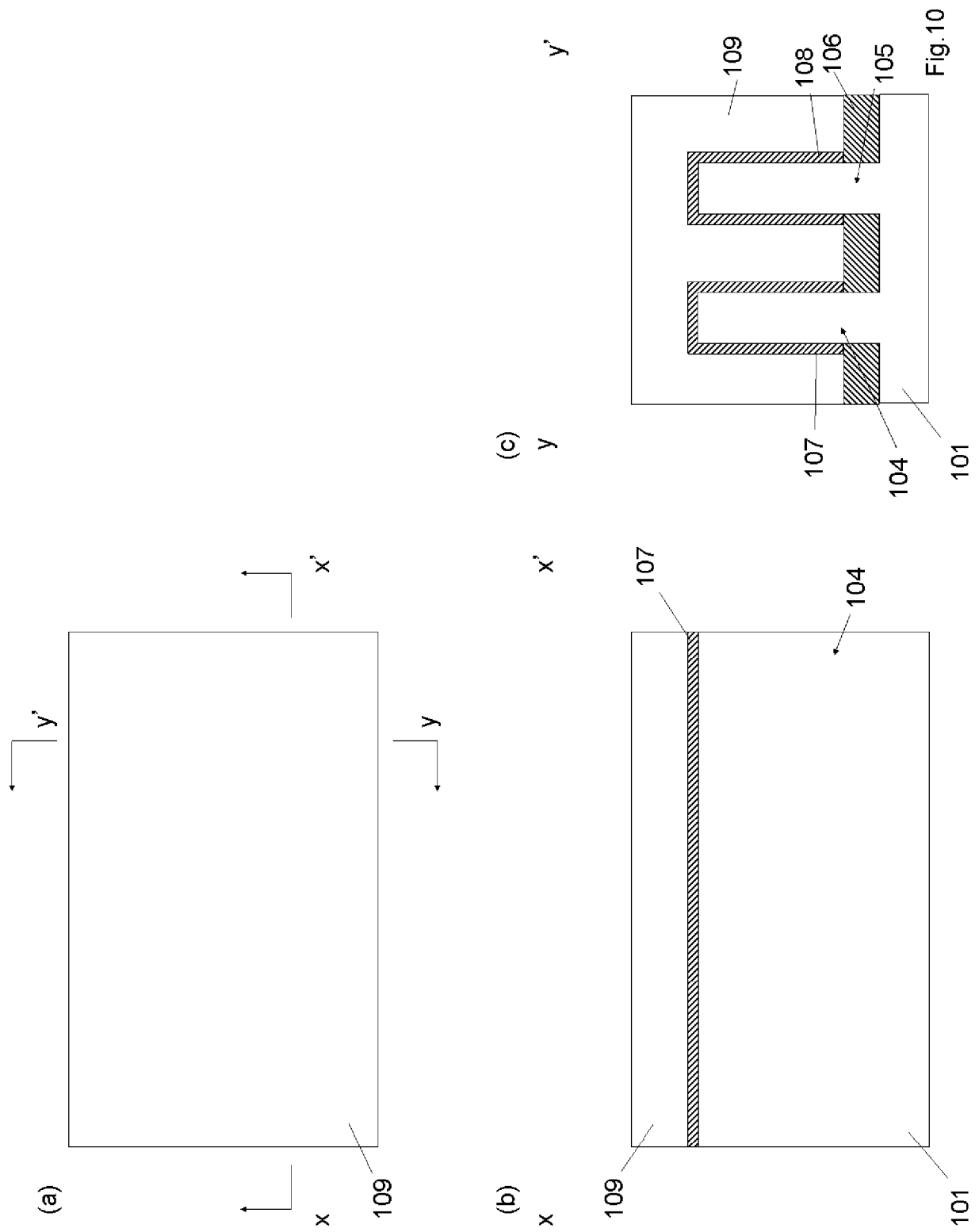
[図8]



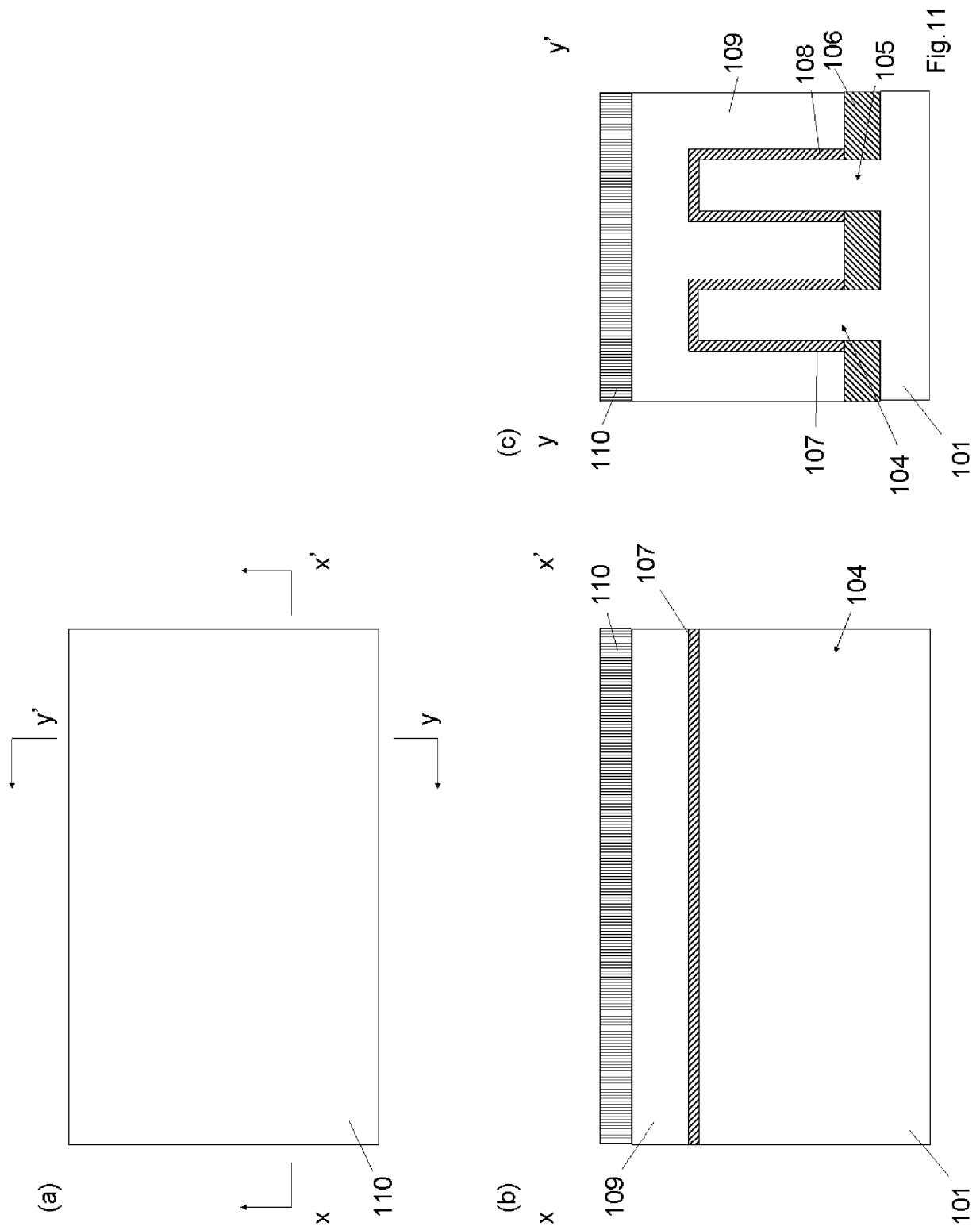
[Fig.9]



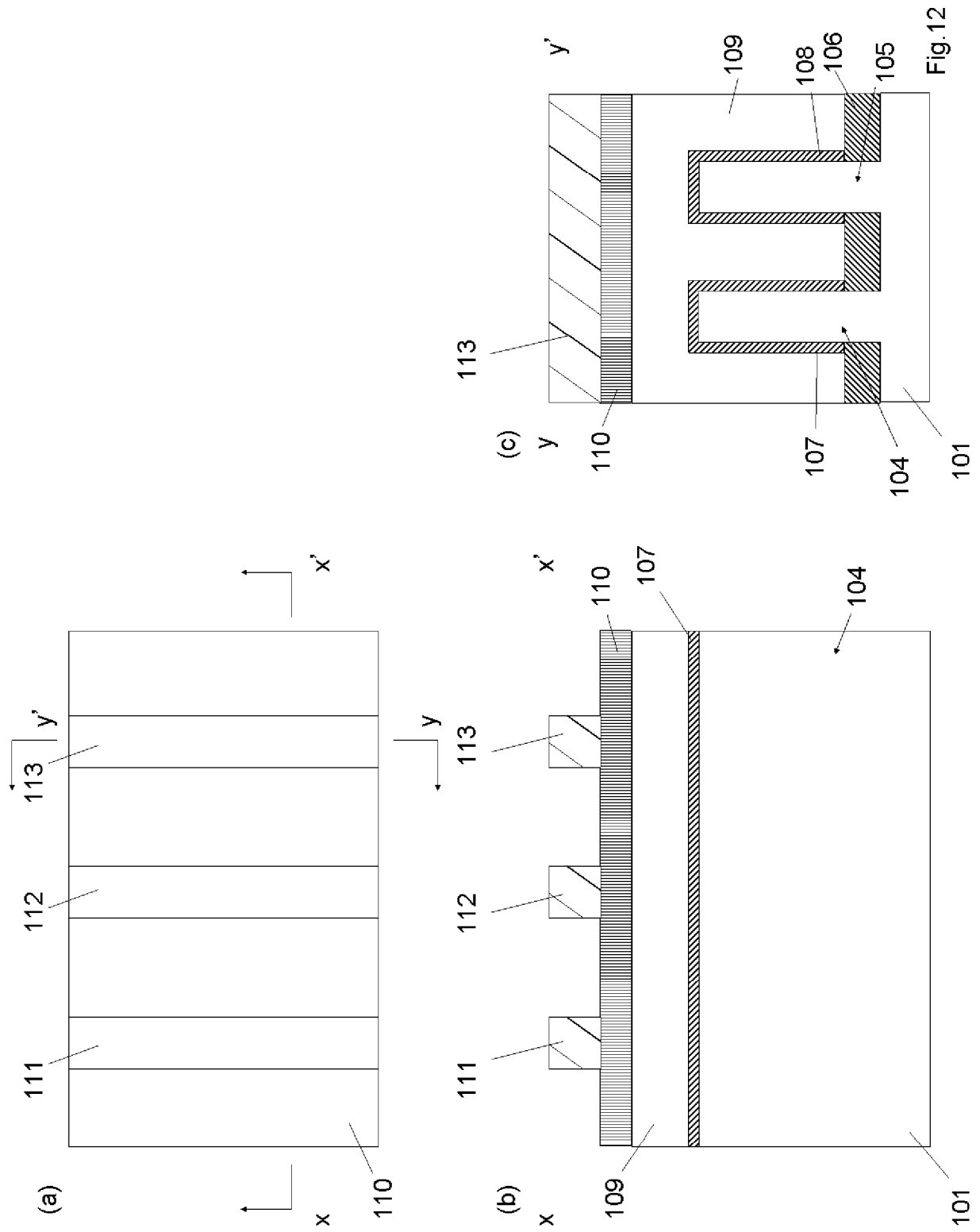
[図10]



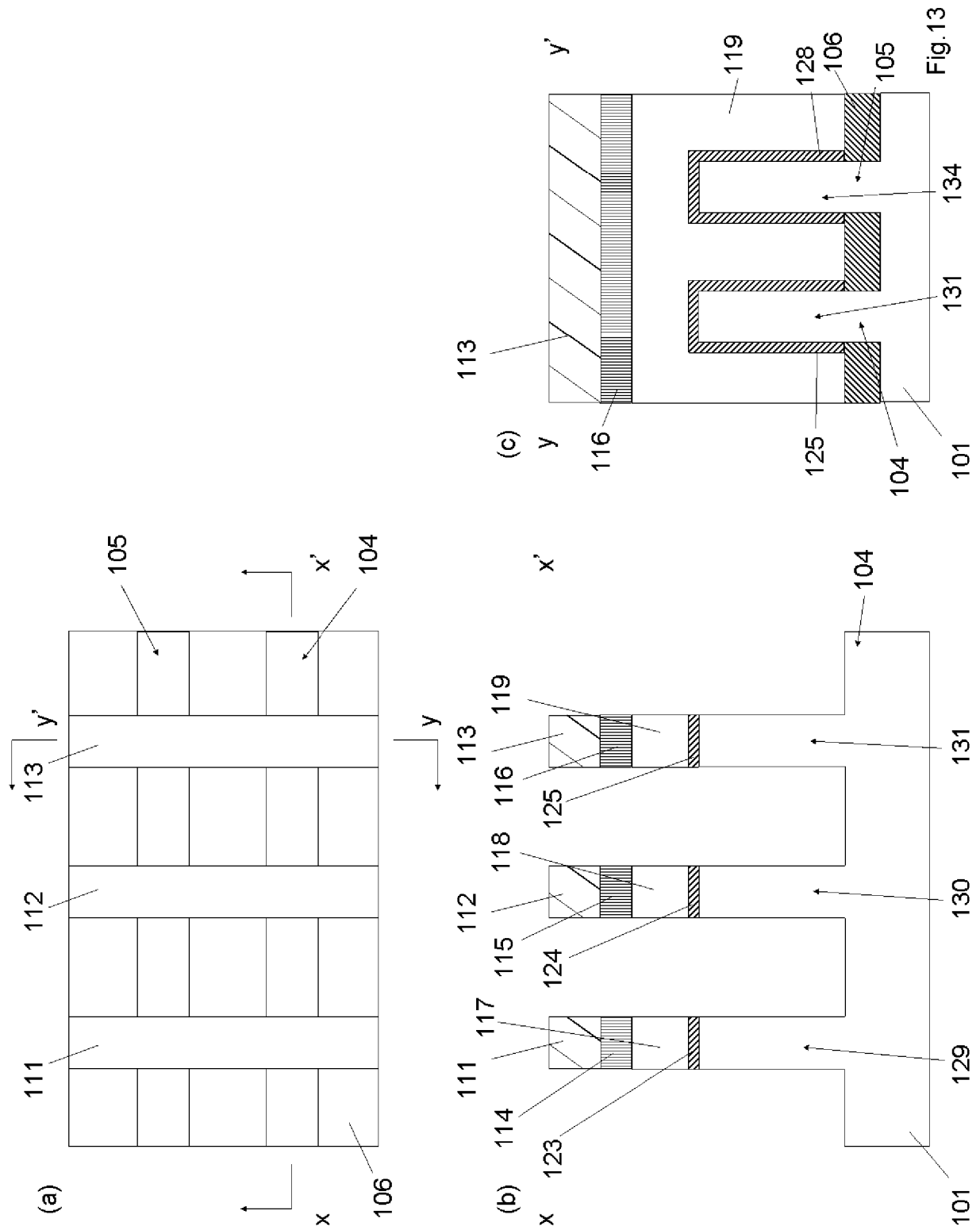
[Fig. 11]



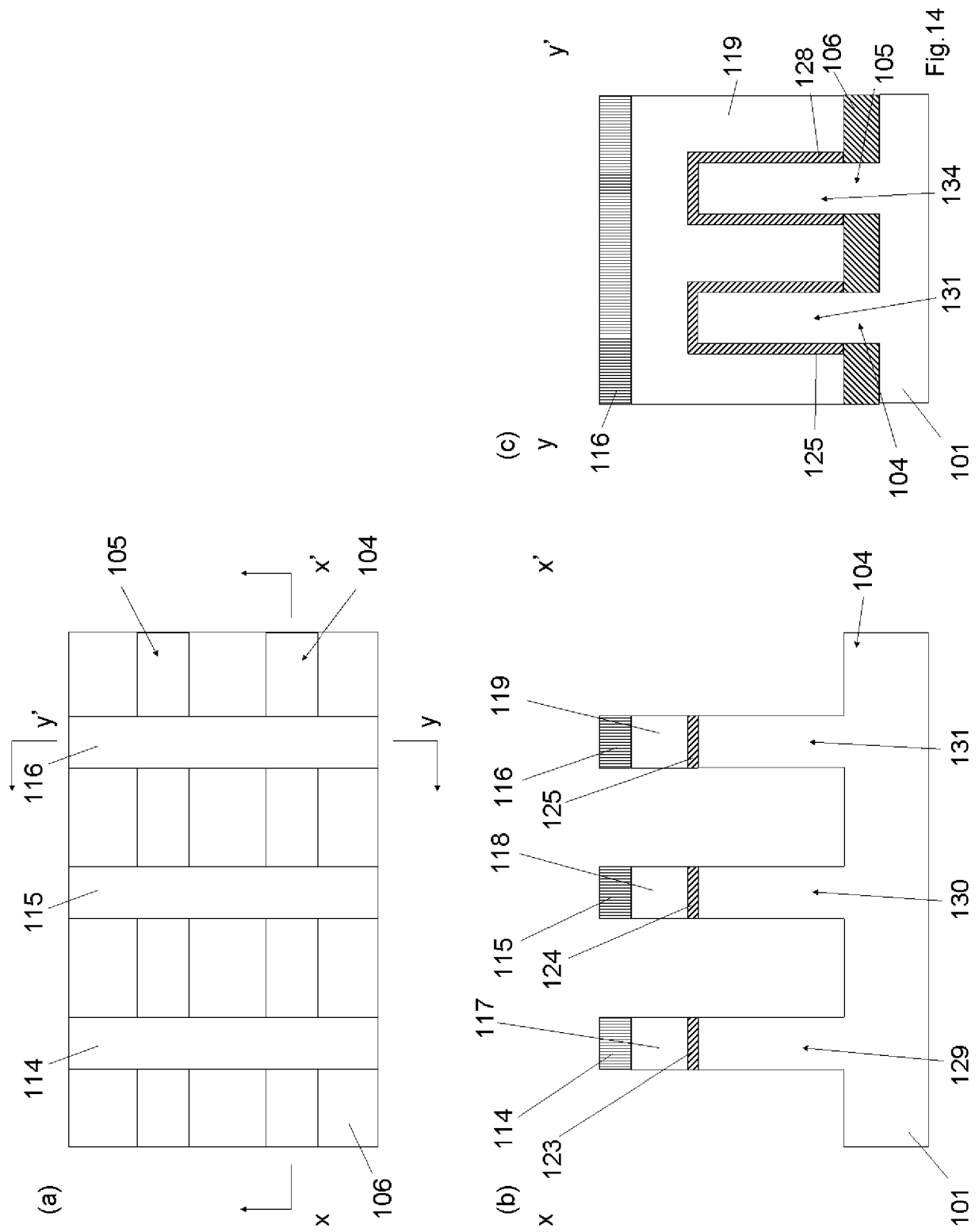
[圖12]



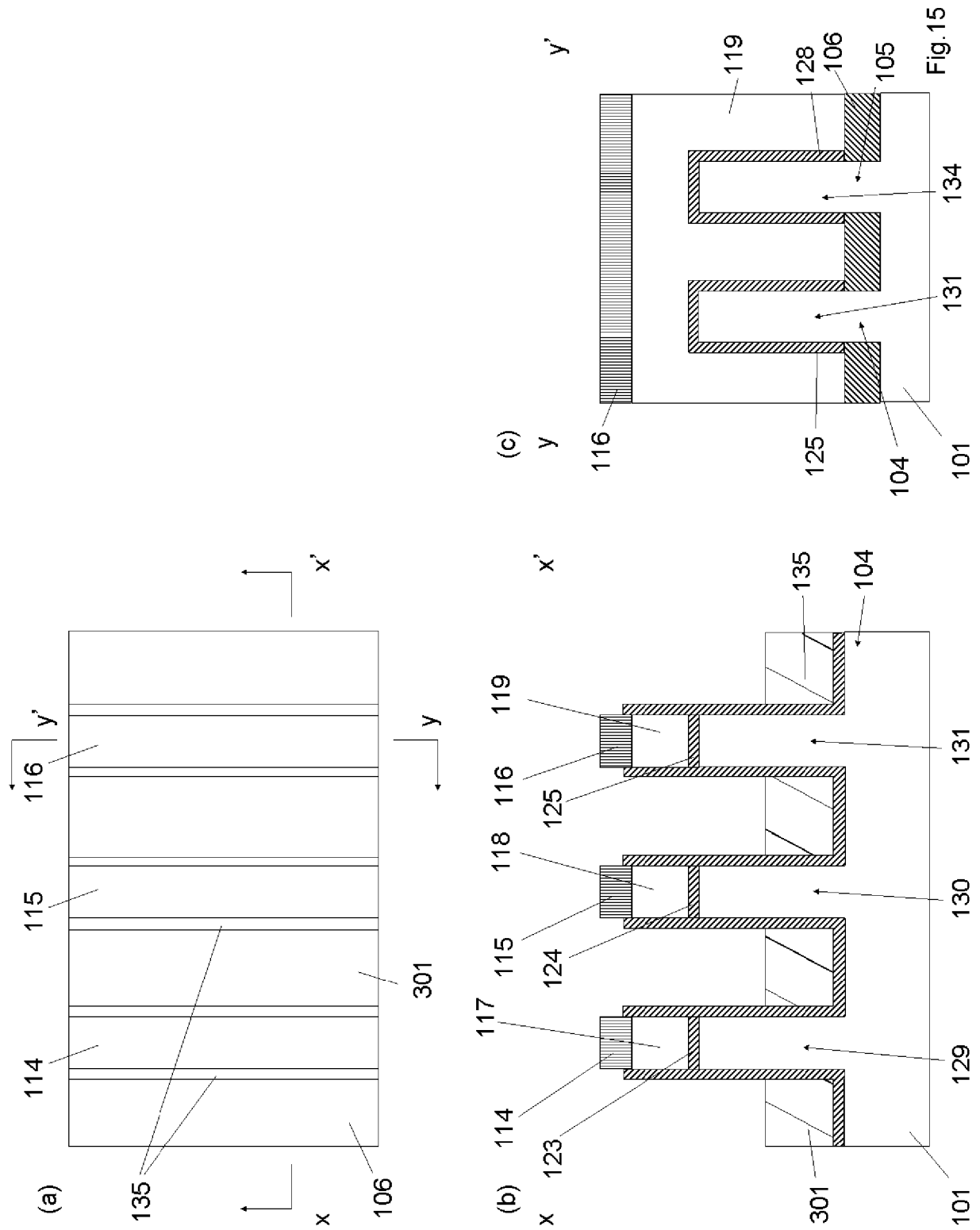
[Fig. 13]



[圖14]

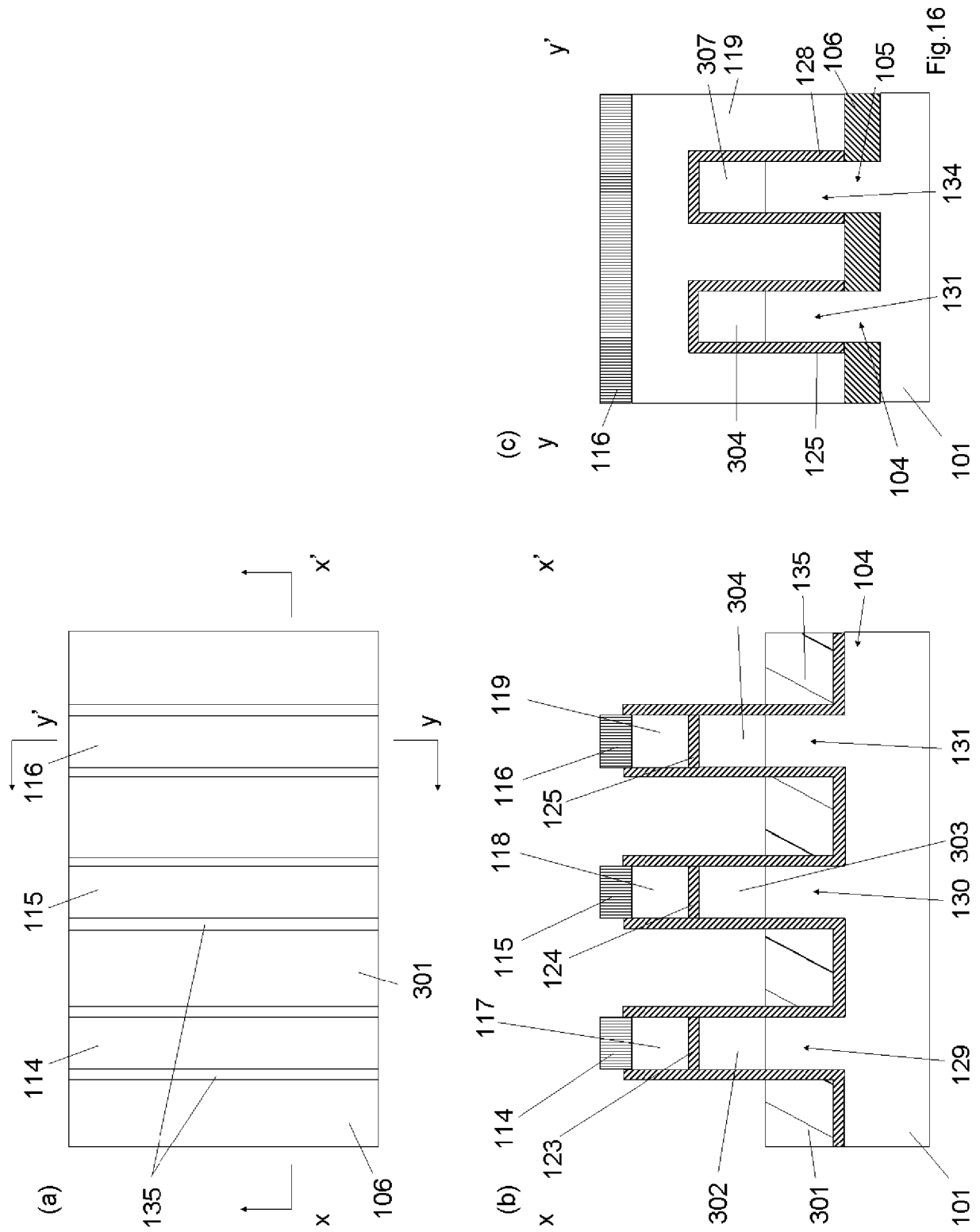


[Fig. 15]

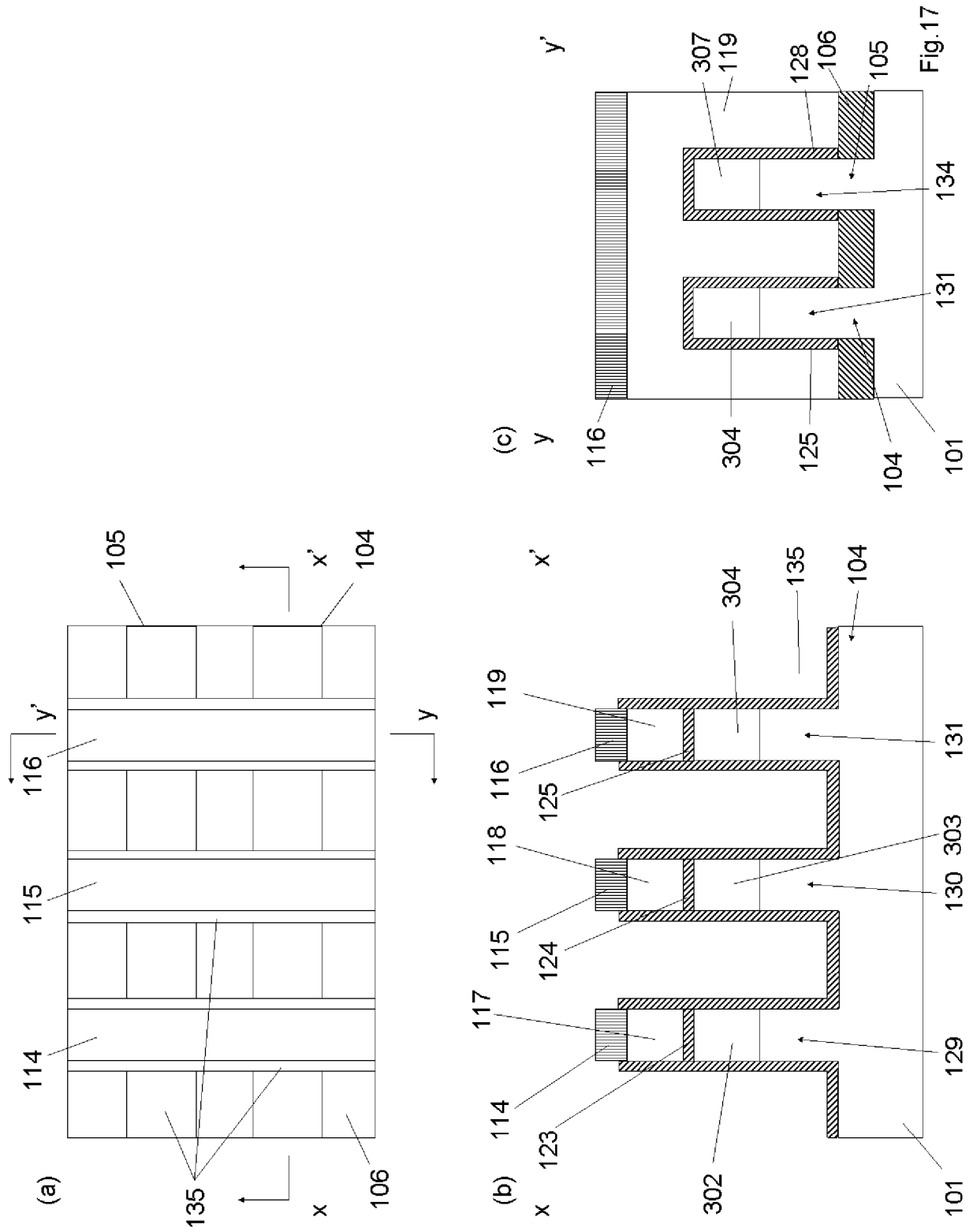




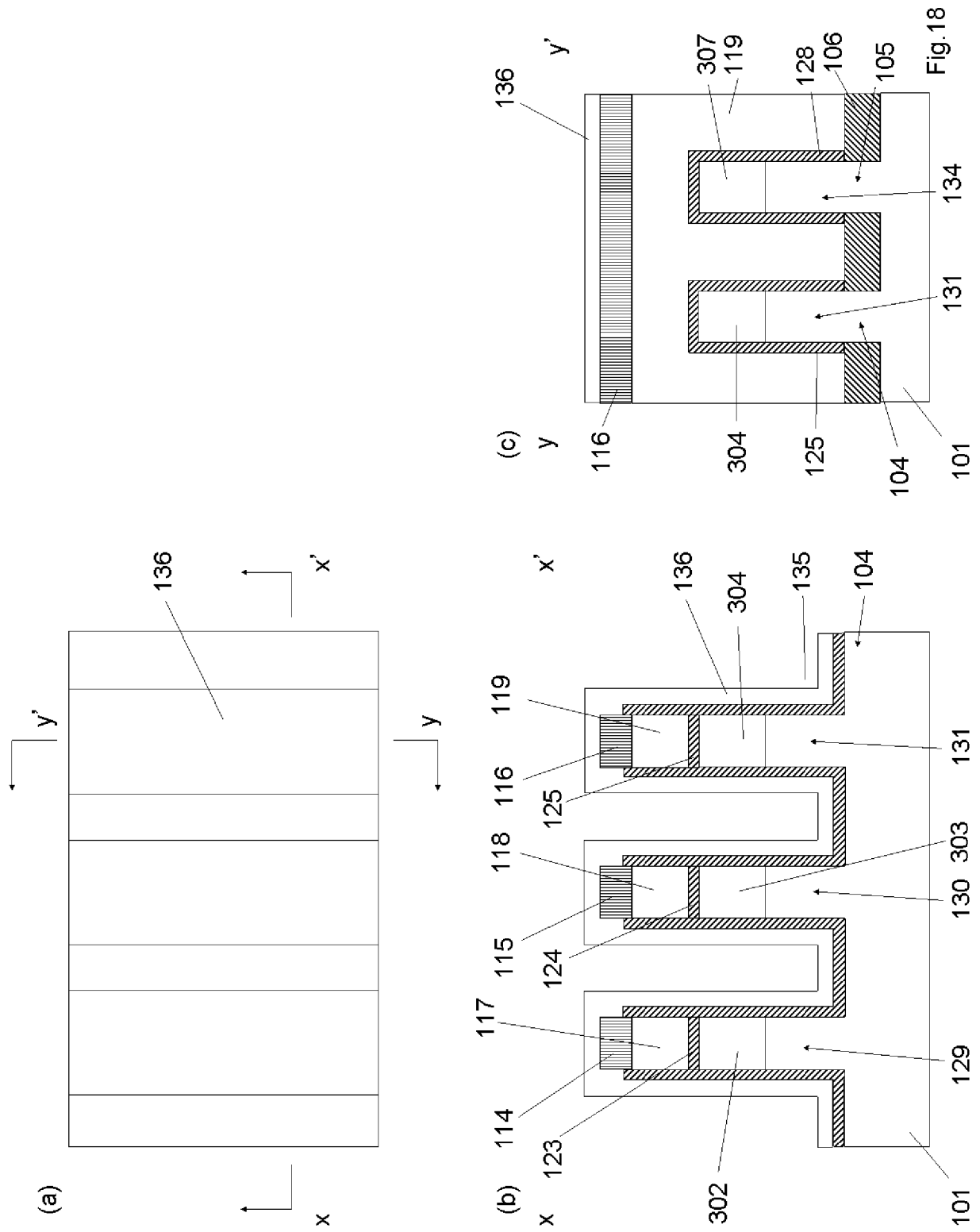
[Fig. 16]



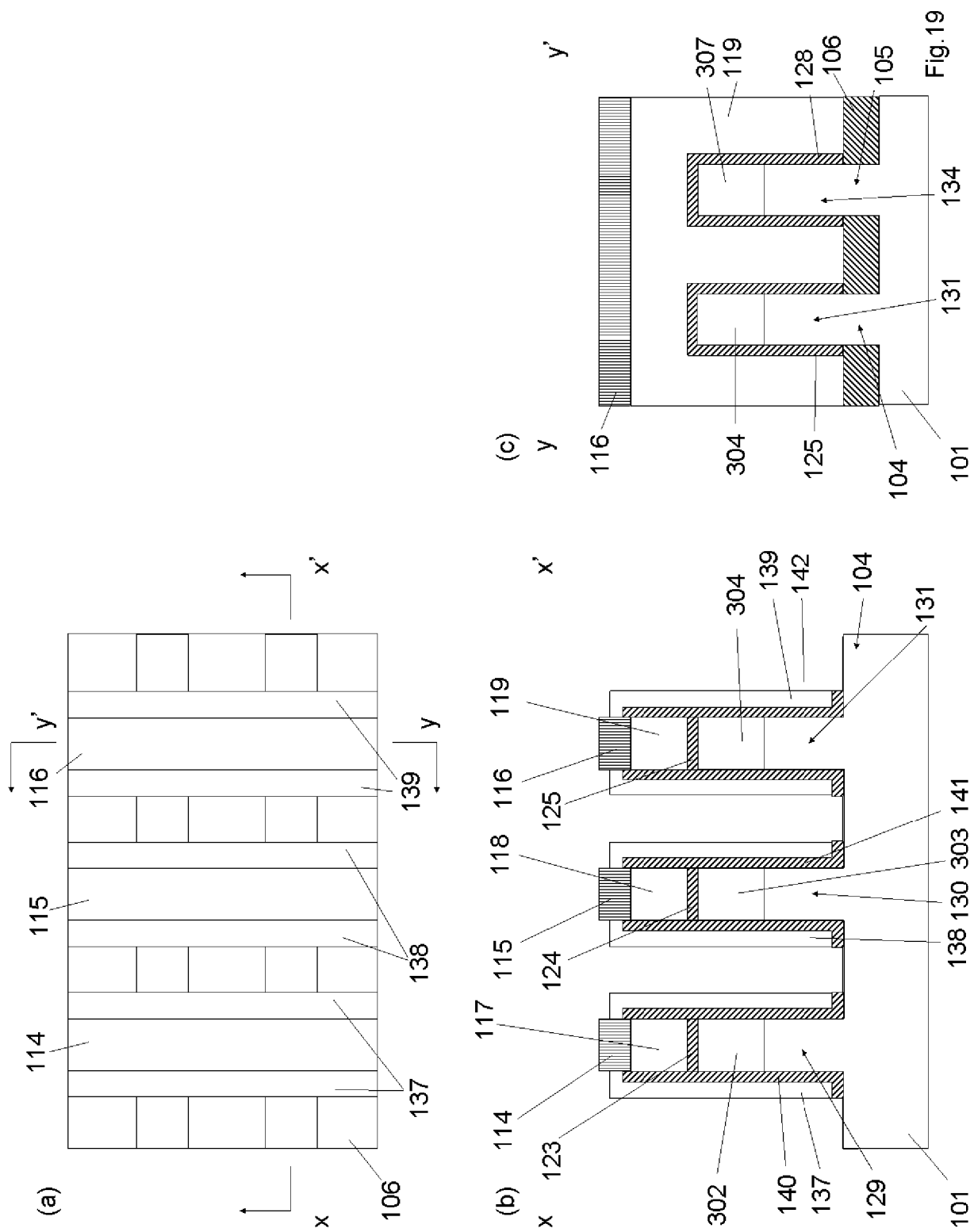
[Fig. 17]



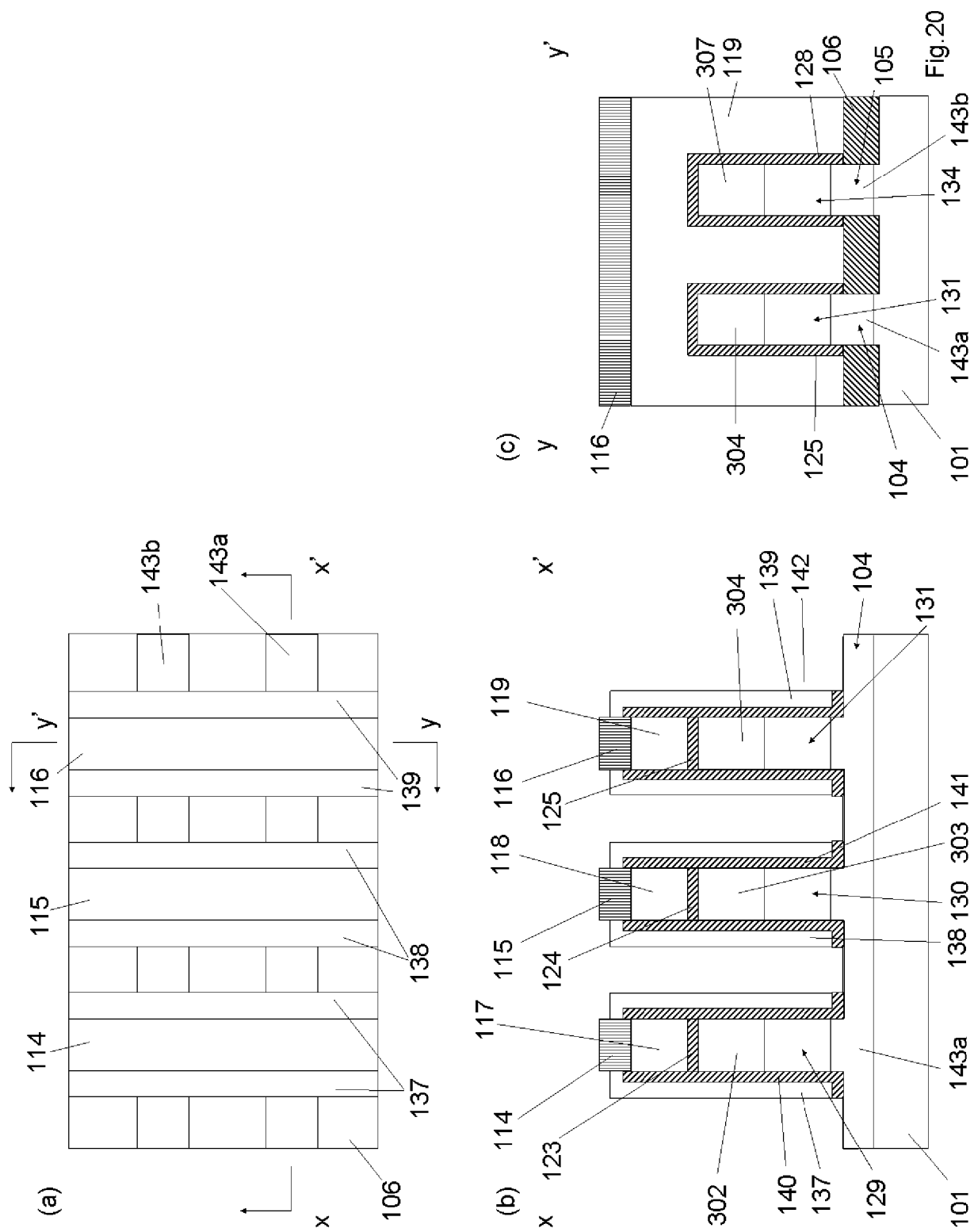
[ 18]



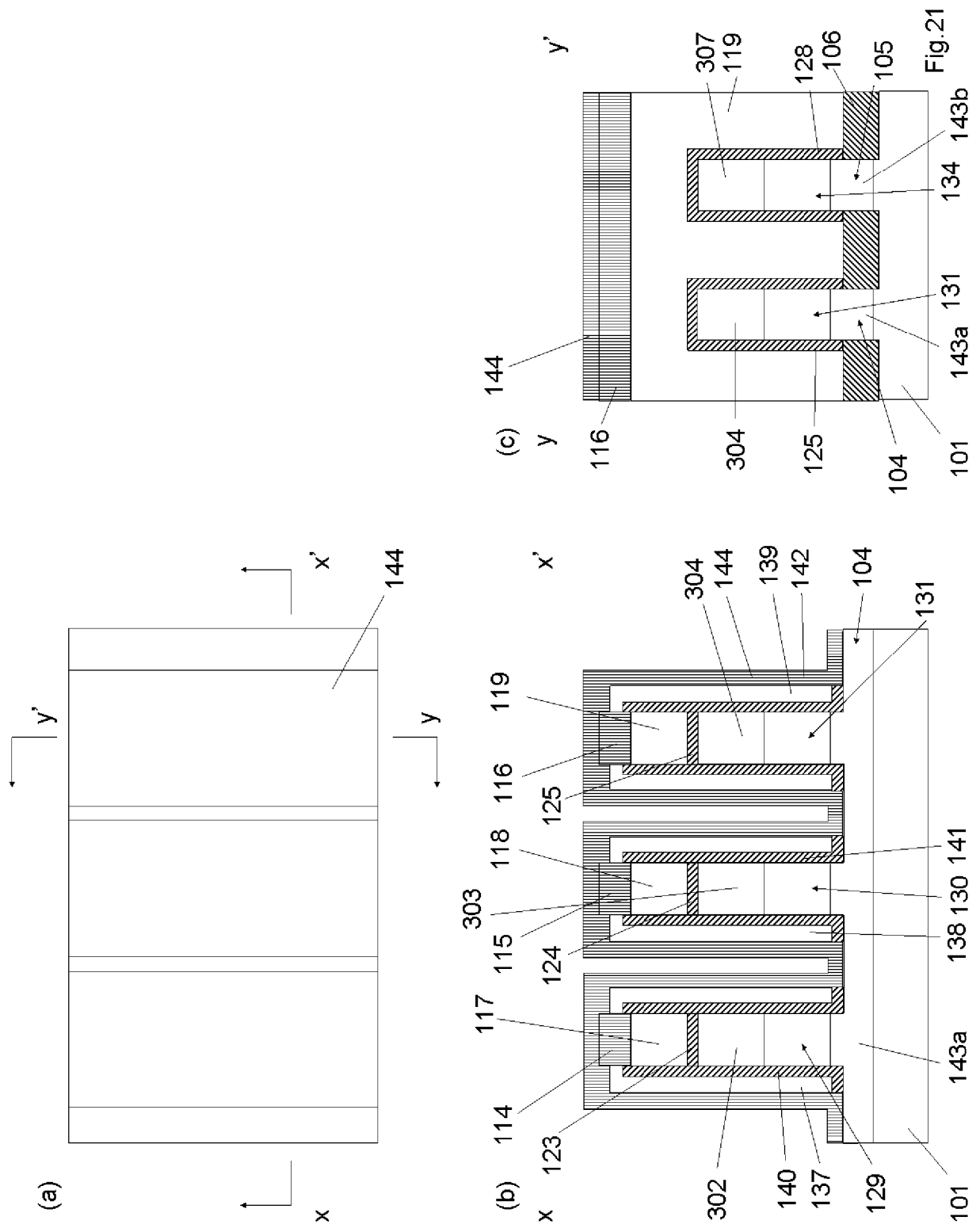
[Fig. 19]



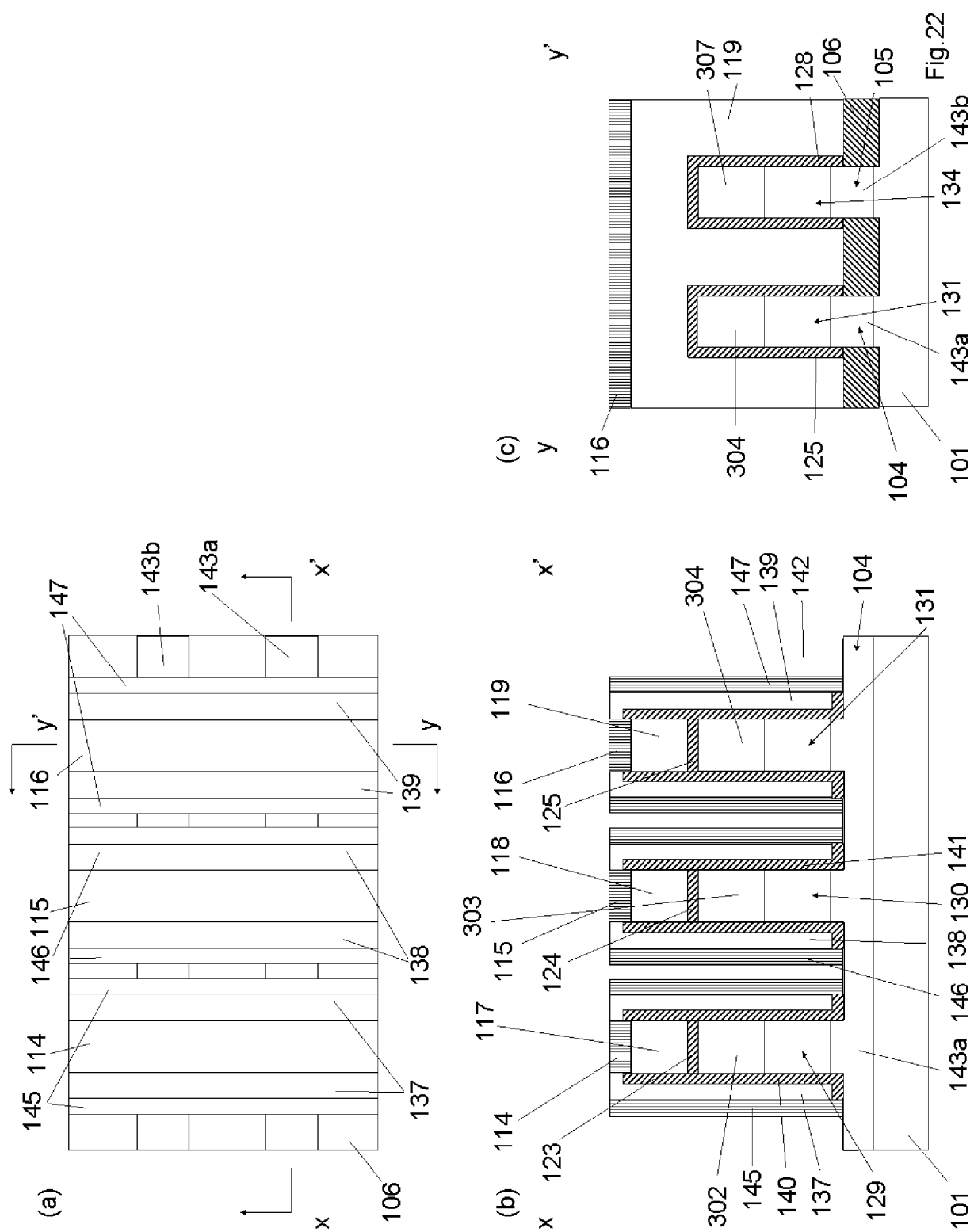
[Fig. 20]



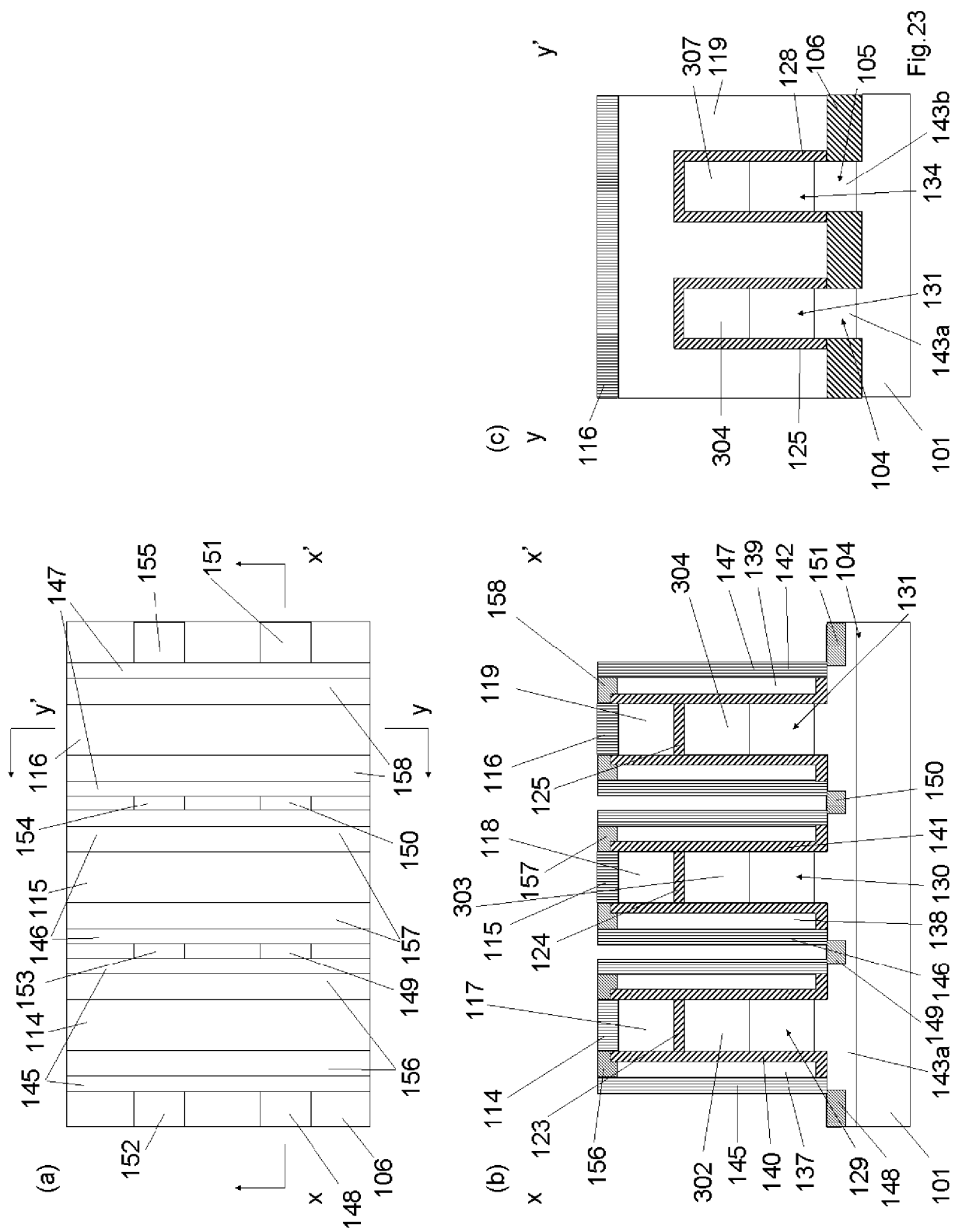
[圖21]



[Fig. 22]

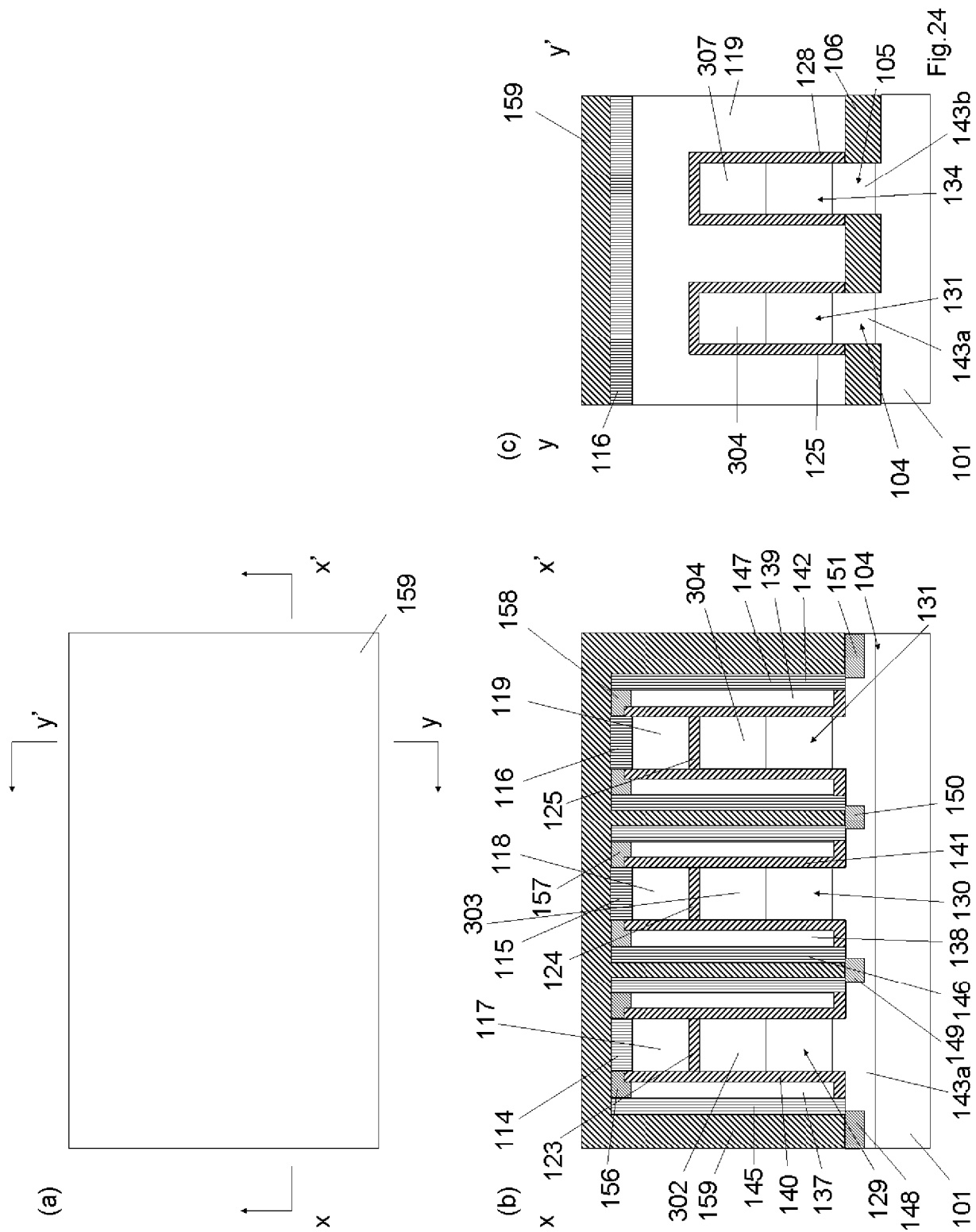


[Fig. 23]

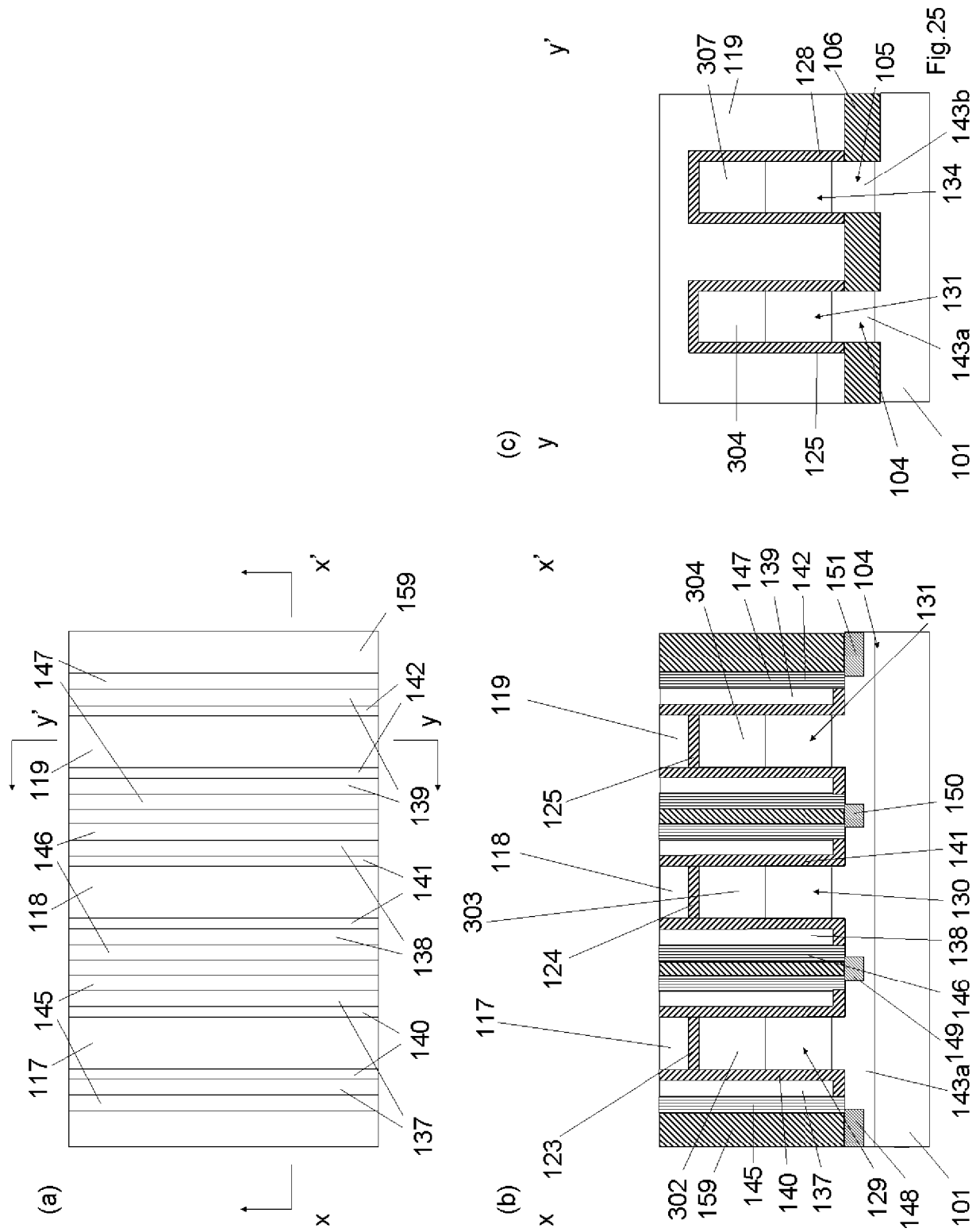




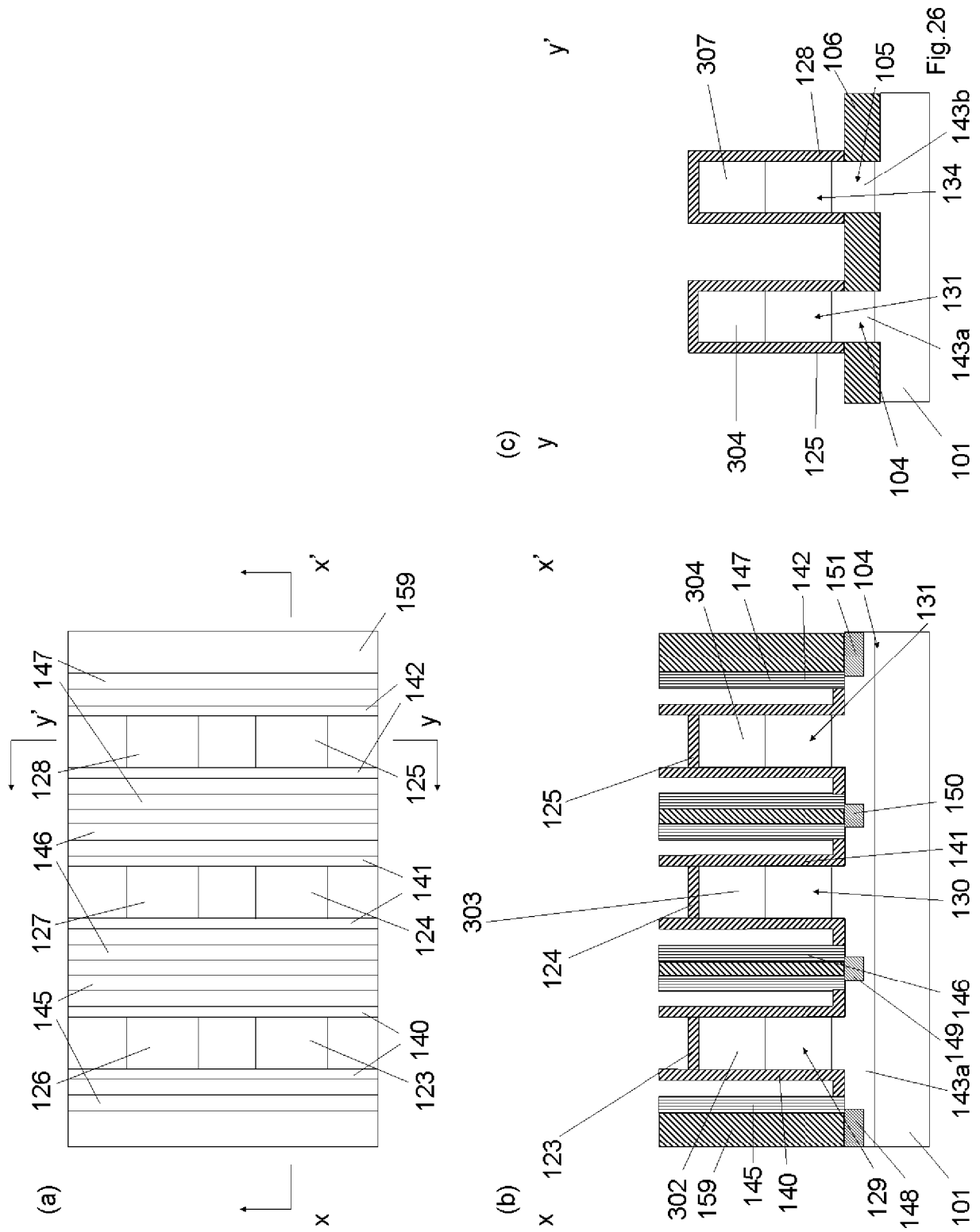
[圖24]



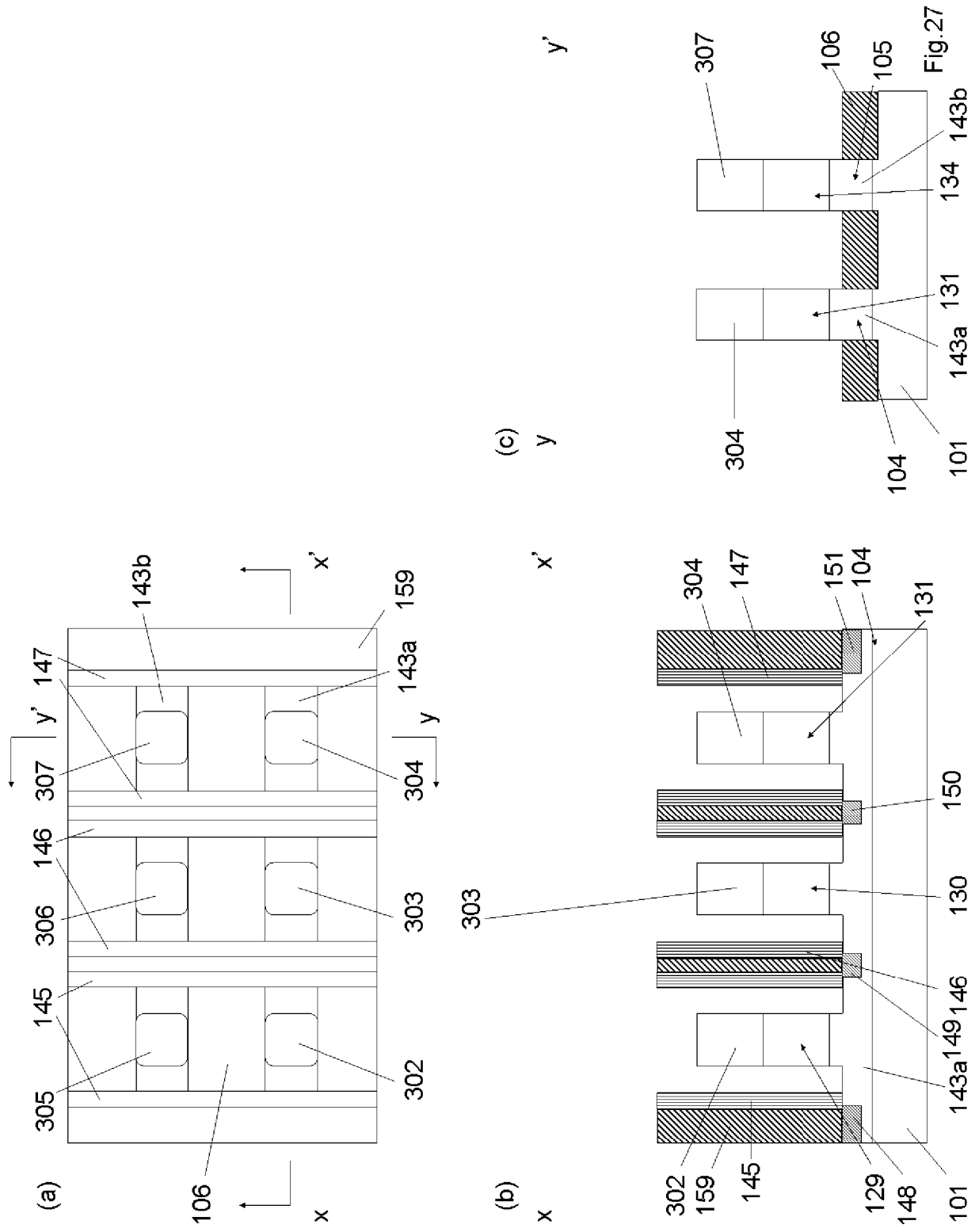
[圖25]



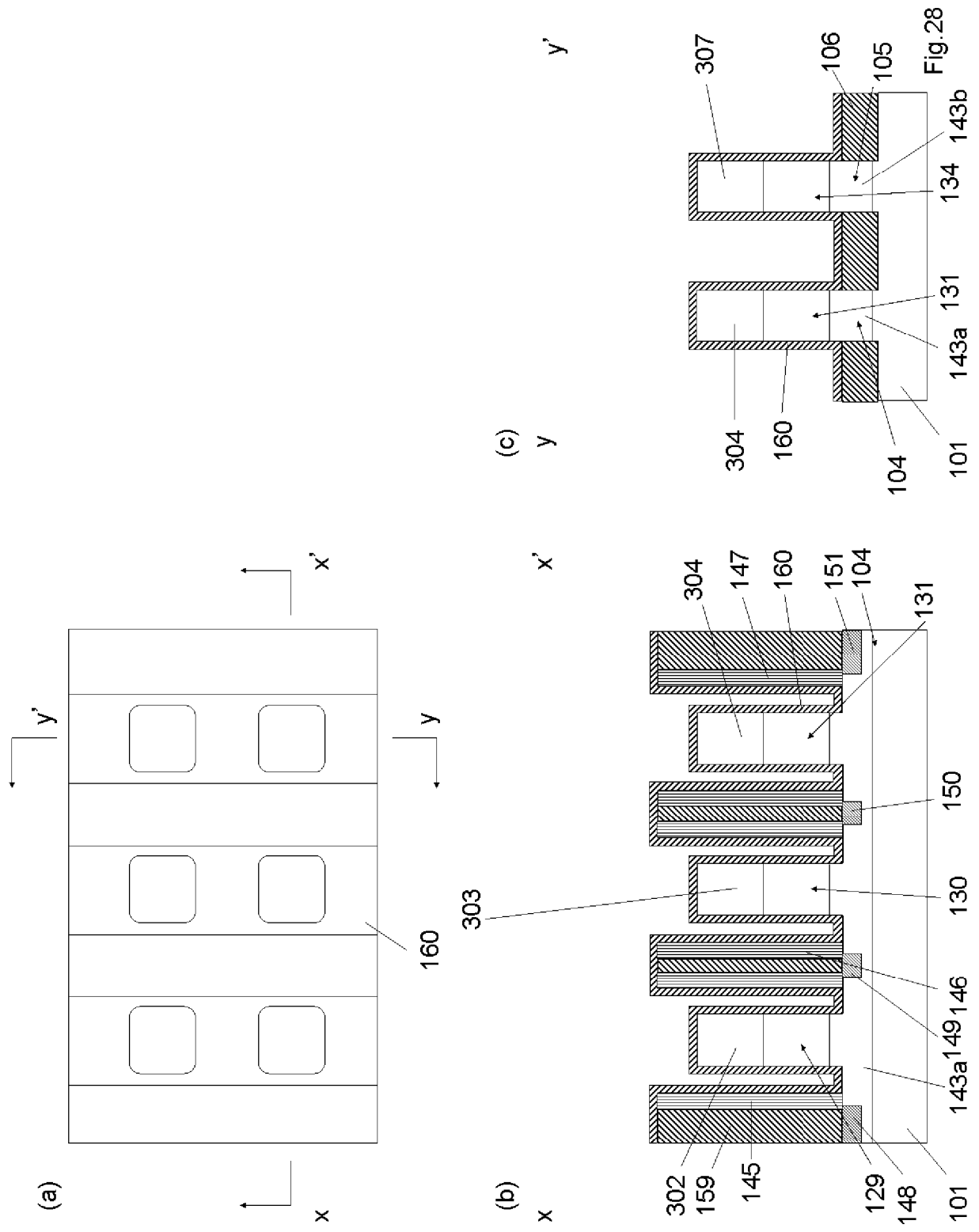
[圖26]



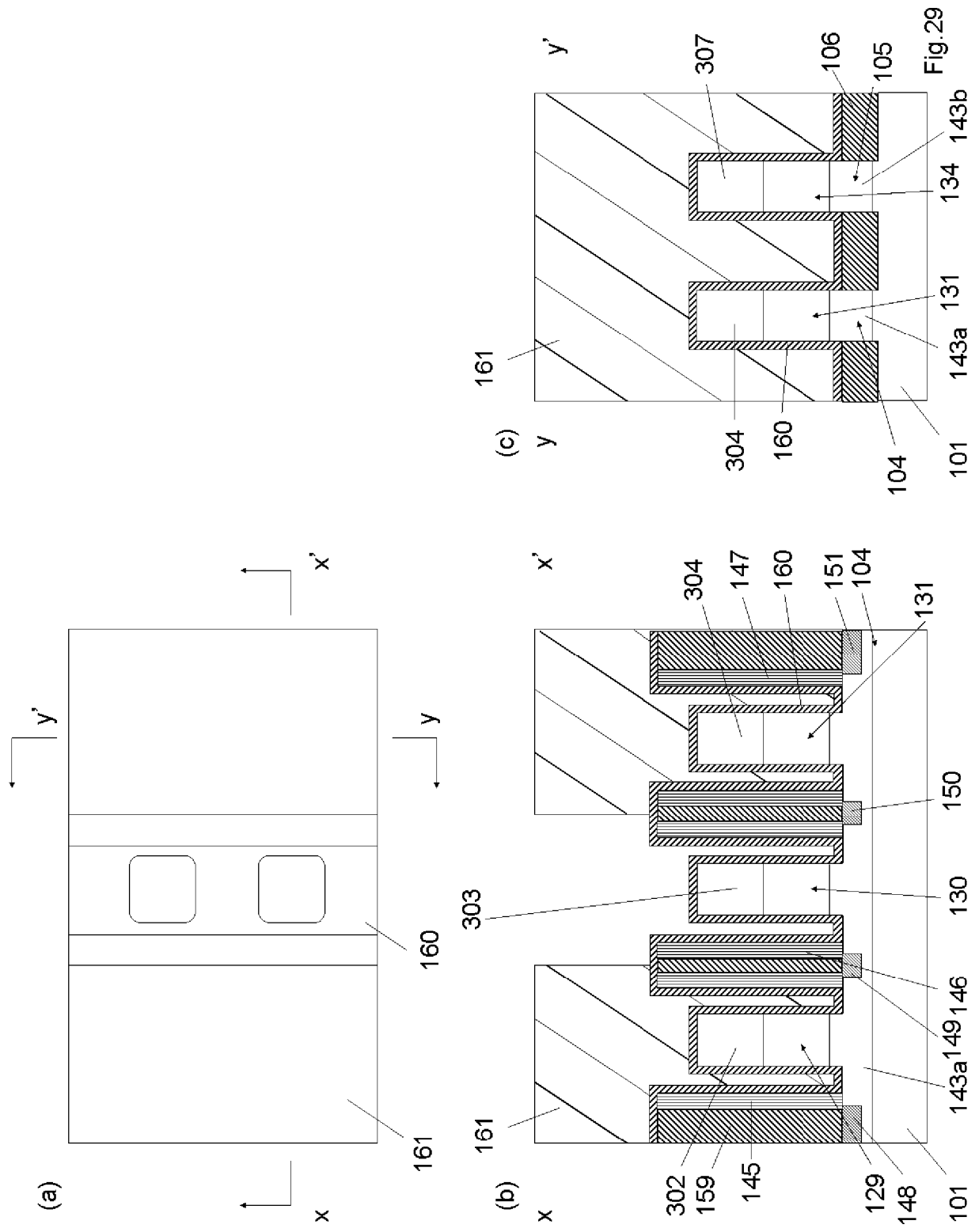
[Fig. 27]



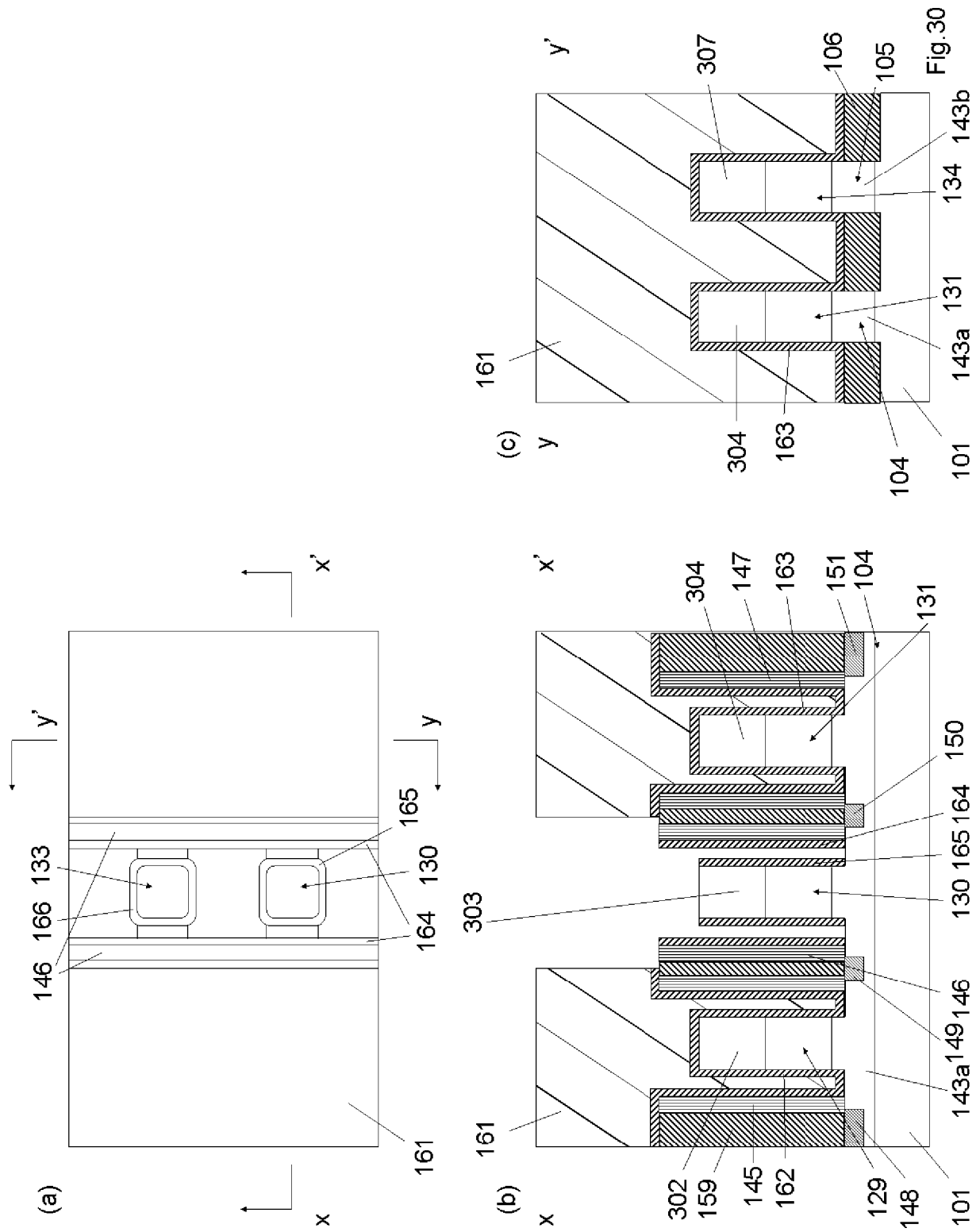
[圖28]



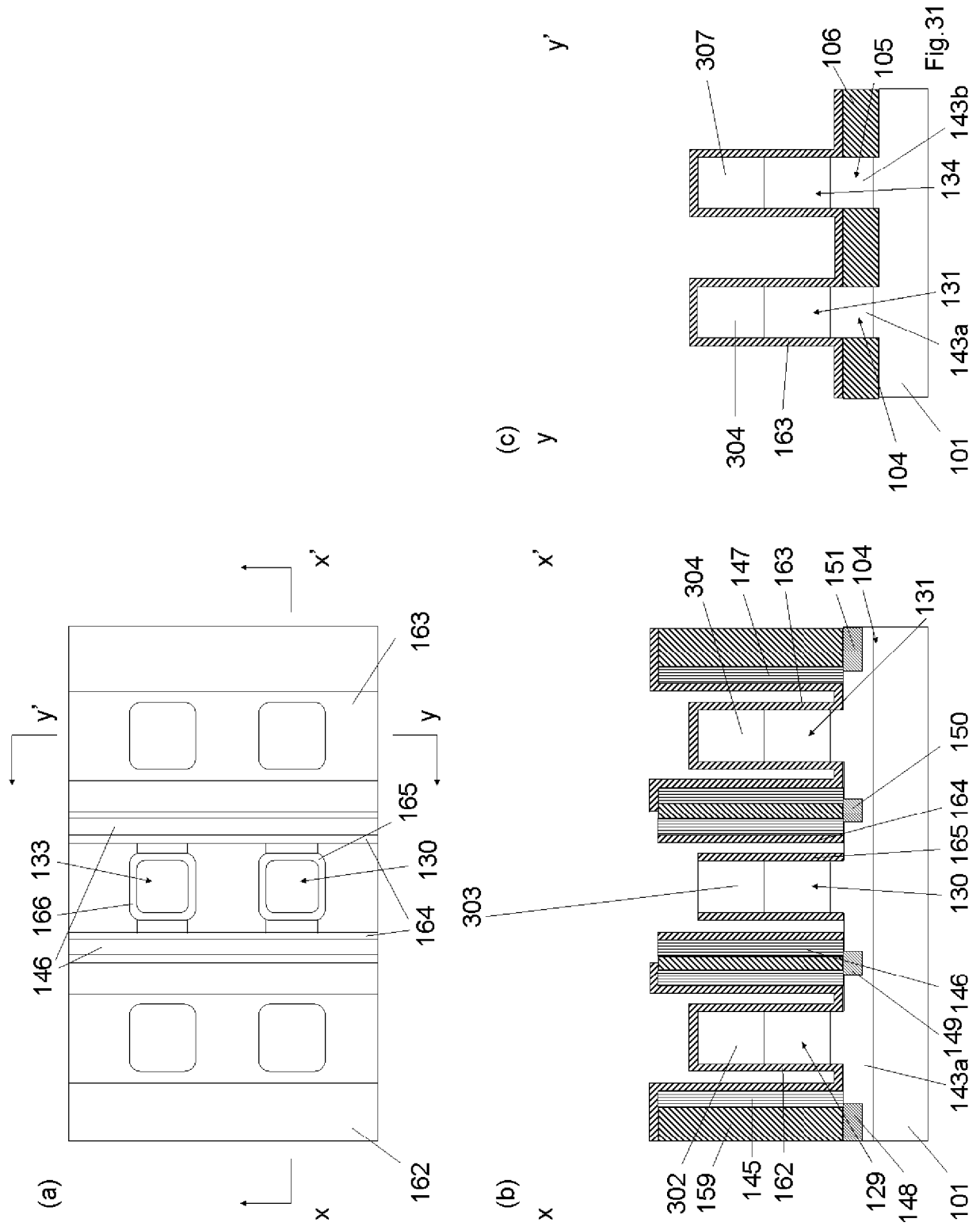
[圖29]



[Fig. 30]

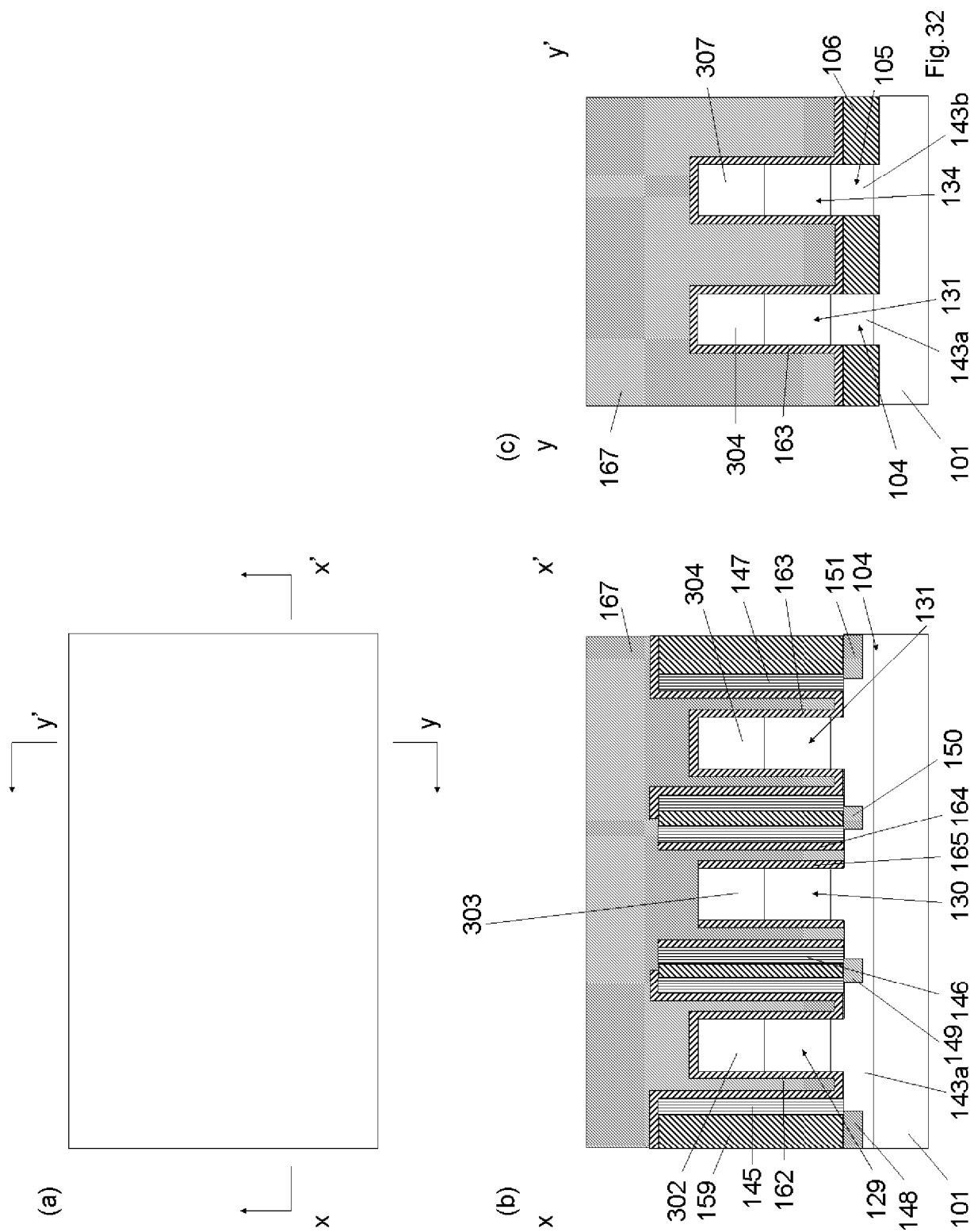


[Fig. 31]

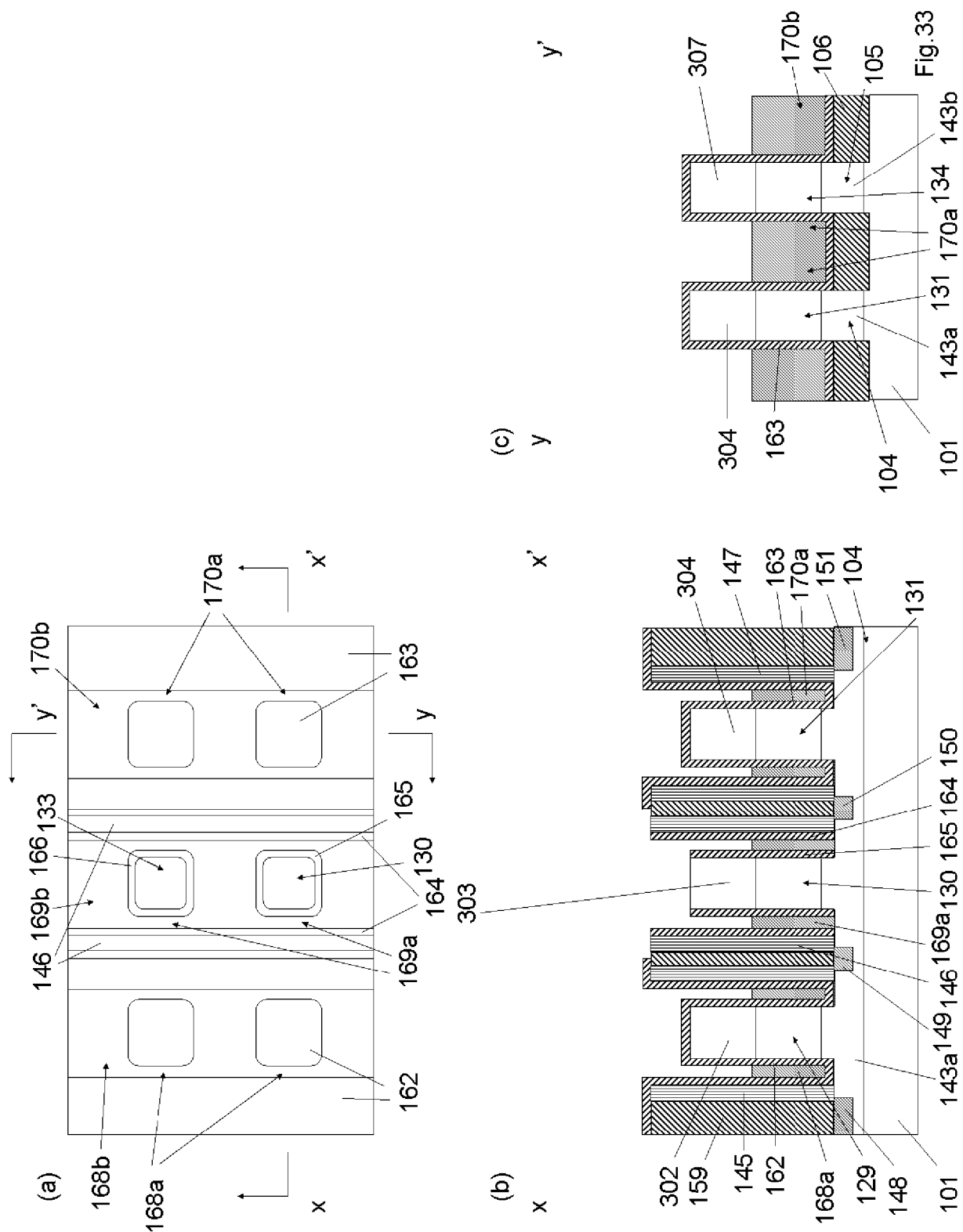




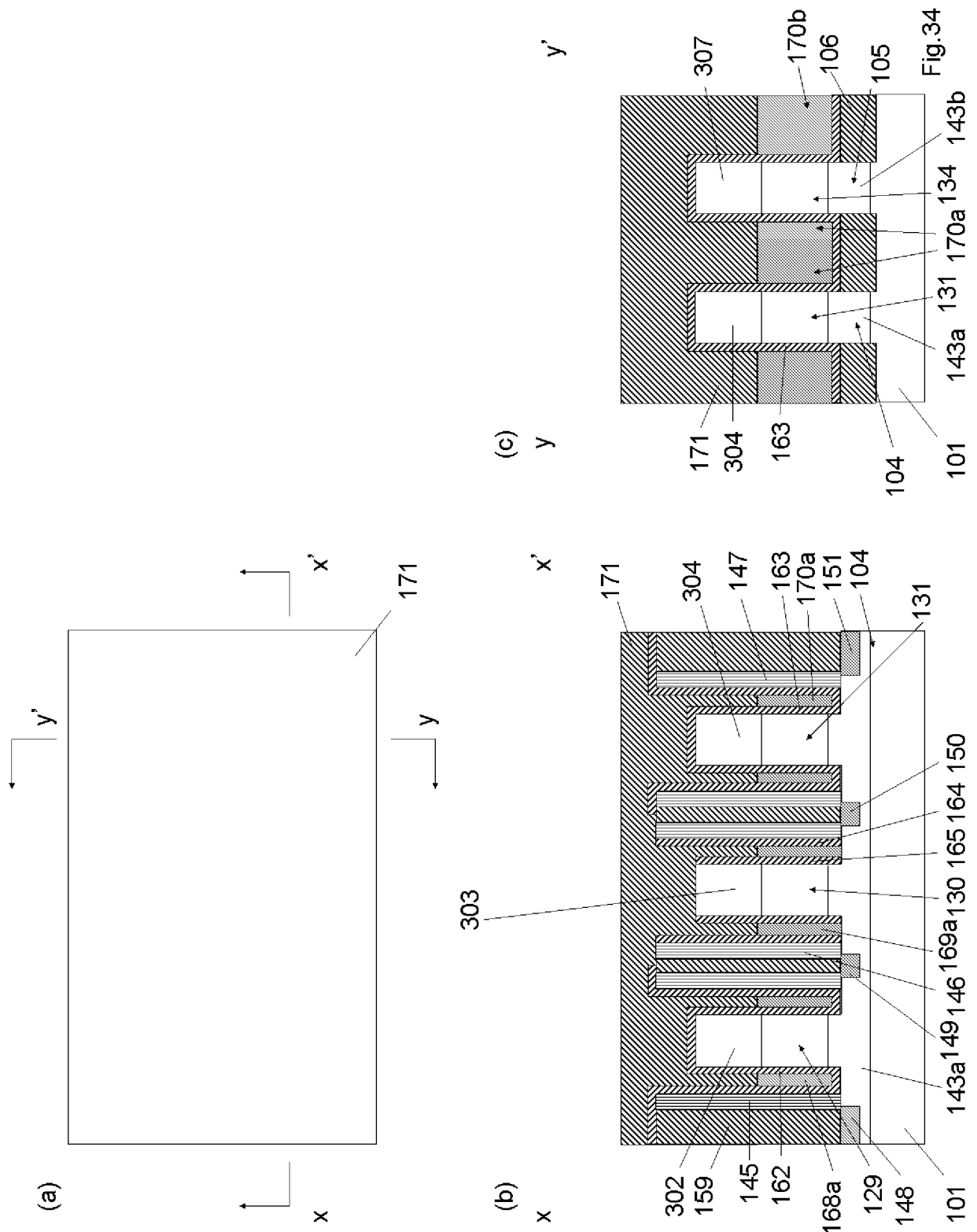
[Fig. 32]



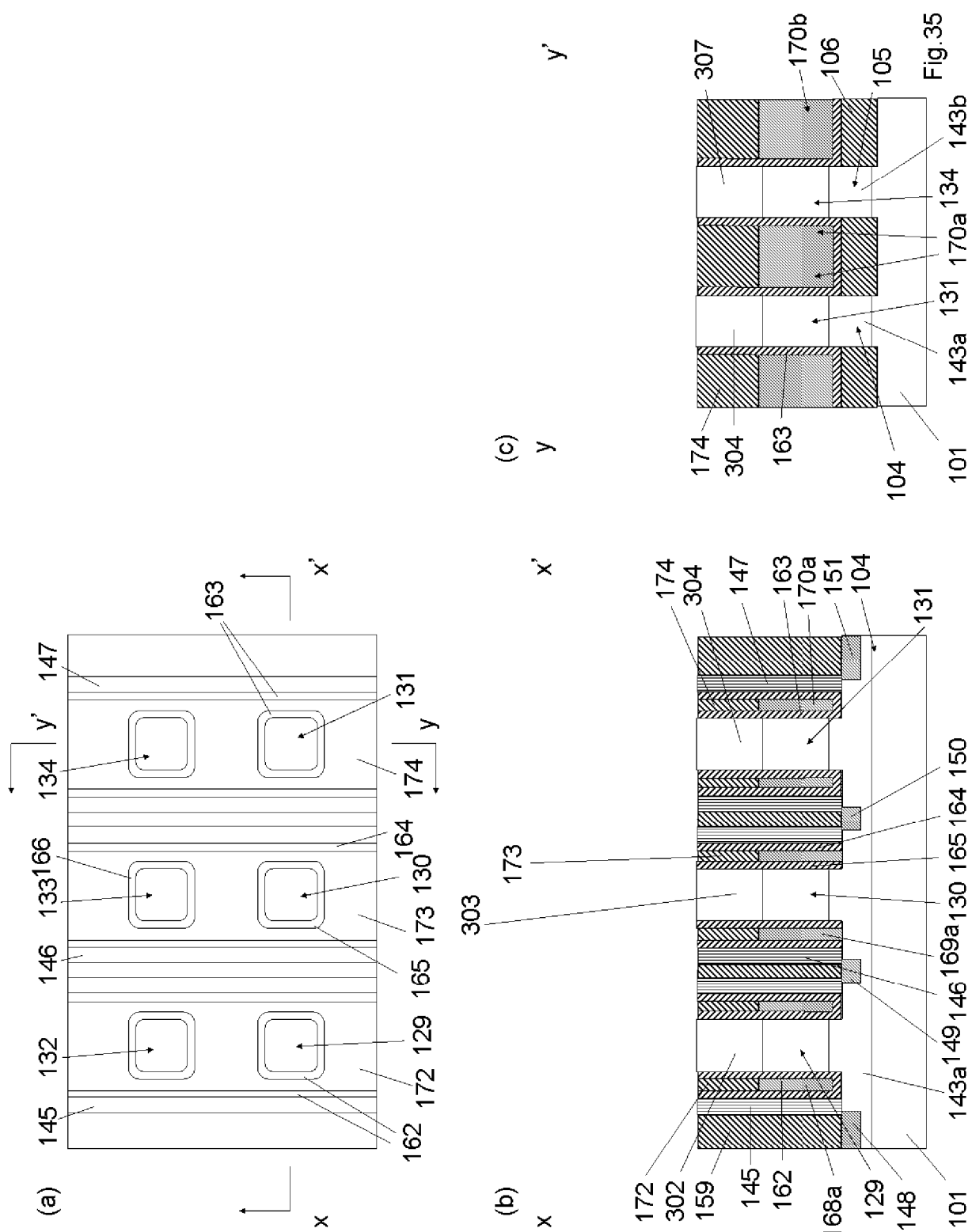
[Fig. 33]



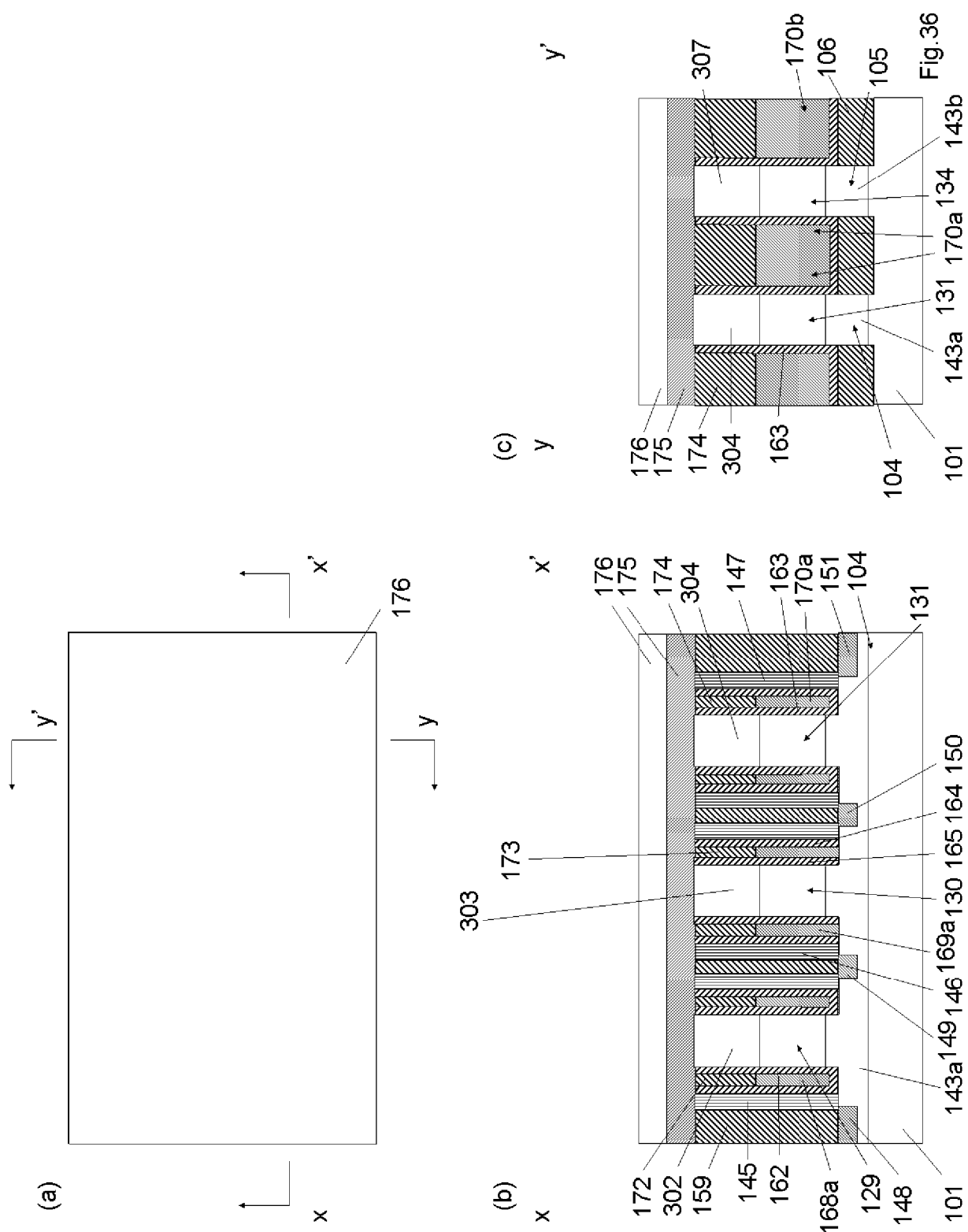
[圖34]



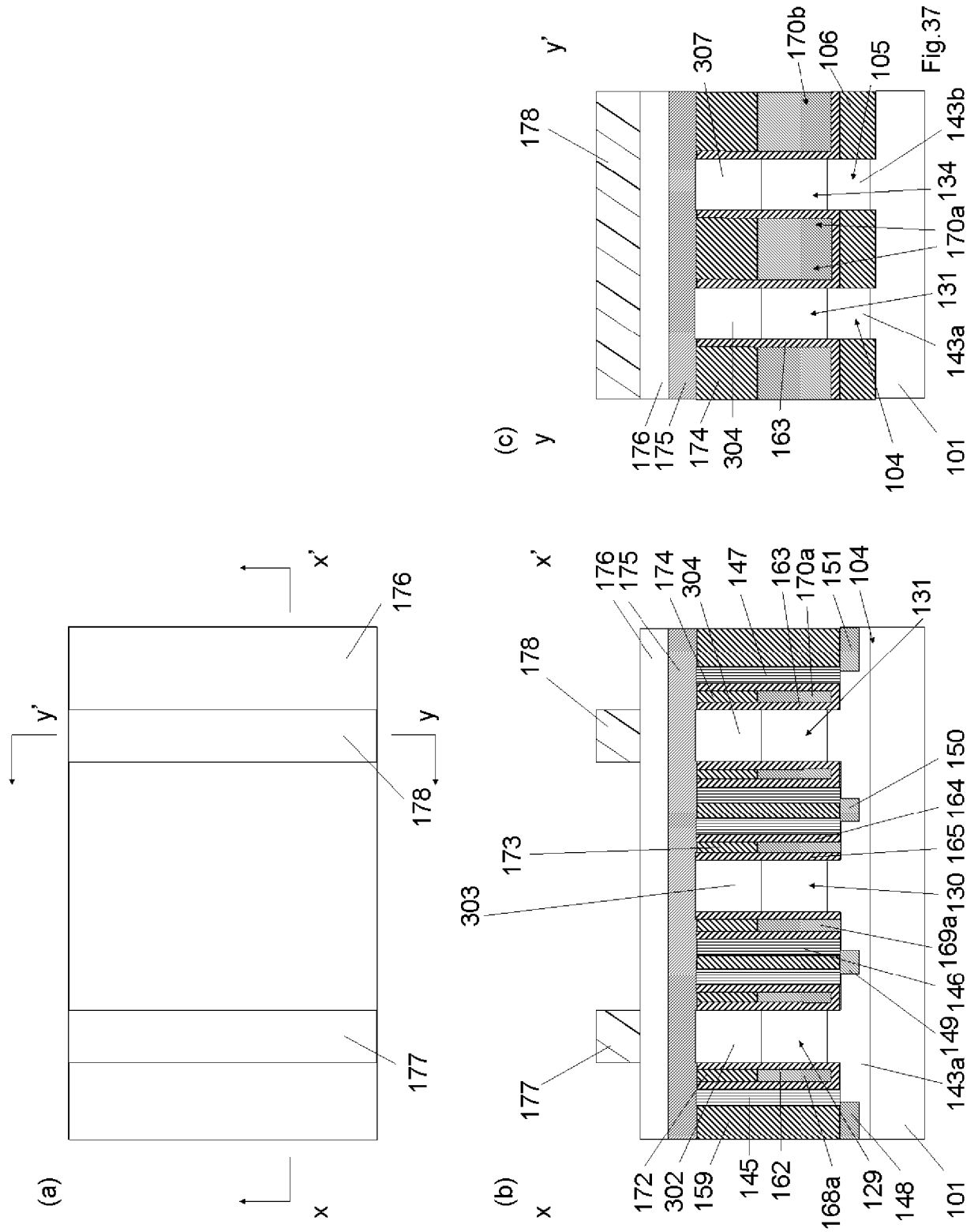
[Fig. 35]



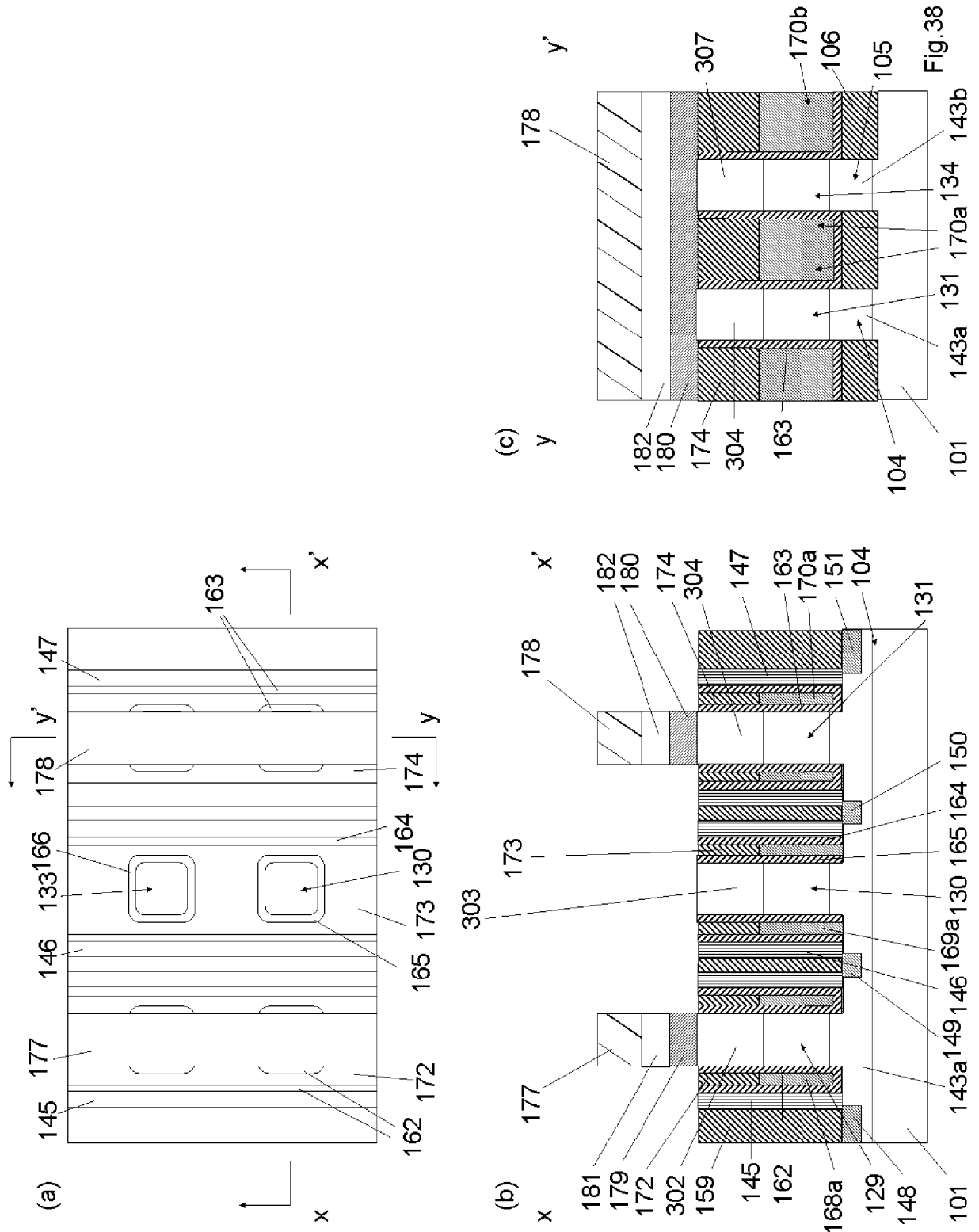
[Fig. 36]



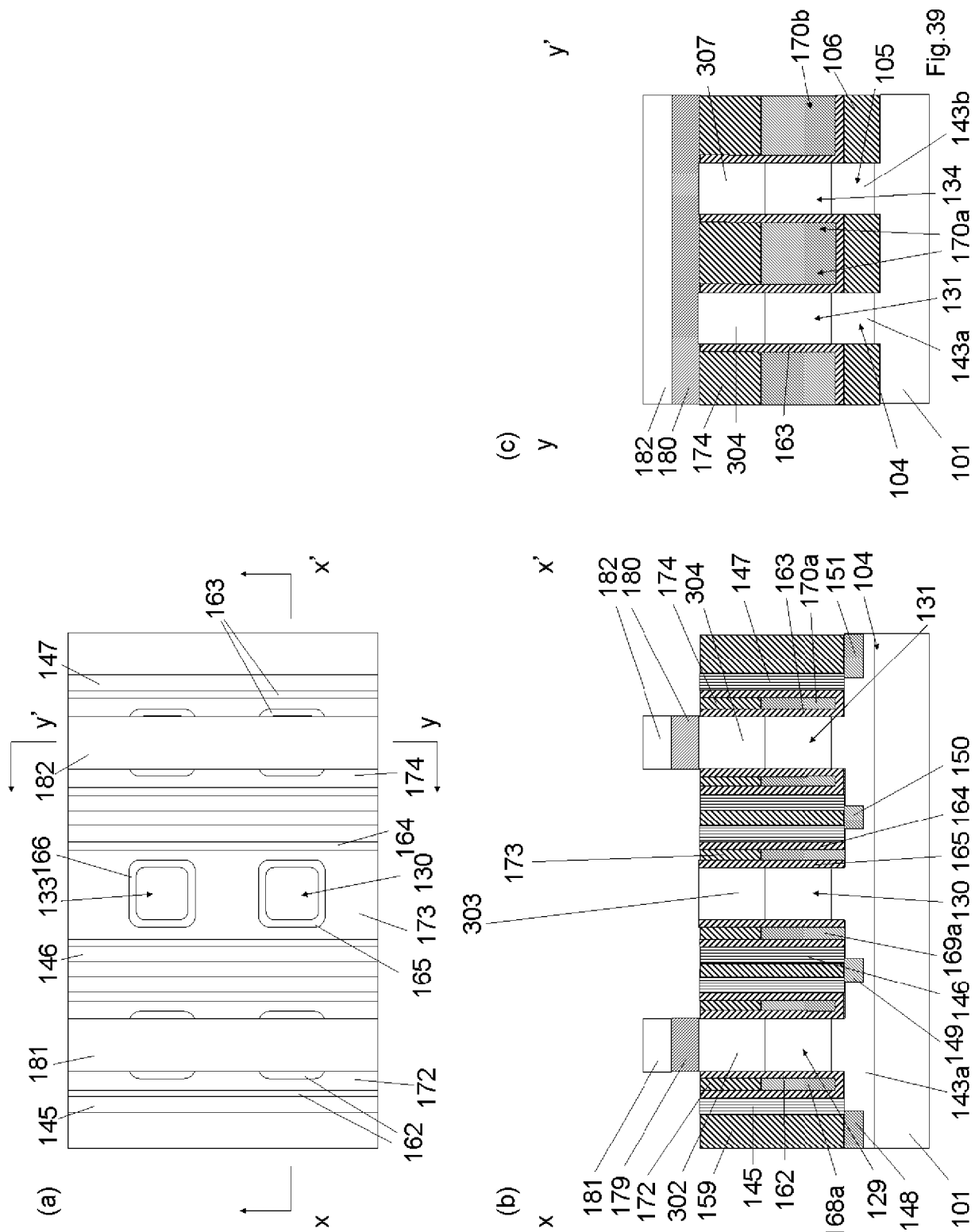
[Fig. 37]



[Fig. 38]

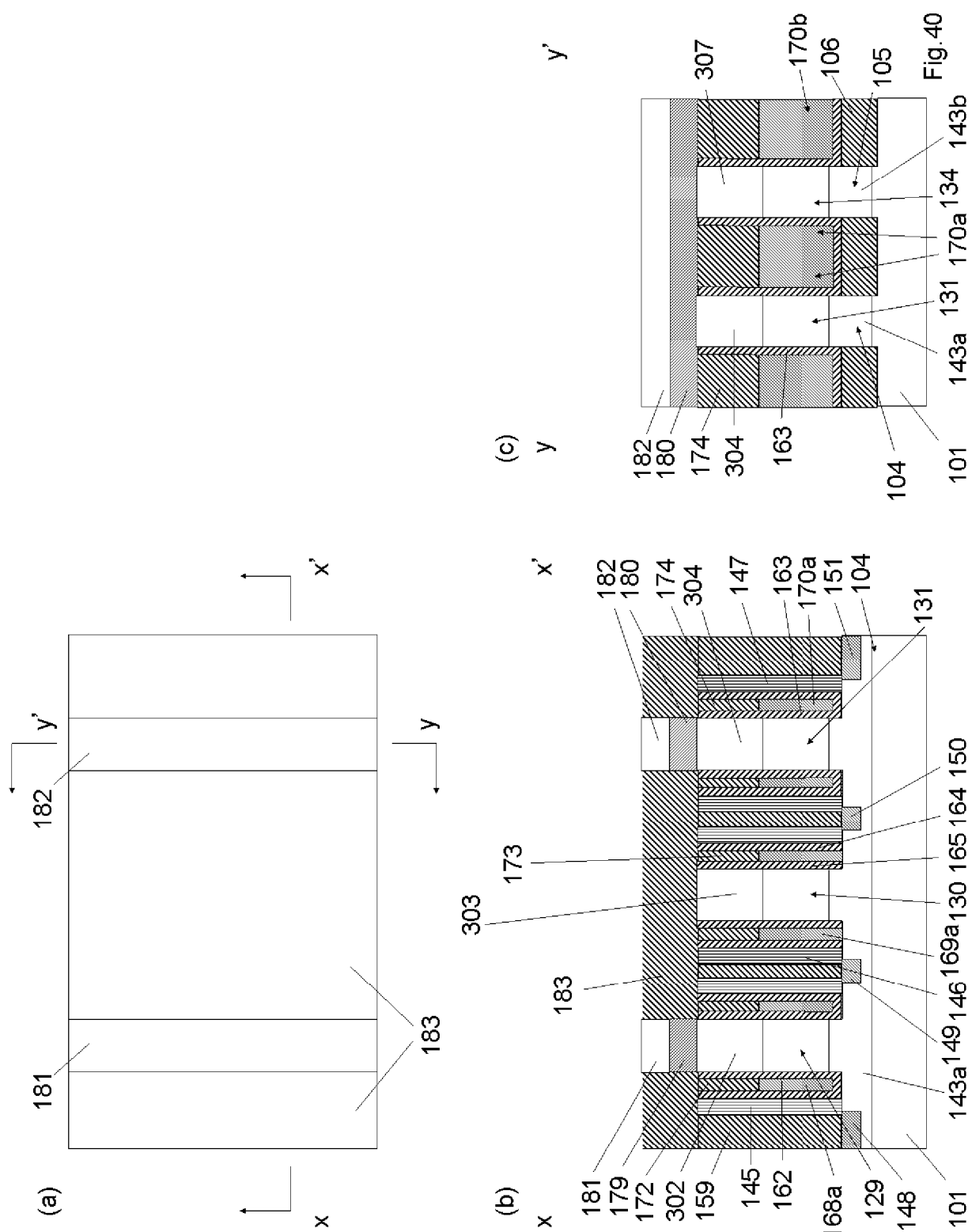


[Fig. 39]

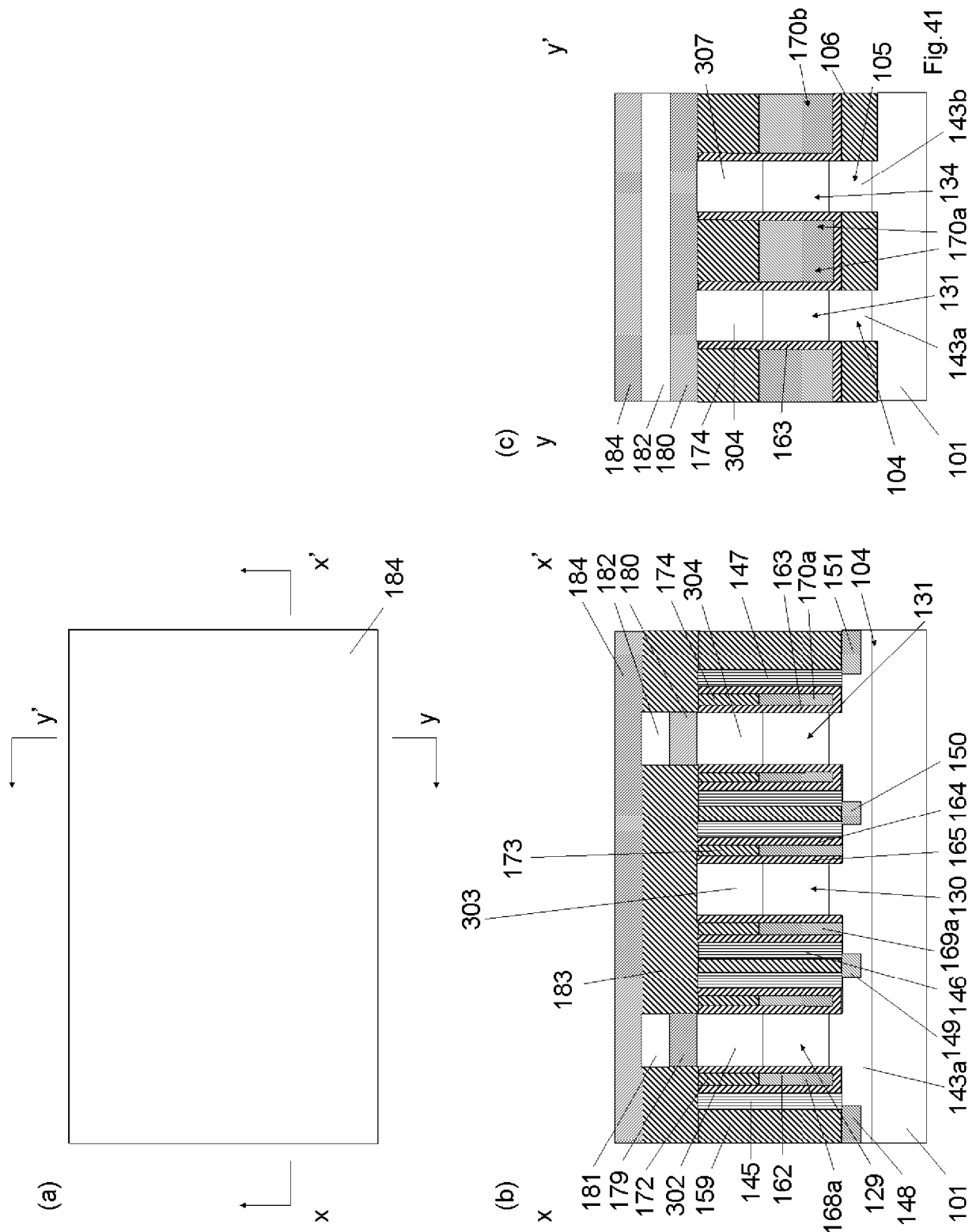




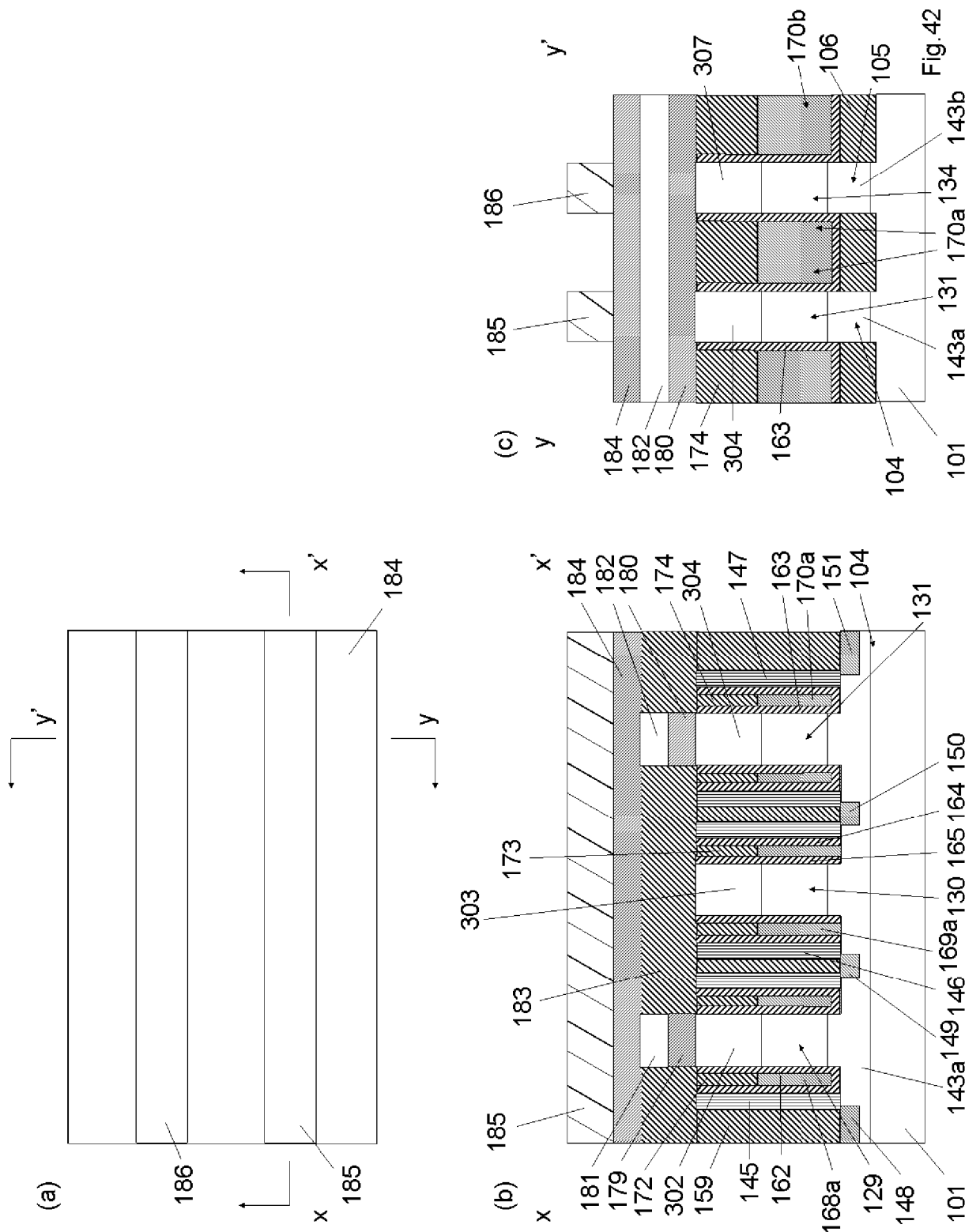
[圖40]



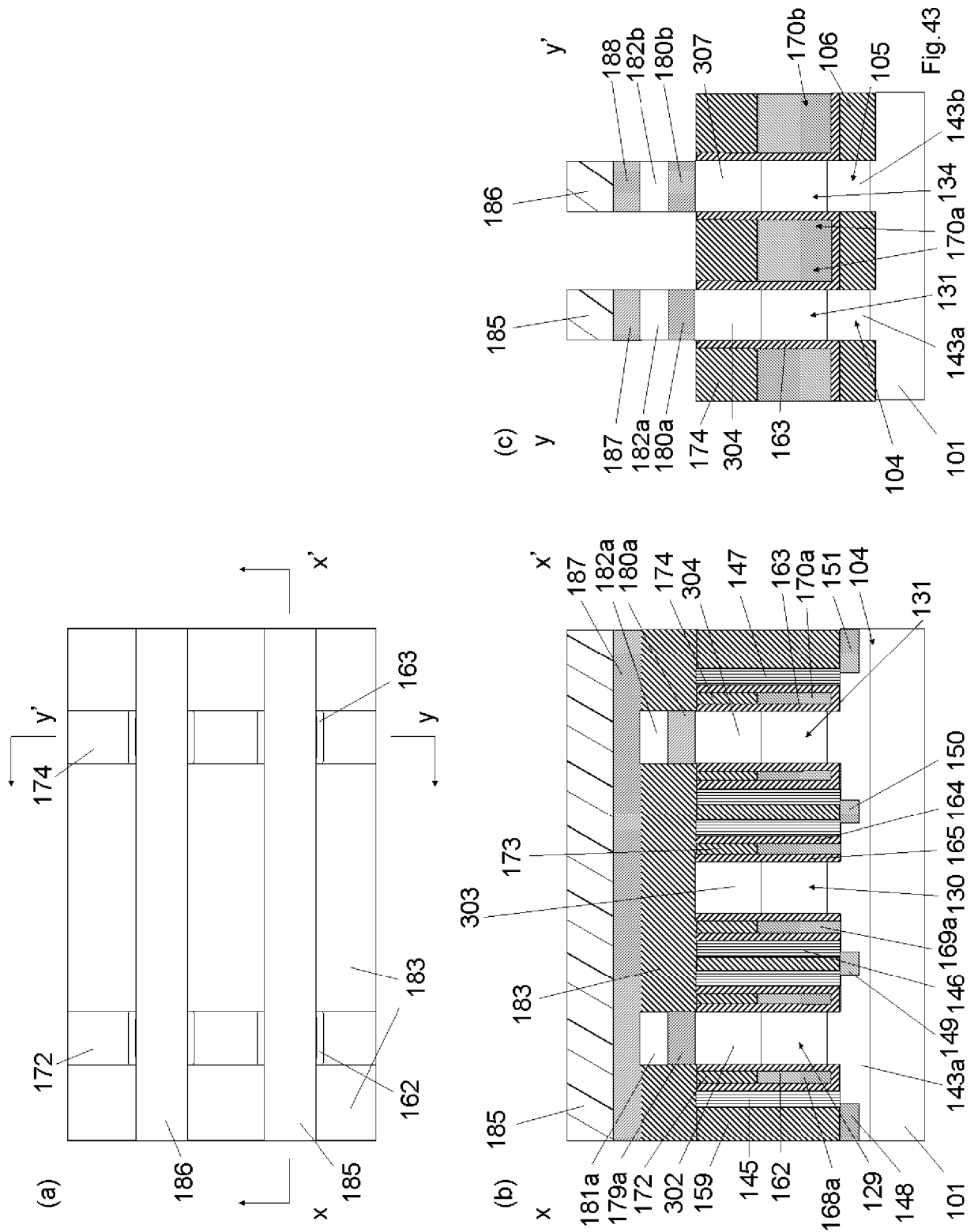
[圖41]



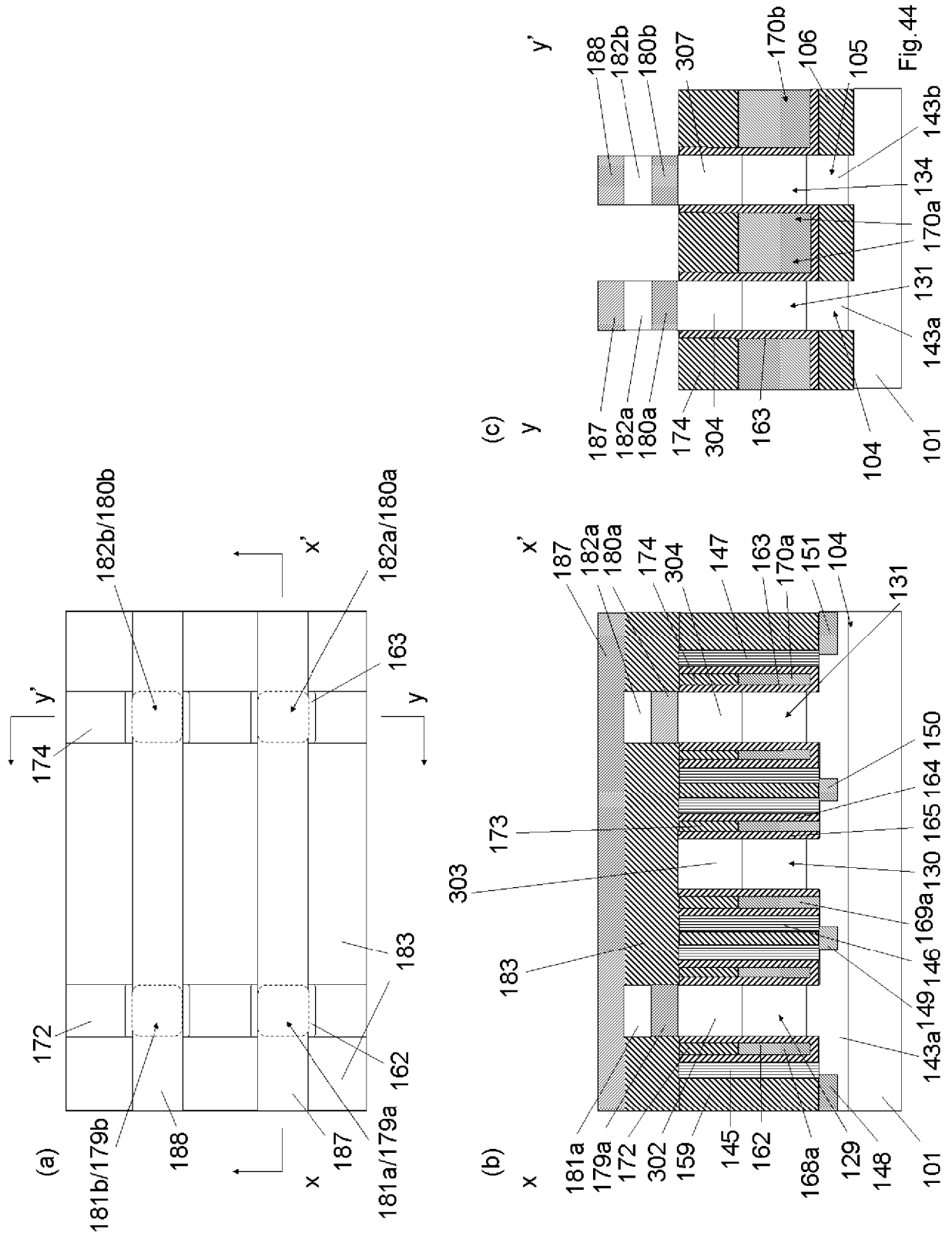
[圖42]



[圖43]



[圖44]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2013/075192

**A. CLASSIFICATION OF SUBJECT MATTER**

H01L27/105(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H01L27/105

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2011-199017 A (Elpida Memory, Inc.), 06 October 2011 (06.10.2011), paragraphs [0013] to [0032]; fig. 1 to 28 (Family: none)	1 2, 3, 6, 11, 14 4, 5, 7-10, 12, 13, 15-20
X Y A	JP 2005-260014 A (Hitachi, Ltd.), 22 September 2005 (22.09.2005), paragraphs [0010] to [0015]; fig. 1 to 20 & US 2005/0201182 A1 & KR 10-2005-0091902 A	1 2, 3, 6, 11, 14 4, 5, 7-10, 12, 13, 15-20
Y	WO 2013/093988 A1 (Unisantis Electronics Singapore Pte Ltd.), 27 June 2013 (27.06.2013), paragraph [0091]; fig. 1 to 52 (Family: none)	2, 3, 6, 11, 14

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
31 October, 2013 (31.10.13)

Date of mailing of the international search report  
12 November, 2013 (12.11.13)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2013/075192

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2013/038553 A1 (Unisantis Electronics Singapore Pte Ltd.), 21 March 2013 (21.03.2013), paragraphs [0047] to [0060], [0077] to [0082]; fig. 1 to 18 & CN 103119720 A & TW 201312693 A & KR 10-2013-0056897 A	3, 6, 14
A	JP 2009-182318 A (Unisantis Electronics Japan Ltd.), 13 August 2009 (13.08.2009), paragraphs [0068] to [0075]; fig. 1 to 129 & US 2010/0207201 A1 & EP 2246895 A1 & WO 2009/095997 A1 & CN 101933149 A & KR 10-2010-0117618 A & TW 200937618 A	1-20

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L27/105 (2006.01) i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L27/105		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2013年 日本国実用新案登録公報 1996-2013年 日本国登録実用新案公報 1994-2013年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2011-199017 A (エルピーダメモリ株式会社) 2011.10.06, 段落 0013-0032, 第 1-28 図 (ファミリーなし)	1 2, 3, 6, 11, 14 4, 5, 7-10, 12, 13, 15-20
X Y A	JP 2005-260014 A (株式会社日立製作所) 2005.09.22, 段落 0010-0015, 第 1-20 図 & US 2005/0201182 A1 & KR 10-2005-0091902 A	1 2, 3, 6, 11, 14 4, 5, 7-10, 12, 13, 15-20
<input checked="" type="checkbox"/> C 欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献
国際調査を完了した日 31.10.2013	国際調査報告の発送日 12.11.2013	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官 (権限のある職員) 小山 満 電話番号 03-3581-1101 内線 3559	50 9458



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2013/093988 A1 (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 2013.06.27, 段落 0091, 第 1-52 図 (ファミリーなし)	2, 3, 6, 11, 14
Y	WO 2013/038553 A1 (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 2013.03.21, 段落 0047-0060, 0077-0082, 第 1-18 図 & CN 103119720 A & TW 201312693 A & KR 10-2013-0056897 A	3, 6, 14
A	JP 2009-182318 A (日本ユニサンティスエレクトロニクス株式会社) 2009.08.13, 段落 0068-0075, 第 1-129 図 & US 2010/0207201 A1 & EP 2246895 A1 & WO 2009/095997 A1 & CN 101933149 A & KR 10-2010-0117618 A & TW 200937618 A	1-20