

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4703815号
(P4703815)

(45) 発行日 平成23年6月15日 (2011. 6. 15)

(24) 登録日 平成23年3月18日 (2011. 3. 18)

(51) Int. Cl.

F I

H O 4 N 5/353 (2011. 01)

H O 4 N 5/335 5 3 O

H O 4 N 5/374 (2011. 01)

H O 4 N 5/335 7 4 O

H O 1 L 27/146 (2006. 01)

H O 1 L 27/14 A

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 2 B

H O 1 L 29/78 6 1 4

請求項の数 11 (全 40 頁)

(21) 出願番号 特願2000-156111 (P2000-156111)
 (22) 出願日 平成12年5月26日 (2000. 5. 26)
 (65) 公開番号 特開2001-339640 (P2001-339640A)
 (43) 公開日 平成13年12月7日 (2001. 12. 7)
 審査請求日 平成19年5月25日 (2007. 5. 25)

前置審査

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

審査官 仲間 晃

最終頁に続く

(54) 【発明の名称】 MOS 型センサの駆動方法、及び撮像方法

(57) 【特許請求の範囲】

【請求項 1】

撮像部に複数の画素を有する MOS 型センサの駆動方法であって、
 前記撮像部の複数の画素の全てを同時にリセットした後、前記撮像部の画素を順次選択して、選択された画素の信号を出力し、
 前記リセットした時から、前記選択された画素の信号を出力する時までの時間に基づいて、前記リセットした時から、前記選択された画素の信号が飽和する直前の時までの時間を、蓄積時間の値に設定し、

前記撮像部の複数の画素を順次リセットしてから前記蓄積時間が経過した後に、前記撮像部の画素を順次選択することを特徴とする MOS 型センサの駆動方法。

【請求項 2】

撮像部に複数の画素を有する MOS 型センサの駆動方法であって、
 前記画素は、光電変換素子とリセット用トランジスタと信号増幅回路とを有しており、
 前記撮像部の複数の画素の全てを同時にリセットした後、前記撮像部の画素を順次選択して、選択された画素の信号を出力し、
 前記リセットした時から、前記選択された画素の信号を出力する時までの時間に基づいて、前記リセットした時から、前記選択された画素の信号が飽和する直前の時までの時間を、蓄積時間の値に設定し、

前記撮像部の複数の画素を順次リセットしてから前記蓄積時間が経過した後に、前記撮像部の画素を順次選択することを特徴とする MOS 型センサの駆動方法。

10

20

【請求項 3】

撮像部に複数の画素を有するMOS型センサの駆動方法であって、
前記画素は、光電変換素子とリセット用トランジスタを有しており、
前記撮像部の複数の画素の全てを同時にリセットした後、前記撮像部の画素を順次選択して、選択された画素の信号を出力し、
前記リセットした時から、前記選択された画素の信号を出力する時までの時間に基づいて、前記リセットをした時から、前記選択された画素の光電変換素子が飽和する直前の時までの時間を、蓄積時間の値に設定し、
前記撮像部の複数の画素を順次リセットしてから前記蓄積時間が経過した後に、前記撮像部の画素を順次選択することを特徴とするMOS型センサの駆動方法。

10

【請求項 4】

撮像部に複数の画素を有するMOS型センサの駆動方法であって、
前記画素は、光電変換素子とリセット用トランジスタと信号増幅回路とを有しており、
前記光電変換素子の一方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子に電氣的に接続されており、他方の端子は、光電変換素子側電源線に電氣的に接続されており、
前記リセット用トランジスタのゲート端子は、リセット用信号線に電氣的に接続されており、
前記リセット用トランジスタのソース端子もしくはドレイン端子の一方は、前記光電変換素子及び前記信号増幅回路の入力端子に電氣的に接続されており、他方はリセット側電源線に電氣的に接続されており、
前記撮像部の複数の画素の全てを同時にリセットした後、前記撮像部の画素を順次選択して、選択された画素の信号を出力し、
前記リセットした時から、前記選択された画素の信号を出力する時までの時間に基づいて、前記リセットをした時から、前記選択された画素の信号が飽和する直前の時までの時間を、蓄積時間の値に設定し、
前記撮像部の複数の画素を順次リセットしてから前記蓄積時間が経過した後に、前記撮像部の画素を順次選択することを特徴とするMOS型センサの駆動方法。

20

【請求項 5】

撮像部に複数の画素を有するMOS型センサの駆動方法であって、
前記画素は、光電変換素子とリセット用トランジスタと信号増幅回路とを有しており、
前記光電変換素子の一方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子に電氣的に接続されており、他方の端子は、光電変換素子側電源線に電氣的に接続されており、
前記リセット用トランジスタのゲート端子は、リセット用信号線に電氣的に接続されており、
前記リセット用トランジスタのソース端子もしくはドレイン端子の一方は、前記光電変換素子及び前記信号増幅回路の入力端子に電氣的に接続されており、他方はリセット側電源線に電氣的に接続されており、
前記撮像部の複数の画素の全てを同時にリセットした後、前記撮像部の画素を順次選択して、選択された画素の信号を出力し、
前記リセットした時から、前記選択された画素の信号を出力する時までの時間に基づいて、前記リセットをした時から、前記選択された画素の光電変換素子が飽和する直前の時までの時間を、蓄積時間の値に設定し、
前記撮像部の複数の画素を順次リセットしてから前記蓄積時間が経過した後に、前記撮像部の画素を順次選択することを特徴とするMOS型センサの駆動方法。

30

40

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、
前記蓄積時間を用いて、被写体の撮像を行うことを特徴とするMOS型センサの駆動方法。

50

【請求項 7】

撮像部に複数の画素を有するMOS型センサを用いた撮像方法であって、

前記撮像部の複数の画素を同時にリセットした後、前記撮像部の画素を順次選択して、選択された画素の信号を出力することにより試行撮像を行い、前記リセットした時から、前記選択された画素の信号を出力する時までの時間に基づいて、前記リセットをした時から、前記選択された画素の信号が飽和する直前の時までの時間を、蓄積時間の値に設定し、

前記撮像部の複数の画素を順次リセットしてから前記蓄積時間が経過した後に、前記撮像部の画素を順次選択することにより、通常の撮像を行うことを特徴とする撮像方法。

【請求項 8】

撮像部に複数の画素を有するMOS型センサを用いた撮像方法であって、

前記画素は、光電変換素子とリセット用トランジスタと信号増幅回路とを有しており、

前記撮像部の複数の画素を同時にリセットした後、前記撮像部の画素を順次選択して、選択された画素の信号を出力することにより試行撮像を行い、前記リセットした時から、前記選択された画素の信号を出力する時までの時間に基づいて、前記リセットをした時から、前記選択された画素の信号が飽和する直前の時までの時間を、蓄積時間の値に設定し、

前記撮像部の複数の画素を順次リセットしてから前記蓄積時間が経過した後に、前記撮像部の画素を順次選択することにより、通常の撮像を行うことを特徴とする撮像方法。

【請求項 9】

撮像部に複数の画素を有するMOS型センサを用いた撮像方法であって、

前記画素は、光電変換素子とリセット用トランジスタと信号増幅回路とを有しており、

前記光電変換素子の一方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子に電氣的に接続されており、他方の端子は、光電変換素子側電源線に電氣的に接続されており、

前記リセット用トランジスタのゲート端子は、リセット用信号線に電氣的に接続されており、

前記リセット用トランジスタのソース端子もしくはドレイン端子の一方は、前記光電変換素子及び前記信号増幅回路の入力端子に電氣的に接続されており、他方はリセット側電源線に電氣的に接続されており、

前記撮像部の複数の画素を同時にリセットした後、前記撮像部の画素を順次選択して、選択された画素の信号を出力することにより試行撮像を行い、前記リセットした時から、前記選択された画素の信号を出力する時までの時間に基づいて、前記リセットをした時から、前記選択された画素の信号が飽和する直前の時までの時間を、蓄積時間の値に設定し、

前記撮像部の複数の画素を順次リセットしてから前記蓄積時間が経過した後に、前記撮像部の画素を順次選択することにより、通常の撮像を行うことを特徴とする撮像方法。

【請求項 10】

撮像部に複数の画素を有するMOS型センサを用いた撮像方法であって、

前記画素は、光電変換素子とリセット用トランジスタとを有しており、

前記撮像部の複数の画素を同時にリセットした後、前記撮像部の画素を順次選択して、選択された画素の信号を出力することにより試行撮像を行い、前記リセットした時から、前記選択された画素の信号を出力する時までの時間に基づいて、前記リセットをした時から、前記選択された画素の光電変換素子が飽和する直前の時までの時間を、蓄積時間の値に設定し、

前記撮像部の複数の画素を順次リセットしてから前記蓄積時間が経過した後に、前記撮像部の画素を順次選択することにより、通常の撮像を行うことを特徴とする撮像方法。

【請求項 11】

撮像部に複数の画素を有するMOS型センサを用いた撮像方法であって、

前記画素は、光電変換素子とリセット用トランジスタと信号増幅回路とを有しており、

前記光電変換素子の一方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子に電氣的に接続されており、他方の端子は、光電変換素子側電源線に電氣的に接続されており、

前記リセット用トランジスタのゲート端子は、リセット用信号線に電氣的に接続されており、

前記リセット用トランジスタのソース端子もしくはドレイン端子の一方は、前記光電変換素子及び前記信号増幅回路の入力端子に電氣的に接続されており、他方はリセット側電源線に電氣的に接続されており、

前記撮像部の複数の画素を同時にリセットした後、前記撮像部の画素を順次選択して、選択された画素の信号を出力することにより試行撮像を行い、前記リセットした時から、前記選択された画素の信号を出力する時までの時間に基づいて、前記リセットをした時から、前記選択された画素の光電変換素子が飽和する直前の時までの時間を、蓄積時間の値に設定し、

10

前記撮像部の複数の画素を順次リセットしてから前記蓄積時間が経過した後に、前記撮像部の画素を順次選択することにより、通常の撮像を行うことを特徴とする撮像方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は、MOS型センサおよびその駆動方法に関する。より詳細には、MOS型エリアセンサにおける最適な蓄積時間を決定するための技術に関する。

20

【0002】

【従来の技術】

近年、パソコン等の情報機器が広く普及し、様々な情報を電子情報としてパソコンなどに読み込みたいという要求が高くなっている。そのため、従来の銀塩カメラに代わるものとしてデジタルスチルカメラが、また、紙などに印刷されたものを読み取るための手段としてスキャナが、大きく注目されている。

【0003】

デジタルスチルカメラでは、イメージセンサ部の画素が2次元に配列されたエリアセンサが用いられている。スキャナやコピー機などでは、イメージセンサ部の画素が1次元に配列されたラインセンサが用いられている。

30

【0004】

これらの画像読み取り機器では、イメージセンサとしてCCD型センサが主に使われている。CCD型センサでは、各画素のフォトダイオードで光電変換を行い、その信号を、CCDを用いて読み出している。しかしながら、近年、周辺回路を内蔵できることや、ワンチップ化できること、リアルタイム信号処理に適していること、消費電力が低いことなどを武器に、単結晶シリコン基板を用いて作成されたMOS型センサが一部で普及の兆しを見せている。日経エレクトロニクス：1997.7.14：p119（復活したMOS型固体撮像素子・低消費電力武器に用途広げる）には、MOS型センサの普及状況が述べられている。また、研究レベルでは、ガラス基板上にTFTを用いて作成したMOS型センサも開発されている。MOS型センサでは、各画素のフォトダイオードで光電変換を行い、MOSトランジスタによって形成されたスイッチを用いて、各画素の信号を読み出している。

40

【0005】

そこで、まず、MOS型センサの概略について述べる。その後、CCD型センサについて述べる。

【0006】

MOS型センサの画素構成としては、様々なタイプのものが開発されている。それらは、2つの種類、つまり、パッシブセンサとアクティブセンサとに、大まかには分類できる。パッシブセンサは、各画素に信号増幅素子を搭載しないセンサであり、アクティブセンサは、各画素に信号増幅素子を搭載するセンサである。アクティブセンサでは、各画素内で信号が増幅されるため、パッシブセンサよりも雑音に強いというメリットがある。

50

【 0 0 0 7 】

図3に、パッシブセンサにおける画素の回路例を示す。画素305は、スイッチ用トランジスタ301とフォトダイオード304で構成されている。フォトダイオード304は、電源基準線306とスイッチ用トランジスタ301のソース端子に接続されている。スイッチ用トランジスタ301のゲート端子には、ゲート信号線302が接続され、ドレイン端子には、信号出力線303が接続されている。フォトダイオード304では、光電変換が行われる。つまり、入射した光に応じて電荷を生成し、電荷をそこに蓄積する。そして、ゲート信号線302を制御して、スイッチ用トランジスタ301を導通状態にして、フォトダイオード304の電荷を信号出力線303を通して読み出している。

【 0 0 0 8 】

パッシブセンサでは、スイッチ用トランジスタ301を導通状態にして、フォトダイオード304の電荷を信号として読み出す。そして、フォトダイオード304は、スイッチ用トランジスタ301のソース端子に接続されている。そのため、信号を読み出すと、フォトダイオード304の状態（電荷や電位など）が変わってしまう。つまり、フォトダイオード304の状態を変えずに、フォトダイオード304の信号を読み出すことが出来ない。そのため、パッシブセンサでの読み出しは、破壊的読み出しである、とすることが出来る。

【 0 0 0 9 】

また、通常、画素の信号は、1行ごと、もしくは、1画素ごとに読み出されて、出力される。一方、蓄積時間は、全ての画素で同じにしなければならない。よって、リセットも、1行ごと、もしくは、1画素ごとに行っていく必要がある。その結果、各行（各画素）で、リセットされるタイミングと信号を出力するタイミングは、異なってくる。よって、蓄積時間は全行の画素で等しいが、蓄積する時刻は異なることになる。このような制約はあるけれども、原理的には、ランダムに、各行（各画素）の信号を読み出すことが出来る。そのため、この読み出し方式は、ランダムリセット・ランダム読み出し方式と呼ばれている。

【 0 0 1 0 】

アクティブセンサの画素の構成としては、様々なタイプがある。IEDM95：p17(CMOS Image Sensors, Electronic Camera On a Chip)、あるいはIEDM97：p201(CMOS Image Sensors - Recent Advances and Device Scaling Considerations)では、フォトダイオード型、フォトゲート型などの画素構成と動作を紹介している。ISSCC97：p180(A 1/4 Inch 330k Square Pixel Progressive Scan CMOS Active Pixel Image Sensor)では、画素の選択方法という観点で画素構成を分類している。つまり、選択する素子として、トランジスタを使う場合や、容量を使う場合などについて、述べている。このように、1画素を構成するトランジスタ数に関して、様々なものがある。JIEC 세미나：CMOSカメラの開発展望：平成10年2月20日には、CMOS型センサの全般について広く紹介しており、リセット用トランジスタのゲート電極とドレイン電極を接続することにより、光強度の対数の信号を出力する対数変換型などについても、述べている。

【 0 0 1 1 】

最もよく採用されているアクティブセンサの画素構成は、図4に示すように、3つのNチャネル型トランジスタと1つのフォトダイオードで1つの画素408を構成するタイプである。フォトダイオード404のPチャネル側端子は電源基準線412に接続され、Nチャネル側端子は、増幅用トランジスタ406のゲート端子と接続されている。増幅用トランジスタ406のドレイン端子とソース端子は、電源線409とスイッチ用トランジスタ401のドレイン端子に接続されている。スイッチ用トランジスタ401のゲート端子には、ゲート信号線402が接続され、ソース端子には、信号出力線403が接続されている。リセット用トランジスタ407のゲート端子は、リセット信号線405に接続されている。リセット用トランジスタ407のソース端子とドレイン端子は、電源線409と増幅用トランジスタ406のゲート端子に接続されている。

【 0 0 1 2 】

エリアセンサの場合、一本の信号出力線403には、1個の画素408だけでなく、多くの画素

10

20

30

40

50

が接続されている。ただし、バイアス用トランジスタ411は、1本の信号出力線403につき、1個だけ配置されている。バイアス用トランジスタ411のゲート端子には、バイアス信号線410が接続されている。バイアス用トランジスタ411のソース端子とドレイン端子は、信号出力線403とバイアス用電源線413に接続されている。

【0013】

次に、画素408の基本的な動作について述べる。

【0014】

まず、リセット用トランジスタ407を導通状態にする。フォトダイオード404のPチャネル側端子が電源基準線412に接続され、Nチャネル側端子が電源線409と電気的につながる状態になり、電源基準線412の電位は基準電位0Vであり、電源線409の電位は電源電位Vddであるため、フォトダイオード404には、逆バイアス電圧が加わることになる。以後、フォトダイオード404のNチャネル側端子の電位が電源線409の電位にまで充電される動作を、リセットと呼ぶことにする。その後、リセット用トランジスタ407を非導通状態にする。すると、フォトダイオード404に光が照射されている場合、光電変換により、電荷が発生する。そのため、時間が経過するにしたがって、電源線409の電位にまで充電されていたフォトダイオード404のNチャネル側端子の電位が、光によって発生した電荷が原因となって、徐々に低くなっていく。そして、ある一定時間経過した後、スイッチ用トランジスタ401を導通状態にする。すると、増幅用トランジスタ406を通して、信号出力線403へ信号が出力される。

【0015】

ただし、信号が出力されている時、バイアス信号線410には、電位が与えられており、バイアス用トランジスタ411には、電流が流れるようになっている。よって、増幅用トランジスタ406とバイアス用トランジスタ411は、いわゆる、ソースフォロワ回路として動作することになる。

【0016】

図4では、フォトダイオード404のPチャネル側端子が接続されている配線、つまり、電源基準線412は、光電変換素子側電源線と呼んでも良い。光電変換素子側電源線の電位は、フォトダイオード404の向きによって変わる。図4では、光電変換素子側電源線には、フォトダイオード404のPチャネル側端子が接続されており、その電位は基準電位0Vである。そのため、図4では、光電変換素子側電源線を電源基準線と呼んでいる。

【0017】

同様に、図4では、リセット用トランジスタ407が接続されている配線、つまり、電源線409は、リセット側電源線と呼んでも良い。リセット側電源線の電位は、フォトダイオード404の向きによって変わる。図4では、リセット側電源線には、リセット用トランジスタ407を介して、フォトダイオード404のNチャネル側端子が接続されており、その電位は電源電位Vddである。そのため、図4では、リセット側電源線を電源線と呼んでいる。

【0018】

フォトダイオード404をリセットするということは、フォトダイオード404に逆バイアス電圧を加えるということと同じである。よって、フォトダイオード404の向きによって、光電変換素子側電源線とリセット側電源線の電位の大小関係は変わる。

【0019】

次に、図5に最も基本的なソースフォロワ回路の例を示す。図5では、Nチャネル型トランジスタを用いた場合について示す。Pチャネル型トランジスタを用いてソースフォロワ回路を構成することも出来る。増幅側電源線503には、電源電位Vddが与えられている。バイアス側電源線504には、基準電位0Vが与えられている。増幅用トランジスタ501のドレイン端子は増幅側電源線503に接続され、ソース端子はバイアス用トランジスタ502のドレイン端子に接続されている。バイアス用トランジスタ502のソース端子は、バイアス側電源線504に接続されている。バイアス用トランジスタ502のゲート端子には、バイアス電位Vbが与えられている。よって、バイアス用トランジスタ502には、バイアス電流Ibが流れることになる。バイアス用トランジスタ502は、基本的には、定電流源として動作する。増

10

20

30

40

50

幅用トランジスタ501のゲート端子が、入力端子506になる。よって、増幅用トランジスタ501のゲート端子には、入力電位 V_{in} が加えられる。増幅用トランジスタ501のソース端子が出力端子507になる。よって、増幅用トランジスタ501のソース端子の電位が、出力電位 V_{out} となる。このときのソースフォロワ回路の入出力関係は、 $V_{out}=V_{in}-V_b$ となる。

【0020】

図4と図5を比較させた場合、増幅用トランジスタ406は、増幅用トランジスタ501に対応する。バイアス用トランジスタ411は、バイアス用トランジスタ502に対応する。スイッチ用トランジスタ401は、導通状態であることを想定しているため、図5では、省略されていると考えることが出来る。フォトダイオード404のNチャネル側端子の電位は、入力電位 V_{in} （増幅用トランジスタ501のゲート電位、つまり入力端子506の電位）に対応する。信号出力線403の電位は、出力電位 V_{out} （増幅用トランジスタ501のソース電位、つまり出力端子507の電位）に対応する。電源線409は、増幅側電源線503に対応する。

10

【0021】

従って、図4において、フォトダイオード404のNチャネル側端子の電位を V_{pd} とし、バイアス信号線410の電位、つまり、バイアス電位を V_b とし、信号出力線403の電位を V_{out} とし、電源基準線412とバイアス側電源線413の電位を0Vとすると、 $V_{out}=V_{pd}-V_b$ となる。よって、フォトダイオード404のNチャネル側端子の電位 V_{pd} が変化すると、 V_{out} も変化することになり、 V_{pd} の変化を信号として出力し、光強度を読みとることが出来る。

【0022】

次に、画素409での信号タイミングチャートを図6に示す。まず、リセット信号線405を制御することにより、リセット用トランジスタ407を導通状態にする。すると、フォトダイオード404のNチャネル側端子の電位は、電源線409の電位である電源電位 V_{dd} にまで充電される。すなわち、画素がリセットされる。それから、リセット信号線405を制御することにより、リセット用トランジスタ407を非導通状態にする。その後、フォトダイオード404に光が照射されていると、光強度に応じた電荷が生成される。そのため、リセット動作により充電された電荷が、徐々に放電されていく。つまり、フォトダイオード404のNチャネル側端子の電位が低くなっていく。暗い光が照射されている場合は、放電される量も少ないため、フォトダイオード404のNチャネル側端子の電位もあまり低くならない。明るい光が照射されている場合は、放電される量が多いため、フォトダイオード404のNチャネル側端子の電位は、低下し、その変化量は大きくなる。

20

30

【0023】

そして、ある時点において、スイッチ用トランジスタ401を導通状態にして、フォトダイオード404のNチャネル側端子の電位を信号として読み出す。この信号は、光の強度に比例している。そして再び、リセット用トランジスタ407を導通状態にしてフォトダイオード404をリセットし、同様の動作を繰り返していく。

【0024】

ただし、もし、非常に明るい光が照射されていた場合は、フォトダイオード404の電荷の放電される量が非常に多いため、フォトダイオード404のNチャネル側端子の電位は、非常にたくさん低下する。しかし、フォトダイオード404のNチャネル側端子の電位は、フォトダイオード404のPチャネル側端子、つまり電源基準線412の電位より低くなることはない。そのため、強い光が照射されていると、フォトダイオード404のNチャネル側端子の電位が低くなっていくが、それがどんどん低くなり、電源基準線412の電位まで低くなると、もう変化しなくなる。このような状況を飽和と呼ぶ。飽和すると、フォトダイオード404のNチャネル側端子の電位が変化しなくなってしまうため、正しい信号、つまり、光強度に応じた信号を出力できない。よって、正常な動作範囲では、フォトダイオード404が飽和しないようにして、動作させる必要がある。

40

【0025】

ここで、画素がリセットされてから、信号を出力する時までの期間は、蓄積時間と呼ばれる。つまり、蓄積時間とは、イメージセンサの受光部に光を照射し、信号を蓄積している時間のことであり、蓄積期間、または、露光時間とも言う。蓄積時間の間、フォトダイ

50

オード404では、光によって生成される電荷を蓄積している。よって、蓄積時間が異なると、たとえ同じ光強度であっても、光によって生成される電荷の総量が異なってくるため、信号値も異なってくる。例えば、強い光の場合、短い蓄積時間で飽和してしまう。弱い光の場合であっても、蓄積時間が長いと、いつかは飽和してしまう。つまり、信号は、光の強さと蓄積時間の積によって、決まる。

【0026】

図6は、画素が1個の場合について述べている。次に、画素がマトリクス状に配列されている場合について述べる。その場合は通常、画素の信号は、1行ごとに読み出されて、出力される。一方、蓄積時間は、全ての画素で同じにしなければならない。よって、リセットも、1行ごとに行っていく必要がある。その結果、各行で、リセットされるタイミングと信号を出力するタイミングは、異なってくる。よって、蓄積時間は全行の画素で等しいが、蓄積する時刻は異なることになる。このような制約はあるけれども、原理的には、ランダムに、各行の信号を読み出すことが出来る。そのため、この場合の読み出し方式は、ランダムリセット・ランダム読み出し方式である。

10

【0027】

また、画素409では、スイッチ用トランジスタ401を導通状態にして、フォトダイオード404から信号を読み出している。しかし、フォトダイオード404のNチャネル側端子は、増幅用トランジスタ406のゲート端子に接続されている。そのため、信号を読み出しても、フォトダイオード404の状態（電荷や電位など）には、変化がない。つまり、フォトダイオード404の状態を変えずに、フォトダイオード404の信号を何回でも読み出すことが出来る。そのため、アクティブセンサでの読み出しは、非破壊的読み出しである、とすることが出来る。

20

【0028】

次に、画素408でのトランジスタについて述べる。極性については、全てNチャネル型であることが多い。まれに、リセット用トランジスタをPチャネル型にしている場合がある（JIECセミナ：CMOSカメラの開発展望：平成10年2月20日：p9,図11参照）。また、増幅用トランジスタと選択用トランジスタの並び方については、両トランジスタともNチャネル型を用いて、図4のように、電源線409と増幅用トランジスタ406を接続し、増幅用トランジスタ406とスイッチ用トランジスタ401を接続し、スイッチ用トランジスタ401と信号出力線403を接続していることが多い。まれに、両トランジスタともNチャネル型を用いて、電源線409とスイッチ用トランジスタ401を接続し、スイッチ用トランジスタ401と増幅用トランジスタ406を接続し、増幅用トランジスタ406と信号出力線403を接続している場合もある（ISSCC97：p180：A 1/4 Inch 330k Square Pixel Progressive Scan CMOS Active Pixel Image Sensor）。

30

【0029】

以上、これまでは、MOS型センサについて述べてきた。次に、CCD型センサについて述べる。

【0030】

まず、CCD型センサは、CCDでの信号の転送方式によって、大きく2つに分けることが出来る。1つが、フレーム転送方式CCDであり、もう一つがインタライン転送方式CCDである。基本的には、どちらのCCDも、バケツリレーの要領で動作する。つまり、隣の画素に信号を転送し、別の隣の画素から別の信号を受け取る。この動作を繰り返す。これを全画素で同時に行い、動作を繰り返すことによって、全体の信号を転送していく。ある画素の信号のみを単独で読み出すことは出来ない。常に隣の画素に転送するだけである。

40

【0031】

フレーム転送方式CCDは、受光部と信号を転送していく部分が共通である。動作としては、受光部で光電変換し、電荷を蓄積した後、その信号を隣の受光部に転送していく（隣の画素に信号を転送し、別の隣の画素から別の信号を受け取る）、というものである。この方式では、信号を転送中に、新たに光によって電荷が発生すると、転送中の信号に混ざ

50

ってしまう。よって、信号転送中は、光を遮断する必要がある。そのため、機械シャッタを用いて、光が入らないようにしている。

【 0 0 3 2 】

インタライン転送方式 C C D は、受光部とは別に転送用 C C D が配置されているものである。動作としては、受光部で蓄積した信号を転送用 C C D に一斉に転送する。その後、転送用 C C D で転送していく（隣の画素に信号を転送し、別の隣の画素から別の信号を受け取る）というものである。インタライン転送方式 C C D の場合、転送用 C C D は遮光されているおり、また、受光部と C C D 部が分離しているため、信号転送中に、受光部で光が発生しても、転送中の信号と混ざることはない。よって、信号転送中に光は照射したままでも、問題ない。

10

【 0 0 3 3 】

C C D 型センサのリセットのタイミングも、M O S 型センサの場合とは異なる。M O S 型センサの場合は、1 個ずつ、あるいは、1 行ずつ、画素から信号を読み出すため、リセットも、1 個ずつ、あるいは、1 行ずつ行っていた。一方、C C D 型センサでは、全画素で一斉に読み出し動作が始まる。そのため、蓄積時間を同じにするためには、全画素を一斉にリセットする必要がある。その結果、全画素で、リセットされるタイミングと信号を出力するタイミングは、同じである。よって、蓄積時間は全ての画素で等しく、蓄積する時刻も同じである。このように、C C D 型センサでは、全画素を一斉にリセットし、一斉に読み出し動作に入る。よって、この読み出し方式は、一括リセット・一括読み出し方式と呼ばれている。

20

【 0 0 3 4 】

また、C C D 型センサでは、受光部で蓄積した電荷自体を転送していく。よって、1 回信号を読み出すと、受光部の状態（電荷や電位など）は変わってしまう。つまり、受光部の状態を変えずに、受光部の信号を読み出すことは出来ない。そのため、C C D 型センサでの読み出しは、破壊的読み出しである、と言うことが出来る。

【 0 0 3 5 】

日経エレクトロニクス：1998.12.14(no.732)：p47（画素数一辺倒から感度向上へ舵を切るデジカメ用 C C D）、日経エレクトロニクス：1995.4.24(no.634)：p159（パソコン用カメラ向け C C D 登場）には、C C D 型センサの方式が紹介されている。日経エレクトロニクス：1992.9.14：p261（本誌記事に見る固体撮像素子カメラこの 18 年）には、M O S 型センサと C C D 型センサの違いなどについて、紹介されている。

30

【 0 0 3 6 】

次に、光電変換などを行うセンサ部について、述べる。センサ部は、C C D 型センサと M O S 型センサでは、特別な違いはない。通常は、PN 型のフォトダイオードを用いて、光を電気に変換する。その他に、PIN 型のダイオード、アバランシェ型ダイオード、nnp 埋め込み型ダイオード、ショットキー型ダイオードなどがある。その他には、X 線用にフォトコンダクタや、赤外線用のセンサなどもある。これについては、固体撮像素子の基礎－電子の目のしくみ：安藤隆男、菰淵寛仁著：日本理工出版界、に述べられている。

【 0 0 3 7 】

次に、センサの適用製品について、述べる。通常のデジタルスチルカメラや、スキャナなどの他に、X 線用カメラにも用いられている。その場合、X 線を直接電気信号に変換するフォトコンダクタを用いる場合や、蛍光材やシンチレータにより、X 線を光に変換した後、その光を読みとる場合などがある。Euro Display 99:p203（X-ray Detectors based on Amorphous Silicon Active Matrix）では、シンチレータにより、X 線を光に変換した後、その光を読みとる場合について述べている。IEDM 98:p21（amorphous silicon tft x-ray image sensors）では、アモルファスシリコンを用いて読みとっており、AM-LCD99:p45（real-time imaging flat panel x-ray detector）では、フォトコンダクタを用いて読みとる場合について、報告されている。

40

【 0 0 3 8 】

次に、C C D 型や M O S 型などのイメージセンサを使って、画像を読み取る場合、その被

50

写体の光強度は、どのような範囲になるかについて考えてみる。

【 0 0 3 9 】

まず、デジタルスチルカメラの場合、被写体の光強度は、真っ暗な状態から、直接太陽を見るような明るい状態までである。よって、被写体の光強度の範囲は、0 ~ 無限大まで取り得る。よって、ここで使用するイメージセンサは、入射光に対して大きなダイナミックレンジを持つ必要がある。しかしながら実際には、イメージセンサのダイナミックレンジに制限があるため、ある標準的な被写体照度であるとして、撮像するしかない。もし、被写体照度が適切でない場合は、フラッシュをたいたりする場合が多い。あるいは、シャッタを利用して、露光時間を調節したりしている。デジタルスチルカメラでのシャッタには、機械シャッタと電子シャッタの2つの種類がある。機械シャッタは、銀塩カメラの場合と同様に、機械的に光を通す部分を遮断するものである。電子シャッタは、イメージセンサの駆動信号を調節して蓄積時間を変更するものである。

10

【 0 0 4 0 】

一方、スキャナの場合は、専用の光源が用意されていることがほとんどである。よって、被写体の反射率が仮に100%だとしても、イメージセンサに入射する光の強度の範囲は、事前に分かる。つまり、専用の光源よりも強い光がイメージセンサに入射することはない。よって、蓄積時間は、反射率が最も高い場合（通常は白い紙など）に、出力信号が飽和するように設定すればよい。

【 0 0 4 1 】

【 発明が解決しようとする課題 】

20

光が弱い場合は、フォトダイオード404のNチャネル側端子の電位は、ほとんど変化せず、光が強い場合は、大きく変化する。しかし、光が非常に強い場合、フォトダイオード404のNチャネル側端子の電位は、フォトダイオード404のPチャネル側端子の電位まで低下してしまい、飽和してしまう可能性がある。飽和すれば、フォトダイオード404のNチャネル側端子の電位が変化しなくなり、正しく画像を読み取ることが出来ない。よって、光が強くても、飽和しないように、蓄積時間を短くして、調節する必要がある。

【 0 0 4 2 】

しかしながら、蓄積時間を短くしすぎると、フォトダイオード404のNチャネル側端子の電位が、少ししか変化していないのに、蓄積時間が終わってしまうことになってしまう可能性がある。その場合、信号振幅が小さくなり、画質が悪化してしまう。

30

【 0 0 4 3 】

よって、光が強い場合でも飽和せず、かつ、信号振幅が大きくできるようにすることが望ましい。それは、出力される信号が、飽和する直前の値になるように、蓄積時間を調節すれば、実現できる。以上のことから、蓄積時間を最適化することが重要であることが分かる。

【 0 0 4 4 】

そこで、最適な蓄積時間を調べるために、撮像を行ったとする。この撮像を試行撮像と呼ぶことにする。

【 0 0 4 5 】

CCD型センサの場合、読み出し方式は一括リセット・一括読み出し方式であり、信号はバケツリレーのように転送されていく。よって、画素毎にリセットしたり、信号を読み出したりすることはできない。つまり、ランダムリセット・ランダム読み出し方式を使うことが出来ない。そのため、1画面分の信号を読み取った場合、全ての画素の蓄積時間は、全て等しくなってしまう。1回の撮像で、蓄積時間を画素毎に変えることは出来ない。また、破壊的読み出しであるため、1回撮像を行うと、再び最初から撮像をやり直さなければならない。

40

【 0 0 4 6 】

以上の様な状況で、仮に、ある蓄積時間に設定して、1画面分の信号を読み取って、試行撮像を行ったとする。しかしその場合、既に信号が飽和している可能性がある。その時は、再び、試行撮像を行わなければならない。そして、再び仮の蓄積時間を設定する必要が

50

ある。しかし、その場合、仮の蓄積時間をどれくらいの値に設定すればよい、分らない。せいぜい、1回目の試行撮像の時の蓄積時間よりも短くすればよい、ということが分かるだけである。もし、蓄積時間が短すぎる場合は、信号振幅が小さく、正しく読みとれない可能性がある。蓄積時間がまだ長すぎる場合は、さらにもう一度、試行撮像を行わなくてはならない。

【0047】

以上のような場合の例を以下に示す。図7は、リセットした後のフォトダイオードのNチャネル側端子の電位の変化を示す。飽和する直前まで期間が、最適な蓄積時間であるため、図7では、リセットしてから、読み出すまでの期間が10の時が最適な蓄積時間であることが分かる。

10

【0048】

この最適時間を見つけるために、まず、1回目の試行撮像を行う。この時は、最適な蓄積時間が全く分からないため、仮に蓄積時間が20であるとして、試行撮像を行ったとする。しかし、この時は、図7から分かるように、既に飽和してしまっている。そこで、蓄積時間を15にして、2回目の試行撮像を行う。しかし、まだ飽和している。そこでさらにもう一度、蓄積時間を8にして、3回目の試行撮像を行う。すると、飽和していないため、光強度に応じた信号が出力される。この時の信号値から、蓄積時間を類推することになる。

【0049】

この例では、3回の試行撮像を行っている。試行撮像のために必要な時間は、図8に示すように、 $20 + 15 + 8 = 43$ となり、多くの時間が必要となってしまう。

20

【0050】

このように、CCD型センサにおいては、最適な蓄積時間を見つけることは、大変困難である。

【0051】

このように、これまでは、信号が飽和しないようにするための蓄積時間に関して述べてきた。次に、撮像対象の階調（明るさ）が近い場合、その信号を精密に読み取ることが難しいことについて述べる。

【0052】

図9に、画素409での信号タイミングチャートを示す。まず、リセット信号線405を制御することにより、リセット用トランジスタ407を導通状態にする。すると、フォトダイオード404のNチャネル側端子の電位は、電源線409の電位である電源電位Vddにまで充電され、画素がリセットされる。それから、リセット信号線405を制御することにより、リセット用トランジスタ407を非導通状態にする。その後、フォトダイオード404に光が照射されていると、フォトダイオード404のNチャネル側端子の電位が低くなっていく。暗い光が照射されている場合は、放電される量も少ないため、フォトダイオード404のNチャネル側端子の電位もあまり低くならない。明るい光が照射されている場合は、放電される量が多いため、フォトダイオード404のNチャネル側端子の電位は、たくさん低くなる。

30

【0053】

そして、ある時点において、スイッチ用トランジスタ401を導通状態にして、フォトダイオード404のNチャネル側端子の電位を信号として読み出す。

40

【0054】

ここで、強度の近い光がフォトダイオード404に照射されていたとする。その場合のフォトダイオード404のNチャネル側端子の電位は、図9に示すように、非常に近い。そのため、雑音やバラツキ等の影響により、その電位の違いを検出することは、難しい。

【0055】

本願発明は、上記従来技術の問題点を解決することを目的とする。

【0056】

【課題を解決するための手段】

CCD型センサの場合、ランダムリセット・ランダム読み出しを行うことができない。よ

50

って、MOS型センサを用いることにする。MOS型センサは、ランダムリセット・ランダム読み出しを行うことが出来る。

【0057】

本願発明では、ランダムリセット・ランダム読み出しが出来ることを利用して、各画素の蓄積時間を変えて、信号を出力するような試行撮像を行う。そして、その信号振幅値から、画素が飽和する直前であるかどうかを判断する。そして、飽和する直前のときの蓄積時間を、最適な蓄積時間とする。

【0058】

このような試行撮像を行うことにより、短時間で最適な蓄積時間を見つけることが出来るようになる。そして、最適な蓄積時間に設定して、通常の撮像を行うと、信号が飽和して

10

いないため、光強度に応じた信号振幅値を得ることが出来る。また、信号振幅値が大きい

ため、センサの性能が向上する。

【0059】

ここで、通常の撮像とは、撮像対象の画像を読み取る動作のことである。通常の撮像を行うことにより、画像情報を読み取ることが出来る。

【0060】

蓄積時間を変えて、画素から信号を出力するための方法としては、次のようにする。まず、MOS型センサの全画素を一斉にリセットする。その後、1画素ずつ、あるいは1行ずつ信号を読み出していく。すると、出力される信号の蓄積時間は、画素によって異なり、1画素ずつ、あるいは1行ずつ増加していくようになる。なぜなら、蓄積時間は、リセ

20

ットした時から、画素から信号を出力するまでの期間であり、全画素を一斉にリセットし、その後、順に信号を出力していくと、徐々に蓄積時間が長くなるからである。

【0061】

このように、MOS型センサの全画素を一斉にリセットしてから、信号を読み取っていくと、蓄積時間ごとに、出力信号振幅値が変わってくる。そして、飽和すると、出力信号振幅値が変わらなくなる。すると、その段階で、飽和する時の蓄積時間が分かるため、飽和する直前の蓄積時間の値を見つけることが出来る。そして、その値を最適な蓄積時間とすればよい。

【0062】

以下に、本願発明の構成を示す。

30

本願発明は上記構成によって、

撮像部に複数の画素を有するMOS型センサの駆動方法であって、

前記画素は、光電変換素子とリセット用トランジスタと信号増幅回路とを有しており、

前記光電変換素子の方の端子は、前記リセット用トランジスタのソース端子もしくはド

レイン端子に接続されており、他方の端子は、光電変換素子側電源線に接続されており、

前記リセット用トランジスタのゲート端子は、リセット用信号線に接続されており、

前記リセット用トランジスタのソース端子もしくはドレイン端子の一方は、前記光電変換素子及び前記信号増幅回路の入力端子に接続されており、他方はリセット側電源線に接続されており、

前記撮像部の複数の画素の全てを同時にリセットした後、前記撮像部の画素を順次選択して、選択された画素の信号を出力することを特徴とするMOS型センサの駆動方法が提供される。

40

【0063】

本願発明は上記構成によって、

撮像部に複数の画素を有するMOS型センサの駆動方法であって、

前記画素は、光電変換素子とリセット用トランジスタと信号増幅回路とを有しており、

前記光電変換素子の方の端子は、前記リセット用トランジスタのソース端子もしくはド

レイン端子に接続されており、他方の端子は、光電変換素子側電源線に接続されており、

前記リセット用トランジスタのゲート端子は、リセット用信号線に接続されており、

前記リセット用トランジスタのソース端子もしくはドレイン端子の一方は、前記光電変換

50

素子及び前記信号増幅回路の入力端子に接続されており、他方はリセット側電源線に接続されており、

前記撮像部の複数の画素の全てを同時にリセットした後、前記撮像部の画素を順次選択して、選択された画素の信号を出力し、

前記リセットをした時から、前記選択された画素の信号が飽和する時までの時間を、蓄積時間の値に設定することを特徴とするMOS型センサの駆動方法が提供される。

【0064】

本願発明は上記構成によって、

撮像部に複数の画素を有するMOS型センサの駆動方法であって、

前記画素は、光電変換素子とリセット用トランジスタと信号増幅回路とを有しており、

前記光電変換素子の一方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子に接続されており、他方の端子は、光電変換素子側電源線に接続されており、

前記リセット用トランジスタのゲート端子は、リセット用信号線に接続されており、

前記リセット用トランジスタのソース端子もしくはドレイン端子の一方は、前記光電変換素子及び前記信号増幅回路の入力端子に接続されており、他方はリセット側電源線に接続されており、

前記撮像部の複数の画素の全てを同時にリセットした後、前記撮像部の画素を順次、複数個選択して、選択された画素の信号を出力し、

前記リセットをした時から、前記選択された画素の信号の中で、最も信号振幅が大きい信号が飽和する時までの時間を、蓄積時間の値に設定することを特徴とするMOS型センサの駆動方法が提供される。

【0065】

本願発明は上記構成によって、

撮像部に複数の画素を有するMOS型センサの駆動方法であって、

前記画素は、光電変換素子とリセット用トランジスタと信号増幅回路とを有しており、

前記光電変換素子の一方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子に接続されており、他方の端子は、光電変換素子側電源線に接続されており、

前記リセット用トランジスタのゲート端子は、リセット用信号線に接続されており、

前記リセット用トランジスタのソース端子もしくはドレイン端子の一方は、前記光電変換素子及び前記信号増幅回路の入力端子に接続されており、他方はリセット側電源線に接続されており、

前記撮像部の複数の画素の全てを同時にリセットした後、前記撮像部の画素を順次選択して、選択された画素の信号を出力し、

前記リセットをした時から、前記選択された画素の光電変換素子が飽和する時までの時間を、蓄積時間の値に設定することを特徴とするMOS型センサの駆動方法が提供される。

【0066】

本願発明は上記構成によって、

撮像部に複数の画素を有するMOS型センサの駆動方法であって、

前記画素は、光電変換素子とリセット用トランジスタと信号増幅回路とを有しており、

前記光電変換素子の一方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子に接続されており、他方の端子は、光電変換素子側電源線に接続されており、

前記リセット用トランジスタのゲート端子は、リセット用信号線に接続されており、

前記リセット用トランジスタのソース端子もしくはドレイン端子の一方は、前記光電変換素子及び前記信号増幅回路の入力端子に接続されており、他方はリセット側電源線に接続されており、

前記撮像部の複数の画素の全てを同時にリセットした後、前記撮像部の画素を順次、複数個選択して、選択された画素の信号を出力し、

前記リセットをした時から、前記選択された画素の光電変換素子のいずれか1つが飽和する時までの時間を、蓄積時間の値に設定することを特徴とするMOS型センサの駆動方法が提供される。

【 0 0 6 7 】

本願発明は上記構成によって、
被写体で反射されて前記撮像部に入射する光の中で、最も強い強度の光を前記撮像部に照射して、
前記蓄積時間の値を設定することを特徴とするMOS型センサの駆動方法が提供される。

【 0 0 6 8 】

本願発明は上記構成によって、
前記撮像部の複数の画素のうち、限定した領域の画素のみから信号を出力することを特徴とするMOS型センサの駆動方法が提供される。

【 0 0 6 9 】

本願発明は上記構成によって、
前記蓄積時間を用いて、被写体の撮像を行うことを特徴とするMOS型センサの駆動方法が提供される。

【 0 0 7 0 】

本願発明は上記構成によって、
撮像部に複数の画素を有するMOS型センサであって、
前記画素は、光電変換素子とリセット用トランジスタと信号増幅回路とを有しており、
前記光電変換素子の一方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子に接続されており、他方の端子は、光電変換素子側電源線に接続されており、
前記リセット用トランジスタのゲート端子は、リセット用信号線に接続されており、
前記リセット用トランジスタのソース端子もしくはドレイン端子の一方は、前記光電変換素子及び前記信号増幅回路の入力端子に接続されており、他方はリセット側電源線に接続されており、
前記撮像部の複数の画素の全てを同時にリセットした後、前記撮像部の画素を順次選択して、選択された画素の信号を出力することを特徴とするMOS型センサが提供される。

【 0 0 7 1 】

本願発明は上記構成によって、
前記撮像部の複数の画素のうち、限定した領域の画素のみから信号を出力することを特徴とするMOS型センサが提供される。

【 0 0 7 2 】

本願発明は上記構成によって、
撮像部に複数の画素を有するMOS型センサであって、
前記画素は、光電変換素子とリセット用トランジスタと信号増幅回路とを有しており、
前記光電変換素子の一方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子に接続されており、他方の端子は、光電変換素子側電源線に接続されており、
前記リセット用トランジスタのゲート端子は、リセット用信号線に接続されており、
前記リセット用トランジスタのソース端子もしくはドレイン端子の一方は、前記光電変換素子及び前記信号増幅回路の入力端子に接続されており、他方はリセット側電源線に接続されており、
前記撮像部の複数の画素の全てを同時にリセットした後、前記撮像部の画素を順次選択して、選択された画素の信号を出力し、
前記リセットをした時から、前記選択された画素の信号が飽和する時までの時間を、蓄積時間の値に設定することを特徴とするMOS型センサが提供される。

【 0 0 7 3 】

本願発明は上記構成によって、
撮像部に複数の画素を有するMOS型センサであって、
前記画素は、光電変換素子とリセット用トランジスタと信号増幅回路とを有しており、
前記光電変換素子の一方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子に接続されており、他方の端子は、光電変換素子側電源線に接続されており、
前記リセット用トランジスタのゲート端子は、リセット用信号線に接続されており、

前記リセット用トランジスタのソース端子もしくはドレイン端子の一方は、前記光電変換素子及び前記信号増幅回路の入力端子に接続されており、他方はリセット側電源線に接続されており、

前記撮像部の複数の画素の全てを同時にリセットした後、前記撮像部の画素を順次、複数個選択して、選択された画素の信号を出力し、

前記リセットをした時から、前記選択された画素の信号の中で、最も信号振幅が大きい信号が飽和する時までの時間を、蓄積時間の値に設定することを特徴とするMOS型センサが提供される。

【0074】

本願発明は上記構成によって、

10

撮像部に複数の画素を有するMOS型センサであって、

前記画素は、光電変換素子とリセット用トランジスタと信号増幅回路とを有しており、

前記光電変換素子の一方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子に接続されており、他方の端子は、光電変換素子側電源線に接続されており、

前記リセット用トランジスタのゲート端子は、リセット用信号線に接続されており、

前記リセット用トランジスタのソース端子もしくはドレイン端子の一方は、前記光電変換素子及び前記信号増幅回路の入力端子に接続されており、他方はリセット側電源線に接続されており、

前記撮像部の複数の画素の全てを同時にリセットした後、前記撮像部の画素を順次選択して、選択された画素の信号を出力し、

20

前記リセットをした時から、前記選択された画素の光電変換素子が飽和する時までの時間を、蓄積時間の値に設定することを特徴とするMOS型センサが提供される。

【0075】

本願発明は上記構成によって、

撮像部に複数の画素を有するMOS型センサであって、

前記画素は、光電変換素子とリセット用トランジスタと信号増幅回路とを有しており、

前記光電変換素子の一方の端子は、前記リセット用トランジスタのソース端子もしくはドレイン端子に接続されており、他方の端子は、光電変換素子側電源線に接続されており、

前記リセット用トランジスタのゲート端子は、リセット用信号線に接続されており、

前記リセット用トランジスタのソース端子もしくはドレイン端子の一方は、前記光電変換素子及び前記信号増幅回路の入力端子に接続されており、他方はリセット側電源線に接続されており、

30

前記撮像部の複数の画素の全てを同時にリセットした後、前記撮像部の画素を順次、複数個選択して、選択された画素の信号を出力し、

前記リセットをした時から、前記選択された画素の光電変換素子のいずれか1つが飽和する時までの時間を、蓄積時間の値に設定することを特徴とするMOS型センサが提供される。

【0076】

本願発明は上記構成によって、

被写体で反射されて前記撮像部に入射する光の中で、最も強い強度の光を前記撮像部に照射して、

40

前記蓄積時間の値を設定することを特徴とするMOS型センサが提供される。

【0077】

本願発明は上記構成によって、

前記撮像部の複数の画素のうち、限定した領域の画素のみから信号を出力することを特徴とするMOS型センサが提供される。

【0078】

本願発明は上記構成によって、

前記蓄積時間を用いて、被写体の撮像を行うことを特徴とするMOS型センサが提供される。

50

【 0 0 7 9 】

【 発明の実施の形態 】

図1に、MOS型アクティブセンサの画素回路図の一例を示す。フォトダイオード104のPチャネル側端子は電源基準線112に接続され、Nチャネル側端子は、信号増幅回路106の入力端子と接続されている。信号増幅回路106の出力端子と電源供給端子は、電源線109とスイッチ用トランジスタ101のドレイン端子に接続されている。スイッチ用トランジスタ101のゲート端子には、ゲート信号線102が接続され、ソース端子には、信号出力線103が接続されている。リセット用トランジスタ107のゲート端子は、リセット信号線105に接続されている。リセット用トランジスタ107のソース端子とドレイン端子は、電源線109と信号増幅回路106の入力端子に接続されている。

10

【 0 0 8 0 】

なお、スイッチ用トランジスタ101、リセット用トランジスタ107は、Pチャネル型でもNチャネル型でもよい。

【 0 0 8 1 】

なお、信号増幅回路106は、1つのトランジスタで構成されることが多い。しかし、フォトゲート型のように、複数のトランジスタや容量で構成されてもよい。

【 0 0 8 2 】

基本的な動作は、以下のようになる。まず、リセット信号線102が導通状態になると、フォトダイオード104がリセットされる。その後、ゲート信号線102が導通状態になると、フォトダイオード104の信号が信号出力線103へ出力される。

20

【 0 0 8 3 】

図1に示すような画素が、複数行にわたって、配置されているとする。図2に、その場合の試行撮像における信号タイミングチャートを示す。まず、全画素のリセット信号線105の電圧を制御して、全画素のフォトダイオード104を同時にリセットする。その後、1行（もしくは1画素）づつ、ゲート信号線102を制御して、信号を出力していく。1行目から出力し、その後、スキャンしていく。

【 0 0 8 4 】

最後の行までいったら、また、1行目に戻り、2行目、3行目と、再びスキャンしていく。

【 0 0 8 5 】

なお、必ずしも、1行目から信号を出力する必要はない。また、必ずしも、全行から信号を出力する必要はない。

30

【 0 0 8 6 】

ここで、蓄積時間は、リセットしてから、信号を読み出す時までの期間である。そのため、全行の画素を一斉にリセットし、その後、1行づつ信号を出力していくと、行によって、蓄積時間が異なってくる。つまり、行が変わるごとに、蓄積時間が増えていくことになる。出力信号は、被写体の光の強さと、蓄積時間との積によって変化する。よって、出力信号値は、徐々に大きくなっていく。この時の出力信号の推移を、図10に示す。

【 0 0 8 7 】

ただし、ここでの試行撮像時においては、全面に均一な光が照射されているものとする。よって、同じ行の画素であれば、同じ出力信号値になっている。

40

【 0 0 8 8 】

1行目での出力信号値は、まだ小さい。そして、行が増え、k行目でも、まだ出力信号値は、飽和していない。そして、m行目になると、飽和する直前になる。さらに、行番号が大きくなると、出力信号が変化しなくなり、飽和してしまう。

【 0 0 8 9 】

図10から、m行目の信号における蓄積時間が、最適であることが分かる。このような試行撮像動作により、最適な蓄積時間を容易に、かつ、素早く求めることが出来る。

【 0 0 9 0 】

その後は、通常の撮像を行えばよい。ただし、この時の蓄積時間は、試行撮像によって求

50

めた値を用いる。

【0091】

なお、本実施の形態は、MOS型パッシブセンサに適用することも出来る。ただし、CCD型センサは、一括リセット・一括読み出しであるので、本実施の形態を適用することは出来ない。

【0092】

なお、試行撮像時に、光が均一に照射されていなくてもよい。

【0093】

なお、MOS型センサでは、ランダムリセット・ランダム読み出しが出来るため、試行撮像時に、画面の一部のみから信号を出力させてもよい。

10

【0094】

なお、1行づつ蓄積時間を変える場合は、その行の画素の全てから信号を出力する必要は無い。すくなくとも、1行につき1画素から、信号を出力すればよい。

【実施例】

[実施例1]

次に、周辺に駆動回路を搭載し、画素を2次元に配置したエリアセンサでの実施例について述べる。全体の回路図を図11に示す。まず、画素が2次元に配列された撮像部1105がある。そして、各々の画素のゲート信号線やリセット信号線を駆動するための駆動回路が、撮像部1105の左右に配置されている。図11では、ゲート信号線用駆動回路1106が左側に、リセット信号線用駆動回路1107が右側に配置されている。

20

【0095】

そして、撮像部1105の上側には、信号処理用の回路などが配置されている。図11では、撮像部1105の上に、バイアス用回路1103が配置されている。このバイアス用回路1103は、各画素の増幅用トランジスタと対になって、ソースフォロワ回路を形成する。バイアス用回路1103の上には、サンプルホールド&信号処理用回路1102が配置されている。ここでは、信号をいったん保存しておいたり、アナログ・デジタル変換を行ったり、雑音を低減したりするための回路などが配置されている。サンプルホールド&信号処理用回路1102の上には、信号出力線用駆動回路1101が配置されている。信号出力線用駆動回路1101は、一時的に保存されていた信号を、順に出力していくための信号を出力している。そして、外に信号を出す前に、最終出力増幅用回路1104が配置されている。ここでは、サンプルホールド&信号処理用回路1102と信号出力線用駆動回路1101とにより、順に出力されてくる信号を、外に出す前に、増幅している。よって、信号を増幅しない場合は必要ないが、現実的には、配置されることが多い。

30

【0096】

次に、各部分の回路図を示す。まず、2次元に配列されている撮像部1105の中から、例として、i行j列目画素部回路1108の回路図を、図12に示す。図12では、Pチャネル型リセット用トランジスタ1207、Pチャネル型スイッチ用トランジスタ1201、Nチャネル型増幅用トランジスタ1206、光電変換素子（ここでは、最も代表的なフォトダイオード1204）から構成されている。フォトダイオード1204では、Pチャネル側端子は電源基準線1212に、Nチャネル側端子は、増幅用トランジスタ1206のゲート端子に接続されている。リセット用トランジスタ1207のゲート端子には、i行目リセット信号線1205が接続され、ソース端子とドレイン端子は、j列目電源線1209と増幅用トランジスタ1206のゲート端子に接続されている。スイッチ用トランジスタ1201のゲート端子は、i行目ゲート信号線1202に接続され、ソース端子とドレイン端子は、j列目電源線1209と増幅用トランジスタ1206に接続されている。増幅用トランジスタ1206のソース端子とドレイン端子は、j列目信号出力線1203とスイッチ用トランジスタ1201に接続されている。

40

【0097】

図12では、リセット用トランジスタ1207は、Pチャネル型を用いている。しかし、リセット用トランジスタは、Nチャネル型でもよい。ただし、Nチャネル型の場合、リセット動作のとき、ゲート・ソース間電圧が大きくとれない。よって、リセット用トランジスタが飽

50

和領域で動作することになり、フォトダイオード1204を十分に充電できない。したがって、リセット用トランジスタは、Nチャネル型でも動作するが、Pチャネル型の方が望ましい。

【0098】

スイッチ用トランジスタ1201については、j列目電源線1209と増幅用トランジスタ1206の間に配置し、かつ、Pチャネル型を用いるのが望ましい。しかし、従来と同様、Nチャネル型でも動作するため、Nチャネル型でも構わないし、j列目信号出力線1203と増幅用トランジスタ1206の間に配置しても構わない。ただし、正しく信号を出力しにくいため、スイッチ用トランジスタ1201は、j列目電源線1209と増幅用トランジスタ1206の間に配置し、かつ、Pチャネル型を用いるのが望ましい。

10

【0099】

増幅用トランジスタ1206については、図12では、Nチャネル型を用いている。しかし、Pチャネル型を用いることも可能である。ただしその場合、バイアス用トランジスタと組み合わせるソースフォロワ回路として動作させるためには、回路の接続方法を変える必要がある。つまり、単純に、図12の回路図において、増幅用トランジスタ1206の極性を変えるだけでは、動作しない。

【0100】

そこで、Pチャネル型の増幅用トランジスタを用いた時の回路構成の一例を図13に示す。図12との違いは、増幅用トランジスタ1306の極性がPチャネル型であることと、フォトダイオードの向きが逆になっていることと、電源線と電源基準線とが入れ替わっていることである。増幅用トランジスタにPチャネル型を用いる場合は、バイアス用トランジスタもPチャネル型を用いる必要がある。なぜなら、バイアス用トランジスタは、定電流源として動作させる必要があるからである。よって、図13では、参考のため、バイアス用トランジスタ1311も記述している。図13に示すi行j列画素部回路1108は、Nチャネル型リセット用トランジスタ1307、Nチャネル型スイッチ用トランジスタ1301、Pチャネル型増幅用トランジスタ1306、光電変換素子（ここでは、最も代表的なフォトダイオード1304）から構成されている。フォトダイオード1304は、Nチャネル側端子は電源線1309に、Pチャネル側端子は、増幅用トランジスタ1306のゲート端子に接続されている。リセット用トランジスタ1307のゲート端子には、i行目リセット信号線1305が接続され、ソース端子とドレイン端子は、j列目電源基準線1312と増幅用トランジスタ1306のゲート端子に接続されている。スイッチ用トランジスタ1301のゲート端子は、i行目ゲート信号線1302に接続され、ソース端子とドレイン端子は、j列目電源基準線1312と増幅用トランジスタ1306に接続されている。増幅用トランジスタ1306のソース端子とドレイン端子は、j列目信号出力線1303とスイッチ用トランジスタ1301に接続されている。バイアス用トランジスタ1311のゲート端子には、バイアス信号線1310が接続され、ソース端子とドレイン端子は、j列目信号出力線1303と電源線1309に接続されている。

20

30

【0101】

図13では、リセット用トランジスタ1307は、Nチャネル型を用いている。しかし、リセット用トランジスタは、Pチャネル型でもよい。ただし、Pチャネル型の場合、リセット動作のとき、ゲート・ソース間電圧が大きくとれない。よって、リセット用トランジスタが飽和領域で動作することになり、フォトダイオード1304を十分に充電できない。したがって、リセット用トランジスタは、Pチャネル型でも動作するが、Nチャネル型の方が望ましい。

40

【0102】

図13では、スイッチ用トランジスタ1301については、j列目電源基準線1312と増幅用トランジスタ1306の間に配置し、かつ、Nチャネル型を用いるのが望ましい。しかし、Pチャネル型でも動作するため、Pチャネル型でも構わないし、j列目信号出力線1303と増幅用トランジスタ1306の間に配置しても構わない。ただし、正しく信号を出力しにくいため、スイッチ用トランジスタ1301は、j列目電源基準線1309と増幅用トランジスタ1306の間に配置し、かつ、Nチャネル型を用いるのが望ましい。

50

【 0 1 0 3 】

このように、図12と図13を比較すると分かるように、増幅用トランジスタの極性が異なると、最適なトランジスタの構成、フォトダイオードの向きなども異なってくる。

【 0 1 0 4 】

図12では、スイッチ用トランジスタ1201とリセット用トランジスタ1207の両方に、1本の電源線から電流を供給している。図13では、スイッチ用トランジスタ1301とリセット用トランジスタ1307の両方に、1本の電源基準線から電流を供給している。このように、フォトダイオードの向きと増幅用トランジスタの極性を合わせることで、配線を共有出来る。

【 0 1 0 5 】

次に、バイアス用回路 1 1 0 3 とサンプルホールド & 信号処理用回路 1 1 0 2 の中から、1列分の回路として、j 列目周辺部回路 1 1 0 9 の回路図を、図 1 4 に示す。バイアス用回路 1 1 0 3 には、バイアス用トランジスタ 1 4 1 1 が配置されている。その極性は、各画素の増幅用トランジスタの極性と同じものである。よって、画素の増幅用トランジスタがNチャネル型の場合は、バイアス用トランジスタもNチャネル型になる。図 1 4 では、バイアス用トランジスタ 1 4 1 1 は、Nチャネル型である。バイアス用トランジスタ 1 4 1 1 のゲート端子には、バイアス信号線 1 4 1 0 が接続され、ソース端子とドレイン端子は、j 列目信号出力線 1 4 0 3 と電源基準線 1 4 1 2 に接続されている（バイアス用トランジスタがPチャネル型の場合は、電源基準線の代わりに、電源線を用いる）。バイアス用トランジスタ 1 4 1 1 は、各画素の増幅用トランジスタと対になって、ソースフォロワ回路として動作する。転送用トランジスタ 1 4 1 3 のゲート端子には、転送信号線 1 4 1 4 が接続され、ソース端子とドレイン端子は、j 列目信号出力線 1 4 0 3 と負荷容量 1 4 1 5 に接続されている。転送用トランジスタは、信号出力線 1 4 0 3 の電位を負荷容量 1 4 1 5 に転送するとき、動作させる。よって、Pチャネル型の転送用トランジスタを追加して、Nチャネル型転送用トランジスタ 1 4 1 4 と並列に接続してもよい。負荷容量 1 4 1 5 は、転送用トランジスタ 1 4 1 3 と電源基準線 1 4 1 2 に接続されている。負荷容量 1 4 1 5 の役割は、信号出力線 1 4 0 3 から出力される信号を一時的に蓄積することである。放電用トランジスタ 1 4 1 6 のゲート端子は、プリ放電信号線 1 4 1 7 に接続され、ソース端子とドレイン端子は、負荷容量 1 4 1 5 と電源基準線 1 4 1 2 に接続されている。放電用トランジスタ 1 4 1 6 は、信号出力線 1 4 0 3 の電位を負荷容量 1 4 1 5 に入力する前に、いったん、負荷容量 1 4 1 5 にたまっている電荷を放電するように動作する。

【 0 1 0 6 】

なお、アナログ・デジタル信号変換回路や雑音低減回路などを配置することも可能である。

【 0 1 0 7 】

そして、負荷容量1415と最終出力線1420の間に、最終選択用トランジスタ1419が接続される。最終選択用トランジスタ1419のソース端子とドレイン端子は、負荷容量1415と最終出力線1420に接続され、ゲート端子は、j 列目最終選択線1418に接続される。最終選択線は、1列目から順にスキャンされる。そして、j 列目最終選択線1418が選択され、最終選択用トランジスタ1419が導通状態になると、負荷容量1415の電位と最終出力線1420の電位が等しくなる。その結果、負荷容量1415に蓄積していた信号を最終出力線1420に出力することが出来る。ただし、最終出力線1420に信号を出力する前に、最終出力線1420に電荷が蓄積されていると、その電荷により、最終出力線1420に信号を出力したときの電位が影響を受けてしまう。そこで、最終出力線1420に信号を出力するまえに、最終出力線1420の電位を、ある電位値に初期化しなければならない。図14では、最終出力線1420と電源基準線1412の間に、最終リセット用トランジスタ1422を配置している。そして、最終リセット用トランジスタ1422のゲート端子には、j 列目最終リセット線1421が接続されている。そして、j 列目最終選択線1418を選択する前に、j 列目最終リセット線1421を選択し、最終出力線1420の電位を電源基準線1412の電位に初期化する。その後、j 列目最終選択線1418を選択

10

20

30

40

50

し、最終出力線1420に、負荷容量1415に蓄積していた信号を出力する。

【0108】

最終出力線1420に出力される信号は、そのまま外に取り出しても良い。しかしながら、信号が微弱であるため、外に取り出す前に、信号を増幅しておく場合が多い。そのための回路として、図15に、最終部回路1110の回路を示す。信号を増幅する回路としては、演算増幅器など、様々なものがある。信号を増幅する回路であれば、どのような回路でもよいが、ここでは、最も簡単な回路構成として、ソースフォロワ回路を示す。図15では、Nチャネル型の場合を示す。最終出力増幅用回路1104への入力、最終出力線1502となる。最終出力線1502には、1列目から順に、信号が出力される。その信号を、最終出力増幅用回路1104によって、増幅し、外に出力する。最終出力線1502は、最終出力増幅向け増幅用トランジスタ1504のゲート端子に接続される。最終出力増幅向け増幅用トランジスタ1504のドレイン端子は、電源線1506に接続され、ソース端子は、出力端子となる。最終出力増幅向けバイアス用トランジスタ1503のゲート端子は、最終出力増幅用バイアス信号線1505と接続される。ソース端子とドレイン端子は、電源基準線1507と最終出力増幅向け増幅用トランジスタ1504のソース端子とに接続される。

10

【0109】

図16に、Pチャネル型の場合のソースフォロワ回路を用いた場合の回路図を示す。図15との違いは、電源線と電源基準線を逆にしていることである。最終出力線1602は、最終出力増幅向け増幅用トランジスタ1604のゲート端子に接続される。最終出力増幅向け増幅用トランジスタ1604のドレイン端子は、電源基準線1607に接続され、ソース端子は、出力端子となる。最終出力増幅向けバイアス用トランジスタ1603のゲート端子は、最終出力増幅用バイアス信号線1605と接続される。ソース端子とドレイン端子は、電源線1606と最終出力増幅向け増幅用トランジスタ1604のソース端子とに接続される。最終出力増幅用バイアス信号線1605の電位は、Nチャネル型を用いた場合の最終出力増幅用バイアス信号線1505とは、値が異なる。

20

【0110】

図15と図16では、ソースフォロワ回路を1段のみで構成していた。しかしながら、複数段で構成しても良い。例えば、2段で構成する場合は、1段目の出力端子を2段目の入力端子に接続すればよい。また、各々の段において、Nチャネル型を用いても、Pチャネル型を用いても、どちらでも良い。

30

【0111】

ゲート信号線用駆動回路1106やリセット信号線駆動回路1107や信号出力線用駆動回路1101は、単に、パルス信号を出力しているだけの回路である。よって、公知の技術を用いて実施出来る。

【0112】

次に、試行撮像を行う時のタイミングチャートについて述べる。図17に、図11と図12の回路におけるタイミングチャートを示す。まず、全行のリセット信号線を制御して、画素を同時にリセットする。その後、ゲート信号線は、1行目から順にスキャンしていく。例えば、(i-1)行目を選択し、その次に、i行目を選択し、次に、(i+1)行目を選択していく。そして、最後の行までスキャンしたら、再び同じ1行目からスキャンし、同様の動作を繰り返していく。

40

【0113】

画素がリセットされてから、ゲート信号線が選択されて、信号を出力する時までの期間が、蓄積時間になる。蓄積時間の間、フォトダイオードにおいて、光によって生成される電荷を蓄積している。各行で、リセットされるタイミングは同じで、信号を出力するタイミングは、異なる。よって、蓄積時間は行ごとに異なってくる。

【0114】

次に、図14における信号のタイミングチャートを図18に示す。繰り返しの動作になるため、例として、i行目のゲート信号線が選択されている時を考える。まず、i行目のゲート信号線1202が選択された後、プリ放電信号線1417を選択し、放電用トランジスタ1416を導通

50

状態にする。その後、転送信号線1414を選択する。すると、 i 行目の画素から、各列の信号が各列の負荷容量1415に出力される。

【0115】

i 行目の全ての画素の信号を、各列の負荷容量1415に蓄積した後、最終出力線1420に各列の信号を順に出力していく。転送信号線1414が非選択になってから、ゲート信号線が選択されているまでの間、信号出力線用駆動回路1101により、全列をスキャンしていく。まず、1列目の最終リセット線を選択し、最終リセット用トランジスタ1422を導通状態にし、最終出力線1420を電源基準線1412の電位に初期化する。その後、1列目の最終選択線1418を選択し、最終選択用トランジスタ1419を導通状態にし、1列目の負荷容量1415の信号を最終出力線1420に出力する。つぎに、2列目の最終リセット線を選択し、最終リセット用トランジスタ1422を導通状態にし、最終出力線1420を電源基準線1412の電位に初期化する。その後、2列目の最終選択線1418を選択し、最終選択用トランジスタ1419を導通状態にし、2列目の負荷容量1415の信号を最終出力線1420に出力する。その後も、同様の動作を繰り返していく。 j 列目の場合も、 j 列目の最終リセット線を選択し、最終リセット用トランジスタ1422を導通状態にし、最終出力線1420を電源基準線1412の電位に初期化する。その後、 j 列目の最終選択線1418を選択し、最終選択用トランジスタ1419を導通状態にし、 j 列目の負荷容量1415の信号を最終出力線1420に出力する。つぎに、 $(j+1)$ 列目の最終リセット線を選択し、最終リセット用トランジスタ1422を導通状態にし、最終出力線1420を電源基準線1412の電位に初期化する。その後、 $(j+1)$ 列目の最終選択線1418を選択し、最終選択用トランジスタ1419を導通状態にし、 $(j+1)$ 列目の負荷容量1415の信号を最終出力線1420に出力する。その後も、同様の動作を繰り返し、全列の信号を最終出力線に、順次、出力していく。そのあいだ、バイアス信号線1410は、一定のままである。最終出力線1420に出力された信号は、最終出力増幅用回路1104で増幅され、外へ出力されていく。

【0116】

次に、 $i+1$ 行目ゲート信号線が選択される。すると、 i 行目ゲート信号線が選択されたのと同様に、動作させる。そして、さらに、次の行のゲート信号線が選択され、同様の動作を繰り返していく。

【0117】

全画面に均一な光が照射されている場合の出力信号（最終出力増幅用回路1104からの出力）が、行ごとに変わっていく図は、図19のようになる。ただし、同じ行の画素からは、同じ値の出力信号が出力されるため、行毎に1つの出力信号のみを示している。

【0118】

まず、1行目からの出力信号は、蓄積時間が小さいため、値が小さい。それから、行番号が大きくなると、出力信号も大きくなっていく。そして、全行から信号を出力し終わっても、まだ、信号が飽和していなかったとする。その場合、再び、1行目から信号を出力していく。そして、2回目の読み出し時の m 行目の画素の直後に、信号が飽和し始めたとする。すると、これから、2回目の読み出し時の m 行目の画素における蓄積時間を、最適な蓄積時間とする事が出来る。

【0119】

以上のような試行撮像により、最適な蓄積時間を、容易に、かつ素早く求めることが出来る。

【0120】

その後、最適な蓄積時間に設定し、通常の撮像を行えばよい。動作において、通常の撮像と試行撮像の違いは、リセットするタイミングだけである。そこで、通常の撮像の時の信号タイミングチャートを以下に示す。

【0121】

まず、図11と図12の回路におけるタイミングチャートについて、図20に示す。リセット信号線は、1行目から順にスキャンしていく。例えば、 $(i-1)$ 行目を選択し、その次に、 i 行目を選択し、次に、 $(i+1)$ 行目を選択していく。再び同じ行を選択するまでの期間がフレーム期間に相当する。ゲート信号線も、同様に、1行目から順にスキャンしていく。ただ

し、リセット信号線をスキャンし始めるタイミングよりも、ゲート信号線をスキャンし始めるタイミングの方が遅い。例えば、 i 行目の画素に着目すると、 i 行目リセット信号線が選択されて、その後、 i 行目ゲート信号線が選択される。 i 行目ゲート信号線が選択されると、 i 行目の画素から信号が出力される。画素がリセットされてから、信号を出力する時までの期間が、蓄積時間になる。蓄積時間の間、フォトダイオードにおいて、光によって生成される電荷を蓄積している。各行で、リセットされるタイミングと信号を出力するタイミングは、異なる。よって、蓄積時間は全行の画素で等しいが、蓄積する時刻は異なる。

【0122】

図14における信号のタイミングチャートは、図18と同じである。

10

【0123】

このように、リセット信号線を制御するタイミングを変えるだけで、簡単に試行撮像と通常の撮像を切り替えて行うことが出来る。

【0124】

このような動作は、MOS型アクティブセンサが、ランダムリセット・ランダム読み出しが可能であり、非破壊的読み出しが出来るため、可能となる。CCD型センサでは、実現できない。

【0125】

なお、MOS型パッシブセンサにおいても、適用することが出来る。ただし、破壊的読み出しであるため、試行撮像において、2回目以降の信号読み出しは、実行出来ない。そのため、1回のスキャンで最適な蓄積時間を探せるようにする必要がある。その場合は、リセットしてから、1行目の信号を出力する時間を調節して、試行撮像を行えばよい。なお、リセットしてから、1行目の信号を出力する時間の調節は、MOS型アクティブセンサの場合にも行ってもよい。

20

【0126】

なお、光電変換などを行うセンサ部については、通常のPN型のフォトダイオードの他に、PIN型のダイオード、アバランシェ型ダイオード、npn埋め込み型ダイオード、ショットキー型ダイオード、X線用のフォトコンダクタ、赤外線用のセンサなどでもよい。また、蛍光材やシンチレータにより、X線を光に変換した後、その光を読みとってよい。

【0127】

これまで述べてきたように、光電変換素子は、ソースフォロワ回路の入力端子に接続されることが多い。しかし、フォトゲート型のように、スイッチを間に挟んでもよい。あるいは、対数変換型のように、光強度の対数値なるように処理した後の信号を入力端子に入力してもよい。

30

【0128】

なお、本実施例では、画素が2次元に配置されたエリアセンサについて述べたが、画素が1次元に配置されたラインセンサを実現することも出来る。

【0129】

本実施例のように、試行撮像において、均一な光を照射するという事は、例えば、スキャナでの試行撮像において適用することが出来る。つまり、実際の原稿を撮像するまえに、補正用で全面が白の原稿を用いて、試行撮像を行う場合に、適用することが出来る。例えば、スキャナの光源の光強度が不明な場合、本実施例を適用すれば、最適な蓄積時間を、容易にすばやく、見つけることが出来るようになる。そして、通常の撮像を実際の原稿に対して行えば、精度よく読み取ることが出来る。

40

【0130】

[実施例2]

実施例1では、試行撮像の時、全面に均一な光が照射されている場合について述べた。ここでは、試行撮像の時、全面に不均一な光が照射されている場合について述べる。

【0131】

しかしながら、動作、回路など、実施例1とほとんど同じである。ただし、全面に不均一

50

な光が照射されているため、同じ行の画素であっても、つまり、同じ蓄積時間の画素であっても、信号値が異なってくる。そのため、図19のように、行番号に対する信号値の推移のグラフを示す場合、ある行における出力信号値として、どの値を用いればよいか分からない。

【0132】

このような場合は、各々の行において、最も出力信号振幅値が大きいもの（最も光強度が強い場合に相当）を用いて、図19のようなグラフを示せばよい。そうすれば、その他の全ては、実施例1の場合と同じようになる。

【0133】

本実施例のように、試行撮像において、不均一な光を照射するということは、例えば、全体が黒っぽいような原稿（新聞など）を読み取る時に適用することが出来る。このような原稿を読み取る場合、文字部分とそれ以外の部分との階調差が少ないため、正確に読み取ることが難しい。

10

【0134】

そこで、その様な場合、実際に読み取る原稿を用いて、まず試行撮像を行う。この場合は、全面に不均一な光がセンサに照射されることになる。このような場合において、図10のように、行番号に対する信号値の推移のグラフを、図21に示す。各行における出力信号振幅値は、最も大きい値を用いる。最も大きい出力信号振幅値は、最も明るい場合に相当する。図21では、全面が黒っぽい原稿を読み取る場合は、3回目のn行目の時の蓄積時間が最適であることが分かる。この時の蓄積時間をTs1とする。

20

【0135】

仮に、画面全体が白い原稿を用いて試行撮像をする場合は、図21に示すように、2回目のm行目の時の蓄積時間が最適であることが分かる。この時の蓄積時間をTs2とする。

【0136】

もし、通常の前稿を読み取る場合は、蓄積時間は、Ts2に設定して撮像を行うのがよい。しかし、新聞のような黒っぽい原稿を読み取る場合は、蓄積時間をTs1に設定しなおして、撮像を行う方がよい。その方が、信号の振幅が大きくなり、読み取り精度が向上する。

【0137】

このように、読み取り原稿のタイプによって、蓄積時間を設定しなおすと、よりきれいな画像で読み取ることが出来るようになる。その時に設定しなおす最適時間は、実施例1や実施例2のような試行撮像を行えば、短時間で簡単に見つけることが出来る。

30

【0138】

[実施例3]

実施例1、実施例2では、試行撮像の時、全面の画素から信号を出力していた。しかしながら、画面のある領域のみを対象として、試行撮像を行っても良い。よって、本実施例は、実施例1や実施例2と自由に組み合わせることが出来る。

【0139】

図22に示すように、画素のr行目からs行目まで、t列目からu列目まで、の領域を対象として、試行撮像を行うとする。

【0140】

この時の信号タイミングチャートは、次のようになる。まず、試行撮像する対象の領域に含まれる画素の全てを同時にリセットする。ただし、それ以外の領域の画素もリセットしても構わない。その後、r行目から信号を出力していく。つまり、リセットした後、r行目から信号を出力しはじめる。1行目から信号を出力しはじめるのではない。

40

【0141】

画素から信号が出力されるとき、1行分同時に画素から出力されるが、実際に必要なのは、t列目からu列目までの信号である。よって、それ以外の信号は、信号出力線用駆動回路1101での波形を制御して、最終出力増幅用回路1104から外へ出力しないようにしてもよい。あるいは、1行分出力したのち、不必要な信号は、無視しても構わない。

【0142】

50

信号出力線用駆動回路1101での波形を制御する場合は、公知の回路や信号を用いれば、実現出来る。

【0143】

次にゲート信号線をスキャンして、 $r + 1$ 行目から出力し、その次に $r + 2$ 行目から出力し、・・・と繰り返す。そして、 s 行目まで出力したのち、 $s + 1$ 行目に行くのではなく、また r 行目に戻り、信号を出力する。そして、 $r + 1$ 行目にスキャンし、・・・と繰り返していく。

【0144】

このようにすれば、行毎に蓄積時間が徐々に長くなっていく。 s 行目まで出力したのち、また r 行目に戻りスキャンすることにより、蓄積時間が不連続になることを防ぐことが出来る。

10

【0145】

このようにゲート信号線を制御するためには、ゲート信号線用駆動回路1106において、公知の回路や信号を用いれば、実現出来る。

【0146】

このように、自由に信号を読み出せるのは、MOS型センサがランダムリセット・ランダム読み出し方式だからである。CCD型センサでは、実現出来ない。

【0147】

本実施例のように、試行撮像において、決まった領域のみを対象とするということは、例えば、画面の中心部にのみ撮像したいものからの光が入射し、画面の周辺部には、無関係な光が入射するような場合に適用することが出来る。例としては、指紋の読み取りが挙げられる。

20

【0148】

そこで、図23に、画面に指を押しつけて、指紋を読み取る場合の模式図を示す。図23(A)は、上から見た図であり、図23(B)は、断面図である。画素配列2301があり、ここに、たくさんの画素が配置されている。撮像できる領域は、画素配列2301の全領域である。その上に、読み取り対象物2302である指を置く。しかしながら、実際に指が押しつけられているのは、撮像対象領域2303の部分だけであり、撮像非対象領域2304には、何も無い。よって、撮像非対象領域2304には、周囲の光などの雑音が入ってしまう。その様な場合、画面全体を対象として試行撮像を行うと、正しい蓄積時間を見つけることが出来ない。そのため、試行撮像は、指が押しつけられている領域に対して行う。

30

【0149】

また、指紋を読み取る場合、指紋の凹凸部分の階調が近い。そのため、正確に読み取ることが難しい。図24に、指紋読み取りの場合の画素のフォトダイオードのNチャネル側端子の電位のタイミングチャートを示す。まず、画素をリセットする。その後、光強度に応じて、フォトダイオードのNチャネル側端子の電位が低くなっていく。黒い原稿を読み取る場合は、電位はほとんど低くならず、白い原稿を読み取る場合は、電位が大きく低下する。通常の場合は、白い原稿を読み取る時に信号が飽和しないように、蓄積時間を設定する。しかし、指紋を読み取る場合は、指紋の凹凸部分の階調が近いため、フォトダイオードのNチャネル側端子の電位も近い。よって、指紋の凹凸部分を正確に読み取ることが難しい。

40

【0150】

このような場合、指が押しつけられている領域のみを対象として、指を押しつけて、試行撮像を行う。この場合、試行撮像を行うときには、不均一な光がセンサに照射されている。そして、最も明るい部分の信号（最も大きな信号振幅）が飽和する直前までの期間を最適な蓄積時間とする。

【0151】

そして通常の撮像を行うと、フォトダイオードのNチャネル側端子の電位は大きく低下し、その結果、指紋を読み取る時の凹凸部分の信号の電位差が、大きくなる。そのため、階調の差を検出しやすくなり、指紋のような階調差が小さい画像でも読み取ることが出来る。

50

るようになる。

【0152】

[実施例4]

本願発明のセンサを、TF Tを用いてガラス上に作製する場合の作製方法について、図26～図29を用いて説明する。

【0153】

まず、図26(A)に示すように、ガラス基板200上に下地膜201を300nmの厚さに形成する。本実施例では下地膜201として窒化酸化珪素膜を積層して用いる。この時、ガラス基板200に接する方の窒素濃度を10～25wt%としておく和良好的。また、下地膜201に放熱効果を持たせることは有効であり、DLC(ダイヤモンドライクカーボン)膜を設けても良い。

10

【0154】

次に下地膜201の上に50nmの厚さの非晶質珪素膜(図示せず)を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含む)であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は20～100nmの厚さであれば良い。

【0155】

そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜(多結晶シリコン膜若しくはポリシリコン膜ともいう)202を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、XeClガスを用いたエキシマレーザー光を用いて結晶化する。

20

【0156】

なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。

【0157】

また、本実施例では結晶質珪素膜をTF Tの活性層として用いるが、非晶質珪素膜を用いることも可能である。

【0158】

30

なお、オフ電流を低減する必要のあるリセット用トランジスタの活性層を非晶質珪素膜で形成し、増幅用トランジスタの活性層を結晶質珪素膜で形成することは有効である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

【0159】

次に、図26(B)に示すように、結晶質珪素膜202上に酸化珪素膜でなる保護膜203を130nmの厚さに形成する。この厚さは100～200nm(好ましくは130～170nm)の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜203は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするため、微妙な濃度制御を可能にするために設ける。

40

【0160】

そして、その上にレジストマスク204a、204b、204cを形成し、保護膜203を介してn型を付与する不純物元素(以下、n型不純物元素という)を添加する。なお、n型不純物元素としては、代表的には周期表の15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン(PH₃)を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを1×10¹⁸atoms/cm³の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0161】

この工程により形成されるn型不純物領域(b)205a、205bには、n型不純物元

50

素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ (代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$) の濃度で含まれるようにドーズ量を調節する。

【 0 1 6 2 】

次に、図 2 6 (C) に示すように、保護膜 2 0 3、レジストマスク 2 0 4 a、2 0 4 b、2 0 4 c を除去し、添加した n 型不純物元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザー光の照射 (レーザーアニール) により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザー光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜 2 0 3 をつけたままレーザー光を照射しても良い。

10

【 0 1 6 3 】

なお、このレーザー光による不純物元素の活性化に際して、熱処理 (ファーネスアニール) による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して $450 \sim 550$ 程度の熱処理を行えば良い。

【 0 1 6 4 】

この工程により n 型不純物領域 (b) 2 0 5 a、2 0 5 b の端部、即ち、n 型不純物領域 (b) 2 0 5 a、2 0 5 b の周囲に存在する n 型不純物元素を添加していない領域との境界部 (接合部) が明確になる。このことは、後に T F T が完成した時点において、L D D 領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【 0 1 6 5 】

20

次に、図 2 6 (D) に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜 (以下、活性層という) 2 0 6 ~ 2 1 0 を形成する。

【 0 1 6 6 】

次に、図 2 7 (A) に示すように、活性層 2 0 6 ~ 2 1 0 を覆ってゲート絶縁膜 2 1 1 を形成する。ゲート絶縁膜 2 1 1 としては、 $10 \sim 200 \text{nm}$ 、好ましくは $50 \sim 150 \text{nm}$ の厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では 110nm 厚の窒化酸化珪素膜を用いる。

【 0 1 6 7 】

次に、 $200 \sim 400 \text{nm}$ 厚の導電膜を形成し、パターニングしてゲート電極 2 1 2 ~ 2 1 6 を形成する。なお本実施例では、ゲート電極とゲート電極に電気的に接続された引き回しのための配線 (以下、ゲート配線という) とを同一材料で形成している。勿論、ゲート電極と、ゲート配線とを別の材料で形成しても良い。具体的にはゲート電極よりも低抵抗な材料をゲート配線として用いても良い。これは、ゲート電極としては微細加工が可能な材料を用い、ゲート配線には微細加工はできなくとも配線抵抗が小さい材料を用いるためである。このような構造とすることでゲート配線の配線抵抗を非常に小さくすることができるため、面積の大きいセンサ部を形成することができる。即ち、画面の大きさが対角 10 インチ以上 (さらに 30 インチ以上) のセンサ部を有するエリアセンサを実現する上で、上記の画素構造は極めて有効である。

30

【 0 1 6 8 】

また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極 2 1 2 ~ 2 1 6 の材料としては公知のあらゆる導電膜を用いることができる。

40

【 0 1 6 9 】

代表的には、アルミニウム (A l)、タンタル (T a)、チタン (T i)、モリブデン (M o)、タングステン (W)、クロム (C r)、シリコン (S i) から選ばれた元素でなる膜、または前記元素の窒化物膜 (代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜 (代表的には M o - W 合金、M o - T a 合金)、または前記元素のシリサイド膜 (代表的にはタングステンシリサイド膜、チタンシリサイド膜) を用いることができる。勿論、単層で用いても積層して用いても良い。

50

【0170】

本実施例では、30 nm厚の窒化タングステン(WN)膜と、370 nm厚のタングステン(W)膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0171】

またこの時、ゲート電極213、216はそれぞれn型不純物領域(b)205a、205bの一部とゲート絶縁膜211を介して重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。

【0172】

次に、図27(B)に示すように、ゲート電極212~216をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成されるn型不純物領域(c)217~224にはn型不純物領域(b)205a、205bの1/2~1/10(代表的には1/3~1/4)の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ (典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$)の濃度が好ましい。

【0173】

次に、図27(C)に示すように、ゲート電極212、214、215を覆う形でレジストマスク225a~225cを形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含むn型不純物領域(a)226~233を形成する。ここでもフォスフィン(PH₃)を用いたイオンドープ法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$)となるように調節する。

【0174】

この工程によってnチャネル型TFETのソース領域若しくはドレイン領域が形成される。そしてnチャネル型TFETでは、図27(B)の工程で形成したn型不純物領域217、218、222、223の一部を残す。この残された領域がLDD領域となる。

【0175】

次に、図27(D)に示すように、レジストマスク225a~225cを除去し、新たにレジストマスク234a、234bを形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含むp型不純物領域235、236を形成する。ここではジボラン(B₂H₆)を用いたイオンドープ法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$)の濃度となるようにボロンを添加する。

【0176】

なお、不純物領域235、236には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にp型に反転し、p型の不純物領域として機能する。

【0177】

次に、レジストマスク234a、234bを除去した後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーネスアニール法、レーザーアニール法、またはランブアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

【0178】

このとき雰囲気中の酸素を極力排除することが重要である。なぜならば酸素が少しでも存在していると露呈したゲート電極の表面が酸化され、抵抗の増加を招くからである。従って、上記活性化工程における処理雰囲気中の酸素濃度は1 ppm以下、好ましくは0.1 ppm以下とすることが望ましい。

【0179】

次に、図 28 (A) に示すように、第 1 層間絶縁膜 237 を形成する。第 1 層間絶縁膜 237 としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は 400 nm ~ 1.5 μm とすれば良い。本実施例では、200 nm 厚の窒化酸化珪素膜の上に 800 nm 厚の酸化珪素膜を積層した構造とする。

【0180】

さらに、3 ~ 100 % の水素を含む雰囲気中で、300 ~ 450 °C で 1 ~ 12 時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

【0181】

なお、水素化処理は第 1 層間絶縁膜 237 を形成する間に入れても良い。即ち、200 nm 厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り 800 nm 厚の酸化珪素膜を形成しても構わない。

【0182】

次に、ゲート絶縁膜 211 及び第 1 層間絶縁膜 237 に対してコンタクトホールを形成し、ソース配線 238 ~ 242 と、ドレイン配線 243 ~ 247 を形成する。なお、本実施例ではこの電極を、Ti 膜を 100 nm、Ti を含むアルミニウム膜を 300 nm、Ti 膜 150 nm をスパッタ法で連続形成した 3 層構造の積層膜とする。勿論、他の導電膜でも良い。

【0183】

次に、50 ~ 500 nm (代表的には 200 ~ 300 nm) の厚さで第 1 パッシベーション膜 248 を形成する。本実施例では第 1 パッシベーション膜 248 として 300 nm 厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。なお、窒化酸化珪素膜の形成に先立って H₂、NH₃ 等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第 1 層間絶縁膜 237 に供給され、熱処理を行うことで、第 1 パッシベーション膜 248 の膜質が改善される。それと同時に、第 1 層間絶縁膜 237 に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0184】

次に、図 28 (B) に示すように有機樹脂からなる第 2 層間絶縁膜 249 を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB (ベンゾシクロブテン) 等を使用することができる。特に、第 2 層間絶縁膜 249 は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例では T F T によって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは 1 ~ 5 μm (さらに好ましくは 2 ~ 4 μm) とすれば良い。

【0185】

次に、第 2 層間絶縁膜 249 及び第 1 パッシベーション膜 248 にドレイン配線 245 に達するコンタクトホールを形成し、ドレイン配線 245 に接するようにフォトダイオードのカソード電極 250 を形成する。本実施例では、カソード電極 250 としてスパッタ法によって形成したアルミニウム膜を用いたが、その他の金属、例えばチタン、タンタル、タングステン、銅を用いることができる。また、チタン、アルミニウム、チタンでなる積層膜を用いてもよい。

【0186】

次に、水素を含有する非晶質珪素膜を基板全面に成膜した後にパターニングし、光電変換層 251 を形成する。次に、基板全面に透明導電膜を形成する。本実施例では透明導電膜として厚さ 200 nm の I T O をスパッタ法で成膜する。透明導電膜をパターニングし、アノード電極 252 を形成する。(図 28 (C))

【0187】

次に、図 29 (A) に示すように第 3 層間絶縁膜 253 を形成する。第 3 層間絶縁膜 253 として、ポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂を用いること

10

20

30

40

50

で、平坦な表面を得ることができる。本実施例では、第3層間絶縁膜253として厚さ0.7 μ mのポリイミド膜を基板全面に形成した。

【0188】

次に、第3層間絶縁膜253に、アノード電極252に達するコンタクトホールを形成し、センサ用配線254を形成する。本実施例ではアルミニウム合金膜(1wt%のチタンを含有したアルミニウム膜)を300nmの厚さに形成する。

【0189】

こうして図29(B)に示すような構造のセンサ基板が完成する。

【0190】

270は増幅用TFET、271はスイッチ用TFET、272はリセット用TFET、273はバイアス用TFET、274は放電用TFETである。

【0191】

本実施例では、増幅用TFET270及びバイアス用TFET273がnチャネル型TFETであり、それぞれソース領域側とドレイン領域側の両方にそれぞれLDD領域281~284を有している。なおこのLDD領域281~284はゲート絶縁膜211を間に介してゲート電極212、215と重なっていない。上記構成により、増幅用TFET270及びバイアス用TFET273は、極力ホットキャリア注入を低減させることができる。

【0192】

また本実施例では、スイッチ用TFET271及び放電用TFET274がnチャネル型TFETであり、それぞれドレイン領域側にのみそれぞれLDD領域283、286を有している。なおこのLDD領域283、286はゲート絶縁膜211を間に介してゲート電極213、216と重なっている。

【0193】

ドレイン領域側のみにLDD領域283、286を形成しているのは、ホットキャリア注入を低減させ、なおかつ動作速度を落とさないための配慮である。また、このスイッチ用271及び放電用TFET274はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、LDD領域283、286は完全にゲート電極213、216と重なってしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。特に、ソース信号線駆動回路又はゲート信号線駆動回路を15V~20Vで駆動させる場合、本実施例の放電用TFET274の上記構成は、ホットキャリア注入を低減させ、なおかつ動作速度を落とさないのに有効である。

【0194】

また本実施例では、リセット用TFET272はpチャネル型TFETであり、LDD領域を有していない。pチャネル型TFETは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、nチャネル型TFETと同様にLDD領域を設け、ホットキャリア対策を講じることが可能である。また、リセット用TFET272がnチャネル型TFETであっても良い。

【0195】

また、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。

【0196】

なお、実施例4は、実施例1~実施例3と、自由に組み合わせることが出来る。

【0197】

なお、本願発明は、単結晶シリコン基板を用いて作成することも可能である。

【0198】

[実施例5]

本願発明を実施して形成されたセンサは、様々な電子機器に用いることが出来る。その様な本願発明の電子機器としては、スキャナ、デジタルスチルカメラ、X線カメラ、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機)、ノート型パーソナルコン

10

20

30

40

50

ピュータ、ゲーム機器、テレビ電話、指紋読み取り機器等が挙げられる。

【 0 1 9 9 】

図29(A)は、密着型センサを用いたスキャナ2901であり、センサ部2902等を含む。読み取り対象物2903の上にスキャナ2901を配置する。密着型センサは、ガラス基板上に、T F Tを形成して、作成されている。密着型センサでは、縮小光学系を用いないため、機器を小型化できる。読み取り対象物2903に照射する光は、室内光を利用する。これにより、専用の光源が必要なくなる。この場合、光強度が、撮像環境により変化する。よって、本願発明を適用することによって、素早く最適な蓄積時間を見つけることが出来る。本願発明は、センサ部2902に用いることが出来る。

【 0 2 0 0 】

図29(B)は、図29(A)に対して、専用の光源2907を配置したものである。読み取りたい領域とセンサ部2905の位置を合わせるときは、光源2907を上に向けておく。そして、センサ部2905の照明窓を通して、読み取り対象物2906を見て、位置を合わせる。画像を読み取る時は、光源2907とスキャナ2904を重ねて使用する。本願発明は、センサ部2905に用いることが出来る。

【 0 2 0 1 】

図30(A)は、携帯情報端末3001であり、L C D 3002、密着型センサを用いたスキャナ3003、センサ部3004等を含む。スキャナを使用する時は、図30(B)の断面図に示すように、L C D 3002とスキャナ3003を重ねて、読み取り対象物2903の上にスキャナ2901を配置し、その上にL C D 3002が配置されるようにする。照明光は、L C D 3002の光を利用する。これにより、専用の光源が必要なくなる。本願発明は、センサ部2902に用いることが出来る。

【 0 2 0 2 】

ここで図31は携帯電話であり、本体31 0 1、音声出力部31 0 2、音声入力部31 0 3、表示装置31 0 4、操作スイッチ31 0 5、アンテナ31 0 6、センサ部31 0 7を含む。本願発明はセンサ部31 0 7に用いることができる。センサ部では、指紋を読み取ることが出来る。あるいは、テレビ電話用のセンサ部として用いてもよい。

【 0 2 0 3 】

【発明の効果】

【 0 2 0 4 】

本願発明は、蓄積時間を画素ごとに変える試行撮像を行うことにより、短時間に最適な蓄積時間を求めることが出来る。そして、蓄積時間をその最適値に設定することにより、高精度で画像を読み取ることが出来る。

【 0 2 0 5 】

【図面の簡単な説明】

【図 1】 本願発明のM O S型センサの回路図

【図 2】 本願発明のM O S型センサのタイミングチャート

【図 3】 従来のパッシブセンサの回路図

【図 4】 従来のアクティブセンサでの回路図

【図 5】 ソースフォロワ回路の回路図

【図 6】 アクティブセンサでのタイミングチャート

【図 7】 アクティブセンサでのタイミングチャート

【図 8】 試行撮像の手順を示す図

【図 9】 アクティブセンサでのタイミングチャート

【図 1 0】 試行撮像での出力信号の変化を示す図

【図 1 1】 本願発明のエリアセンサのブロック図

【図 1 2】 本願発明のアクティブセンサの画素の回路図

【図 1 3】 本願発明のアクティブセンサの画素の回路図

【図 1 4】 本願発明の信号処理回路の回路図

【図 1 5】 本願発明の最終出力増幅用回路の回路図

【図 1 6】 本願発明の最終出力増幅用回路の回路図

- 【図 17】 本願発明の試行撮像でのタイミングチャート
- 【図 18】 本願発明でのタイミングチャート
- 【図 19】 本願発明の試行撮像での出力信号の変化を示す図
- 【図 20】 本願発明でのタイミングチャート
- 【図 21】 本願発明の試行撮像での出力信号の変化を示す図
- 【図 22】 本願発明のエリアセンサにおける試行撮像を行う領域を示す図
- 【図 23】 本願発明のエリアセンサにおいて指紋を読み取る場合を示す図
- 【図 24】 本願発明でのタイミングチャート
- 【図 25】 本願発明のイメージセンサの作製行程を示す図
- 【図 26】 本願発明のイメージセンサの作製行程を示す図
- 【図 27】 本願発明のイメージセンサの作製行程を示す図
- 【図 28】 本願発明のイメージセンサの作製行程を示す図
- 【図 29】 本願発明のイメージセンサを用いた電子機器の図
- 【図 30】 本願発明のイメージセンサを用いた電子機器の図
- 【図 31】 本願発明のイメージセンサを用いた電子機器の図

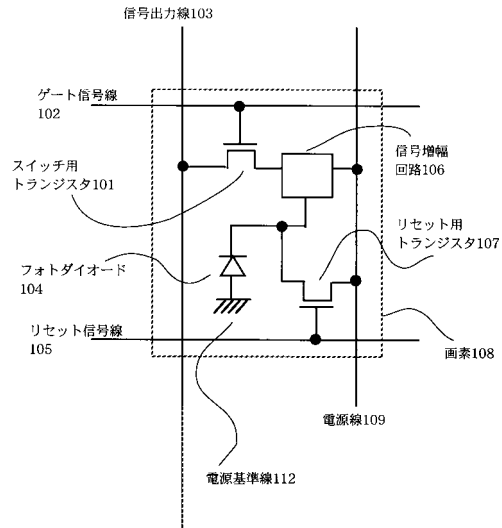
【符号の説明】

- 101 スイッチ用トランジスタ
- 102 ゲート信号線
- 103 信号出力線
- 104 フォトダイオード
- 105 リセット信号線
- 106 信号増幅回路
- 107 リセット用トランジスタ
- 108 画素
- 109 電源線
- 112 電源基準線

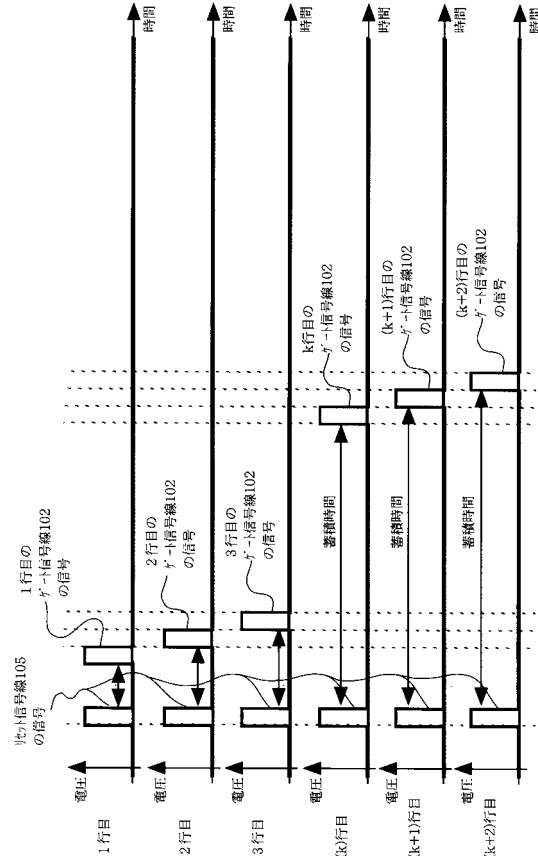
10

20

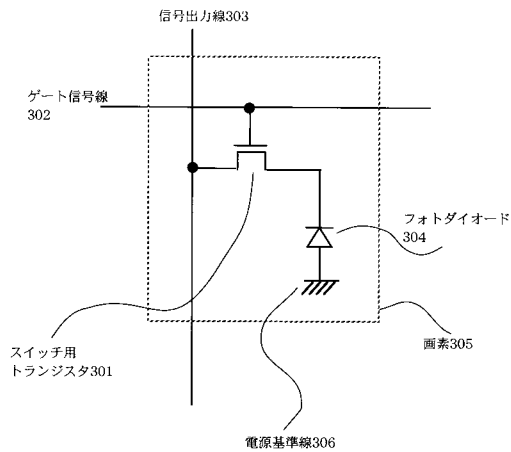
【図 1】



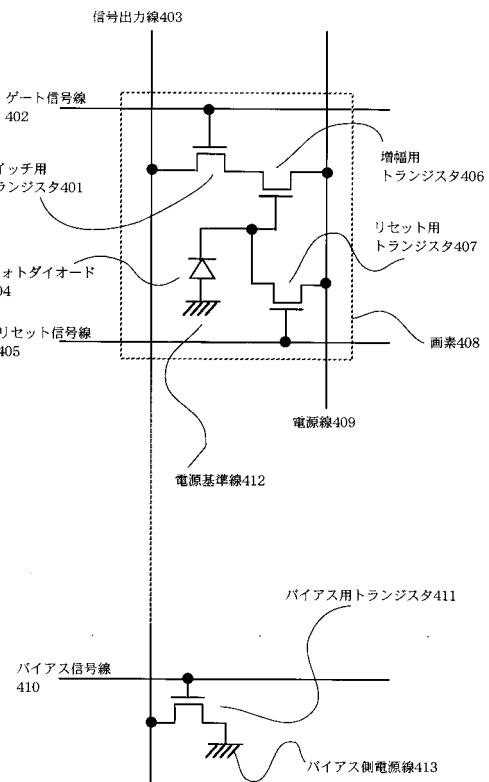
【図 2】



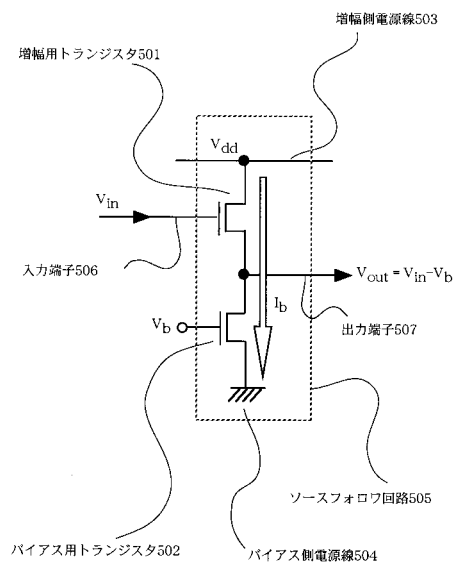
【図 3】



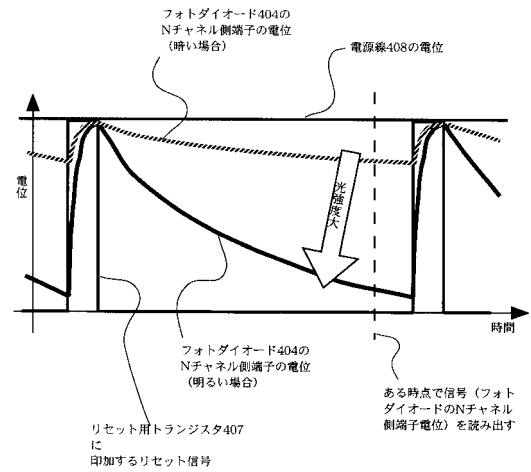
【図 4】



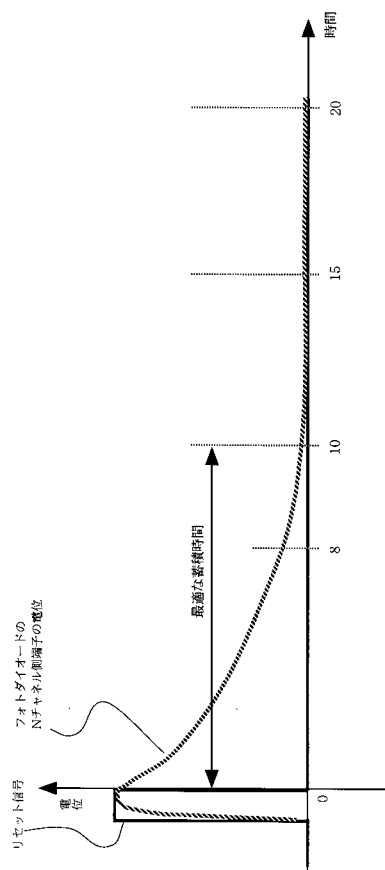
【図 5】



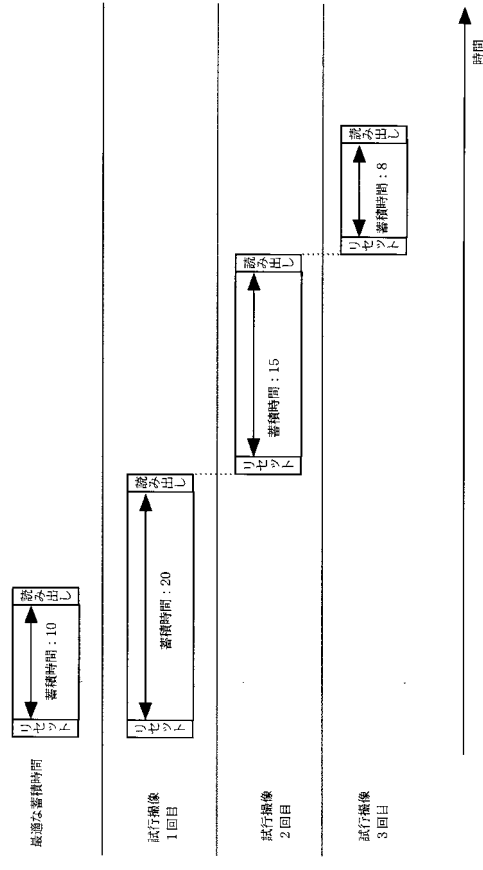
【図 6】



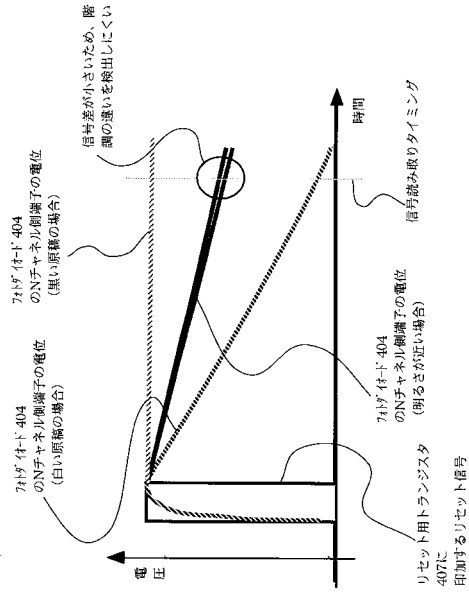
【図 7】



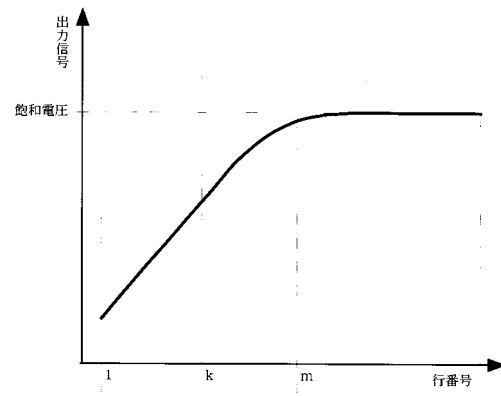
【図 8】



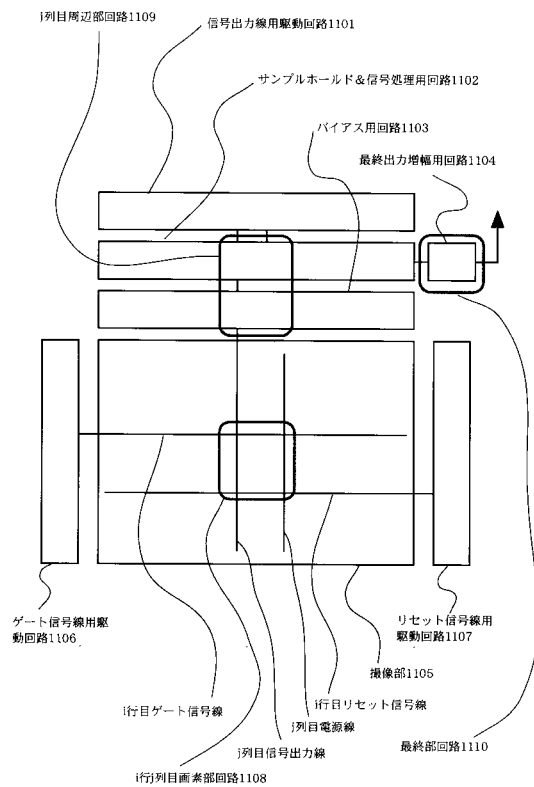
【図 9】



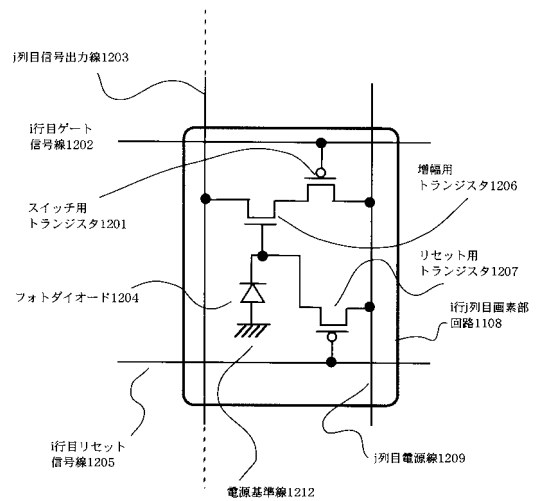
【図 10】



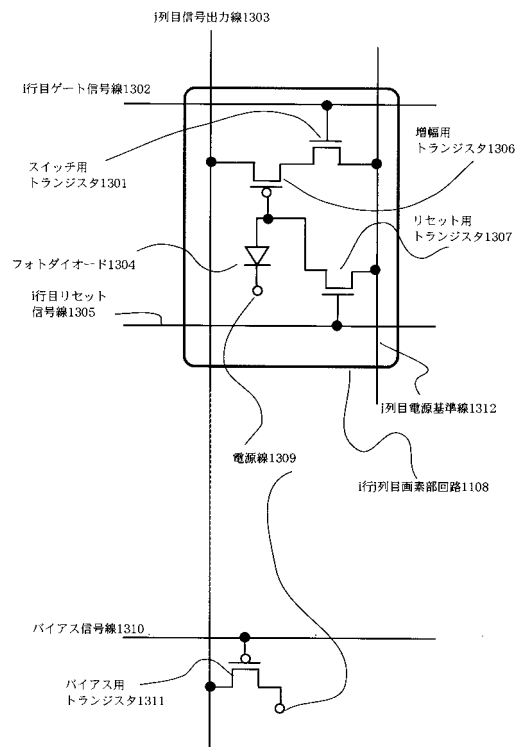
【図 11】



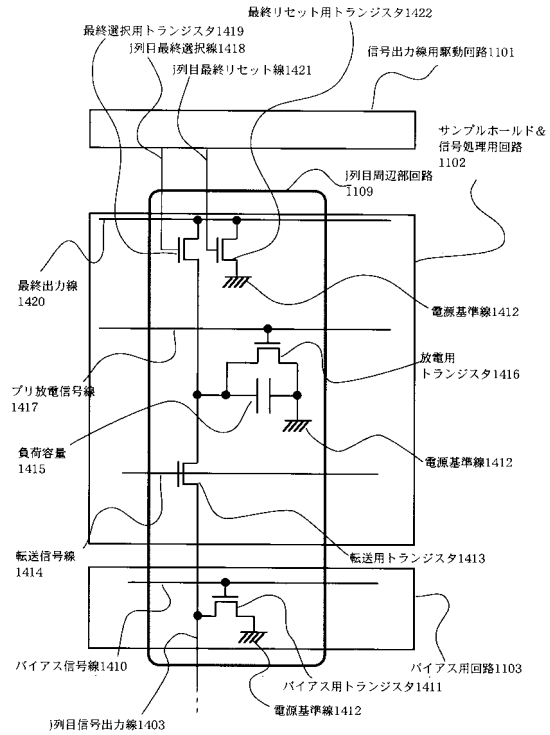
【図 12】



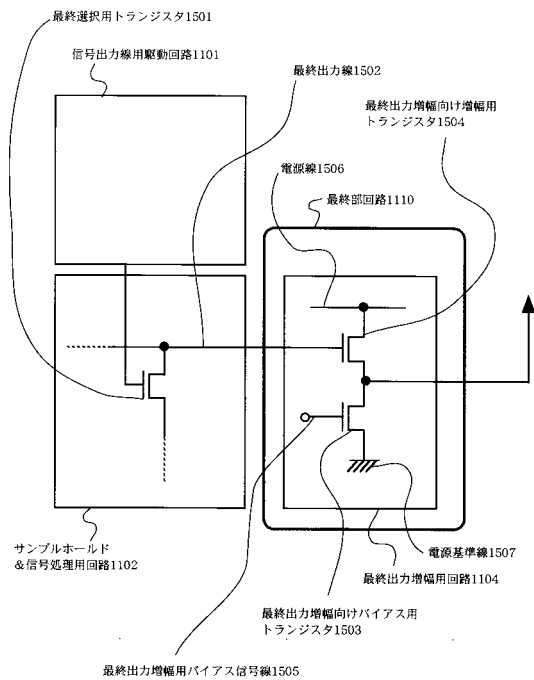
【図 13】



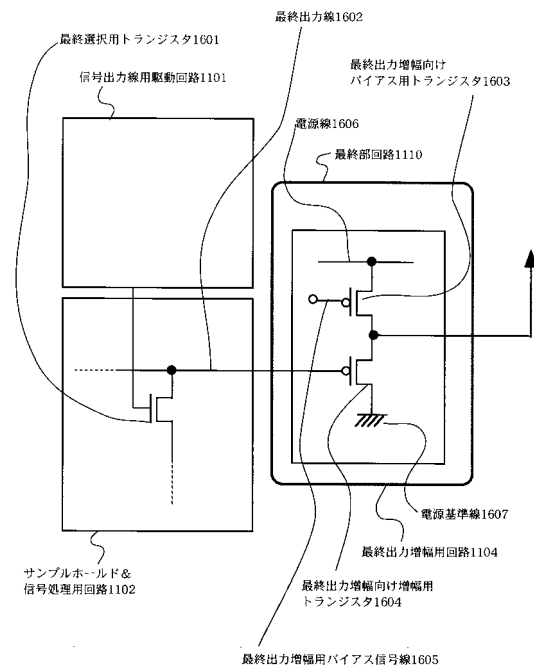
【図 14】



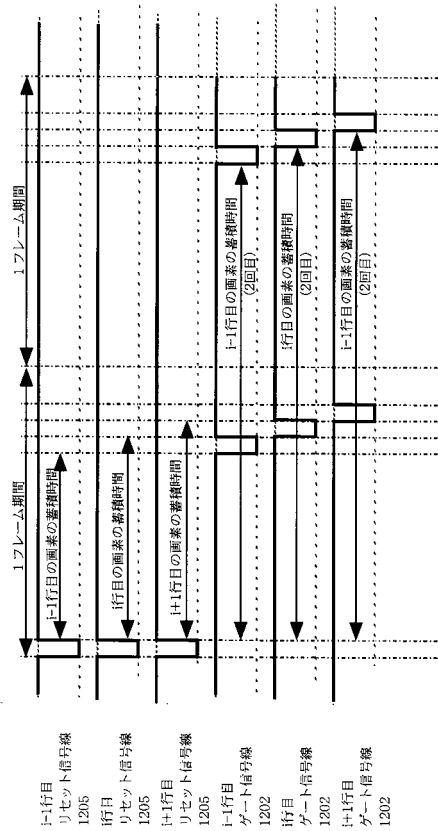
【図 15】



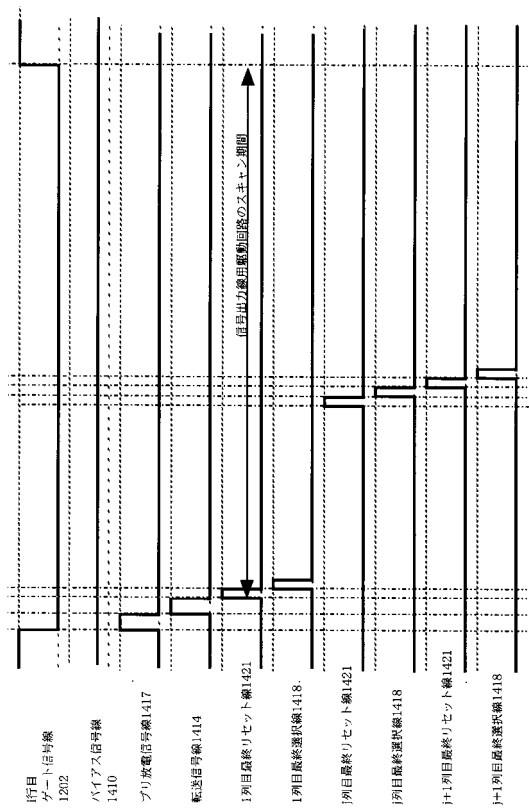
【図 16】



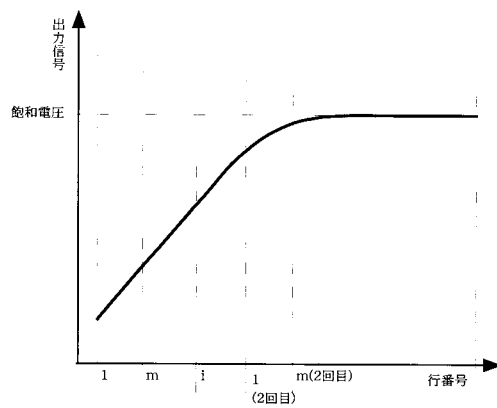
【 図 1 7 】



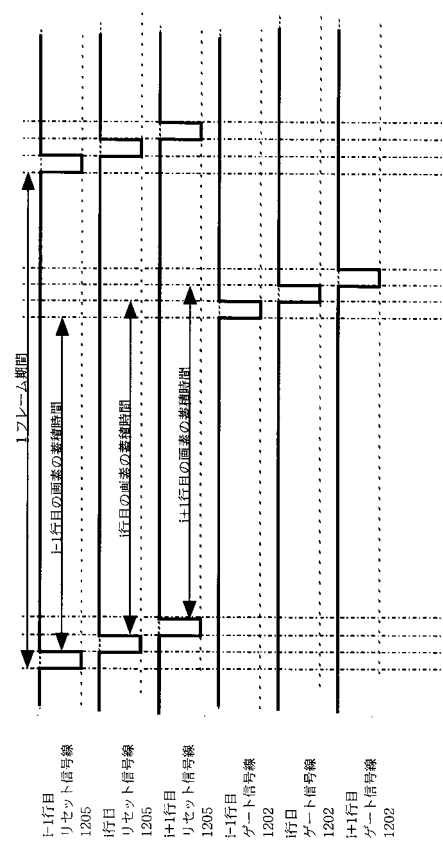
【 図 1 8 】



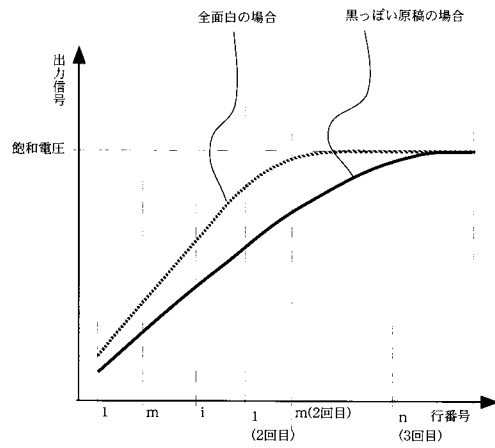
【 図 1 9 】



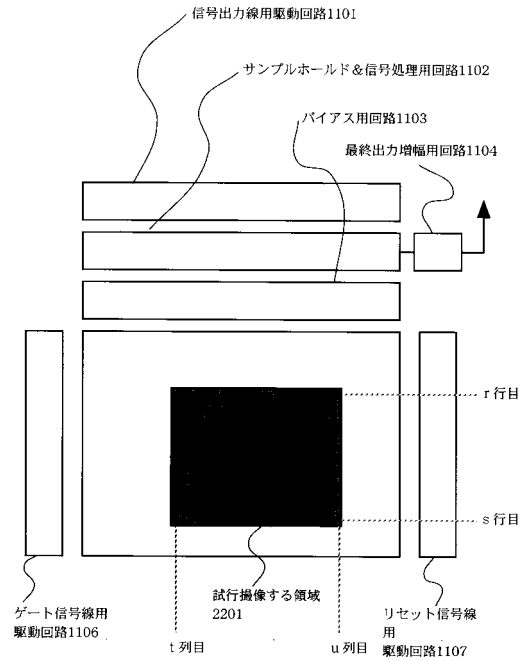
【 図 2 0 】



【図 2 1】

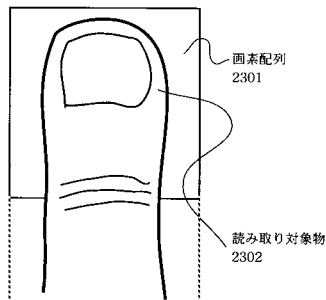


【図 2 2】

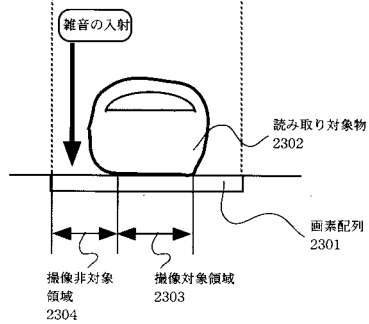


【図 2 3】

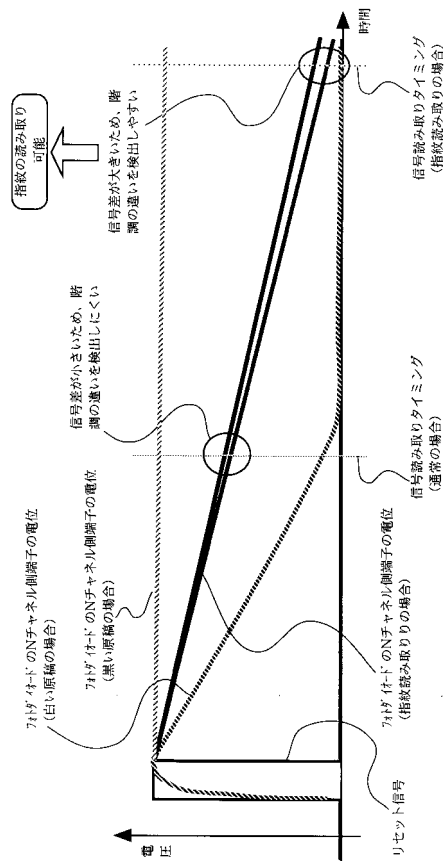
(A)



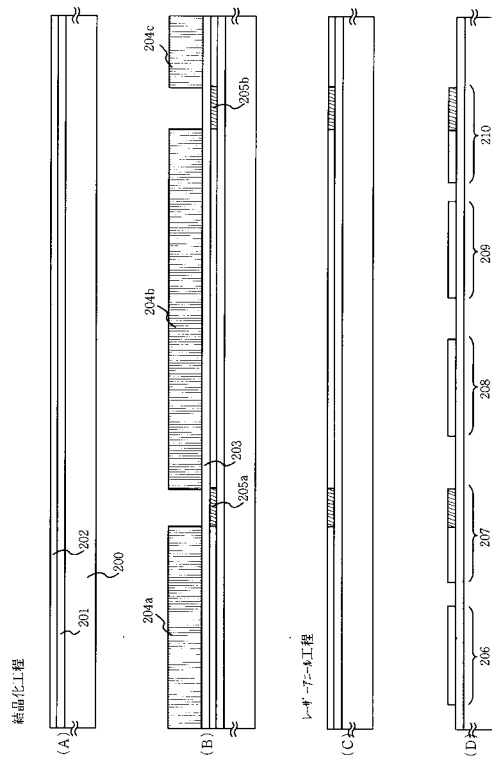
(B)



【図 2 4】

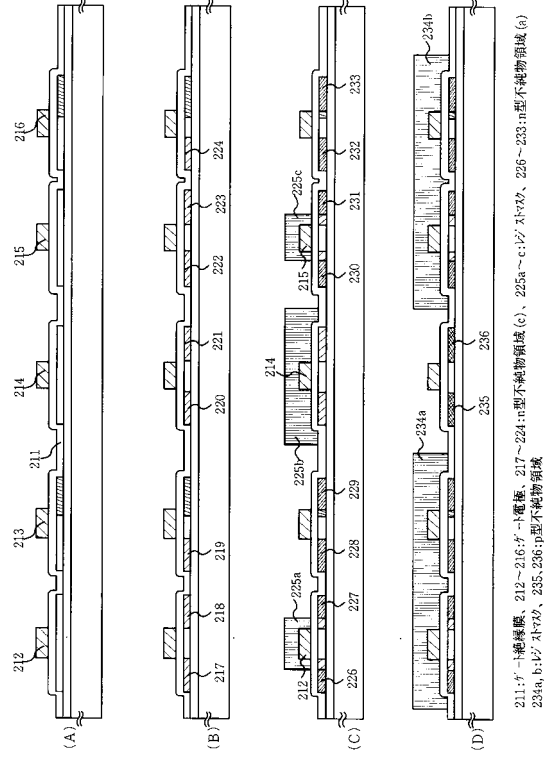


【図 25】

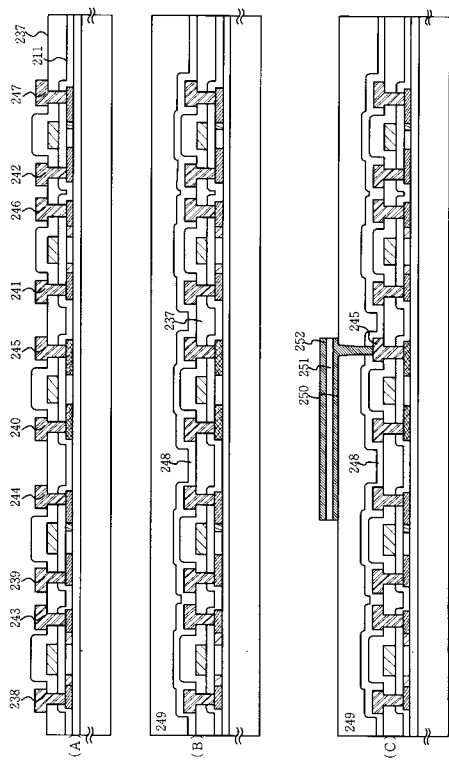


200: ガラス基板、201: 下地膜、202: 結晶質絶縁膜、203: 保護膜、204a~c: i-j ストック、205a, b: n型不純物領域 (b)、206~210: 活性層

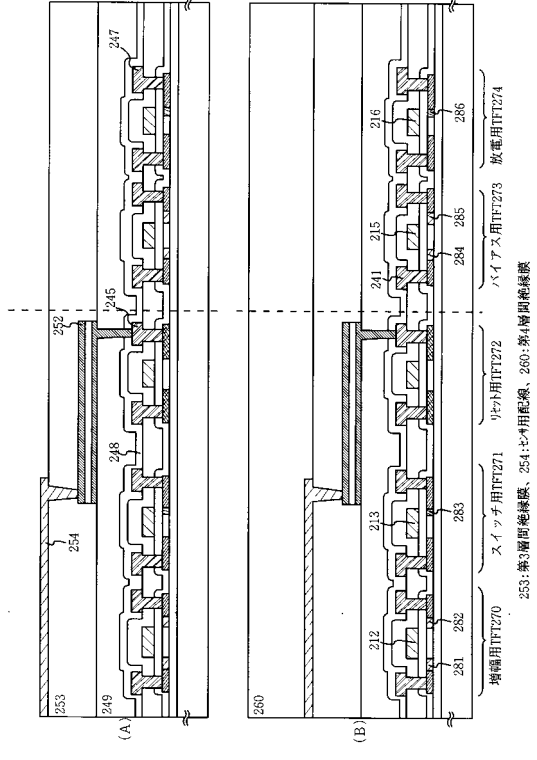
【図 26】



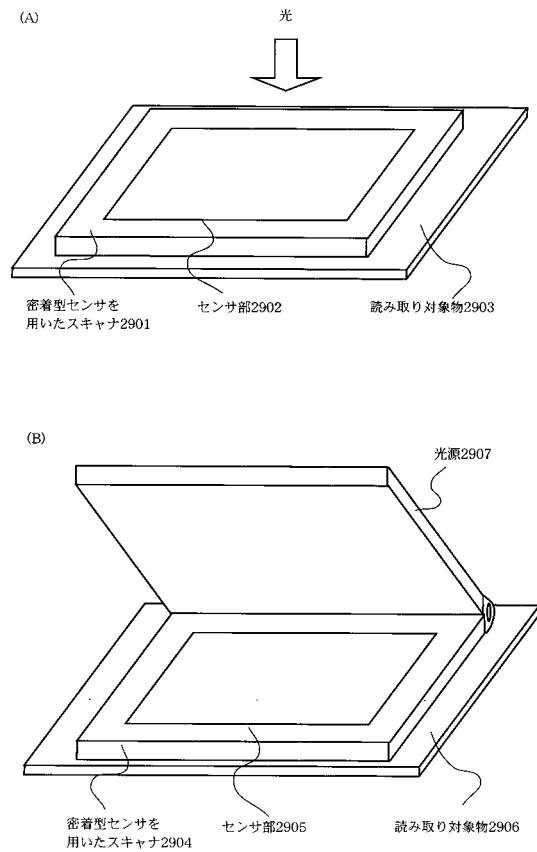
【図 27】



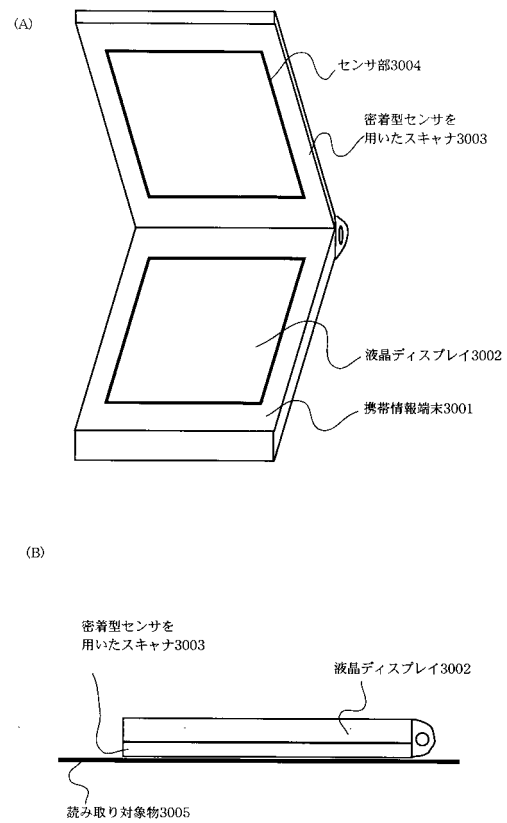
【図 28】



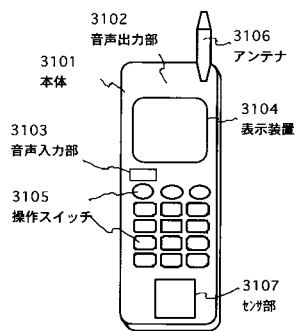
【図 29】



【図 30】



【図 31】



フロントページの続き

(56)参考文献 特開 2 0 0 0 - 0 7 8 4 8 4 (J P , A)
特開平 0 5 - 1 6 7 7 7 5 (J P , A)
特開昭 6 1 - 2 6 5 5 3 4 (J P , A)
特開平 0 3 - 1 0 6 1 8 4 (J P , A)
特開 2 0 0 1 - 2 3 0 9 6 6 (J P , A)
特開 2 0 0 1 - 2 1 1 3 8 9 (J P , A)
特開昭 6 2 - 0 1 6 6 8 4 (J P , A)
特開平 0 5 - 3 1 6 4 3 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H04N 5/353
H01L 27/146
H01L 29/786
H04N 5/374