

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété Intellectuelle
Bureau international



(10) Numéro de publication internationale
WO 2012/028608 A1

(43) Date de la publication internationale
8 mars 2012 (08.03.2012)

PCT

- (51) Classification internationale des brevets : [FR/FR]; 29 Rue des Buttes Réault, F-91650 Breuillet (FR).
G01R 31/30 (2006.01) *G01R 31/26* (2006.01)
- (21) Numéro de la demande internationale : (74) Mandataires : DUDOUIT, Isabelle et al.; Immeuble Visium, 22 Avenue Aristide Briand, F-78140 Arcueil (FR).
PCT/EP2011/064888
- (22) Date de dépôt international : (81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (25) Langue de dépôt : français
- (26) Langue de publication : français
- (30) Données relatives à la priorité : (84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, FR, GR, IT, JP, KR, LU, NL, SE, SI, SK, TR, UA, US, UZ, VC, VN, ZA, ZM, ZW).
- (72) Inventeurs; et
- (75) Inventeurs/Déposants (pour US seulement) : GHERMAN, Valentin [FR/FR]; 72, rue Jean Jaurès, F-91300 Massy Palaiseau (FR). BONHOMME, Yannick

[Suite sur la page suivante]

(54) Title : METHOD AND DEVICE FOR CONTROLLING THE LATENCY OF ELECTRONIC CIRCUITS

(54) Titre : PROCEDE ET DISPOSITIF DE CONTROLE DE LATENCE DE CIRCUITS ELECTRONIQUES

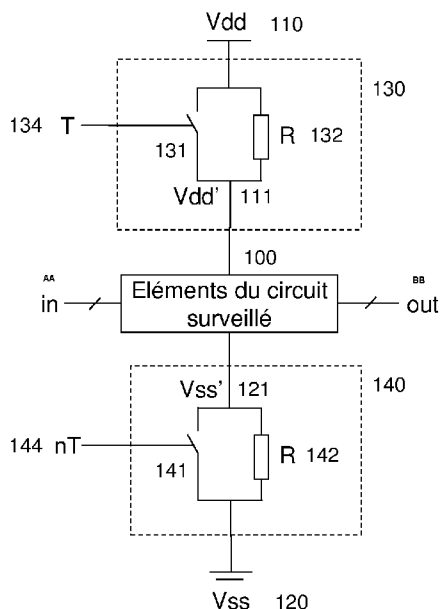


FIG.1

(57) Abstract : The invention relates to a device for controlling the latency of electronic circuits based on microtechnology and/or nanotechnology, in which the circuits (100) to be tested are supplied with a voltage Vdd, having a low level or a high level, for the detection of delay faults in said circuits. The invention is characterised in that it combines at least the following elements: at least a type I device disposed between the high level 110 (Vdd) of the supply voltage and the elements of the circuit (100) to be tested, and/or at least a type II device disposed between the low level 120 (Vss) of the supply voltage and the elements of the circuit (100) to be tested, said type I and type II devices comprising at least one low-latency electrical path (131,141) which is connected in parallel to a high-latency electrical path (R) (132,142). A test signal (134, 144) controls the opening of the low-latency paths (131, 141) while the high-latency electrical paths (132, 142) are open.

(57) Abrégé : Dispositif de contrôle de la latence de circuits électroniques à base de microtechnologie et/ou nanotechnologie, lesdits circuits à tester (100) étant alimentés à l'aide d'une tension Vdd, ayant un niveau bas et un niveau haut, pour la détection de fautes de délai desdits circuits caractérisés en ce qu'il comporte en combinaison au moins les éléments suivants : au moins un dispositif de type I disposé entre le niveau

[Suite sur la page suivante]

WO 2012/028608 A1



EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, **Publiée :**
LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, — *avec rapport de recherche internationale (Art. 21(3))*
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

haut 110 (V_{dd}) de la tension d'alimentation et les éléments du circuit (100) à tester, et/ou au moins un dispositif de type II disposé entre le niveau bas 120 (V_{ss}) de la tension d'alimentation des éléments dudit circuit à tester (100), le dispositif de type I et le dispositif de type II comprenant au moins un chemin électrique de faible latence, (131,141), ledit chemin de faible latence étant connecté en parallèle avec un chemin électrique de grande latence (R), (132,142), un signal de test (134, 144) contrôlant l'ouverture des chemins de faible latence (131, 141) tandis que les chemins électriques de grande latence (132, 142) sont ouverts.

PROCEDE ET DISPOSITIF DE CONTROLE DE LATENCE DE CIRCUITS ELECTRONIQUES

L'invention concerne un procédé et un dispositif pour le contrôle
5 de latence de circuits électroniques utilisés par exemple pour le test des
fautes de délai et des dispositifs apparentés qui s'appliquent notamment aux
domaines des micro-technologies et des nanotechnologies. L'invention peut
être utilisée, par exemple, pour la détection des fautes permanentes
apparues lors de la phase de production des circuits ou dues au
10 vieillissement de ces derniers.

Dans les circuits réalisés à base de micro-technologies et
nanotechnologies, les fautes résultant de défauts physiques dus au
vieillissement peuvent engendrer des erreurs de fonctionnement et
15 finalement la défaillance du système. Une façon d'éviter ces défaillances est
de masquer ou de corriger les erreurs. Le masquage peut être effectué, par
exemple, à l'aide d'un vote majoritaire sur des systèmes redondants, tandis
que d'habitude la correction se base sur une méthode de détection combinée
avec des mécanismes de reconfiguration et de réexécution de l'opération
20 défailante. Malheureusement, le masquage et la correction ont des surcoûts
importants notamment en matériel et en puissance.

Le coût de la « mitigation » des défauts physiques dus au
vieillissement peut être diminué de façon significative si on considère que la
majorité de ces défauts se manifestent à travers une augmentation
25 progressive de la latence du circuit. Par conséquent, une approche moins
onéreuse est de prévenir l'apparition des défaillances en détectant les
éventuelles fautes de délai dues au vieillissement avant qu'elles ne génèrent
des erreurs. Une technique de contrôle ou « monitoring » qui permet une
détection par anticipation de ces fautes, consiste à tester les systèmes en
30 mode dit "dégradé". Dans la présente description, le mot "dégradé" est défini
comme une légère altération des paramètres du circuit pendant son test, ce

terme étant connu de l'Homme du métier pour désigner un état de fonctionnement. Par exemple, la fréquence d'horloge d'un circuit synchrone peut être légèrement augmentée et/ou sa tension d'alimentation légèrement diminuée. Ce décalage entre les paramètres de fonctionnement en mode dégradé et en mode normal (non-dégradé) offre une marge temporelle pendant laquelle les fautes dues au vieillissement deviennent détectables avant de provoquer des erreurs en mode normal. Cette détection est équivalente à une anticipation des erreurs qui pourraient apparaître pendant le fonctionnement du circuit en mode normal (non-dégradé).

10 Dans les circuits actuels, ce type de dégradation est implémenté à l'aide de l'infrastructure qui permet la gestion de la tension d'alimentation et de la fréquence de travail.

Normalement, un système sur puce est partagé en plusieurs îlots de tension-fréquence, c'est-à-dire que chaque îlot a sa propre infrastructure matérielle pour la gestion de sa tension et de sa fréquence. Malheureusement la taille de ces îlots est relativement grande et ne permet pas le test en mode dégradé de certaines parties du circuit qui, épisodiquement, ne sont pas utilisées, pendant que d'autres parties du circuit dans le même îlot tension-fréquence exécutent des tâches opératives. De plus la latence avec laquelle la tension d'alimentation et/ou la fréquence peuvent être changées est relativement faible et non adaptée à l'application du mode dégradé.

L'invention concerne un dispositif de contrôle de la latence de circuits électroniques à base de micro-technologie et/ou de nanotechnologie, lesdits circuits à tester étant alimentés à l'aide d'une tension Vdd, ayant un niveau bas et un niveau haut, pour la détection de fautes de délai desdits circuits caractérisé en ce qu'il comporte en combinaison au moins un des éléments suivants :

- un dispositif de type I disposé entre le niveau haut Vdd de la tension d'alimentation et un ou plusieurs éléments du circuit à tester, et/ou

3

- un dispositif de type II disposé entre le niveau bas V_{ss} de la tension d'alimentation et un ou plusieurs éléments dudit circuit à tester,
- le dispositif de type I et le dispositif de type II comprenant au moins un chemin électrique de faible latence, ledit chemin de faible latence étant connecté en parallèle avec un chemin électrique de grande latence R,
- un signal de test contrôlant l'ouverture des chemins de faible latence tandis que les chemins électriques de grande latence sont ouverts.

Un dispositif de dégradation de type I est par exemple intercalé entre le niveau haut de la tension d'alimentation et un ou plusieurs éléments du circuit à tester et est constitué de trois transistors distribués de la manière suivante :

- un premier transistor offrant un chemin de faible latence ouvert seulement quand un signal de test T est assigné au niveau bas V_{ss} de la tension d'alimentation, ledit premier transistor est fermé pendant le test du circuit en mode dégradé et ouvert pendant le fonctionnement en mode non-dégradé,
- un deuxième transistor toujours ouvert et offrant le chemin caractérisé par une grande latence,
- un troisième transistor utilisé pour générer à son drain D_{233} la tension qui contrôle la grille G_{232} du deuxième transistor.

Le dispositif comprend par exemple un dispositif de dégradation de type I intercalé entre le niveau haut de la tension d'alimentation et un ou plusieurs éléments du circuit à tester constitué :

- d'un premier transistor offrant un chemin de faible latence, ledit transistor étant ouvert seulement quand le signal de contrôle T est assigné au niveau bas V_{ss} de la tension d'alimentation,
- un deuxième transistor toujours ouvert offrant un chemin caractérisé par une grande latence,
- le drain D_{332} du transistor étant relié à sa propre grille G_{332} .

Un dispositif de dégradation de type I est, par exemple, intercalé entre le niveau haut de la tension d'alimentation et un ou plusieurs éléments du circuit à tester comprend :

- 5 • un premier transistor offrant un chemin de faible latence, ledit premier transistor étant ouvert seulement quand le signal de contrôle (nT) est assigné au niveau haut Vdd de la tension d'alimentation,
- un deuxième transistor toujours ouvert et offrant un chemin caractérisé par une grande latence, la grille G₄₃₂ dudit transistor étant
10 contrôlée par un signal Vcon ayant une tension électrique de niveau intermédiaire entre le niveau haut et le niveau bas de la tension d'alimentation.

Un dispositif de dégradation de type II peut être intercalé entre le niveau bas de la tension d'alimentation et un ou plusieurs éléments du circuit
15 à tester comprennent:

- un premier transistor offrant un chemin de faible latence ouvert seulement quand le signal de contrôle (nT) est assigné au niveau haut Vdd de la tension d'alimentation,
- un deuxième transistor toujours ouvert et offrant un chemin
20 caractérisé par une grande latence,
- un troisième transistor adapté pour générer à son drain D₅₄₃ la tension qui contrôle la grille G₅₄₂ du transistor.

Le dispositif peut comporter un dispositif de dégradation de type II contenant :

- 25 • un premier transistor offrant un chemin de faible latence ouvert quand le signal de contrôle (nT) est assigné au niveau haut Vdd de la tension d'alimentation,
- un deuxième transistor toujours ouvert et offrant un chemin caractérisé par une grande latence, le drain D₆₄₂ du transistor est relié
30 à sa propre grille G₆₄₂.

Le dispositif peut comporter un dispositif de dégradation de type II comprenant:

- un premier transistor offrant un chemin de faible latence ouvert quand le signal de contrôle nT est assigné au niveau haut Vdd de la tension d'alimentation,
- un deuxième transistor toujours ouvert et offrant un chemin caractérisé par une grande latence, la grille G₇₄₂ du transistor est contrôlée par un signal nVcon, la tension électrique appliquée par le signal nVcon ayant un niveau intermédiaire entre les niveaux haut Vdd et bas Vss de la tension d'alimentation.

Selon un mode de réalisation, le dispositif est composé d'une combinaison en série et/ou en parallèle des dispositifs de type I.

Selon un autre mode de réalisation le dispositif est composé d'une combinaison en série et/ou en parallèle des dispositifs de type II.

Le dispositif est utilisé, par exemple, pour le contrôle de la latence des bascules contenues dans le circuit à tester.

L'invention concerne aussi un procédé de contrôle de la latence des circuits électroniques à base de micro-technologie et/ou nanotechnologie, pour détecter des fautes dues au vieillissement ou à la phase de la production, caractérisé en ce qu'il utilise un dispositif présentant les caractéristiques décrites précédemment.

En dehors de la grande granularité temporelle et spatiale offerte pour le choix des modes dégradés, ces dispositifs se distinguent par un très faible coût matériel mesuré en nombre de transistors. De plus, les mêmes signaux de contrôle peuvent être utilisés pour piloter les dispositifs de dégradation du même type. Une simple inversion logique suffit pour assurer la conversion des signaux de contrôle entre les dispositifs de dégradation de type I et II.

D'autres caractéristiques et avantages de l'invention apparaîtront à l'aide de la description qui suit, donnée à titre illustratif et non limitatif et faite en regard des dessins annexés parmi lesquels:

- 5 - la figure 1 présente le procédé de dégradation proposé avec des dispositifs de dégradation selon l'invention de type I et II comportant un chemin de grande latence en parallèle avec un chemin de faible latence sélectionnable par un signal de contrôle;
- 10 - la figure 2 présente un dispositif de dégradation de type I dans lequel un premier transistor possédant une grille connectée au drain et à la grille d'un deuxième transistor constitue un chemin de grande latence ;
- 15 - la figure 3 présente un dispositif de dégradation de type I dans lequel le chemin de grande latence comprend un transistor ayant sa grille connectée à son drain;
- 20 - la figure 4 présente un dispositif de dégradation de type II où le chemin de grande latence comprend un transistor possédant une grille contrôlée par un signal permettant l'application d'une tension électrique avec un niveau intermédiaire entre les niveaux haut et bas de la tension d'alimentation du circuit à tester;
- 25 - la figure 5 présente un dispositif de dégradation de type II où le chemin de grande latence comprend un transistor dont la grille est connectée au drain et à la grille d'un autre transistor,
- la figure 6, un exemple de dispositif de dégradation de type II, dans lequel le chemin de grande latence comprend un transistor dans lequel la grille est connectée à son drain, et
- 30 - la figure 7, un exemple de dispositif de dégradation de type II dans lequel le chemin de grande latence comprend un transistor dont la grille est contrôlée par un signal qui permet l'application d'une tension électrique avec un niveau

intermédiaire entre les niveaux haut et bas de la tension d'alimentation du circuit à tester.

L'une des idées de la présente invention est de disposer des dispositifs spécifiques, « DCS » en abrégé, soit entre les éléments du circuit à tester et le niveau haut de l'alimentation dudit circuit à tester, soit entre les éléments du circuit à tester et le niveau bas de l'alimentation dudit circuit. Ces dispositifs présentent notamment comme caractéristique de dégrader localement et temporairement la latence de circuits électroniques qui offrent au moins deux modes de fonctionnement, les modes dégradés et les modes normaux, présentant respectivement une grande et une faible latence qui dépendent de la technologie d'implémentation, des dimensions choisies pour les transistors utilisés dans le dispositif de dégradation et de la tension d'alimentation, elles pouvant aller, par exemple, de quelques picosecondes (virtuellement zéro) à l'infini. La grande latence est plus élevée que la faible latence. La suite de la description va donner quelques exemples :

- d'une part, de dispositif de dégradation de type I qui connectent des éléments du circuit au niveau haut de la tension d'alimentation Vdd,
- d'autre part, de dispositif de dégradation de type II qui connectent des éléments du circuit au niveau bas de la tension d'alimentation Vdd.

La figure 1 présente un exemple de réalisation de dispositif et de procédé de dégradation selon l'invention mettant en œuvre des dispositifs de dégradation 130 et 140 respectivement de type I et II contenant un chemin de grande latence en parallèle avec un chemin faible latence pouvant être sélectionné par un signal de contrôle. L'alimentation du circuit à tester 100 est représentée par les éléments Vdd, 110 et Vss, 120 respectivement le niveau haut et le niveau bas du dispositif d'alimentation.

Les dispositifs de type I sont placés entre le niveau haut 110 (Vdd) de la tension d'alimentation et les éléments du circuit sous test 100 ou circuit à tester. Les dispositifs de type II sont placés entre le niveau bas 120 (Vss)

de la tension d'alimentation et les mêmes ou autres éléments du circuit sous test 100. Les deux types de dispositifs de dégradation contiennent un chemin électrique de faible latence, 131 et respectivement 141, qui est connecté en parallèle avec un chemin électrique de grande latence (R), 132 et respectivement 142. L'ouverture des chemins de faible latence 131 et 141 est contrôlée par un signal de test 134 (T) respectivement 144 (nT) tandis que les chemins électriques de grande latence 132 et 142 sont toujours ouverts. Les chemins de faible latence sont fermés pendant le test du circuit en mode dégradé et ils sont ouverts pendant le fonctionnement en mode non-dégradé. Il n'est pas nécessaire que les deux types de dispositifs de dégradation soient appliqués aux mêmes éléments du circuit surveillé 100.

La figure 2 présente un dispositif de dégradation 230 de type I qui contient trois transistors. Le transistor 231 offre un chemin de faible latence qui est ouvert seulement quand le signal de contrôle 234 (T) est assigné au niveau bas 220 (Vss) de la tension d'alimentation. Le transistor 231 est fermé pendant le test du circuit en mode dégradé et il est ouvert pendant le fonctionnement en mode non-dégradé. Le transistor 232 est toujours ouvert et offre un chemin caractérisé par une grande latence. Le transistor 233 est utilisé pour générer à son drain D_{233} la tension qui contrôle la grille G_{232} du transistor 232. Cette tension est altérée, cela veut dire qu'elle a un niveau intermédiaire entre le niveau bas 220 (Vss) de la tension d'alimentation et la tension de commutation du transistor 232. La tension altérée induit une latence élevée du transistor 232. Le dispositif 230 peut être intercalé entre le niveau haut 210 (Vdd) de la tension d'alimentation et un ou plusieurs éléments du circuit à tester 200 (des cellules standard par exemple) qui sont reliés au nœud 211 (Vdd') à la place du nœud 210 (Vdd).

La figure 3 présente un dispositif de dégradation 330 de type I qui contient deux transistors. Le transistor 331 offre un chemin de faible latence qui est ouvert seulement quand le signal de contrôle 334 (T) est assigné au niveau bas 320 (Vss) de la tension d'alimentation. Le transistor 331 est fermé pendant le test du circuit en mode dégradé et il est ouvert pendant le

fonctionnement en mode non-dégradé. Le transistor 332 est toujours ouvert et offre un chemin caractérisé par une grande latence. Le drain D_{332} du transistor 332 est relié à sa propre grille G_{332} . Par conséquent, la tension qui contrôle la grille du transistor 332 est altérée, cela veut dire qu'elle a un
5 niveau intermédiaire entre le niveau bas 320 (V_{ss}) de la tension d'alimentation et la tension de commutation du transistor 332. Cette tension altérée induit une latence élevée du transistor 332. Le dispositif 330 peut être intercalé entre le niveau haut 310 (V_{dd}) de la tension d'alimentation et un ou plusieurs éléments du circuit sous test 300 (des cellules standard par exemple) qui sont reliés au nœud 311 (V_{dd}') à la place du nœud 310 (V_{dd}).
10

La figure 4 présente un dispositif de dégradation 430 de type I qui contient deux transistors 431, 432. Le transistor 431 offre un chemin de faible latence qui est ouvert seulement quand le signal de contrôle 434 (T) est assigné au niveau bas 420 (V_{ss}) de la tension d'alimentation. Le transistor
15 431 est fermé pendant le test du circuit en mode dégradé et il est ouvert pendant le fonctionnement en mode normal (non-dégradé). Le transistor 432 est toujours ouvert et offre un chemin caractérisé par une grande latence. La grille G_{432} du transistor 432 est contrôlée par un signal V_{con} (435). La tension électrique appliquée par le signal V_{con} (435) a un niveau
20 intermédiaire entre le niveau bas 420 (V_{ss}) de la tension d'alimentation et la tension de commutation du transistor 432. Ce niveau intermédiaire permet un contrôle fin de la latence du transistor 432 et peut être choisi pendant un processus de caractérisation des circuits à tester ou de la technologie utilisée pour la production de ces circuits. Le dispositif 430 peut être intercalé
25 entre le niveau haut 410 (V_{dd}) de la tension d'alimentation et un ou plusieurs éléments du circuit sous test 400 (des cellules standard par exemple) qui sont reliés au nœud 411 (V_{dd}') à la place du nœud 410 (V_{dd}).

La figure 5 présente un dispositif de dégradation 540 de type II qui contient trois transistors 541, 542, 543. Le transistor 541 offre un chemin de
30 faible latence qui est ouvert seulement quand un signal de contrôle 544 (nT) est assigné au niveau haut 510 (V_{dd}) de la tension d'alimentation. Le

transistor 541 est fermé pendant le test du circuit en mode dégradé et il est ouvert pendant le fonctionnement en mode non-dégradé. Le transistor 542 est toujours ouvert et offre un chemin caractérisé par une grande latence. Le transistor 543 est utilisé pour générer à son drain D_{543} la tension qui contrôle la grille G_{542} du transistor 542. Cette tension est altérée, cela veut dire qu'elle a un niveau intermédiaire entre le niveau haut 510 (Vdd) de la tension d'alimentation et la tension de commutation du transistor 542. Cette tension altérée induit une latence élevée du transistor 542. Le dispositif 540 peut être intercalé entre le niveau bas 520 (Vss) de la tension d'alimentation et un ou plusieurs éléments du circuit sous test 500 (des cellules standard par exemple) qui sont reliés au nœud 521 (Vss') à la place du nœud 520 (Vss).

La figure 6 présente un dispositif de dégradation 640 de type II qui contient deux transistors. Le transistor 641 offre un chemin de faible latence qui est ouvert seulement quand le signal de contrôle 644 (nT) est assigné au niveau haut 610 (Vdd) de la tension d'alimentation. Le transistor 641 est fermé pendant le test du circuit en mode dégradé et il est ouvert pendant le fonctionnement en mode non-dégradé. Le transistor 642 est toujours ouvert et offre un chemin caractérisé par une grande latence. Le drain D_{642} du transistor 642 est relié à sa propre grille G_{642} . Par conséquent, la tension qui contrôle la grille G_{642} du transistor 642 est altérée, cela veut dire qu'elle a un niveau intermédiaire entre le niveau haut 610 (Vdd) de la tension d'alimentation et la tension de commutation du transistor 642. Cette tension altérée induit une latence élevée du transistor 642. Le dispositif 640 peut être intercalé entre le niveau bas 620 (Vss) de la tension d'alimentation et un ou plusieurs éléments du circuit sous test 600 (des cellules standard par exemple) qui sont reliés au nœud 621 (Vss') à la place du nœud 620 (Vss).

La figure 7 présente un dispositif de dégradation 740 de type II qui contient deux transistors. Le transistor 741 offre un chemin de faible latence qui est ouvert seulement quand le signal de contrôle 744 (nT) est assigné au niveau haut 710 (Vdd) de la tension d'alimentation. Le transistor 741 est fermé pendant le test du circuit en mode dégradé et il est ouvert pendant le

fonctionnement en mode normal (non-dégradé). Le transistor 742 est toujours ouvert et offre un chemin caractérisé par une grande latence. La grille G_{742} du transistor 742 est contrôlée par un signal nV_{con} (745). La tension électrique appliquée par le signal nV_{con} (745) a un niveau intermédiaire entre le niveau haut 710 (V_{dd}) de la tension d'alimentation et la tension de commutation du transistor 742. Ce niveau intermédiaire permet un contrôle fin de la latence du transistor 742 et peut être choisi pendant un processus de caractérisation des circuits à tester ou de la technologie utilisée pour la production de ces circuits. Le dispositif 740 peut être intercalé entre le niveau bas 720 (V_{ss}) de la tension d'alimentation et un ou plusieurs éléments du circuit sous test 700 (des cellules standard par exemple) qui sont reliés au nœud 721 (V_{ss}') à la place du nœud 720 (V_{ss}).

Si les dispositifs de dégradation 230, 330, 430, 540, 640 ou 740 sont choisis seulement pour leurs grandes granularités temporelle et spatiale, comme dans le cas du test en ligne concurrent, alors ils peuvent être appliqués seulement aux bascules (en anglais "flip-flops" ou "latches") du circuit sous test. Par contre, dans le cas où ces dispositifs sont utilisés seulement pour leurs caractéristiques intrinsèques de dégradation, c'est à dire le fait d'agir sur l'impédance du circuit sous test, il est préférable que ces dispositifs affectent tous les éléments du circuit. Le dernier cas concerne les tests non-concurrents comme le test de production utilisé pour filtrer les circuits avec des défauts de jeunesse et les tests périodiques utilisés pour le monitoring des systèmes dans leurs environnements d'exploitation.

Les dispositifs de même type de dégradation (I ou II) peuvent être combinés en série ou en parallèle pour réaliser le contrôle de la latence de circuits électroniques pour le test des fautes de délai. Les mêmes signaux de contrôle peuvent être utilisés pour choisir la latence des dispositifs qui produisent le même type de dégradation (I ou II) et doivent être appliqués au même type de test (concurrent ou non-concurrent). Une simple inversion logique ($nT = \text{not } T$) suffit pour assurer la conversion des signaux de contrôle entre les dispositifs de dégradation de type I et II.

Le procédé et le dispositif selon l'invention offrent une grande granularité temporelle et spatiale dans le choix des circuits qui peuvent être testés en mode dégradé de façon concurrente, c'est à dire en parallèle avec le fonctionnement normal du reste du système. L'un des objectifs de la présente demande de brevet est de pouvoir tester en mode dégradé plus souvent les circuits non-utilisés pendant certaines périodes de temps. L'idée est d'insérer des structures spéciales avec une latence contrôlable entre les points du réseau d'alimentation électrique et la totalité ou une partie des éléments des circuits sous test comme il a été décrit. Les grandes latences sont choisies pour les modes dégradés tandis que les faibles latences pendant les modes normaux (non-dégradées) de fonctionnement.

Un autre avantage de ce procédé et du dispositif associé est qu'ils offrent une nouvelle manière de procéder utilisable pendant les tests non-concurrents des circuits quand les granularités temporelle et spatiale de la dégradation ne sont pas critiques, comme par exemple pendant les tests de production ou les tests périodiques utilisés pour le monitoring des circuits dans leurs environnements d'exploitation. Normalement après leur production, les circuits sont stressés en les faisant travailler à des tensions et des températures plus élevées que celles prévues pour leur fonctionnement normal. En anglais, ce type de stress est connu sur la dénomination de "burn-in". Une alternative au burn-in est le test à une tension d'alimentation plus faible que la tension de fonctionnement normal. Cela peut être vu comme une forme de dégradation. Avec la présente invention, une autre forme de dégradation devient possible qui est complémentaire à la baisse de la tension d'alimentation. Cette forme de dégradation est caractérisée par une augmentation locale de l'impédance et une limitation du courant d'alimentation des éléments du circuit reliés aux dispositifs proposés et décrits ci-après.

REVENDICATIONS

1 - Dispositif de contrôle de la latence de circuits électroniques à base de
5 micro-technologie et/ou nanotechnologie, lesdits circuits à tester (100) étant
alimentés à l'aide d'une tension Vdd, ayant un niveau bas et un niveau haut,
pour la détection de fautes de délai desdits circuits caractérisé en ce qu'il
comporte en combinaison au moins un des éléments suivants :

- 10 • un dispositif de type I disposé entre le niveau haut (110) (Vdd) de la
tension d'alimentation et un ou plusieurs éléments du circuit (100) à
tester, et/ou
- un dispositif de type II disposé entre le niveau bas (120) Vss de la
tension d'alimentation et un ou plusieurs éléments dudit circuit à tester
(100),
- 15 • le dispositif de type I et le dispositif de type II comprenant au moins un
chemin électrique de faible latence, (131,141), ledit chemin de faible
latence étant connecté en parallèle avec un chemin électrique de
grande latence R, (132,142),
- un signal de test (134, 144) contrôlant l'ouverture des chemins de
20 faible latence (131, 141) tandis que les chemins électriques de
grande latence (132, 142) sont ouverts.

2 – Dispositif selon la revendication 1 caractérisé en ce qu'un dispositif de
dégradation de type I (230) intercalé entre le niveau haut (210) de la tension
25 d'alimentation et un ou plusieurs éléments du circuit à tester est constitué de
trois transistors distribués de la manière suivante :

- un premier transistor (231) offrant un chemin de faible latence ouvert
seulement quand un signal de test T (234) est assigné au niveau bas
Vss (220) de la tension d'alimentation, ledit premier transistor (231)

est fermé pendant le test du circuit en mode dégradé et ouvert pendant le fonctionnement en mode non-dégradé,

- un deuxième transistor (232) toujours ouvert et offrant le chemin caractérisé par une grande latence,
- 5 • un troisième transistor (233) utilisé pour générer à son drain D_{233} la tension qui contrôle la grille G_{232} du deuxième transistor (232).

3 – Dispositif selon la revendication 1 caractérisé en ce qu'il comporte un dispositif de dégradation (330) de type I intercalé entre le niveau haut (310)
10 de la tension d'alimentation et un ou plusieurs éléments du circuit à tester constitué :

- d'un premier transistor (331) offrant un chemin de faible latence, ledit transistor (331) étant ouvert seulement quand le signal de contrôle (334) est assigné au niveau bas V_{ss} (320) de la tension
15 d'alimentation,
- un deuxième transistor (332) toujours ouvert offrant un chemin caractérisé par une grande latence,
- le drain D_{332} du transistor (332) étant relié à sa propre grille G_{332} .

20 4 – Dispositif selon la revendication 1 caractérisé en ce qu'un dispositif de dégradation (430) de type I intercalé entre le niveau haut (410) de la tension d'alimentation et un ou plusieurs éléments du circuit à tester comprend :

- un premier transistor (431) offrant un chemin de faible latence, ledit premier transistor étant ouvert seulement quand le signal de contrôle
25 nT (434) est assigné au niveau haut V_{dd} (420) de la tension d'alimentation,
- un deuxième transistor (432) toujours ouvert et offrant un chemin caractérisé par une grande latence, la grille G_{432} dudit transistor étant contrôlée par un signal V_{con} ayant une tension électrique de niveau

intermédiaire entre le niveau haut (410) et le niveau bas (420) de la tension d'alimentation.

- 5 – Dispositif selon la revendication 1 caractérisé en ce qu'un dispositif de
5 dégradation (540) de type II intercalé entre le niveau bas (520) de la tension
d'alimentation et un ou plusieurs éléments du circuit à tester (100) comprend:
- un premier transistor (541) offrant un chemin de faible latence ouvert
seulement quand le signal de contrôle nT (544) est assigné au niveau
haut Vdd (520) de la tension d'alimentation,
 - 10 • un deuxième transistor (542) toujours ouvert et offrant un chemin
caractérisé par une grande latence,
 - un troisième transistor (543) adapté pour générer à son drain D₅₄₃ la
tension qui contrôle la grille G₅₄₂ du transistor (542).
- 15 6 – Dispositif selon la revendication 1 caractérisé en ce qu'il comprend un
dispositif de dégradation (640) de type II contenant :
- un premier transistor (641) offrant un chemin de faible latence ouvert
quand le signal de contrôle nT (644) est assigné au niveau haut (610)
(Vdd) de la tension d'alimentation,
 - 20 • un deuxième transistor (642) toujours ouvert et offrant un chemin
caractérisé par une grande latence, le drain D₆₄₂ du transistor (642)
est relié à sa propre grille G₆₄₂.
- 7 – Dispositif selon la revendication 1 caractérisé en ce qu'il comporte un
25 dispositif de dégradation (740) de type II comprenant:
- un premier transistor (741) offrant un chemin de faible latence ouvert
quand le signal de contrôle nT (744) est assigné au niveau haut 710
(Vdd) de la tension d'alimentation,
 - un deuxième transistor (742) toujours ouvert et offrant un chemin
30 caractérisé par une grande latence, la grille du transistor (742) est

contrôlée par un signal nVcon (745), la tension électrique appliquée par le signal nVcon (745) ayant un niveau intermédiaire entre les niveaux haut Vdd (710) et bas Vss (720) de la tension d'alimentation.

5 8 – Dispositif selon l'une des revendications 2 à 4 caractérisé en ce qu'il est composé d'une combinaison en série et/ou en parallèle des dispositifs de type I.

10 9 – Dispositif selon l'une des revendications 5 à 7 caractérisé en ce qu'il est composé d'une combinaison en série et/ou en parallèle des dispositifs de type II.

10 – Utilisation du dispositif selon l'une des revendications 1 à 9 pour le contrôle de la latence des bascules contenues dans le circuit à tester.

15

11 – Procédé de contrôle de la latence des circuits électroniques à base de micro-technologie et/ou nanotechnologie, pour détecter des fautes dues au vieillissement ou à la phase de la production, caractérisé en ce qu'il utilise un dispositif selon l'une des revendications 1 à 10.

20

1/4

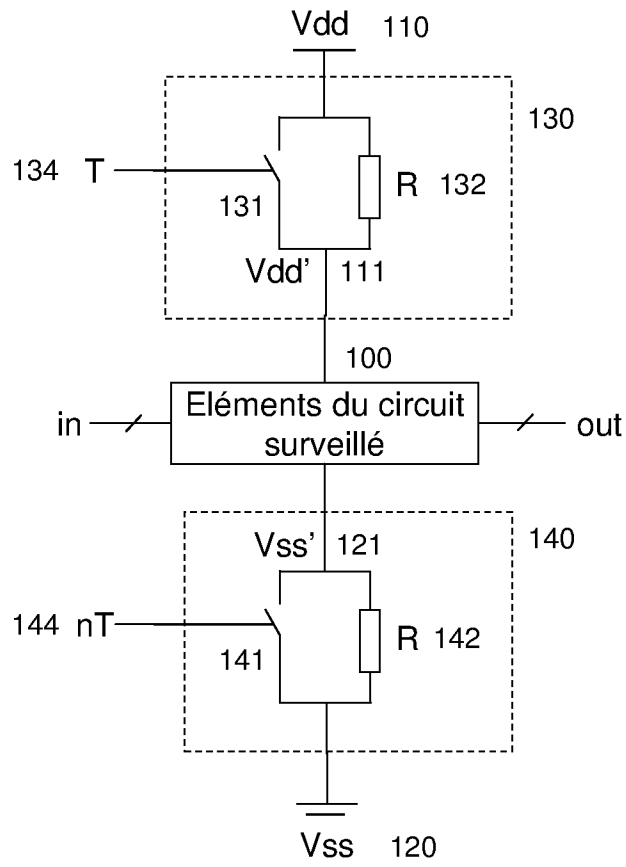


FIG.1

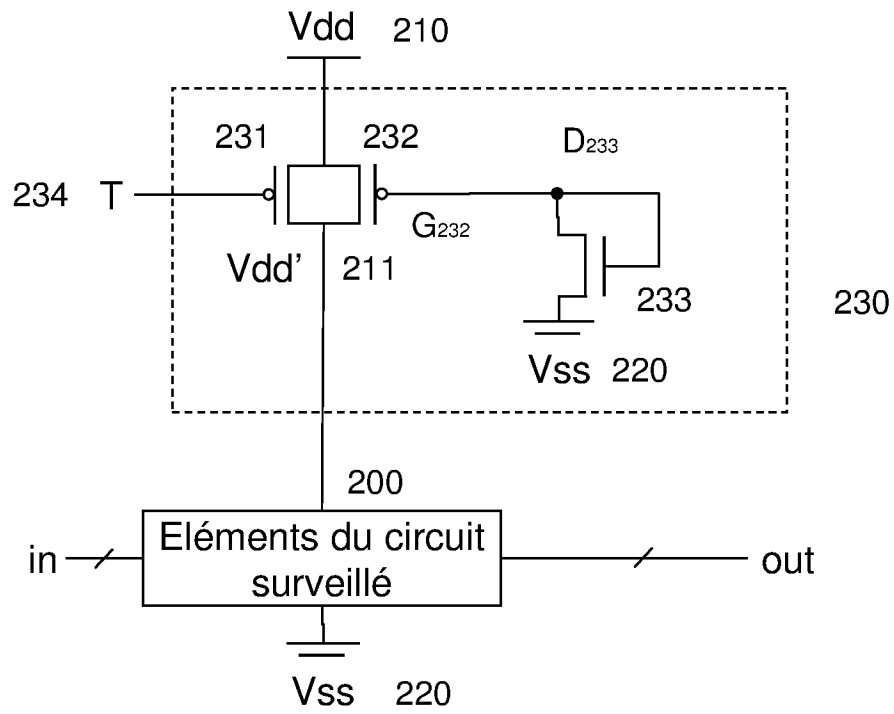


FIG.2

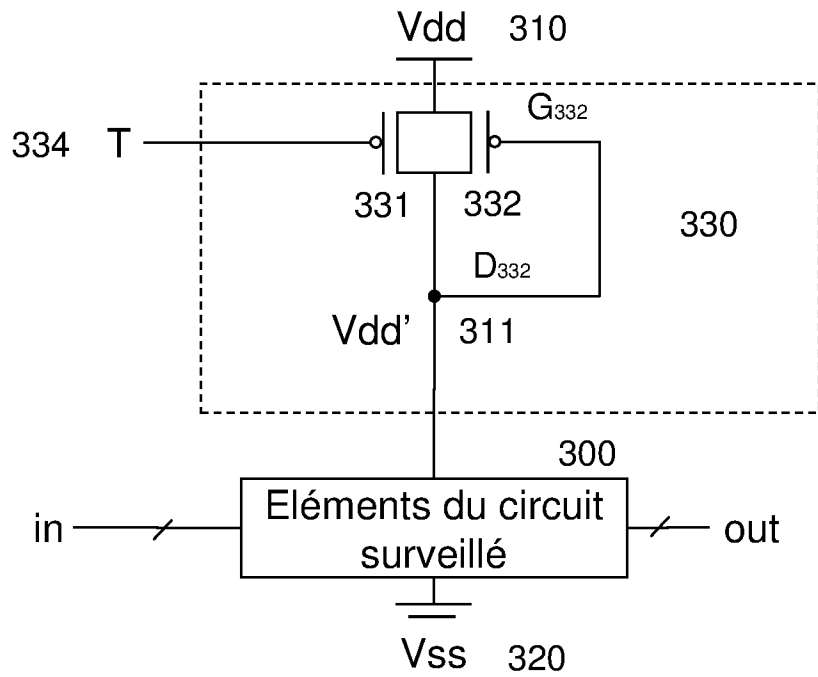


FIG.3

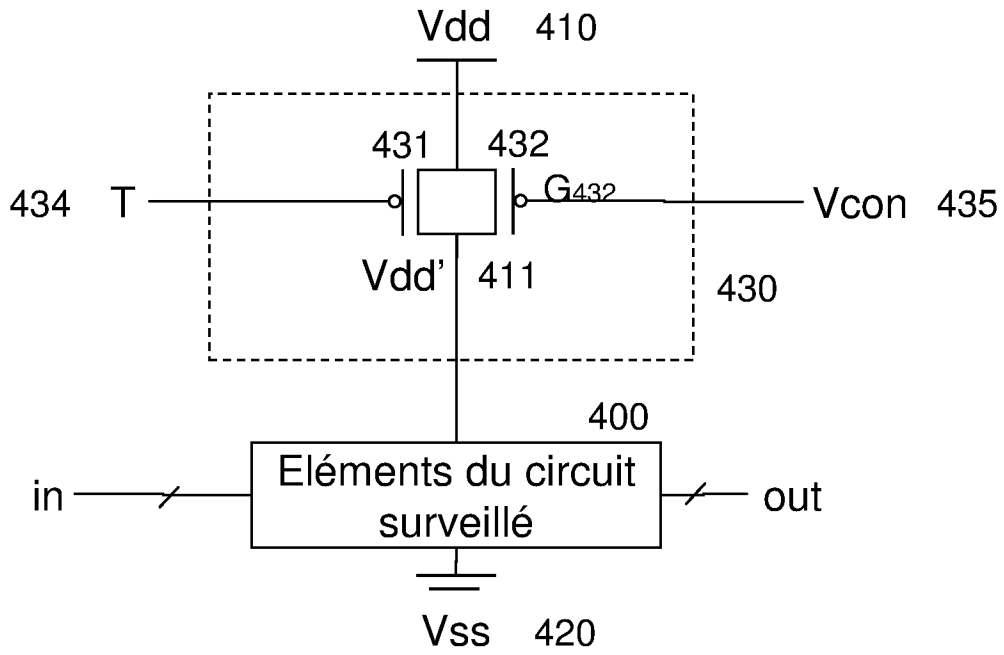


FIG.4

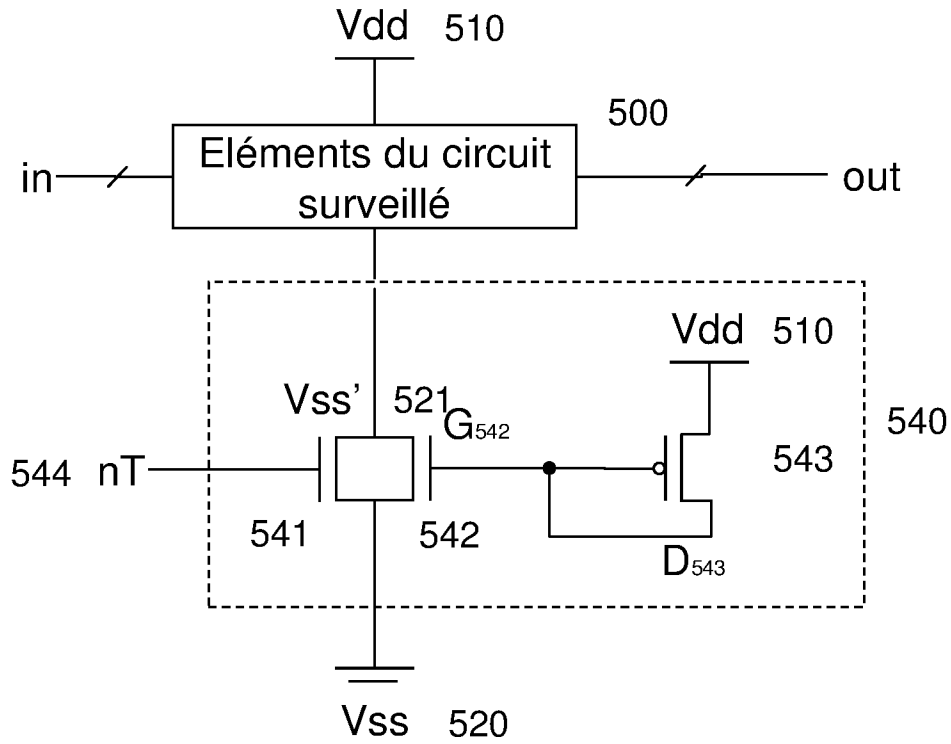


FIG.5

4/4

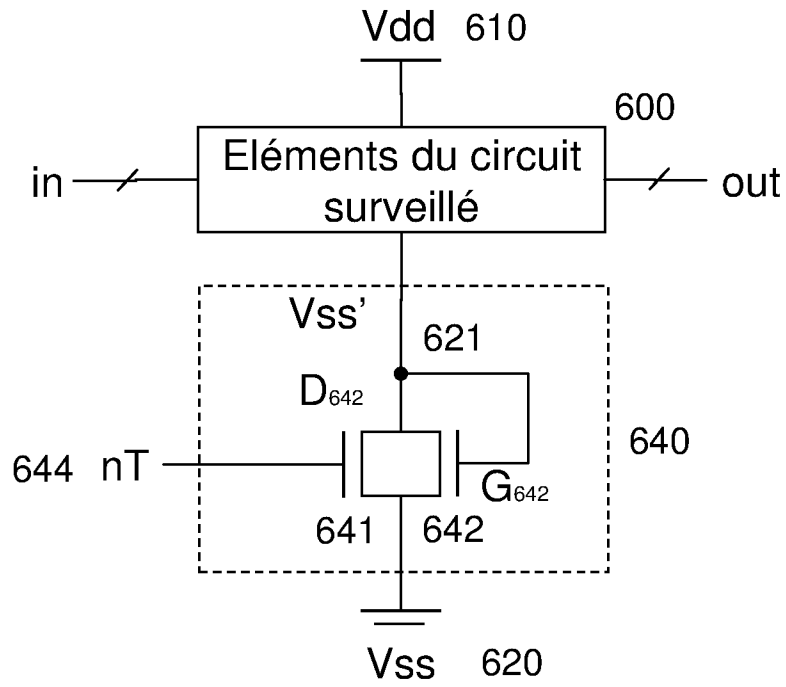


FIG.6

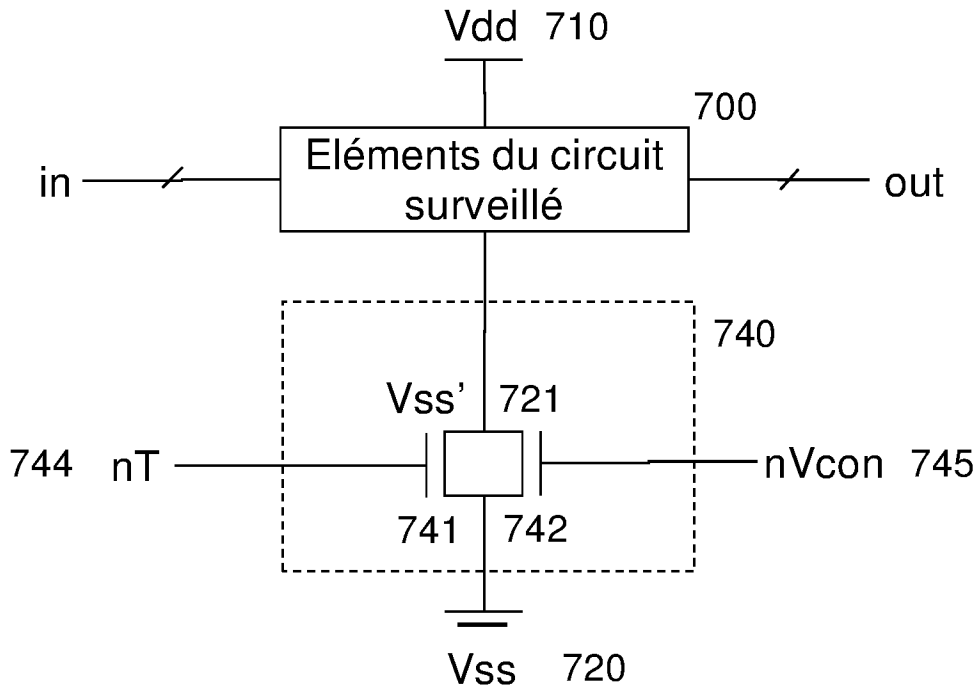


FIG.7

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2011/064888

A. CLASSIFICATION OF SUBJECT MATTER INV. G01R31/30 G01R31/26 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G01R		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	MRIDUL AGARWAL ET AL: "Circuit Failure Prediction and Its Application to Transistor Aging", VLSI TEST SYMMPOSIUM, 2007. 25TH IEEE, IEEE, PI, 1 May 2007 (2007-05-01), pages 277-286, XP031091631, ISBN: 978-0-7695-2812-0 Chapter 4 ----- -/--	1-11
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family
Date of the actual completion of the international search 27 September 2011		Date of mailing of the international search report 11/10/2011
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Meggyesi, Zoltán

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2011/064888

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KINNIMENT D J ET AL: "On-chip structures for timing measurement and test", MICROPROCESSORS AND MICROSYSTEMS, IPC BUSINESS PRESS LTD. LONDON, GB, vol. 27, no. 9, 1 October 2003 (2003-10-01), pages 473-483, XP004453319, ISSN: 0141-9331, DOI: DOI:10.1016/S0141-9331(03)00096-6 Chapter 2	1-11
A	----- MRIDUL AGARWAL ET AL: "Optimized Circuit Failure Prediction for Aging: Practicality and Promise", TEST CONFERENCE, 2008. ITC 2008. IEEE INTERNATIONAL, IEEE, PISCATAWAY, NJ, USA, 28 October 2008 (2008-10-28), pages 1-10, XP031372401, ISBN: 978-1-4244-2402-3 Chapter 2.1 -----	1-11

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2011/064888

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. G01R31/30 G01R31/26 ADD.		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE Documentation minimale consultée (système de classification suivi des symboles de classement) G01R		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal, INSPEC		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	MRIDUL AGARWAL ET AL: "Circuit Failure Prediction and Its Application to Transistor Aging", VLSI TEST SYMMPOSIUM, 2007. 25TH IEEE, IEEE, PI, 1 mai 2007 (2007-05-01), pages 277-286, XP031091631, ISBN: 978-0-7695-2812-0 Chapter 4 ----- -/--	1-11
<input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents		
<input type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités:		
"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée	"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "&" document qui fait partie de la même famille de brevets	
Date à laquelle la recherche internationale a été effectivement achevée	Date d'expédition du présent rapport de recherche internationale	
27 septembre 2011	11/10/2011	
Nom et adresse postale de l'administration chargée de la recherche internationale	Fonctionnaire autorisé	
Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Meggyesi, Zoltán	

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>KINNIMENT D J ET AL: "On-chip structures for timing measurement and test", MICROPROCESSORS AND MICROSYSTEMS, IPC BUSINESS PRESS LTD. LONDON, GB, vol. 27, no. 9, 1 octobre 2003 (2003-10-01), pages 473-483, XP004453319, ISSN: 0141-9331, DOI: DOI:10.1016/S0141-9331(03)00096-6 Chapter 2</p> <p style="text-align: center;">-----</p>	1-11
A	<p>MRIDUL AGARWAL ET AL: "Optimized Circuit Failure Prediction for Aging: Practicality and Promise", TEST CONFERENCE, 2008. ITC 2008. IEEE INTERNATIONAL, IEEE, PISCATAWAY, NJ, USA, 28 octobre 2008 (2008-10-28), pages 1-10, XP031372401, ISBN: 978-1-4244-2402-3 Chapter 2.1</p> <p style="text-align: center;">-----</p>	1-11