

(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets

(11)

Veröffentlichungsnummer: **0 127 015**
B1

(12)

EUROPÄISCHE PATENTSCHRIFT

(45)

Veröffentlichungstag der Patentschrift:
27.12.89

(51)

Int. Cl.⁴: **G 11 C 29/00**

(21)

Anmeldenummer: **84105061.0**

(22)

Anmeldetag: **04.05.84**

(54)

Integrierte digitale MOS-Halbleiterschaltung.

(30)

Priorität: **20.05.83 DE 3318564**

(43)

Veröffentlichungstag der Anmeldung:
05.12.84 Patentblatt 84/49

(45)

Bekanntmachung des Hinweises auf die Patenterteilung:
27.12.89 Patentblatt 89/52

(84)

Benannte Vertragsstaaten:
AT DE FR GB IT

(56)

Entgegenhaltungen:
EP-A-0 089 891
DE-A-2 730 917

(73)

Patentinhaber: **Siemens Aktiengesellschaft,**
Wittelsbacherplatz 2, D-8000 München 2 (DE)

(72)

Erfinder: **Meyer, Willibald, Dipl.-Ing., Annette-**
Kolb-Anger 15, D-8000 München 83 (DE)
Erfinder: **Warwersig, Jürgen, Plievierpark 10,**
D-8000 München 83 (DE)

EP 0 127 015 B1

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents im Europäischen Patentblatt kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

Die vorliegende Erfindung betrifft eine integrierte digitale MOS-Halbleiterschaltung, die einen durch Signale mit unterschiedlichem Pegel zu beaufschlagenden Signaleingang aufweist und bei der aufgrund der Signale mit dem einen Pegel eine erste Betriebsart und aufgrund der Signale mit dem zweiten Pegel eine zweite Betriebsart, gegebenenfalls unter gleichzeitiger Stilllegung der jeweiligen anderen Betriebsart, ausgelöst werden kann.

Eine solche Ausgestaltung für eine integrierte digitale MOS-Halbleiterschaltung wäre z. B. für integrierte MOS-Halbleiterspeicher mit redundanten Zeilen und Spalten - insbesondere für dynamische Speicher dieser Art - von Bedeutung. Bekanntlich weist die Matrix solcher Speicher zusätzliche Zeilen und Spalten auf, die zunächst für den Normalbetrieb des Speichers nicht vorgesehen sind. Tritt aber an einer für den Normalbetrieb vorgesehenen Speicherzelle ein Defekt auf, so hat man dann die Möglichkeit, die die defekte Zelle enthaltende Zeile bzw. Spalte durch eine solche redundante Zeile bzw. Spalte zu ersetzen. Dies geschieht, indem die redundante Zeile bzw. Spalte dann für den Normalbetrieb, für den sie zunächst gesperrt war, durch eine entsprechende Manipulation zugänglich gemacht wird, während andererseits die die defekte Zelle enthaltende Zeile bzw. Spalte bleibend stillgelegt wird. Hierzu ist es üblich, die redundanten Zeilen und Spalten durch auftrennbare Verbindungen von einem Ansprechen im Normalbetrieb abzuhalten. Die Aktivierung der redundanten Zeile bzw. Spalte erfolgt dann ebenfalls durch Auftrennen dieser Kurzschlußverbindungen. Dabei ist es häufig erforderlich, eine Möglichkeit für die Erkennung derjenigen Zeilen und Spalten der Speichermatrix zur Verfügung zu haben, die durch eine redundante Zeile bzw. Spalte ersetzt worden sind.

In der nach veröffentlichten EP-A-1 204 458 (= DE-A-3 311 427) ist ein integrierter dynamischer Schreib-Lese-Speicher beschrieben, der so ausgestattet ist, daß der Ersatz einer für den Normalbetrieb vorgesehenen Zeile bzw. Spalte der Speichermatrix durch eine redundante Zeile bzw. Spalte durch einen logischen Pegel am Datenausgang bei einer dem sog. Roll-Call-Modus bei statischen Speichern entsprechenden Beaufschlagung mit Steuersignalen erkennbar gemacht ist. Es besteht nun die Möglichkeit, solche der Testung dienende Steuersignale auf eigens hierfür vorgesehene Signalanschlüsse der Speicherschaltung zu legen, was jedoch zu einem - aus bekannten Gründen unerwünschten-Mehraufwand an Anschlußpins für den den Speicher enthaltenden IC-Baustein führt. Man kann allerdings auch für den Normalbetrieb einerseits und für den Testbetrieb andererseits unterschiedlich eingestellte Signalspannungen verwenden, die an einen gemeinsamen externen Signaleingang gelegt werden. Hat man dann Signale des einen Pegels, so führen diese zu der einen Betriebsart und hat man Signale des anderen Pegels, so füh-

ren diese automatisch infolge einer entsprechenden inneren Ausgestaltung der integrierten Schaltung zu der anderen Betriebsart. Hierzu ist eine die Umschaltung bewirkende Umschaltanlage erforderlich, die aufgrund eines auf den gemeinsam durch die beiden Signalarten zu beaufschlagenden externen Signaleingang gelegten Signals automatisch feststellt, ob das angelegte Signal für den Normalbetrieb oder z. B. für den Testbetrieb vorgesehen ist und die dann aufgrund dieses Signals für eine entsprechende interne Einstellung der Schaltung auf den Testbetrieb oder auf den Normalbetrieb sorgt.

So können z. B. die Testfunktionen vorgesehenen Schaltungsteile in der integrierten Schaltung aktiviert werden, indem eine in der angedeuteten Weise intern angeschlossene Signaleingangselektrode für den Testbetrieb mit einer Signalspannung beaufschlagt wird, die größer als die normale Betriebsspannung des IC-Bausteins ist. Dabei muß jedoch sichergestellt sein, daß die Testfunktion nicht bei einer für den Normalbetrieb vorgesehenen Signalspannung an dem genannten Signalanschluß auslösbar ist. Andererseits muß die Spannung für das Testsignal aus verständlichen Gründen noch unterhalb der maximal zulässigen Spannungsbeaufschlagung der integrierten Schaltung liegen. Außerdem soll ein Stromfluß über den besagten Eingang bei Beaufschlagung mit dem Testsignal möglichst vermieden werden. Ferner ist es wünschenswert, wenn dieser Testbetrieb nur dann möglich ist, wenn in dem besagten Baustein vorher für den normalen Betrieb vorgesehene Schaltungsteile durch redundante Schaltungsteile ersetzt worden sind, während in zweckmäßiger Weise vorher eine absolute Stilllegung der für den Testbetrieb vorgesehenen Schaltungsteile gegeben ist. Damit hat man nämlich eine Möglichkeit, bei mit Redundanz versehenen und schaltungsmäßig miteinander übereinstimmend ausgestatteten IC's solche, bei denen redundante Teile bereits in den Normalbetrieb eingeschaltet sind, von solchen, bei denen dies nicht der Fall ist, auf einfache Weise zu unterscheiden.

Es ist nun Aufgabe der vorliegenden Erfindung, eine der eingangs gegebenen Definition entsprechende digitale MOS-Halbleiterschaltung entsprechend den angegebenen Gesichtspunkten auszugestalten.

Hierzu ist erfindungsgemäß der mit den beiden Signalarten zu beaufschlagende Signaleingang mit dem Gate eines ersten MOS-Feldeffekttransistors verbunden, dessen Drain am Versorgungspotential liegt und dessen Source über die Source-Drainstrecke eines zweiten MOS-Feldeffekttransistors einerseits mit dem Eingang eines Schmitt-Triggers und andererseits mit dem Drain eines dritten MOS-Feldeffekttransistors verbunden ist, dessen Gate am Versorgungspotential und dessen Source am Bezugspotential liegt, daß dabei der Ausgang des Schmitt-Triggers zur Steuerung des ersten Eingangs einer mit zwei Eingängen versehenen Ausgangsverstärkerschaltung dient, die ihrerseits sowohl an dem

Versorgungspotential als auch an dem Bezugspotential liegt und deren zweiter Eingang mittels eines zum einen aus einer Reihenschaltung einen vierten und fünften MOS-Feldeffekttransistors einer auftrennbaren Verbindung und einem UND-Gatter mit zwei Eingängen bestehenden Schaltungsteils gesteuert ist, daß dabei in diesem Schaltungsteil der fünfte MOS-Feldeffekttransistor mit seinem Sourceanschluß am Bezugspotential und mit seinem Drainanschluß über die auftrennbar ausgestaltete Verbindung sowohl an den einen Eingang des UND-Gatters als auch an den Sourceanschluß des vierten MOS-Feldeffekttransistors gelegt ist, dessen Drainanschluß am Versorgungspotential liegt, daß ferner zur Steuerung des fünften MOS-Feldeffekttransistors ein erstes Taktsignal, zur Steuerung des vierten MOS-Feldeffekttransistors ein zweites Taktsignal und zur Steuerung des zweiten Eingangs des UND-Gatters ein drittes Taktsignal vorgesehen ist, daß außerdem der Ausgang des UND-Gatters einerseits zur Steuerung des zweiten MOS-Feldeffekttransistors als auch zur Steuerung des zweiten Eingangs des Ausgangsverstärkers dient und daß schließlich das am Ausgang des Ausgangsverstärkers anfallende Signal zur Aktivierung und/oder Steuerung weiterer Teile der MOS-Halbleiterschaltung dient.

Eine der Erfindung entsprechende Schaltung in einfacher Ausführung ist in Figur 1 dargestellt. Figur 2 zeigt das Ansprechverhalten auf die an den Signaleingang angelegten Spannungspegel. In Figur 3 ist eine zweckmäßige Weiterbildung der Erfindung gezeigt, während in Fig. 4 das Zeitverhalten der für die Beaufschlagung der erfindungsgemäßen Schaltung erforderlichen Impulse im Verein mit einem am Signaleingang anliegenden Steuersignal dargestellt ist.

Bei dem in Fig. 1 dargestellten Schaltbild einer ersten Ausführung der erfindungsgemäßen Schaltung hat man den mit zwei Signalarten A mit unterschiedlichem Pegel zu beaufschlagenden Schaltungsteil (den Schwellwertschalter) und außerdem den für den Normalbetrieb vorgesehenen Schaltungsteil a. Es dient der Schaltungsteil a dem Normal- oder Nutzbetrieb der Schaltung und der Schaltungsteil b dem Testbetrieb. Durch die zu erzeugenden Signale Φ_R wird die Testschaltung b aktiviert. Gleichzeitig können die Signale Φ_R benutzt werden, den für den Normalbetrieb vorgesehenen Schaltungsteil a zu deaktivieren.

Nun liegt gemäß der Definition der Erfindung ein erster MOS-Feldeffekttransistor T1 mit seinem Gate an den besagten Signalanschluß A, mit seinem Drain am Versorgungspotential V_{CC} und mit seinem Sourceanschluß über die Source-Drainstrecke eines zweiten MOS-Feldeffekttransistors T2 einerseits am Eingang B eines Schmitt-Triggers ST und andererseits über die Source-Drainstrecke eines dritten MOS-Feldeffekttransistors am Bezugspotential V_{SS} . Das Gate des dritten Transistors T3 ist unmittelbar mit dem Versorgungspotential V_{CC} verbunden, während das Gate des zweiten MOS-Feldeffekttransistors T2 durch den Ausgang eines UND-Gatters U gesteuert ist.

An dieser Stelle ist festzustellen, daß in den in Fig. 1 und Fig. 3 dargestellten Ausführungsbeispiel die in der Schaltung verwendeten Transistoren alle selbstsperrend und vom selben Kanalleitungstyp, insbesondere von n-Kanaltyp sind. Zu dem UND-Gatter ist noch zu bemerken, daß dieses, wie auch aus Fig. 3 ersichtlich, durch einen einzigen MOS-Feldeffekttransistor vom selbstsperrenden Typ realisiert werden kann.

Der Ausgangsverstärker ist bei der in Fig. 1 dargestellten Ausführung der Erfindung durch zwei in Serie liegende Ausgangstransistoren At_1 und At_2 gegeben, wobei der Feldeffekttransistor At_1 mit seinem Sourceanschluß am Bezugspotential V_{SS} und der Feldeffekttransistor At_2 mit seinem Drainanschluß an Versorgungspotential V_{CC} liegt. Der Sourceanschluß des Transistors At_2 sowie der Drainanschluß des Transistors At_1 bilden zusammen den das gewünschte Signal Φ_R liefernden Ausgang.

Zur Beaufschlagung des Gates des am Bezugspotential V_{SS} liegenden Transistors At_1 im Ausgangsverstärker dient der Ausgang C des Schmitt-Triggers ST. Zur Steuerung des Gates des am Versorgungspotential liegenden Transistors At_2 ist hingegen der Ausgang des UND-Gatters U vorgesehen, welcher, wie bereits bemerkt, zur Steuerung des Gates des zweiten MOS-Feldeffekttransistors T2 dient.

Ein der Definition der Erfindung entsprechender fünfter MOS-Feldeffekttransistor an seinem Gate durch ein erstes Taktsignal Φ_A gesteuert ist, liegt mit seinem Sourceanschluß am Bezugspotential V_{SS} und mit seinem Drain unter Vermittlung einer auftrennbaren Verbindung FL sowohl an dem einen Eingang des UND-Gatters U als auch am Sourceanschluß des vierten MOS-Feldeffekttransistors T4 entsprechend der Definition der Erfindung, dessen Drainanschluß an der Versorgungsklemme für das Versorgungspotential V_{CC} liegt und dessen Gate durch eine zweite Impulsfolge gesteuert ist. Zur Steuerung des zweiten Eingangs des UND-Gatters U dient eine dritte Impulsfolge Φ_P .

Die beschriebene Schaltung gemäß Fig. 1 unterscheidet sich von der Schaltung gemäß Fig. 3 darin, daß in der Ausführung gemäß Figur 3 eine kompliziertere Ausgestaltung des Ausgangsverstärkers sowie eine Ausführungsform des Schmitt-Triggers ST sowie die oben erwähnte Realisierung des UND-Gatters U durch einen MOS-Feldeffekttransistor gegeben ist. Zunächst sollen noch diese Ausführungsmöglichkeiten gemäß Figur 3 beschrieben werden.

Hinsichtlich der Schaltung und Steuerung der Transistorenkette T1, T2 und T3 mit den Signaleingang A ist Obereinstimmung mit der Ausgestaltung gemäß Figur 1 gegeben.

Bei der in Figur 3 verwendeten Ausgestaltung des Schmitt-Triggers ST sind vier MOS-Feldeffekttransistoren St_1 bis St_4 vorgesehen, wobei das Gate des ersten dieser Transistoren, nämlich des Transistors St_1 , sowie das Gate des zweiten Transistors St_2 den Signaleingang B des Schmitt-Triggers darstellen. Der erste dieser Transistoren

St₁ liegt mit seinem Sourceanschluß am Bezugspotential V_{ss} und mit seinem Drain einerseits am Sourceanschluß des zweiten der zuletzt genannten Transistoren, nämlich des Transistors St₂ als andererseits über die Source-Drainstrecke des vierten Transistors St₄ am Versorgungspotential V_{cc} . Der dritte Transistor St₃ liegt mit seiner Source sowohl am Signalausgang C des Schmitt-Triggers als auch am Gate des vierten Transistors St₄ und ist mit seinem Gate und seinem Drain an das Versorgungspotential V_{cc} gelegt.

Hinsichtlich der Schaltung des durch das erste Taktsignal Φ_A und des durch das zweite Taktsignal Φ_V zu steuernden fünften Transistors T5 bzw. vierten Transistors T4 gemäß der Definition der Erfindung und der Verwendung der auftrennbaren Verbindung EL ist Übereinstimmung bei beiden Figuren 1 und 3 gegeben. Zur Realisierung des UND-Gatters U ist ein MOS-Feldeffekttransistor gegeben, dessen Drainanschluß durch die dritte Impulsfolge Φ_P beaufschlagt ist und dessen den Ausgang des UND-Gatters bildender Sourceanschluß einerseits unmittelbar an das Gate des zweiten Transistors T2 der Definition der Erfindung gelegt und andererseits über einen Kondensator C1 mit dem Sourceanschluß des Transistors T4 und damit mit dem eigenen Gate verbunden ist. Schließlich liegt der Ausgang des UND-Gatters U am Eingang der Verstärkerschaltung am Ausgang der Gesamtschaltung, der beispielsweise auch in der aus Figur 1 ersichtlichen Weise (At₁, At₂) ausgestaltet sein könnte.

Bei der in Figur 3 dargestellten Ausführung der Erfindung ist jedoch der Ausgangsverstärker ebenfalls als eine Schmitt-Triggerschaltung ausgestaltet, die in diesem Fall mit einer Bootstrapschaltung kombiniert ist. Zu ihrer Realisierung sind sechs MOS-Feldeffekttransistoren At₃ - At₆ und ein Kondensator C2 vorgesehen, die in folgender Weise geschaltet sind.

Der durch den Ausgang des UND-Gatters U beaufschlagte Eingang des Ausgangsverstärkers ist durch den einen stromführenden Anschluß des Transistors At₃ gegeben, dessen Gate am Versorgungspotential V_{cc} und dessen anderer stromführender Anschluß an einem Schaltungsknoten S liegt. Dieser Schaltungsknoten S führt über die Source-Drainstrecke des an seinem Gate durch den (zugleich zur Steuerung von T4 eingesetzten) zweiten Taktsignal Φ_V gesteuerten MOS-Feldeffekttransistor At₅ zum Bezugspotential V_{ss} . Er führt außerdem über den Kondensator C2 zu dem die gewünschten Impulse Φ_R liefernden Signalausgang des Ausgangsverstärkers. Schließlich ist dieser Knoten S auch mit dem Gate des Transistors At₆ verbunden, dessen Sourceanschluß am Signalausgang und dessen Drain am Versorgungspotential V_{cc} liegt. Zu bemerken ist noch, daß der Ausgang des UND-Gatters U und damit der Eingang At₃ über einen Bootstrap-Kondensator C1 am Knoten D liegt.

Der Ausgang C des Schmitt-Triggers St liegt in diesem Fall am Gate des unmittelbar mit dem Bezugspotential V_{ss} verbundenen MOS-Feldeffekttransistors At₃ und am Gate des mit dem

Transistor At₃ in Reihe liegenden und mit seinem Drainanschluß am Signalausgang liegenden MOS-Feldeffekttransistors At₄. Ein Schaltungspunkt zwischen den beiden zuletzt genannten Transistoren At₃ und At₄ liegt über die Source-Drainstrecke des MOS-Feldeffekttransistors At₇ am Versorgungspotential V_{cc} während das Gate des zuletzt genannten Transistors At₇ unmittelbar mit dem Ausgang des Ausgangsverstärkers verbunden ist.

Fig. 4 zeigt eine Möglichkeit für die Beaufschlagung des Signaleingangs A sowie den Zeitverlauf der Impulse Φ_V (= 2. Taktpuls), Φ_A (= 1. Taktpuls), Φ_P (= 3. Taktpuls) und der Zustände am Eingang B, am Ausgang C des Schmitt-Triggers St, sowie am Sourceanschluß des mit dem UND-Gatters U verbundenen vierten Transistors T4 gemäß der Definition der Erfindung (D) und schließlich am Ausgang₁ das heißt also den Zeitverlauf der zu erzeugenden Impulse Φ_R . Vor den Eingehen auf diesbezügliche Einzelheiten soll jedoch zunächst auf das Erhalten der Schaltung gemäß Fig. 1 bzw. 3 näher eingegangen werden.

Das der Steuerung des vierten Transistors T4 dienende Taktsignal Φ_V (also das zweite Taktsignal gemäß der Definition der Erfindung) dient der Aufladung des durch diesen Transistor gesteuerten Eingangs des UND-Gatters U auf den Spannungswert $(V_{cc} - U_T)$ (U_T = Einsatzspannung von T4). Das zur Steuerung des fünften Transistors dienende erste Taktsignal Φ_A geht von Wert des Bezugspotentials V_{ss} auf den Wert des Versorgungspotentials V_{cc} nachdem das Taktsignal Φ_V auf den Wert V_{ss} geschaltet wurde. Damit wird der durch T4 gesteuerte Eingang des UND-Gatters U wieder entladen, sofern die Verbindung zwischen T5 und T4 (FL) intakt ist.

Falls hingegen die Verbindung aufgetrennt ist, entfällt die Wirkung des Taktsignals Φ_A auf das UND-Gatter U.

Bei dem zur Beaufschlagung des UND-Gatters U dienenden dritten Taktsignal Φ_P ist festzustellen, daß seine ansteigende Flanke die ansteigende Flanke des Ausgangssignals Φ_R bestimmt, sobald am Signaleingang A der Schaltung das Signal mit dem überhöhten (d.h. oberhalb von V_{cc} liegenden) Pegel anhängig ist. Die Taktsignale Φ_A und Φ_P können beide zweckmäßigerweise mit der ansteigenden Flanke des Signals Φ_V auf das Bezugspotential V_{ss} zurückgesetzt werden.

Die durch den Signaleingang gesteuerte Reihenschaltung der Transistoren T1, T2 und T3 führt zwischen dem zweiten Transistor T2 und dem dritten Transistor T3 und damit am Eingang B des Schmitt-Triggers St zu den aus Figur 2 ersichtlichen Verhalten der Spannung U_B zwischen dem Punkt B und dem Bezugspotential V_{ss} in Abhängigkeit vom Wert der am Signaleingang A liegenden und auf das Bezugspotential V_{ss} referierten Spannung U_A . Dabei ist die Steilheit der Kurve durch die Dimensionierung der Transistoren T1 - T3 einstellbar. Das in Fig. 2 ersichtliche Verhalten entspricht einer optimalen Dimensionie-

rung. Mit diesem ist angestrebt, daß die Schaltschwelle des Schmitt-Triggers ST dann erreicht wird, wenn die Spannung U_A am Signaleingang A zwischen dem einfachen und dem doppelten Wert der Versorgungsspannung V_{CC} liegt.

Über den zweiten Transistor T2 kann unter Vermittlung des UND-Gatters U das dritte Taktsignal Φ_P Einfluß auf die Kombination der Transistoren T1 bis T3 nehmen, wodurch der Leistungsverbrauch in der in Fig. 1 und 3 dargestellten Schaltung auf die aktiven Zeitbereiche des Arbeitszyklus der Schaltung beschränkt wird. Der Takt Φ_P kann ersichtlich das UND-Gatter U solange nicht passieren, solange die auftrennbare Verbindung FL noch intakt ist. In diesem Falle wird dann die zwischen T4 und dem UND-Gatter U bestehende Verbindung, also der Knoten D, über den fünften Transistor T5 und die auftrennbare Verbindung FL mit dem Beginn eines aktiven Zyklus auf den Potentialwert V_{SS} geklemmt. Der zweite Takt und der von ihm gesteuerte vierte Transistor T4 sorgen dann dafür, daß eine Vorladung des Knotens D stattfindet. In diesem Betriebszustand können dann auch keine Querströme existieren, so daß der Stromverbrauch der in Fig. 1 und 3 dargestellten und zur Erzeugung der Signale Φ_R dienenden Schaltung vernachlässigbar klein wird. Die Entstehung eines Ausgangssignals Φ_R ist dann ausgeschlossen. Wird nun die auftrennbare Verbindung FL unterbrochen, so entsteht beim Anlegen einer entsprechend hoch bemessenen Signalspannung U_A an Signaleingang A, z. B. einer Spannung $U_A = 2V_{CC}$, das Ausgangssignal, das zur Aktivierung eines bisher inaktiven Schaltungsteils b, z. B. einer Testschaltung, z. B. in der aus Fig. 1 ersichtlichen Weise, herangezogen werden kann, indem durch die Signale Φ_R z. B. der dem Testbetrieb dienende Schaltungsteil b auf den aktiven Zustand geschaltet wird. Falls dies erwünscht ist, kann man dann ohne Schwierigkeiten schaltungsmäßig mittels des Taktes Φ_R die Beaufschlagung des für den Normalbetrieb vorgesehenen Schaltungsteils a durch den Signaleingang A verhindern.

Aus der in Fig. 4 gezeigten Beaufschlagung einer Schaltung gemäß Fig. 1 und Fig. 3 ersieht man, daß der am Signaleingang A anstehende Pegel Werte zwischen V_{SS} und V_{CC} und im Testbetrieb Werte zwischen V_{CC} und $2V_{CC}$ annehmen kann. Da bei digitalen integrierten n-Kanal-MOS-Schaltungen die zulässige Gatespannung der Transistoren üblicherweise mindestens das doppelte der maximalen Betriebsspannung beträgt, so ist bei einer solchen Beaufschlagung des Signaleingangs eine Gefährdung der Schaltung nicht gegeben.

Das Zeitverhalten für den Normalbetrieb ist in den mit NB bezeichneten Spalten und das Zeitverhalten für den Testbetrieb in den mit RC bezeichneten Spalten im Diagramm gemäß Figur 4 dargestellt.

Um die das gewünschte Zeitverhalten zeigenden Taktfolgen Φ_V , Φ_A und Φ_P zu erhalten, geht man am einfachsten von der zweiten Impulsfolge Φ_V aus, und beaufschlagt mit dieser die aus Figur

1a ersichtliche Schaltung. Diese besteht aus einem ersten Inverter 1, dessen Eingang mit den Impulsen beaufschlagt ist und dessen Ausgang die Impulse Φ_A liefert. Außerdem steuert der Ausgang des ersten Inverters 1 den Eingang eines zweiten Inverters 2 sowie den einen Eingang eines UND-Gatters 4. Der zweite Eingang dieses UND-Gatters 4 wird durch den Ausgang eines dritten Inverters 3 gesteuert, der seinerseits am Ausgang des zweiten Inverters 2 liegt. Der Ausgang des UND-Gatters 4 liefert Φ_P .

Patentansprüche

1. Integrierte digitale MOS-Halbleiterschaltung mit einem durch zwei Signale mit unterschiedlichem Pegel zu beaufschlagenden Signaleingang, bei der aufgrund der Signale mit dem einen Pegel eine erste Betriebsart und aufgrund der Signale mit dem zweiten Pegel eine zweite Betriebsart auslösbar ist, dadurch gekennzeichnet, daß der mit den beiden Signalarten zu beaufschlagende Signaleingang (A) mit dem Gate eines ersten MOS-Feldeffekttransistors (T1) verbunden ist, dessen Drain am Versorgungspotential (V_{CC}) liegt und dessen Source über die Source-Drainstrecke eines zweiten MOS-Feldeffekttransistors (T2) einerseits mit dem Eingang (B) eines Schmitt-Triggers (ST) und andererseits mit dem Drain eines dritten MOS-Feldeffekttransistors (T3) verbunden ist, dessen Gate am Versorgungspotential (V_{CC}) und dessen Source am Bezugspotential (V_{SS}) liegt, daß dabei der Ausgang (C) des Schmitt-Triggers (ST) zur Steuerung des ersten Eingangs eines mit zwei Eingängen versehene Ausgangsverstärkers dient, der seinerseits sowohl an dem Versorgungspotential als auch an dem Bezugspotential liegt und dessen zweiter Eingang mittels eines zum einen aus einer Reihenschaltung einer vierten und fünften MOS-Feldeffekttransistors (T4 u. T5) und zum andern aus einem UND-Gatter (U) mit zwei Eingängen bestehenden und gleichzeitig zur Steuerung des zweiten MOS-Feldeffekttransistors (T2) dienenden Schaltungsteils gesteuert ist, daß dabei in diesem Schaltungsteil der fünfte MOS-Feldeffekttransistor (T5) mit seinem Sourceanschluß am Bezugspotential (V_{SS}) und mit seinem Drainanschluß über eine auftrennbare Verbindung (FL) sowohl an den einen Eingang des UND-Gatters als auch an den Sourceanschluß des vierten MOS-Feldeffekttransistors (T4) gelegt ist, dessen Drainanschluß am Versorgungspotential (V_{CC}) liegt, daß ferner zum Steuerung des fünften MOS-Feldeffekttransistors (T5) ein erstes Taktsignal Φ_A , zur Steuerung des vierten MOS-Feldeffekttransistors (T4) ein zweites Taktsignal Φ_V und zur Steuerung des zweiten Eingangs des UND-Gatters (U) ein drittes Taktsignal (Φ_P) vorgesehen ist, daß außerdem der Ausgang des UND-Gatters (U) einerseits zur Steuerung des zweiten MOS-Feldeffekttransistors (T2) als auch zur Steuerung des zweiten Eingangs des Ausgangsverstärkers dient und daß schließlich das am Ausgang des

Ausgangsverstärkers anfallende Signal (Φ_r) zur Aktivierung und/oder Steuerung weiterer Teile (b) der MOS-Halbleiterschaltung dient.

2. Halbleiterschaltung nach Anspruch 1, *dadurch gekennzeichnet*, daß der zweite Transistor (T2) unmittelbar mit seinem Gate am Ausgang des UND-Gatters (U) liegt.

3. Halbleiterschaltung nach, Anspruch 1 oder 2, *dadurch gekennzeichnet*, daß der Ausgangsverstärker aus der Reihenschaltung zweier MOS-Feldeffekttransistoren (At₁, At₂) besteht, wobei der Sourceanschluß des einen Transistors (At₁) am Bezugspotential (V_{ss}) und sein Gate am Ausgang (C) des Schmitt-Triggers (ST) liegt, während der Drainanschluß des anderen Transistors (At₂) am Versorgungspotential (V_{cc}) und sein Gate mit dem Ausgang des UND-Gatters, z. B. unmittelbar, verbunden ist, während der Signalausgang (Φ_R) durch einen Schaltungspunkt zwischen den beiden Transistoren (At₁, At₂) gegeben ist.

4. Halbleiterschaltung nach Anspruch 1 oder 2, *dadurch gekennzeichnet* daß der Ausgangsverstärker durch die Kombination von fünf MOS-Feldeffekttransistoren (At₃ - At₈) und eines Kondensators (C2) gegeben ist, in der der durch das UND-Gatter (U) zu beaufschlagende Eingang durch den einen stromführenden Eingang eines - mit seinem Gate am Versorgungspotential (V_{cc}) liegenden - ersten Transistors (At₃) gegeben ist, dessen zweiter stromführender Anschluß einerseits über die Source-Drainstrecke eines vom zweiten Taktsignal (Φ_v) gesteuerten zweiten Transistors (At₅) am Bezugspotential (V_{ss}) und andererseits am Gate eines - zwischen dem Versorgungspotential (V_{cc}) und dem Signalausgang des Verstärkers liegenden - dritten Transistors (At₆) als auch über einen Kondensator am Signalausgang (Φ_R) des Ausgangsverstärkers liegt, daß außerdem der Signalausgang Φ_R über die Reihenschaltung eines vierten und eines fünften Transistors (At₃, At₄) mit dem Bezugspotential (V_{ss}) verbunden und das Gate des vierten und des fünften Transistors (At₃, At₄) durch den Ausgang (C) des Schmitt-Triggers (ST) beaufschlagt ist, und daß schließlich ein Schaltungspunkt zwischen dem vierten und fünften Transistor (At₃, At₄) über die Source-Drainstrecke eines sechsten Transistors (At₇) mit dem Versorgungspotential (V_{cc}) verbunden und das Gate des sechsten Transistors (At₇) an den Ausgang (Φ_R) des Verstärkers gelegt ist.

5. Halbleiterschaltung nach einem der Ansprüche 1 bis 4, *dadurch gekennzeichnet*, daß das UND-Gatter (U) durch einen mit seinem Gate mit dem Sourceanschluß des vierten Transistors (T4) verbundenen und an seinem Drain durch die Impulse der dritten Taktfolge (Φ_p) beaufschlagten MOS-Feldeffekttransistoren (U) gegeben ist, dessen Sourceanschluß einerseits an das Gate des zweiten MOS-Feldeffekttransistors (T2) und an-

dererseits an den zweiten Eingang (At₂; At₈) des Ausgangsverstärkers angeschlossen ist.

6. Halbleiterschaltung nach einem der Ansprüche 1 bis 5, *dadurch gekennzeichnet*, daß der von vier MOS-Feldeffekttransistoren (St₁ - St₄) gebildete Schmitt-Trigger (ST) derart aufgebaut ist, daß sein Eingang (B) durch das Gate von zwei dieser Transistoren (St₁, St₂) gegeben ist, die zueinander in Reihe geschaltet sind, wobei der eine Transistor (St₁) am Bezugspotential (V_{ss}) und der andere am Ausgang (C) des Schmitt-Triggers (ST) liegt, daß außerdem der Ausgang (C) des Schmitt-Triggers (ST) über einen als Widerstand geschalteten weiteren Transistor (St₃) am Versorgungspotential (V_{cc}) und außerdem ein Schaltungspunkt zwischen den beiden am Eingang (B) liegenden Transistoren (St₁, St₂) des Schmitt-Triggers über einen weiteren Transistor (St₄) mit dem Versorgungspotential verbunden ist, wobei das Gate dieses weiteren Transistors (St₄) am Ausgang (C) des Schmitt-Triggers (ST) liegt.

Claims

1. Integrated digital MOS semiconductor circuit with a signal input to be fed with two signals of different levels, in which a first operating mode can be initiated on the basis of the signals with the one level and a second operating mode can be initiated on the basis of the signals with the second level, characterized in that the signal input (A) to be fed with the two types of signal is connected to the gate of a first MOS field-effect transistor (T1), the drain of which is at the supply potential (V_{cc}) and the source of which is connected via the source-drain link of a second MOS field-effect transistor (T2) on the one hand to the input (B) of a Schmitt trigger (ST) and on the other hand to the drain of a third MOS field-effect transistor (T3), the gate of which is at the supply potential (V_{cc}) and the source of which is at the reference potential (V_{ss}), in that the output (C) of the Schmitt trigger (ST) here has the purpose of controlling the first input of an output amplifier provided with two inputs, which amplifier, for its part, is both at the supply potential and at the reference potential, and the second input of which is controlled by means of a circuit component consisting, on the one hand, of a series connection of a fourth and fifth MOS field-effect transistor (T4 and T5) and, on the other hand, of an AND gate (U) with two inputs, and at the same time having the purpose of controlling the second MOS field-effect transistor (T2), in that in this circuit component the fifth MOS field-effect transistor connection (FL) both to the one input of the AND gate and to the source terminal of the fourth MOS field-effect transistor (T4), the drain terminal of which is at the supply potential (V_{cc}), in that also to control the fifth MOS field-effect transistor (T5) a first clock signal Φ_A is provided, to control the fourth MOS field-effect transistor (T4) a se-

cond clock signal (Φ_v) is provided and to control the second input of the AND gate (U) a third clock signal (Φ_p) is provided, in that, in addition, the output of the AND gate (U) has, on the one hand, the purpose of controlling the second MOS field-effect transistor (T2) and also of controlling the second input of the output amplifier and in that, finally, the signal (Φ_r) occurring at the output of the output amplifier has the purpose of activating and/or controlling further components (b) of the MOS semiconductor circuit.

2. Semiconductor circuit according to Claim 1, characterized in that the second transistor (T2) is positioned directly with its gate at the output of the AND gate (U).

3. Semiconductor circuit according to Claim 1 or 2, characterized in that the output amplifier consists of the series connection of two MOS field-effect transistors (At1, At2), the source terminal of the one transistor (At1) being at the reference potential (V_{ss}) and its gate being connected to the output (C) of the Schmitt trigger (ST), while the drain terminal of the other transistor (At2) is at the supply potential (V_{cc}) and its gate is, for example directly, connected to the output of the AND gate, while the signal output (Φ_R) is given by a switching point between the two transistors (At1, At2).

4. Semiconductor circuit according to Claim 1 or 2, characterized in that the output amplifier is given by the combination of five MOS field-effect transistors (At3 - At8) and a capacitor (C2), in which combination the input to be by the AND gate (U) is given by the one current-carrying input of a first transistor (At3) - with its gate at the supply potential (V_{cc}) - of which transistor the second current-carrying terminal is, on the one hand, at the reference potential (V_{ss}) via the source-drain link of a second transistor (At5) controlled by the second clock signal (Φ_v) and, on the other hand, is connected to the gate of a third transistor (At6) - situated between the supply potential (V_{cc}) and the signal output of the amplifier - as well as to the signal output (Φ_R) of the output amplifier via a capacitor (C2), in that, in addition, the signal output (Φ_R) is connected to the reference potential (V_{ss}) via the series connection of a fourth and a fifth transistor (At3, At4) and the gate of the fourth and the fifth transistor (At3, At4) is triggered by the output (C) of the Schmitt trigger (ST), and in that, finally, a switching point between the fourth and fifth transistor (At3, At4) is connected via the sourcedrain link of a sixth transistor (At7) to the supply potential (V_{cc}) and the gate of the sixth transistor (At7) is connected to the output (Φ_R) of the amplifier.

5. Semiconductor circuit according to one of Claims 1 to 4, characterized in that the AND gate (U) is given by a MOS field-effect transistor (U), which is connected by its gate to the source terminal of the fourth transistor (T4) and receives the pulses of the third clock sequence (Φ_p) at its

drain, of which transistor the source terminal is connected, on the one hand, to the gate of the second MOS field-effect transistor (T2) and, on the other hand, to the second input (At2; At8) of the output amplifier.

6. Semiconductor circuit according to one of Claims 1 to 5, characterized in that the Schmitt trigger (ST) formed by four MOS field-effect transistors (St1 - St4) is designed in such a way that its input (B) is given by the gate of two of these transistors (St1, St2), which are connected in series with each other, the one transistor (St1) being at the reference potential (V_{ss}) and the other being trigger (ST) is connected to the supply potential (V_{cc}) via a further transistor (St3) connected as a resistor and, in addition, a switching point between the two transistors (St1, St2) of the Schmitt trigger, which are situated at the input (B), is connected to the supply potential via a further transistor (St4), the gate of this further transistor (St4) being connected to the output (C) of the Schmitt trigger (ST).

Revendications

1. Circuit intégré numérique à semi-conducteurs MOS, possédant une entrée des signaux à attaquer par deux signaux de niveaux différents, dans lequel les signaux d'un premier niveau déclenchent un premier mode de fonctionnement et dans lequel des signaux d'un deuxième niveau déclenchent un deuxième mode de fonctionnement, caractérisé en ce que l'entrée des signaux (A) à attaquer par les deux types de signaux est reliée à la grille d'un premier transistor à effet de champ MOS (T1) dont le drain est relié au potentiel d'alimentation (V_{cc}) et dont la source est reliée à travers le parcours source-drain d'un deuxième transistor à effet de champ MOS (T2) d'une part à l'entrée (B) d'une bascule de Schmitt (ST) et d'autre part au drain d'un troisième transistor à effet de champ MOS (T3) dont la grille est reliée au potentiel d'alimentation (V_{cc}) et la source au potentiel de référence (V_{ss}), que la sortie (C) de la bascule de Schmitt (ST) sert à commander la première entrée d'un amplificateur de sortie muni de deux entrées et qui est lui-même connecté à la fois au potentiel d'alimentation et au potentiel de référence et dont la seconde entrée est commandée au moyen d'une partie de circuit constituée d'une part du montage en série d'un quatrième et d'un cinquième transistor à effet de champ MOS (T4 et T5) et, d'autre part, d'une porte ET (U) ayant deux entrées, et servant en même temps à la commande du deuxième transistor à effet de champ MOS (T2), que le cinquième de référence (V_{ss}) et par sa connexion de drain, à travers une liaison sectionnable (FL), la fois à une entrée de la porte ET et à la connexion de source du quatrième transistor à effet de champ MOS (T4) dont la connexion de drain est reliée au potentiel d'alimentation (V_{cc}), que, en plus, on a prévu un premier signal d'horloge Φ_A pour la com-

mande du cinquième transistor à effet de champ MOS (T5), un deuxième signal d'horloge (Φ_V) pour la commande du quatrième transistor à effet de champ MOS (T4) et un troisième signal d'horloge (Φ_P) pour la commande de la seconde entrée de la porte ET (U), que, en outre, la sortie de la porte ET (U) sert à commander d'une part le deuxième transistor à effet de champ MOS (T2) et d'autre part la seconde entrée de l'amplificateur de sortie et que, enfin, le signal (Φ_R) produit sur la sortie de l'amplificateur de sortie sert à activer et/ou commander d'autres parties (b) du circuit à semi-conducteur MOS.

2. Circuit selon la revendication 1, caractérisé en ce que le deuxième transistor (T2) est relié directement par sa grille à la sortie de la porte ET (U).

3. Circuit selon la revendication 1 ou 2, caractérisé en ce que l'amplificateur de sortie est formé par le montage en série de deux transistors à effet de champ MOS (At₁, At₂), montage dans lequel la connexion de source d'un transistor (At₁) est reliée au potentiel de référence (V_{ss}) et sa grille est reliée à la sortie (C) de la bascule de Schmitt (ST), tandis que la connexion de drain de l'autre transistor (At₂) est reliée au potentiel d'alimentation (V_{cc}) et sa grille est reliée à la sortie de la porte ET, directement par exemple, tandis que la sortie des signaux (Φ_R) est constituée par un point de circuit situé entre les deux transistors (At₁, At₂).

4. Circuit selon la revendication 1 ou 2, caractérisé en ce que l'amplificateur de sortie est formé par la combinaison de cinq transistors à effet de champ MOS (At₃ - At₈) et d'un condensateur (C2), combinaison dans laquelle l'entrée à attaquer par la porte ET (U) est formée par une entrée, parcourue par le courant, d'un premier transistor (At₈) - qui est relié par sa grille au potentiel d'alimentation V_{cc} - dont la seconde connexion, parcourue par le courant, est reliée d'une part au potentiel de référence (V_{ss}) à travers le parcours source-drain d'un deuxième transistor (At₅) commandé par le deuxième signal d'horloge (Φ_V) et, d'autre part, à la grille d'un troisième transistor (At₆) connecté entre le potentiel d'alimentation (V_{cc}) et la sortie des signaux de l'amplificateur - ainsi que, à travers un condensateur (C2), à la sortie des signaux (Φ_R) de l'amplificateur de sortie, que la sortie des signaux (Φ_R) est reliée, en outre, au potentiel de référence (V_{ss}) à travers le montage en série d'un quatrième et d'un cinquième transistor (At₃, At₄) dont les grilles sont attaquées par la sortie (C) de la bascule de Schmitt (ST) et que, enfin, un point du circuit situé entre les quatrième et cinquième transistors (At₃, At₄) est relié au potentiel d'alimentation (V_{cc}) à travers le parcours source-drain d'un sixième transistor (At₇) dont la grille est reliée à la sortie (Φ_R) de l'amplificateur.

5. Circuit selon une des revendications 1 à 4, caractérisé en ce que la porte ET (U) est formée

par un transistor à effet de champ MOS (U) dont la grille est reliée à la connexion de source du quatrième transistor (T4), dont le drain est attaqué par les impulsions de la troisième suite d'impulsions d'horloge (Φ_P) et dont la connexion de source est raccordée d'une part à la grille du deuxième transistor à effet de champ MOS (T2) et d'autre part à la seconde entrée (At₂; At₃) de l'amplificateur de sortie.

6. Circuit selon une des revendications 1 à 5, caractérisé en ce que la bascule de Schmitt (ST), formée de quatre transistors à effet de champ MOS (St₁ - St₄), est réalisée de manière que son entrée (B) soit constituée par les grilles de deux de ces transistors (St₁, St₂) qui sont montés en série et dont l'un (St₁) est relié potentiel de référence (V_{ss}) et l'autre à la sortie (C) de la bascule de Schmitt (ST) et que, en outre, la sortie (C) de la bascule de Schmitt (ST) est reliée au potentiel d'alimentation (V_{cc}) à travers un transistor supplémentaire (St₃) monté en résistance et un point du circuit, situé entre les deux transistors (St₁, St₂) se trouvant à l'entrée (B) de la bascule de Schmitt, est relié, en plus, au potentiel d'alimentation à travers un transistor supplémentaire (St₄) dont la grille est reliée à la sortie (C) de la bascule de Schmitt (ST).

FIG 1

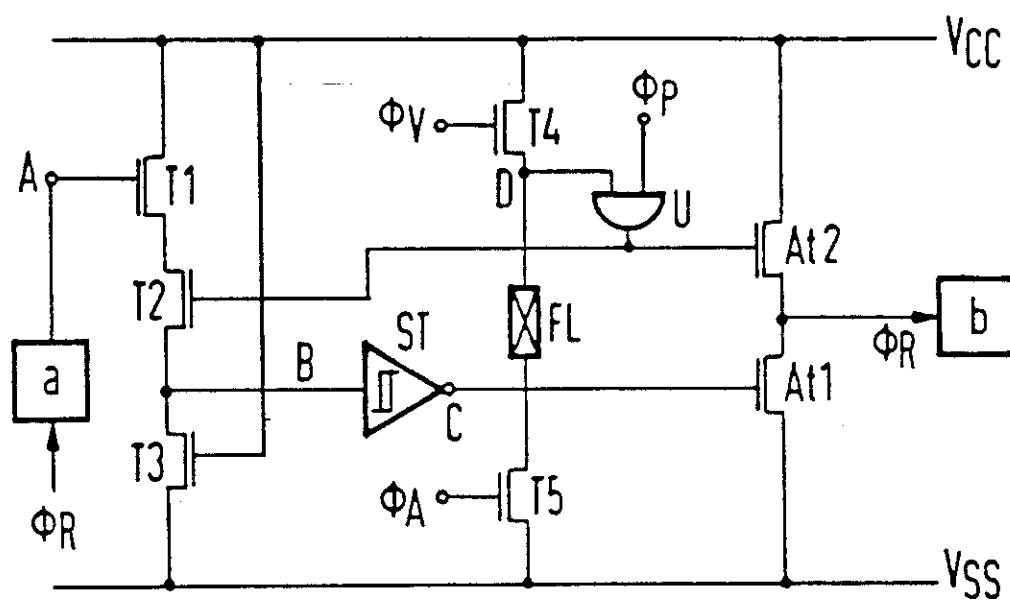


FIG 1a

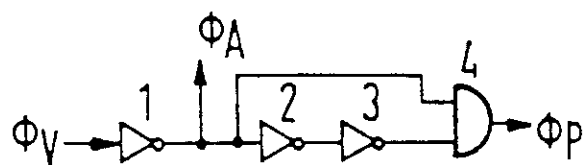


FIG 2

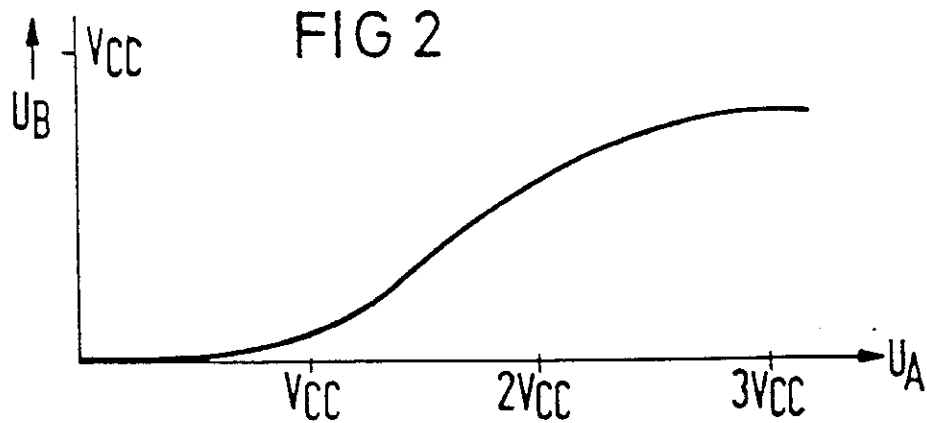


FIG 3

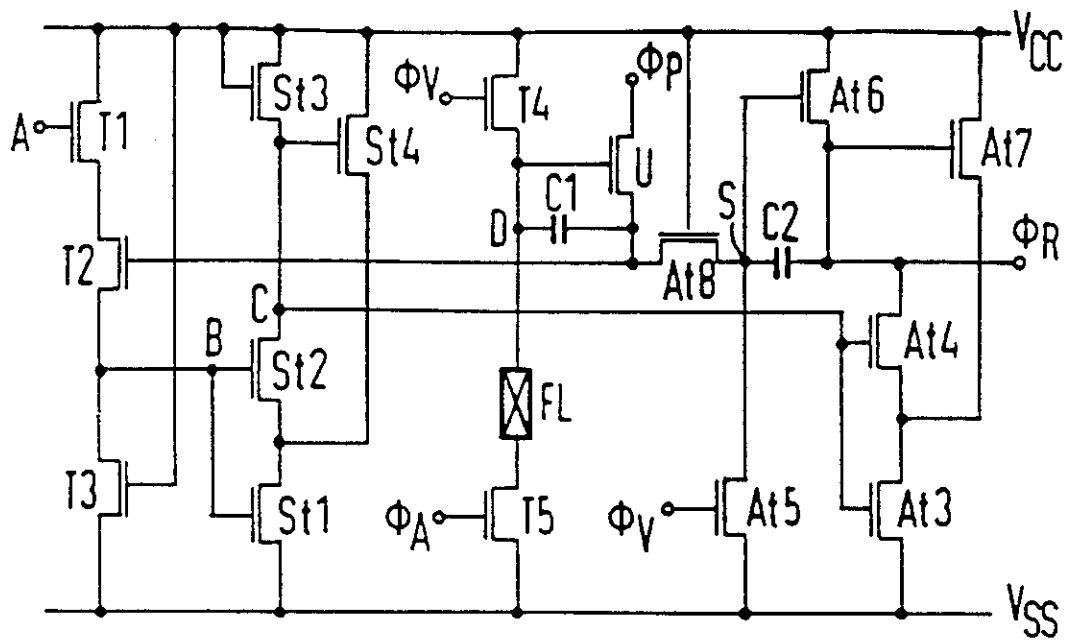
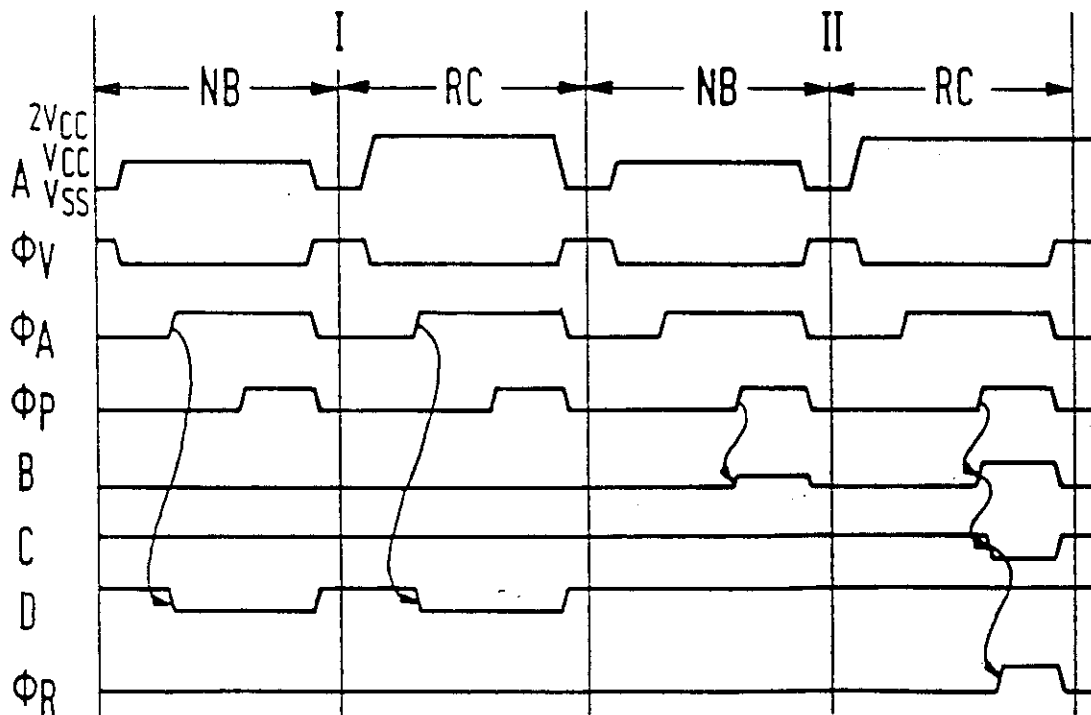


FIG 4



THE PATENT OFFICE

PATENTS ACT 1977

PATENTS FORM NO. 54/77

26 FEB 1990 03A3077

PAT 54/77 UC

26.00

FILING OF TRANSLATION OF EUROPEAN
PATENT (UK) UNDER SECTION 77(6)(a)

Please write or type in BLOCK
LETTERS using dark ink. For
details of current fees
Please contact the Patent Office

Enter the name and address of the
proprietor(s) of the European
Patent (UK). If you do not have
enough space please continue on
a separate sheet.

Enter the date on which the mention
of the grant of the European
Patent (UK) was published in the
European Patent Bulletin, or, if it
has not yet been published, the
date on which it will be published.

A UK Address for Service **MUST**
be provided to which all
communications from the Patent
Office will be sent

Please sign here

Attention is drawn to rules 90 and
106 of the Patents Rules 1982

This form must be filed in duplicate
and must be accompanied by a
translation into English in duplicate
of:

- 1) the whole description
- 2) those claims appropriate to the UK
(in the language of the proceedings),
- 3) all drawings, whether or not these
contain any textual matter
but excluding the front page which
contains bibliographic information.
The translation must be verified to the
satisfaction of the comptroller as
corresponding to the original text.

1. European Patent
Number

0 127 015

2. Name Siemens Aktiengesellschaft

Address WITTELSBACHERPLATZ 2
D-8000 MÜNCHEN 2
FEDERAL REPUBLIC OF GERMANY

3. European Patent Bulletin Date:

27. 12. 89.
Day Month Year

4. Name of Agent (if any)

Agent's Patent Office
ADP number (if known)

5. Address for Service

SIEMENS PLC
ATT. MR I. P. HOWARD, GR 83 P 1351 E
SIEMENS HOUSE, WINDMILL ROAD
SUNBURY-ON-THAMES
MIDDLESEX
Postcode TW16 7HS

6. Signature:



Date: 26 02 90
Day Month Year

p.p. RWS TRANSLATIONS LTD

Reminder

Have you attached

One duplicate copy of this
form ☒Two copies of the
Translation ☒Any continuation sheets
(if appropriate) ☐

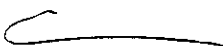
PATENTS ACT 1977

and

PATENTS (AMENDMENT) RULES 1987

I, Nigel David CROSSAN, M.A., M.Sc.,
translator to Randall Woolcott Services Limited of Europa House,
Marsham Way, Gerrards Cross, Buckinghamshire, England, hereby
declare that I am conversant with the German and English
languages and that to the best of my knowledge and belief the
accompanying document is a true translation of the text on which
the European Patent Office intends to grant or has granted
European Patent No. 0,127,015
in the name of Siemens Aktiengesellschaft

Signed this 21st day of February 1990

Nigel D. Crossan


N. D. CROSSAN

The present invention relates to an integrated digital MOS semiconductor circuit which has a signal input to be fed with signals of different levels, and in which a first operating mode can be initiated on the basis of the signals with the one level and a second operating mode can be initiated on the basis of the signals with the second level, if appropriate with simultaneous deactivation of the respective other operating mode.

Such a construction of an integrated digital MOS semiconductor circuit would, for example, be of significance for integrated MOS semiconductor memories with redundant lines and columns - in particular for dynamic memories of this type. It is known that the matrix of such memories has additional lines and columns, which are initially not provided for the normal operation of the memory. However, if a defect occurs in a memory cell provided for normal operation, there is then the possibility of replacing the line or column containing the defective cell by such a redundant line or column. This occurs by then making accessible the redundant line or column for normal operation, for which it was initially blocked, by a corresponding manipulation, whilst on the other hand the line or column containing the defective cell is permanently deactivated. For this purpose, it is customary to prevent the redundant lines and columns from being triggered in normal operation by separable connections. The activation of the redundant line or column then occurs likewise by disconnecting these short circuit connections. In this respect, it is frequently necessary to have available a means of recognising those lines and columns of the memory matrix which have been replaced by a redundant line or column.

In the later published EP-A-120458 (= DE-A-3311427), an integrated dynamic read-write memory is described which is formed in such a way that the replacement of a memory matrix line or column, provided for normal operation, by a redundant line or column can be detected by a logical level at the data output when it is fed with control signals in a way corresponding to the

so-called roll-call mode in static memories. There is now the possibility of applying such control signals, serving for testing purposes, to signal terminals of the memory circuit which are specially provided for this, which however leads to a - for known reasons undesired - additional outlay of terminal pins for the IC component containing the memory. Of course, for normal operation on the one hand and for test operation on the other, differently set signal voltages can also be used which are applied to a common external signal input. If signals of the one level are then received, they thus in the one operating mode and if signals of the other level are received, these result automatically in the other operating mode as a result of a corresponding inner configuration of the integrated circuit. To achieve this a switch-over system which effects switchover is required, which system automatically determines on the basis of a signal applied to the common external signal input fed with the two signal types, whether the signal applied is provided for normal operation or, for example, for test operation and which then carries out, on the basis of this signal, a corresponding internal setting of the circuit to test operation or to normal operation.

Thus, for example the circuit parts, provided for test functions, in the integrated circuit can be activated by feeding a signal input electrode, internally connected in the indicated manner, for the test operation with a signal voltage which is larger than the normal operating voltage of the IC component. However, it must be ensured that the test function cannot be triggered by the presence at the said signal terminal of a signal voltage provided for normal operation. On the other hand, the voltage for the test signal must, for understandable reasons, still lie below the maximum admissible voltage loading of the integrated circuit. Furthermore, a current flow over the said input when it is being fed with the test signal must be as far as possible avoided. Moreover, it is desirable if this test operation is only possible if circuit parts provided for normal operation have first

been replaced in the said component by redundant circuit parts, whilst in an expedient manner an absolute deactivation of the circuit parts provided for test operation has previously occurred. There is then namely the possibility, with ICs provided with redundancy and constructed in terms of circuitry to match one another, of distinguishing in a simple way between those ICs in which redundant parts are already connected up in normal operation, from those in which this is not the case.

It is the object of the present invention to construct a digital MOS semiconductor circuit according to the definition given at the beginning and in accordance with the specified considerations.

For this purpose, the signal input to be fed with the two types of signal is, according to the invention, connected to the gate of a first MOS field-effect transistor, the drain of which is at the supply potential and the source of which is connected via the source-drain link of a second MOS field-effect transistor on the one hand to the input of a Schmitt trigger and on the other hand to the drain of a third MOS field-effect transistor, the gate of which is at the supply potential and the source of which is at the reference potential, in that (sic) the output of the Schmitt trigger here has the purpose of controlling the first input of an output amplifier circuit provided with two inputs, which amplifier circuit, for its part, is both at the supply potential and at the reference potential, and the second input of which is controlled by means of a circuit component consisting, on the one hand, of a series connection of a fourth and fifth MOS field-effect transistor, of a separable connection and of an AND gate with two inputs, in that (sic) in this circuit component the fifth MOS field-effect transistor is connected by its source terminal to the reference potential and by its drain terminal via the separable connection both to the one input of the AND gate and to the source terminal of the fourth MOS field-effect transistor, the drain terminal of which is at the supply potential, in that (sic) also to

control the fifth MOS field-effect transistor, a first clock signal is provided, to control the fourth MOS field-effect transistor a second clock signal is provided and to control the second input of the AND gate a third clock signal is provided, in that (sic), in addition, the output of the AND gate has, on the one hand, the purpose of controlling the second MOS field-effect transistor and also of controlling the second input of the output amplifier and in that (sic), finally, the signal occurring at the output of the output amplifier has the purpose of activating and/or controlling further components of the MOS semiconductor circuit.

A circuit corresponding to the invention is represented in a simple embodiment in Figure 1. Figure 2 shows the response behaviour to the voltage level applied to the signal input. Figure 3 shows an expedient further development of the invention, whilst in Figure 4 the time behaviour of the pulses required for feeding the circuit according to the invention is represented in conjunction with a control signal present at the signal input.

In the circuit diagram represented in Fig. 1 of a first embodiment of the circuit according to the invention, there is the circuit component (the threshold value switch) to be fed with two types of signal (A) with different levels and in addition there is the circuit component a provided for normal operation. The circuit component a is used for normal or useful operation of the circuit and the circuit component b for test operation. The test circuit b is activated by the signals ϕ_R to be produced. At the same time, the signals ϕ_R can be used to deactivate the circuit component a provided for normal operation.

Now, according to the definition of the invention, a first MOS field-effect transistor T1 is connected with its gate to the said signal terminal A, with its drain at the supply potential V_{cc} and with its source terminal connected on the one hand, via the source-drain link of a second MOS field-effect transistor T2, to the input B of a Schmitt trigger ST and on the other hand, via the source-drain link of a third MOS field-effect transistor, to the

reference potential V_{ss} . The gate of the third transistor T3 is directly connected to the supply potential V_{cc} , whilst the gate of the second MOS field-effect transistor T2 is controlled by the output of an AND gate U.

5 At this point it is to be noted that, in the exemplary embodiment represented in Fig. 1 and Fig. 3, the transistors used in the circuit are all normally off and of the same channel conduction type, in particular of the n-channel type. In respect of the AND gate it is
10 also to be noted that, as can be seen in Fig.3, it can be realized by a single MOS field-effect transistor of the normally off type.

 The output amplifier in the embodiment of the invention represented in Fig. 1 is given by two output
15 transistors At_1 and At_2 connected in series, the field-effect transistor At_1 being connected by its source terminal to the reference potential V_{ss} and the field-effect transistor At_2 being connected by its drain terminal to the supply potential V_{cc} . The source terminal of
20 the transistor At_2 and the drain terminal of the transistor At_1 together form the output which supplies the desired signal ϕ_R .

 The output C of the Schmitt trigger ST has the purpose of feeding the gate of the transistor At_1 , connected to the reference potential V_{ss} , in the output
25 amplifier. On the other hand, for controlling the gate of the transistor At_2 connected to the supply potential the output of the AND gate U is provided which, as already noted, has the purpose of controlling the gate of the
30 second MOS field-effect transistor T2.

 A fifth MOS field-effect transistor T5, corresponding to the definition of the invention, which is controlled at its gate by a first clock signal ϕ_A is connected by
its source terminal to the reference potential V_{ss} and by
35 its drain via an interposed separable connection FL both to the one input of the AND gate U and to the source terminal of the fourth MOS field-effect transistor T4 corresponding to the definition of the invention, the drain terminal of which MOS field-effect transistor is

connected to the supply terminal for the supply potential V_{cc} and the gate of which is controlled by a second pulse sequence. A third pulse sequence ϕ_p has the purpose of controlling the second input of the AND gate U.

5 The described circuit according to Fig.1 differs from the circuit according to Fig.3 in that, in the realization according to Fig. 3, there is a more complicated embodiment of the output amplifier, an embodiment of the Schmitt trigger ST and the abovementioned realization of the AND gate U by a MOS field-effect transistor. 10 These possible embodiments according to Figure 3 are to be described first.

 With respect to the connections and control of the transistor chain T1, T2 and T3 with the signal input 15 A, there is correspondence with the embodiment according to Figure 1.

 In the embodiment of the Schmitt trigger ST used in Figure 3 four MOS field-effect transistors St_1 to St_4 are provided, the gate of the first of these transistors, 20 namely the transistor St_1 and the gate of the second transistor St_2 represent the signal input B of the Schmitt trigger. The first of these transistors St_1 is connected by its source terminal to the reference potential V_{ss} and by its drain, on the one hand to the source 25 terminal of the second of the transistors just mentioned, namely the transistor St_2 and, on the other hand, via the source-drain link of the fourth transistor St_4 to the supply potential V_{cc} . The third transistor St_3 is connected by its source both to the signal output C of the Schmitt trigger and to the gate of the fourth tran- 30 sistor St_4 and is connected by its gate and its drain to the supply potential V_{cc} .

 In respect of the connections of the fifth transistor T5 and fourth transistor T4 in accordance with 35 the definition of the invention, which transistors are to be controlled respectively by the first clock signal ϕ_A and by the second clock signal ϕ_V , and of the use of the detachable connection FL there is correspondence between the two Figures 1 and 3. For the realization of the AND

gate U, there is a MOS field-effect transistor, the drain terminal of which is fed with the third pulse sequence ϕ_p and the source terminal of which, forming the output of the AND gate, is connected on the one hand directly to the gate of the second transistor T2 of the definition of the invention and on the other hand connected via a capacitor C1 to the source terminal of the transistor T4 and thus to its own gate. Finally, the output of the AND gate U is connected to the input of the amplifier circuit at the output of the entire circuit, which, for example, could also be constructed in the manner (At_1 , At_2) shown in Figure 1.

However, in the embodiment of the invention represented in Figure 3, the output amplifier is also constructed as a Schmitt trigger circuit, which in this case is combined with a bootstrap circuit. For its realization, six MOS field-effect transistors At_3 - At_6 and a capacitor C2 are provided which are connected in the following way.

The one input, fed from the output of the AND gate U, of the output amplifier is formed by the one current-carrying terminal of the transistor At_3 , the gate of which is connected to the supply potential V_{cc} and the other current-carrying terminal of which is connected to a circuit node S. This circuit node S leads via the source-drain link of the MOS field-effect transistor At_5 , controlled at its gate by the second clock pulse ϕ_v (simultaneously used to control T4), to the reference potential V_{ss} . In addition, it leads via the capacitor C2 to the signal output of the output amplifier which supplies the desired pulses ϕ_R . Finally, this node S is also connected to the gate of the transistor At_6 , the source terminal of which is connected to the signal output and the drain of which is connected to the supply potential V_{cc} . It is also to be noted that the output of the AND gate U and thus the input At_3 are connected via a bootstrap capacitor C1 to the node D.

The output C of the Schmitt trigger ST is connected in this case to the gate of the MOS field-

effect transistor At_3 , connected directly to the reference potential V_{ss} , and to the gate of the MOS field-effect transistor At_4 , which is connected in series to the transistor At_3 , and the drain terminal of which is connected to the signal output. A switching point between the two last mentioned transistors At_3 and At_4 is connected to the supply potential V_{cc} via the source-drain link of the MOS field-effect transistor At_7 , whilst the gate of the transistor At_7 , just mentioned is connected directly to the output of the output amplifier.

Fig. 4 shows a possible way of feeding the signal input A and also the time characteristic of the pulses ϕ_v (= second clock pulse), ϕ_A (= first clock pulse), ϕ_p (= third clock pulse) and of the states at input B, at the output C of the Schmitt trigger ST, and at the source terminal of the fourth transistor T4 according to the definition of the invention (D) said transistor being connected to the AND gate U, and finally at the output, that is to say the time characteristic of the pulses ϕ_R to be generated. However, before going into details about this, it will first be explained in greater detail how the circuit according to Fig.1 and Fig.3 is obtained.

The clock signal ϕ_v (i.e. the second clock signal according to the definition of the invention) which has the purpose of controlling the fourth transistor T4 serves the purpose of loading up the input, controlled by this transistor, of the AND gate U to the voltage value $(V_{cc}-U_T)$ (U_T = threshold voltage of T4). The first clock signal ϕ_A , which has the purpose of controlling the fifth transistor, goes from the value of the reference potential V_{ss} to the value of the supply potential V_{cc} after the clock signal ϕ_v has been switched to the value V_{ss} . Thus, the input, controlled by T4, of the AND gate U is discharged again provided the connection between T5 and T4 (FL) is intact. However, if the connection is disconnected, the effect of the clock signal ϕ_A on the AND gate U is omitted.

Concerning the third clock signal ϕ_p , which has the purpose of feeding the AND gate U, it is to be noted

that its leading edge determines the leading edge of the output signal ϕ_R as soon as the signal with the excessively high level (that is to say lying above V_{cc}) is present at the signal input A of the circuit. The clock signals ϕ_A and ϕ_p can both be expediently reset with the rising edge of the signal ϕ_v to the reference potential V_{ss} .

The series circuit, controlled by the signal input A, of the transistors T1, T2 and T3 results, between the second transistor T2 and the third transistor T3 and thus at the input B of the Schmitt trigger ST, in the behaviour of the voltage U_B which can be seen in Figure 2 between the point B and the reference potential V_{ss} in dependence on the value of the voltage U_A present at the signal input A and referred to the reference potential V_{ss} . In this respect, the steepness of the curve can be set by means of the dimensioning of the transistors T1-T3. The behaviour which can be seen in Fig. 2 corresponds to an optimum dimensioning. With this, an endeavour is made that the threshold voltage of the Schmitt trigger ST is reached when the voltage U_A at the signal input A lies between the single and the double value of the supply voltage V_{cc} .

Via the second transistor T2 and switched by the AND gate U, the third clock signal ϕ_p can influence the combination of the transistors T1 to T3, whereby the power consumption in the circuit represented in Figs. 1 and 3 is limited to the active time regions of the working cycle of the circuit. The clock ϕ_p can clearly not pass through the AND gate U as long as the separable connection FL is still intact. In this case the connection existing between T4 and AND gate U, i.e. the node D, is then coupled via the fifth transistor T5 and the separable connection FL at the beginning of an active cycle to the potential value V_{ss} . The second clock ϕ_v and the fourth transistor T4 controlled by it then ensure that a preliminary charging of the node D occurs. Also, in this operating state, no transverse currents can then exist so that the current consumption of the circuit

represented in Figs. 1 and 3 and having the purpose of generating the signals ϕ_R becomes negligibly small. The occurrence of an output signal ϕ_R is then excluded. If now the separable connection FL is interrupted, on applying a correspondingly highly dimensioned signal voltage U_A , for example a voltage $U_A = 2V_{cc}$, at the signal input A, the output signal results, which can be used to activate a till now inactive circuit component b, for example a test circuit, for example in the manner indicated in Fig. 1, in that, for example, the circuit component b used for test operation is switched by the signals ϕ_R to the active state. If desired, the loading of the circuit component a, provided for normal operation, by the signal input a can then be prevented without difficulty in terms of circuitry by means of the clock ϕ_R .

From the loading, shown in Fig. 4, of a circuit according to Fig. 1 and Fig. 3 it can be seen that the level present at the signal input A can assume values between V_{ss} and V_{cc} and in test operation values between V_{cc} and $2V_{cc}$. Since, with digital integrated n-channel MOS circuits, the admissible gate voltage of the transistors is usually at least double the maximum operating voltage, with such a loading of the signal input A there is no danger to the circuit.

In the diagram according to Figure 4, the time behaviour for normal operation is represented in the columns designated by NB and the time behaviour for test operation in the columns designated by RC.

In order to obtain the clock sequences ϕ_V , ϕ_A and ϕ_P showing the desired time behaviour, it is the simplest to start from the second pulse sequence ϕ_V and feed it to the circuit which can be seen in Figure 1a. This consists of a first inverter 1, the input of which is fed with the pulses ϕ_V and the output of which supplies the pulses ϕ_A . In addition, the output of the first inverter 1 controls the input of a second inverter 2 and the one input of an AND gate 4. The second input of this AND gate 4 is controlled via the output of a third inverter 3, which, for its part, is connected to the output of the second

inverter 2. The output of the AND gate 4 supplies ϕ_p .

Patent Claims

1. Integrated digital MOS semiconductor circuit with a signal input to be fed with two signals of different levels, in which a first operating mode can be initiated on the basis of the signals with the one level and a second operating mode can be initiated on the basis of the signals with the second level, characterized in that the signal input (A) to be fed with the two types of signal is connected to the gate of a first MOS field-effect transistor (T1), the drain of which is at the supply potential (V_{cc}) and the source of which is connected via the source-drain link of a second MOS field-effect transistor (T2) on the one hand to the input (B) of a Schmitt trigger (ST) and on the other hand to the drain of a third MOS field-effect transistor (T3), the gate of which is at the supply potential (V_{cc}) and the source of which is at the reference potential (V_{ss}), in that the output (C) of the Schmitt trigger (ST) here has the purpose of controlling the first input of an output amplifier provided with two inputs, which amplifier, for its part, is both at the supply potential and at the reference potential, and the second input of which is controlled by means of a circuit component consisting, on the one hand, of a series connection of a fourth and fifth MOS field-effect transistor (T4 and T5) and, on the other hand, of an AND gate (U) with two inputs, and at the same time having the purpose of controlling the second MOS field-effect transistor (T2), in that in this circuit component the fifth MOS field-effect transistor (T5) is connected by its source terminal to the reference potential (V_{ss}) and by its drain terminal via a separable connection (FL) both to the one input of the AND gate and to the source terminal of the fourth MOS field-effect transistor (T4), the drain terminal of which is at the supply potential (V_{cc}), in that also to control the fifth MOS field-effect transistor (T5) a first clock signal ϕ_A is provided, to control the fourth MOS field-effect transistor (T4) to (sic) second clock signal (ϕ_V) is provided and to control the second input of the AND gate

(U) a third clock signal (ϕ_p) is provided, in that, in addition, the output of the AND gate (U) has, on the one hand, the purpose of controlling the second MOS field-effect transistor (T2) and also of controlling the second input of the output amplifier and in that, finally, the signal (ϕ_r) occurring at the output of the output amplifier has the purpose of activating and/or controlling further components (b) of the MOS semiconductor circuit.

2. Semiconductor circuit according to Claim 1, characterized in that the second transistor (T2) is positioned directly with its gate at the output of the AND gate (U).

3. Semiconductor circuit according to Claim 1 or 2, characterized in that the output amplifier consists of the series connection of two MOS field-effect transistors (At_1, At_2), the source terminal of the one transistor (At_1) being at the reference potential (V_{ss}) and its gate being connected to the output (C) of the Schmitt trigger (ST), while the drain terminal of the other transistor (At_2) is at the supply potential (V_{cc}) and its gate is, for example directly, connected to the output of the AND gate, while the signal output (ϕ_R) is given by a switching point between the two transistors (At_1, At_2).

4. Semiconductor circuit according to Claim 1 or 2, characterized in that the output amplifier is given by the combination of five MOS field-effect transistors ($At_3 - At_5$) and a capacitor (C2), in which combination the input to be fed by the AND gate (U) is given by the one current-carrying input of a first transistor (At_3) - with its gate at the supply potential (V_{cc}) - of which transistor the second current-carrying terminal is, on the one hand, at the reference potential (V_{ss}) via the source-drain link of a second transistor (At_4) controlled by the second clock signal (ϕ_v) and, on the other hand, is connected to the gate of a third transistor (At_5) - situated between the supply potential (V_{cc}) and the signal output of the amplifier - as well as to the signal output (ϕ_R) of the output amplifier via a capacitor (C2), in that, in addition, the signal output (ϕ_R) is connected to the

reference potential (V_{ss}) via the series connection of a fourth and a fifth transistor (At_3, At_4) and the gate of the fourth and the fifth transistor (At_3, At_4) is triggered by the output (C) of the Schmitt trigger (ST), and in that, finally, a switching point between the fourth and fifth transistor (At_3, At_4) is connected via the source-drain link of a sixth transistor (At_7) to the supply potential (V_{cc}) and the gate of the sixth transistor (At_7) is connected to the output (ϕ_R) of the amplifier.

5. Semiconductor circuit according to one of Claims 1 to 4, characterized in that the AND gate (U) is given by a MOS field-effect transistor (U), which is connected by its gate to the source terminal of the fourth transistor (T_4) and receives the pulses of the third clock sequence (ϕ_p) at its drain, of which transistor the source terminal is connected, on the one hand, to the gate of the second MOS field-effect transistor (T_2) and, on the other hand, to the second input ($At_2; At_8$) of the output amplifier.

6. Semiconductor circuit according to one of Claims 1 to 5, characterized in that the Schmitt trigger (ST) formed by four MOS field-effect transistors (St_1-St_4) is designed in such a way that its input (B) is given by the gate of two of these transistors (St_1, St_2), which are connected in series with each other, the one transistor (St_1) being at the reference potential (V_{ss}) and the other being connected to the output (C) of the Schmitt trigger (ST), in that, in addition, the output (C) of the Schmitt trigger (ST) is connected to the supply potential (V_{cc}) via a further transistor (St_3) connected as a resistor and, in addition, a switching point between the two transistors (St_1, St_2) of the Schmitt trigger, which are situated at the input (B), is connected to the supply potential via a further transistor (St_4), the gate of this further transistor (St_4) being connected to the output (C) of the Schmitt trigger (ST).

FIG 1

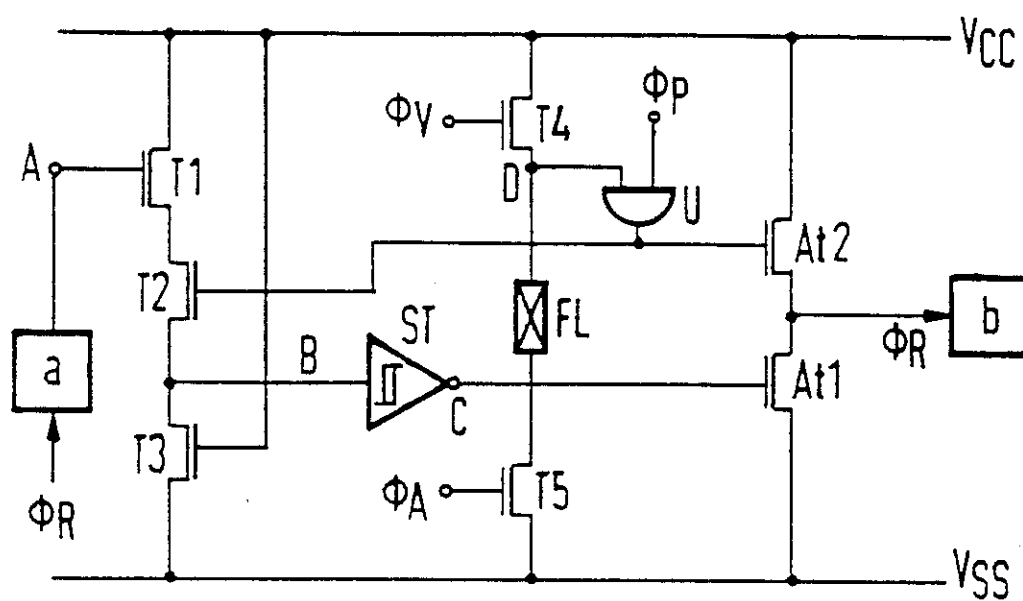


FIG 1a

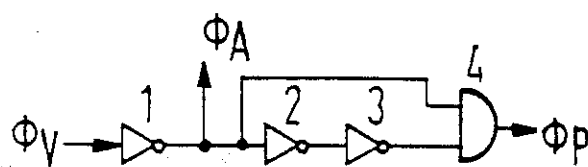


FIG 2

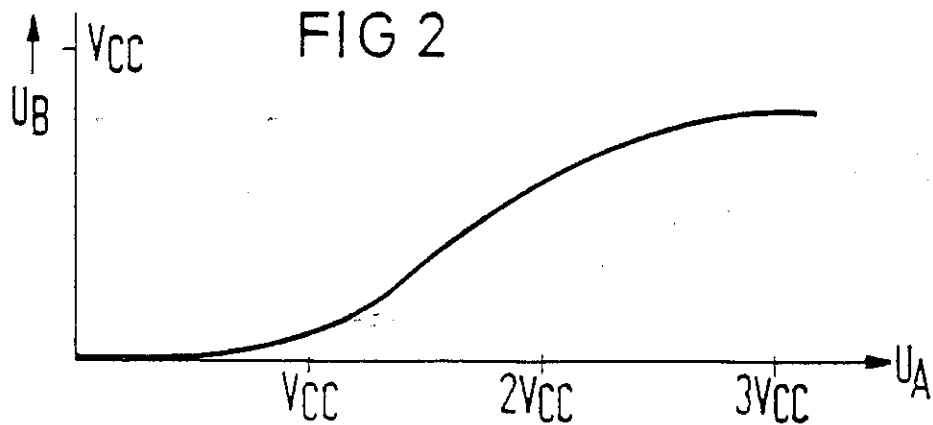


FIG 3

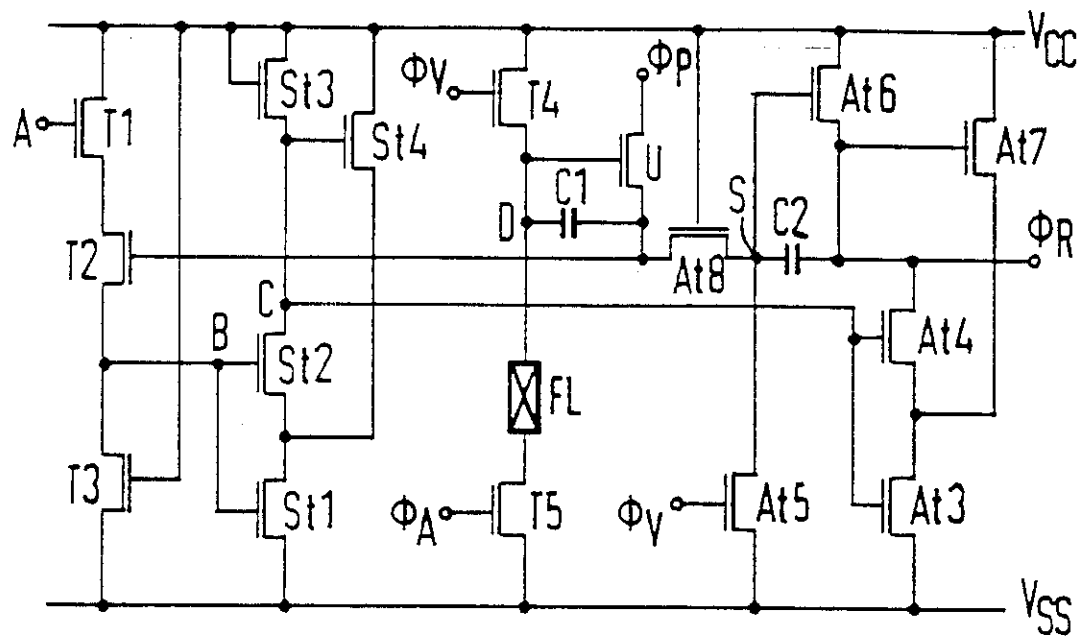
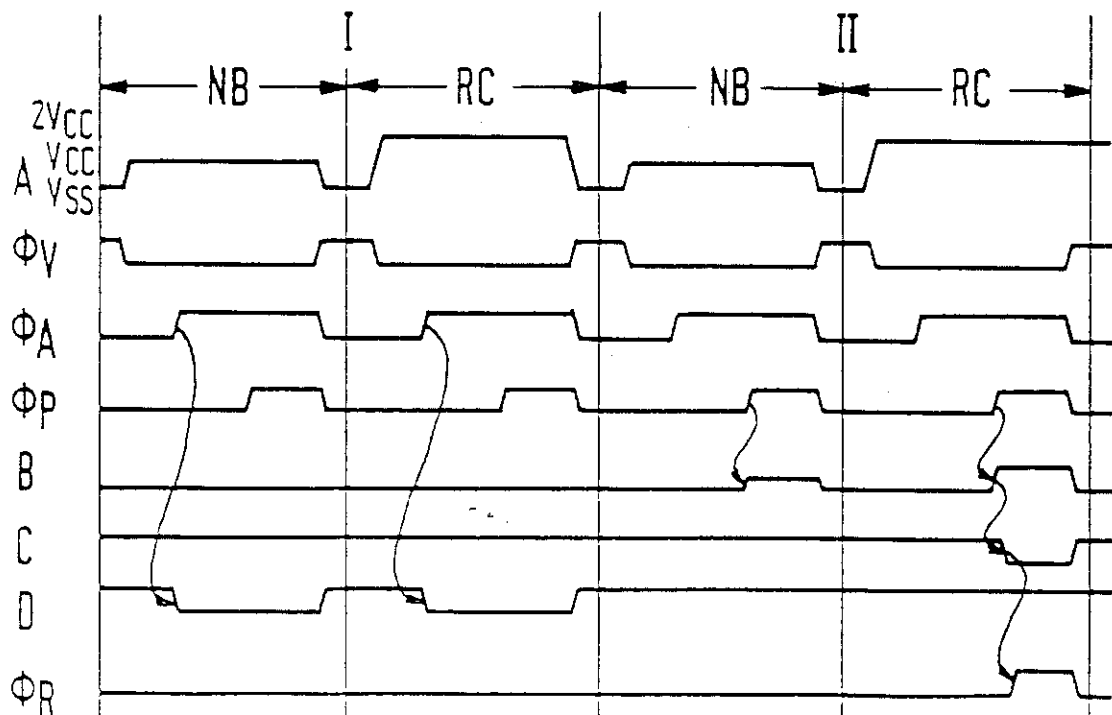


FIG 4



REGISTER ENTRY FOR EP0127015

European Application No EP84105061.0 filing date 04.05.1984

Application in German

Priority claimed:

20.05.1983 in Federal Republic of Germany - doc: 3318564

Designated States DE FR GB IT AT

Title INTEGRATED DIGITAL MOS SEMICONDUCTOR CIRCUIT

Applicant/Proprietor

SIEMENS AKTIENGESellschaft BERLIN UND MÜNCHEN, Wittelsbacherplatz 2,
D-8000 München 2, Federal Republic of Germany [ADP No. 50908391001]

Inventors

DIPL.-ING. WILLIBALD MEYER, Annette-Kolb-Anger 15, D-8000 München 83,
Federal Republic of Germany [ADP No. 53079687001]

JÜRGEN WAWERSIG, Plievierpark 10, D-8000 München 83, Federal Republic of
Germany [ADP No. 53079695001]

Classified to

G4A
G11C

Address for Service

SIEMENS LIMITED, Siemens House, Windmill Road, Sunbury-on-Thames,
Middlesex, TW16 7HS, United Kingdom [ADP No. 00001487001]

Publication No EP0127015 dated 05.12.1984 and granted by EPO 27.12.1989.

Publication in German

Examination requested 04.05.1984

Patent Granted with effect from 27.12.1989 (Section 25(1)) with title
INTEGRATED DIGITAL MOS SEMICONDUCTOR CIRCUIT.. Translation filed
26.02.1990

01.10.1987 EPO: Search report published on 30.09.1987

Entry Type 25.11 Staff ID.

Auth ID. EPT

27.11.1989 Notification from EPO of change of Inventor details from

DIPL.-ING. WILLIBALD MEYER, Annette-Kolb-Anger 15, D-8000 München
83, Federal Republic of Germany [ADP No. 53079687001]

JÜRGEN WAWERSIG, Plievierpark 10, D-8000 München 83, Federal
Republic of Germany [ADP No. 53079695001]
to

DIPL.-ING. WILLIBALD MEYER, Annette-Kolb-Anger 15, D-8000 München
83, Federal Republic of Germany [ADP No. 53079687001]

JÜRGEN WARWERSIG, Plievierpark 10, D-8000 München 83, Federal
Republic of Germany [ADP No. 57104044001]

Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

TIMED: 11/06/91 09:14:16

REGISTER ENTRY FOR EP0127015 (Cont.)
29.11.1989 File raised.

PAGE: 2

Entry Type 10.1 Staff ID. JM1 Auth ID. AA

06.03.1990 SIEMENS LIMITED, Siemens House, Windmill Road, Sunbury-on-Thames,
Middlesex, TW16 7HS, United Kingdom [ADP No. 00001487001]
registered as address for service

Entry Type 8.11 Staff ID. JN1 Auth ID. AA

**** END OF REGISTER ENTRY ****

OA80-01
FG

OPTICS - PATENTS

07/06/91 09:28:25
PAGE: 1

RENEWAL DETAILS

PUBLICATION NUMBER EP0127015

PROPRIETOR(S)

Siemens Aktiengesellschaft, Wittelsbacherplatz 2, W-8000 München 2,
Federal Republic of Germany

DATE GRANTED	27.12.1989
DATE NEXT RENEWAL DUE	04.05.1992
DATE NOT IN FORCE	
DATE OF LAST RENEWAL	23.04.1991
YEAR OF LAST RENEWAL	08
STATUS	PATENT IN FORCE