



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년03월16일
(11) 등록번호 10-2375585
(24) 등록일자 2022년03월14일

(51) 국제특허분류(Int. Cl.)
H01L 27/112 (2006.01) G11C 17/16 (2006.01)
H01L 23/525 (2006.01) H01L 27/24 (2006.01)
(52) CPC특허분류
H01L 27/11206 (2013.01)
G11C 17/16 (2013.01)
(21) 출원번호 10-2020-0116832
(22) 출원일자 2020년09월11일
심사청구일자 2020년09월11일
(56) 선행기술조사문헌
US20200251171 A1*
KR1020170063325 A
KR1020200021413 A
KR1020200026730 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
창원대학교 산학협력단
경상남도 창원시 의창구 창원대학로 20(퇴촌동)
(72) 발명자
김영희
경남 창원시 성산구 외동반림로 219, 112동 1001호 (반림동, 현대아파트)
김홍주
경상남도 창원시 의창구 창원대학로 20, 학생생활관 2동 216호
(74) 대리인
이철희, 고윤호

전체 청구항 수 : 총 7 항

심사관 : 김려원

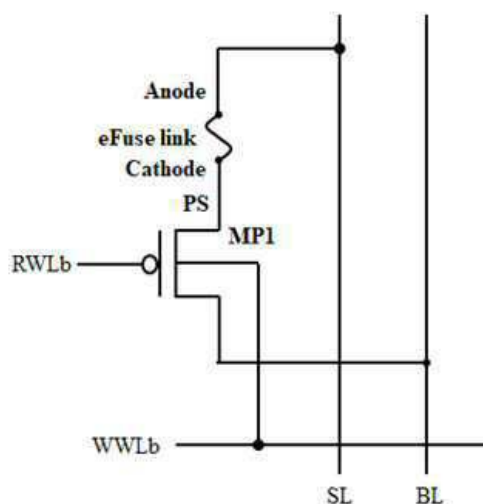
(54) 발명의 명칭 피모스-다이오드 형태의 이퓨즈 오틀피 셀

(57) 요약

본 발명은 피모스-다이오드 형태의 이퓨즈 오틀피 셀에 관한 것으로, 엔웰 안에 형성된 피모스 트랜지스터와 이퓨즈 링크로 이퓨즈 오틀피 셀을 구성하고, 피모스 트랜지스터에서 기생되는 접합 다이오드로 이퓨즈 링크를 블로잉하기 위한 것이다.

이를 위하여 본 발명은 기관(11)에 형성된 엔웰(12) 안에 형성되는 피모스 트랜지스터(MP1)와, 피모스 트랜지스터(MP1)의 소스 노드(ps)에 연결되는 이퓨즈 링크로 구성하여, 피모스 트랜지스터의 바디인 엔웰과 p+ 확산층 사이에 기생되는 접합 다이오드로 프로그램 모드에서 해당 이퓨즈 오틀피 셀의 이퓨즈 링크를 블로잉할 수 있도록 하여, 시모스 공정에서의 공정 단가를 줄일 수 있고 셀 사이즈를 엔모스 트랜지스터와 동일하게 소형으로 구현할 수 있게 한다.

대표도 - 도4



(52) CPC특허분류

H01L 23/5256 (2013.01)

H01L 27/2409 (2013.01)

H01L 27/2436 (2013.01)

공지예외적용 : 있음

명세서

청구범위

청구항 1

피모스-다이오드 형태의 이퓨즈 오티피 셀에 있어서,

상기 피모스-다이오드 형태의 이퓨즈 오티피 셀은 워드라인 드라이버에 의해 구동되며,

상기 워드라인 드라이버는,

제어신호를 낸드연산하는 제1낸드게이트(ND01);

상기 제1낸드게이트(ND01)의 출력신호를 반전시키는 제1인버터(I01);

상기 제1인버터(I01)의 출력신호와 프로그램모드의 워드라인인에이블(WLEN_PGM)신호를 낸드연산하는 제2낸드게이트(ND02);

상기 제2낸드게이트(ND02)의 출력신호를 반전시키는 제2인버터(I02);

병렬연결되어 상기 제2인버터(I02)의 출력신호에 의해 VDD_PGM 스위칭전압 또는 0V 전압을 라이트워드라인바(WWLb)신호로 출력하는 피모스 트랜지스터(MP01) 및 엔모스 트랜지스터(MN01);

상기 제1인버터(I01)의 출력신호와 읽기모드의 워드라인인에이블바(WLENb_RD)신호를 노어연산하는 제1노어게이트(NOR01); 및

상기 제1노어게이트(NOR01)의 출력신호를 반전시켜 리드워드라인바(RWLb)신호를 출력하는 제3인버터(I03);를 구비한 것을 특징으로 하는 피모스-다이오드 형태의 이퓨즈 오티피 셀.

청구항 2

피모스-다이오드 형태의 이퓨즈 오티피 셀에 있어서,

상기 피모스-다이오드 형태의 이퓨즈 오티피 셀은 소오스라인 드라이버 및 센스앰프에 의해 구동되며,

상기 소오스 라인 드라이버는

제어신호를 반전시키는 제4인버터(I04);

상기 제4인버터(I04)의 출력신호와 입력데이터(DIN)를 노어 연산하는 제2노어 게이트(NOR02);

상기 제2노어 게이트(NOR02)의 출력신호를 반전시키는 제5인버터(I05);

상기 제5인버터(I05)의 출력신호와 내부 프로그램(IPGM) 신호를 낸드 연산하는 제3낸드 게이트(ND03);

상기 제3낸드 게이트(ND03)의 출력신호를 반전시키는 제6인버터(I06); 및

병렬 연결되어 상기 제6인버터(I06)의 출력 신호에 의해 VDD_PGM 스위칭 전압 또는 0V 전압을 소오스 라인(SL) 신호로 출력하는 피모스 트랜지스터(MP02) 및 엔모스 트랜지스터(MN02);를 구비한 것을 특징으로 하는 피모스-다이오드 형태의 이퓨즈 오티피 셀.

청구항 3

피모스-다이오드 형태의 이퓨즈 오티피 셀에 있어서,

상기 피모스-다이오드 형태의 이퓨즈 오티피 셀은 소오스라인 드라이버 및 센스앰프에 의해 구동되며,

상기 센스 앰프는,

노말 리드모드에서의 비트 라인 프리차지바(BL_PCGb)신호와 비트 라인로드(BL_LOAD)신호, 및 테스트 리드모드에서의 비트 라인 로드(TM_BL_LOAD)신호에 따라 비트 라인(BL)신호를 제어하는 비트 라인 제어부(51);

상기 비트 라인 제어부(51)의 출력신호를 센스 앰프 인에이블바(SAENb)신호와 센스 앰프 인에이블(SAEN)신호에

동기시켜 반전 출력하는 클럭 인버터(clocked inverter)부(52); 및

상기 클럭 인버터부(52)의 출력신호 및 센스 앰프 인에이블바(SAENb)신호와 센스앰프 인에이블(SAEN)신호에 따라 스위칭 전압을 레벨 변환하여 출력하는 스위칭 전압 레벨 변환부(53);를 구비한 것을 특징으로 하는 피모스-다이오드 형태의 이퓨즈 오틀피 셀.

청구항 4

제1항 내지 제3항 중 어느 하나의 항에 있어서,

상기 피모스-다이오드 형태의 이-퓨즈 오틀피 셀은

제1 타입의 불순물을 함유하고 있는 반도체 기판;

상기 반도체 기판 내부에 형성되며, 제2 타입의 불순물을 함유하고 있는 웰(well);

상기 웰(well) 내부에 형성되며 게이트 노드는 읽기 동작을 위한 워드라인(RWLb)에 연결되고, 드레인 노드는 비트 라인(BL)에 연결된 피모스 트랜지스터(MP1); 및

한 쪽 단자는 상기 피모스 트랜지스터(MP1)의 소오스 노드에 연결되고, 다른 한 쪽 단자는 소오스 라인에 연결된 이-퓨즈 링크;를 포함하는 것을 특징으로 하는 다이오드 형태의 이-퓨즈 오틀피 셀.

청구항 5

제4항에 있어서,

상기 웰(well)의 상기 제2 타입의 불순물은 엔-타입(N-type)인 것을 특징으로 하는 피모스-다이오드 형태의 이-퓨즈 오틀피 셀.

청구항 6

제4항에 있어서,

상기 이퓨즈 링크는 기억소자(memory device)로 게이트 폴리실리콘을 사용한 것을 특징으로 하는 피모스-다이오드 형태의 이퓨즈 오틀피 셀.

청구항 7

제4항에 있어서,

상기 피모스 트랜지스터(MP1)의 바디인 웰(12); 및

상기 웰(12)에서 형성된 p+ 확산층(13) 및 n+ 확산층(14);을 구비하되,

상기 웰(12)과 p+ 확산층(13) 사이에 기생하는 접합 다이오드가 해당 셀의 이퓨즈 링크 블로잉에 사용되는 것을 특징으로 하는 피모스-다이오드 형태의 이퓨즈 오틀피 셀.

발명의 설명

기술 분야

[0001] 본 발명은 피모스(PMOS)-다이오드 형태의 이퓨즈(eFuse) 오틀피(OTP: One-Time Programmable) 셀에 관한 것으로, 보다 상세하게는 엔웰(N-WELL) 안에 형성된 피모스 트랜지스터와 기억소자인 이퓨즈 링크로 이퓨즈 오틀피 셀을 구성하고 피모스 트랜지스터에서 기생적으로 만들어지는 pn 접합 다이오드를 이퓨즈 링크 블로잉에 이용할 수 있도록 함으로써, 시모스(CMOS) 공정에서 딥엔웰 마스크 추가 공정이 필요 없으면서 셀 사이즈를 엔모스 트랜지스터와 동일하게 소형으로 현할 수 있는 피모스-다이오드 형태의 이퓨즈 오틀피 셀에 관한 것이다.

배경 기술

[0002] 일반적으로 Si MOSFET, Si IGBT와 SiC 소자는 고전압 정격, 고전류 정격, 낮은 ON 저항과 낮은 스위칭 손실로 인해 전력 반도체 소자로 사용된다.

[0003] 한편 EV/HEV(Electric Vehicle/Hybrid Electric Vehicle)용 DC-DC 변환기 등의 다양한 응용에 하나의 게이트

구동 칩으로 Si IGBT와 SiC 같은 전력반도체 소자를 구동하기 위해서는 차단전압, 스위치를 완전히 차단시키기 위한 게이트 음전압 등과 관련한 다양한 옵션(option)이 발생할 수 있다.

- [0004] 이를 제어하기 위해 사용되는 아날로그 회로를 Si IGBT와 SiC 같은 전력반도체 소자에 적합한 옵션코드(option code)로 트리밍(trimming)해야 하는 경우 소용량의 비휘발성 메모리인 이퓨즈 오틀피(eFuse OTP : electrical Fuse One-Time Programmable) 메모리가 많이 사용되며, 이러한 이퓨즈 오틀피 메모리 셀은 선택된 셀에 있는 폴리실리콘 게이트인 이퓨즈 링크(link)에 수 십 [mA] 이상의 과전류를 흘려 이퓨즈 링크를 서멀 블로잉(thermal blowing)하여 끊어주는 방식으로 프로그램한다.
- [0005] 이와 관련하여, 대한민국 등록특허 제 10-1762918호(2017.07.24. 등록; 이하 '특허문헌 1'이라 약칭함)에는 본 출원인에 의해 제안된 접합 다이오드를 이용한 이퓨즈 오틀피 메모리 회로에 관한 기술이 공지되어 있다.
- [0006] 도 1 및 도 2에는 특허문헌 1에서 제안된 엔모스-다이오드(NMOS-Diode) 형태의 이퓨즈 오틀피 셀의 등가회로도 와 이퓨즈 오틀피 셀에서의 엔모스 트랜지스터의 공정 단면도가 예시되어 있다.
- [0007] 특허문헌 1에 의하면, 저면적 5V 엔모스다이오드 이퓨즈 오틀피 셀은 도 1에 예시된 바와 같이 기판(p-snbstrate)에 형성된 딥엔웰(DNW: Deep N-WELL) 안에 형성된 피웰(P-WELL) 안에 만들어지는 isolated 5V NMOS 트랜지스터(MN1)와 기억소자(memory device)로 게이트 폴리실리콘과 동일한 layer를 사용한 eFuse 링크로 구성 되어 있으며, 도 2에 예시된 바와 같이 isolated 5V NMOS 트랜지스터의 공정단면도에서 SL(Source Line)이 연결 된 피웰(P-WELL)과 eFuse 링크의 양극(anode)에 연결된 엔모스 트랜지스터의 소스(source) 노드인 NS(NMOS Source) 사이에 pn 접합 다이오드(junction diode)가 기생적으로 만들어진다. 프로그램 모드 시 isolated 5V NMOS 트랜지스터의 소스 접합에 형성된 접합 다이오드와 eFuse 링크를 통해 흐르는 과전류를 이용하여 eFuse 링크를 열적으로 블로잉함으로써 프로그램한다.
- [0008] 그런데 5V NMOS-diode type eFuse OTP 셀 사이즈는 저면적으로 구현이 가능하지만 도 2에 예시된 바와 같이 딥 엔웰 마스크가 추가되어야 하므로 반도체 공정 원가가 상승하는 단점이 있다.

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) KR 10-1762918 B1 2017.07.24. 등록

발명의 내용

해결하려는 과제

- [0010] 따라서 본 발명은 상기의 문제점을 해결하기 위해 안출한 것으로, 본 발명이 해결하고자 하는 기술적 과제는, 엔웰(N-WELL) 안에 형성된 피모스 트랜지스터와 기억소자인 이퓨즈 링크로 이퓨즈 오틀피 셀을 구성하고, 피모스 트랜지스터에서 PS 노드에 연결된 p+ 확산층과 라이트워드라인바(Write WL bar)신호가 연결된 엔웰 사이에 기생적으로 만들어지는 pn 접합 다이오드를 해당 셀의 이퓨즈 링크 블로잉에 이용함으로써, 시모스(CMOS) 공정에서 딥엔웰 마스크 추가 공정이 필요 없으면서 셀 사이즈를 엔모스 트랜지스터와 동일하게 소형으로 구현할 수 있는 피모스-다이오드 형태의 이퓨즈 오틀피 셀을 제공하고자 하는 것이다.

과제의 해결 수단

- [0011] 상기 목적을 달성하기 위한 본 발명의 일 실시 형태는, 기판에 형성된 엔웰 안에 형성되는 피모스 트랜지스터, 피모스 트랜지스터의 소스 노드에 연결되는 이퓨즈 링크를 포함하는, 피모스-다이오드 형태의 이퓨즈 오틀피 셀 이다.

발명의 효과

- [0012] 본 발명에 의하면, 기판의 엔웰(N-WELL) 안에 형성된 피모스 트랜지스터와 기억소자인 이퓨즈 링크로 이퓨즈 오틀피 셀을 구성하고 피모스 트랜지스터의 PS 노드에 연결된 p+ 확산영역과 라이트워드라인바(WWLb)신호가 연결 된 엔웰 사이에서 기생적으로 만들어지는 pn 접합 다이오드를 이퓨즈 링크 블로잉에 이용할 수 있도록 함으로써, 시모스(CMOS) 공정에서 기존 엔모스 트랜지스터 사용시의 딥엔웰 마스크를 위한 추가 공정이 필요 없

게 되므로 공정 단가를 줄일 수 있고 셀 사이즈를 엔모스 트랜지스터와 동일하게 소형으로 구현할 수 있는 이점을 제공한다.

도면의 간단한 설명

- [0013] 도 1은 종래 엔모스-다이오드 형태의 이퓨즈 오티피 셀 등가 회로도이다.
- 도 2는 종래 이퓨즈 오티피 셀에서의 엔모스 트랜지스터의 단면도이다.
- 도 3은 본 발명에 의한 피모스-다이오드 형태의 이퓨즈 오티피 셀로 구현될 수 있는 이퓨즈 오티피 메모리 회로의 전체적인 구성을 예시한 블록도이다.
- 도 4는 본 발명에 의한 피모스-다이오드 형태의 이퓨즈 오티피 셀 등가 회로도이다.
- 도 5는 본 발명에 의한 이퓨즈 오티피 셀의 피모스 트랜지스터 단면도이다.
- 도 6은 본 발명의 이퓨즈 오티피 셀 구동을 위한 워드라인 드라이버의 상세 회로도이다.
- 도 7은 본 발명의 이퓨즈 오티피 셀 구동을 위한 소오스 라인 드라이버의 상세 회로도이다.
- 도 8은 본 발명의 이퓨즈 오티피 셀 구동을 위한 센스 앰프의 상세 회로도이다.
- 도 9는 5V 피모스 트랜지스터와 게이트 폴리실리콘을 사용한 이퓨즈 링크로 구성된 본 발명에 따른 피모스-다이오드 형태의 이퓨즈 오티피 셀의 레이아웃 이미지를 예시한 참고사진이다.
- 도 10은 DB하이텍 130nm BCD 공정을 이용하여 설계된 본 발명에 따른 512b 이퓨즈 오티피 메모리 IP의 레이아웃 이미지를 예시한 참고사진이다.
- 도 11은 도 10의 공정이 진행된 본 발명에 따른 512bit 이퓨즈 오티피 IP 웨이퍼에서 프로그램 이전(a)과 프로그램 이후(b)의 리드 모드 측정 파형을 예시한 참고사진이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 본 발명의 바람직한 실시 형태에 따른 피모스-다이오드 형태의 이퓨즈 오티피 셀의 구성과 동작 및 그에 의한 작용 효과를 첨부 도면을 참조하여 상세히 설명한다.
- [0015] 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정 해석되지 아니하며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시 예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시 예에 불과할 뿐이므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.
- [0016] 도 3은 본 발명에 의한 피모스-다이오드 형태의 이퓨즈 오티피 셀로 구현될 수 있는 이퓨즈 오티피 메모리 회로의 전체적인 구성을 예시한 블록도로서, 본 발명에 의한 피모스-다이오드 형태의 이퓨즈 오티피 셀로 구현되는 이퓨즈 오티피 메모리 회로는 도 3에 예시된 바와 같이 이퓨즈 오티피 셀 어레이부(10), 컨트롤 로직부(20), 워드라인 드라이버(30), 컬럼 디코더(40), 및 소오스 라인 드라이버 및 센스앰프(50)를 포함한다.
- [0017] 이퓨즈 오티피 셀 어레이부(10)는 기판(p-substrate)에 형성된 피모스 트랜지스터의 바디인 엔웰(N-WELL)과 p+ 확산층 사이에 기생하는 접합 다이오드를 구비한 이퓨즈 오티피 셀이 매트릭스 형태로 배열된 이퓨즈 오티피 셀 어레이를 구비하며, 프로그램 모드에서 상기 접합 다이오드에 의하여 해당 이퓨즈 오티피 셀의 이퓨즈 링크가 블로잉되고 읽기 모드에서는 피모스 트랜지스터에 의하여 해당 이퓨즈 오티피 셀의 이퓨즈 링크에 프로그램된 데이터가 읽혀진다. 여기서 이퓨즈 오티피 셀 어레이부(10)의 셀 배열 형태나 용량은 특별하게 한정되지 않으나, 본 실시예에서는 이퓨즈 오티피 셀이 64행 x 8열로 배열된 것을 예로 들어 설명한다.
- [0018] 도 4는 본 발명에 의한 피모스-다이오드 형태의 이퓨즈 오티피 셀의 등가 회로도로서, 본 발명에 의한 피모스-다이오드 형태의 이퓨즈 오티피 셀은 도 4에 예시된 바와 같이 피모스 트랜지스터(MP1), 및 이퓨즈 링크(eFuse link)를 포함하여 구성된다. 피모스 트랜지스터(MP1)는 게이트에 리드워드라인바(RWLb)신호가 공급되고 일측 단자(드레인)에 비트 라인(BL)신호가 공급되며 엔웰(N-Well)에 라이트워드라인바(WWLb)신호가 공급된다. 이퓨즈 링크는 일측 단자(음극)가 상기 피모스 트랜지스터(MP1)의 타측 단자(PMOS Source)에 연결되고 타측 단자(양극)에 소오스 라인(SL)신호가 공급되도록 구성된다.

- [0019] 도 5는 본 발명에 의한 이퓨즈 오티피 셀의 피모스 트랜지스터 단면도로서, 이러한 이퓨즈 오티피 셀의 피모스 트랜지스터(MP1)는 기판(11) 상에 형성된 피모스 트랜지스터의 바디인 엔웰(12), 및 엔웰(12)에서 형성된 p+ 확산층(13) 및 n+ 확산층(14)을 구비하되, 엔웰(12)과 p+ 확산층(13) 사이에 기생하는 접합 다이오드가 해당 셀의 이퓨즈 링크를 블로잉하는데 사용된다. 이러한 이퓨즈 오티피 셀 어레이는 매트릭스 구조로서 64행 x 8열로 배열된 이퓨즈 오티피 셀 어레이인 것이 사용될 수 있으며, 피모스 트랜지스터(MP1)는 기판(11)에 형성된 엔웰(12) 안에 형성되고, 이퓨즈 링크는 기억소자(memory device)로 게이트 폴리실리콘을 사용한 것이다.
- [0020] 컨트롤 로직부(20)는 각종 제어신호(PGM, READ, A[11:0], TM_EN)에 따라 이퓨즈 오티피 셀 어레이부(10)에 대한 프로그램 모드, 노멀 리드(normal read) 모드 및 프로그램 확인 리드(Program-Verify-Read) 모드에 적합한 내부 제어 신호를 출력한다.
- [0021] 워드라인 드라이버(30)는 컨트롤 로직부(20)의 제어 하에 행 어드레스를 공급받아 이퓨즈 오티피 셀 어레이부(10)에 리드워드라인(RWL)신호 및 라이트워드라인바(WWLb)신호를 출력한다.
- [0022] 컬럼 디코더(40)는 이퓨즈 오티피 셀 어레이부(10)의 소오스 라인 구동을 위하여, 컨트롤 로직부(20)의 제어 하에 열 어드레스를 디코딩하여 디코딩된 열 어드레스를 소오스 라인 드라이버 및 센스앰프(50)에 출력한다.
- [0023] 소오스 라인 드라이버 및 센스앰프(50)는 컨트롤 로직부(20)의 제어하에 프로그램 모드에서 입력데이터에 대응되는 프로그램데이터를 이퓨즈 오티피 셀 어레이부(10)에 공급하고, 읽기 모드에서 이퓨즈 오티피 셀 어레이부(10)로부터 공급되는 비트 라인(BL)신호를 감지 및 증폭하여 그에 따른 출력데이터를 발생한다.
- [0024] 도 6 내지 도 8은 각각 본 발명에 의한 이퓨즈 오티피 셀 구동을 위한 워드라인 드라이버, 소오스 라인 드라이버, 및 센스앰프의 각 상세 회로도이다.
- [0025] 워드라인 드라이버(30)는 도 6에 예시된 바와 같이 제어신호를 낸드연산하는 제1낸드게이트(ND01), 제1낸드게이트(ND01)의 출력신호를 반전시키는 제1인버터(I01), 제1인버터(I01)의 출력신호와 프로그램모드의 워드라인인에이블(WLEN_PGM)신호를 낸드연산하는 제2낸드게이트(ND02), 제2낸드게이트(ND02)의 출력신호를 반전시키는 제2인버터(I02), 병렬로 연결되어 제2인버터(I02)의 출력신호에 의해 VDD_PGM 스위칭전압 또는 0V 전압을 라이트워드라인바(WWLb)신호로 출력하는 피모스 트랜지스터(MP01) 및 엔모스 트랜지스터(MN01), 제1인버터(I01)의 출력신호와 읽기모드의 워드라인인에이블바(WLENb_RD)신호를 노어연산하는 제1노어게이트(NOR01), 및 제1노어게이트(NOR01)의 출력신호를 반전시켜 리드워드라인바(RWLb)신호를 출력하는 제3인버터(I03)를 구비하여 구성된다.
- [0026] 소오스 라인 드라이버 및 센스앰프(50)의 소오스 라인 드라이버는 도 7에 예시된 바와 같이 제어신호를 반전시키는 제4인버터(I04), 제4인버터(I04)의 출력신호와 입력데이터(DIN)를 노어연산하는 제2노어게이트(NOR02), 제2노어게이트(NOR02)의 출력신호를 반전시키는 제5인버터(I05), 제5인버터(I05)의 출력신호와 내부프로그램(IPGM)신호를 낸드연산하는 제3낸드게이트(ND03), 제3낸드게이트(ND03)의 출력신호를 반전시키는 제6인버터(I06), 및 병렬로 연결되어 제6인버터(I06)의 출력신호에 의해 VDD_PGM 스위칭 전압 또는 0V 전압을 소오스 라인(SL)신호로 출력하는 피모스 트랜지스터(MP02) 및 엔모스 트랜지스터(MN02)를 구비하여 구성된다.
- [0027] 소오스 라인 드라이버 및 센스앰프(50)의 센스 앰프는 도 8에 예시된 바와 같이 노멀 리드모드에서의 비트 라인 프리차지바(BL_PCGb)신호와 비트 라인로드(BL_LOAD)신호, 및 테스트 리드모드에서의 비트 라인 로드(TM_BL_LOAD)신호에 따라 비트 라인(BL)신호를 제어하는 비트 라인 제어부(51), 비트 라인 제어부(51)의 출력신호를 센스앰프 인에이블바(SAENb)신호와 센스앰프 인에이블(SAEN)신호에 동기시켜 반전 출력하는 클럭 인버터(clocked inverter)부(52), 및 클럭 인버터부(52)의 출력신호 및 센스앰프 인에이블바(SAENb)신호와 센스앰프 인에이블(SAEN)신호에 따라 스위칭 전압을 레벨 변환하여 출력하는 스위칭 전압레벨 변환부(53);를 구비하여 구성된다.
- [0028] 이상과 같이 구성되는 본 발명의 피모스-다이오드 형태의 이퓨즈 오티피 셀은 이퓨즈 오티피 셀 어레이부(10)를 구성하며, 각 이퓨즈 오티피 셀은 도 4에 예시된 바와 같이 채널폭이 작은 5V 피모스 트랜지스터(MP1)와, 기억소자로 게이트 폴리실리콘을 사용하는 이퓨즈 링크로 구성한다. 이때 피모스 트랜지스터(MP1)는 도 5의 공정 단면도에 예시된 바와 같이 엔웰(12) 안에 형성된 바디부분의 n+ 확산층(14)에 라이트워드라인바(WWLb)신호를 연결하고, 게이트에 리드워드라인바(RWLb)신호를 연결하며 p+ 확산층(13)(드레인)에 비트 라인(BL)신호를 연결한다. 또한 이퓨즈 링크는 일측 단자(음극)가 피모스 트랜지스터(MP1)의 타측 단자(PS; PMOS Source)에 연결되게 하고 타측 단자(양극)에 소오스 라인(SL)신호를 연결한다. 이때 피모스 트랜지스터(MP1)에서 pn 접합 다이오드는 도 5의 PS 노드에 연결된 p+ 확산층과 라이트워드라인바(WWLb)신호가 연결된 엔웰(N-WELL) 사이에 기생적으로 만들어진다.

[0029] 이때 선택된 이퓨즈 링크를 프로그램하기 위해 이퓨즈 링크의 양극에 연결된 소오스 라인(SL)신호, 피모스 트랜지스터의 게이트에 연결된 리드워드라인바(RWLb)신호, 피모스 트랜지스터의 엔웰(N-Well) 게이트에 연결된 라이트워드라인바(WWLb)신호에 각각 VDD(=5.5V), VDD와 0V 전압을 인가하면 선택된 이퓨즈 오티피 셀의 이퓨즈 링크, 피모스 트랜지스터의 PS 노드와 바디인 엔웰 사이에 형성된 pn 접합 다이오드를 통해 소오스 라인(SL)신호에서 라이트워드라인바(WWLb)신호의 전류 경로로 수십 [mA] 이상의 과전류가 흐르면서 선택된 이퓨즈 링크를 열적으로 블로잉하여 끊어줌으로써, 수 [MΩ] 이상의 고저항을 갖도록 만든다. 반면에 프로그램되지 않은 이퓨즈 링크의 저항은 100[Ω] 정도를 갖는다.

[0030] 도 9는 5V 피모스 트랜지스터와 게이트 폴리실리콘을 사용한 이퓨즈 링크로 구성된 피모스-다이오드 형태의 이퓨즈 오티피 셀의 레이아웃 이미지를 제시하고 있으며, 이러한 이퓨즈 오티피 셀의 사이즈는 $3.475\mu\text{m} \times 4.21\mu\text{m}$ ($=14.62975\mu\text{m}^2$)이다. 도면에서는 소오스 라인(SL)신호의 p+ 확산층을 5V 피모스 트랜지스터의 바디 노드인 엔웰의 pick-up인 n+ 확산층(14)에 최대한 가까이 배치하므로 기생하는 엔웰 저항을 줄이도록 레이아웃한 것을 제시하고 있다.

[0031] 한편 본 발명의 피모스-다이오드 형태의 이퓨즈 오티피 셀의 크기는 기존의 이퓨즈 오티피 셀인 $89.96\mu\text{m}^2$ 의 셀 크기를 갖는 $0.18\mu\text{m}$ BCD 공정기반의 듀얼포트 이퓨즈 오티피 셀과 $97\mu\text{m}^2$ 의 셀 크기를 갖는 $0.18\mu\text{m}$ generic 공정기반의 듀얼포트 이퓨즈 오티피 셀보다도 훨씬 작으며, 5V 엔모스-다이오드 형태의 이퓨즈 오티피 셀 크기인 $13.745\mu\text{m}^2$ 와 비슷하다. 그러므로 본 발명에 의한 피모스-다이오드 형태의 이퓨즈 오티피 셀은 5V 엔모스-다이오드 형태의 이퓨즈 오티피 셀에 비해 셀 크기는 비슷한 반면, 덤엔웰 마스크 한 장을 줄일 수 있게 된다.

[0032] 아래의 표 1은 본 발명의 피모스-다이오드 형태의 이퓨즈 오티피 셀을 사용하여 설계된 512b 이퓨즈 오티피 메모리 회로의 주요 특징을 나타낸 것이다.

[0033] [표 1]

Items	Main Features
Process Technology	DB HiTek 130nm BCD
eFuse Link Type	n+ Poly Fuse with Co Silicide
Cell Array	64Rows × 8Columns
Temperature Range	-40°C ~ 125°C
Operating Mode	Program / Read / Program-Verify-Read
Program bit	1bit
Read bit	8bit
Program Time	20μs

[0034] 표 1에서, 공정 기술은 DB 하이텍 0.13μm BCD 공정이며, 이퓨즈 오티피 셀 어레이부의 포맷 형태나 사이즈는 특별하게 한정되지 않지만, 본 실시예에서는 64행 x 8열로 구성된 것을 예로 하여 설명한다. 그리고 이퓨즈 링크는 코발트 실리사이드 n+ 폴리실리콘이고, 동작 모드로서 프로그램, 노멀 리드(normal read), 프로그램 확인 리드 모드(program-verify-read mode)가 있다. 그리고 이퓨즈 오티피 메모리 회로에 대한 프로그램 비트로써 1비트가 할당되고 읽기 비트로써 8비트가 할당될 수 있다. 프로그램 비트를 1비트로 하는 이유는 바이트 단위로 프로그래밍하는 경우 수 백 mA의 큰 프로그램 전류로 인해 VDD 파워 라인, VSS 라인 등에서의 저항성 전압 강하가 일어나면서 프로그램 하려는 이퓨즈 링크에 프로그램 파워가 제대로 전달되지 않으면서 이퓨즈 오티피 셀의 프로그래밍 특성이 나빠지기 때문이다.

[0036] 한편 사용 전압은 VDD와 V2V(=2.0V ± 10%)를 사용하며, V2V는 반도체 칩에서 제공되는 내부공급 전압원이고, 프로그램 모드 시 VDD 전압은 이퓨즈 링크를 서멀 블로잉시키기 위해 충분한 파워를 공급하는 전압인 5.5V가 사용된다.

[0037] 아래의 표 2는 본 발명에 따른 5V 피모스-다이오드 형태의 이퓨즈 오티피 셀에 대한 동작모드별 바이어스 조건을 제시하고 있다.

[0038] [표 2]

		PROGRAM MODE		READ MODE	
DIN		0	1	0	1
RWLb	Unselected	VDD	VDD	VDD	VDD
	Selected	VDD	VDD	0V	0V
WWLb	Unselected	VDD	VDD	VLV	VLV
	Selected	0V	0V	VLV	VLV
SL	Unselected	0V	0V	VLV	VLV
	Selected	VDD	0V	VLV	VLV
BL		Floating	Floating	0V	VLV
DOUT		X	X	0	1
eFuse		Blown	Unblown	Blown	Unblown

[0039]

[0040]

프로그램 모드에서 이퓨즈 링크 저항이 고저항인 로직 '0' 상태로 프로그램하기 위해서는 표 2에 예시된 바와 같이 선택되는 셀의 소오스 라인(SL)신호, 리드워드라인바(RWLb)신호, 비트 라인(BL)신호와 라이트워드라인바(WWLb)신호를 각각 VDD(=5.5V), VDD, 플로팅(Floating)과 0V로 구동한다. 이와 같이 소오스 라인(SL)신호와 라이트워드라인바(WWLb)신호를 VDD와 0V로 구동하면 소오스 라인(SL)신호에서 이퓨즈 링크, pn 접합 다이오드와 라이트워드라인바(WWLb)신호로 형성되는 전류 경로로 수 십 [mA]의 과전류가 흘러 프로그램 할려는 이퓨즈 링크는 열적 파괴에 의해 블로잉되어 끊어지면서 수 [MΩ] 이상의 고저항을 갖게 된다. 반면에 프로그램 데이터가 로직 '1'인 경우는 이퓨즈 링크 저항을 100[Ω] 상태로 유지를 해야하므로 모든 행에 있는 소오스 라인(SL)신호를 0V로 구동하므로 이퓨즈 링크를 통해 전류가 흐르지 않게 되어 unblown 상태인 이퓨즈 링크는 100[Ω] 정도의 저항을 유지하게 된다.

[0041]

읽기 모드에서 선택되는 셀의 소오스 라인(SL)신호, 리드워드라인바(RWLb)신호와 라이트워드라인바(WWLb)신호를 각각 VLV, 0V와 VLV로 구동하면 로직 '0'으로 프로그램 된 이퓨즈 오티피 셀은 이퓨즈 링크가 고저항 상태에 있으며, 출력데이터(DOUT) 포트에 로직 '0'을 출력하게 된다. 반면에 로직 '1'로 프로그램 된 이퓨즈 오티피 셀은 이퓨즈 링크가 100[Ω] 정도의 저항을 가지고 있으므로 비트 라인(BL)신호는 VLV 전압으로 폴업되면서 출력데이터(DOUT) 포트에 로직 '1'을 출력하게 된다.

[0042]

한편, 도 6 내지 도 8에 예시된 각 구동회로의 동작을 보면,

[0043]

먼저, 도 6의 워드라인 구동회로에서는 프로그램 모드로 진입하게 되면 행 어드레스 A[8:3]에 의해 디코딩된 A876과 A543의 디코딩에 의해 선택된 행의 라이트워드라인바(WWLb)신호와 리드워드라인바(RWLb)신호는 0V와 VDD 전압을 구동한다. 그리고 읽기 모드로 진입하면 A876과 A543의 디코딩에 의해 선택된 행의 라이트워드라인바(WWLb)신호와 리드워드라인바(RWLb)신호는 VDD_PGM(=VLV)와 0V 전압을 구동한다.

[0044]

다음으로 도 7의 소오스 라인 드라이버 및 샘플앰프(50)의 소오스 라인 구동회로에서는 프로그램 모드로 진입하게 되면 열 어드레스 A[2:0]를 디코딩한 A210에 의해 입력데이터(DIN)가 로직 '0'인 경우 선택된 소오스 라인(SL)신호 VDD_PGM 스위칭 전압을 구동하고, A210에 의해 선택되지 않았거나 입력데이터(DIN)가 로직 '1'인 경우 소오스 라인(SL)신호는 0V를 구동한다. VDD_PGM 스위칭 전압은 프로그램 모드일때만 VDD 전압을 구동하고, 나머지 모드는 VLV 전압을 구동한다.

[0045]

마지막으로 도 8의 비트 라인 센스앰프회로에서는 기존의 S/A(Sense Amplifier) 기반의 D F/F을 사용하는 BL 센싱 회로를 사용하는 대신 클럭인버터(clocked inverter)(MP13, MP14, MN13과 MN14) 형태의 BL S/A 회로를 사용한다. 읽기 모드로 진입하게 되면 비트 라인 프리차지바(BL_PCGb) 신호에 low 펄스가 인가되면서 피모스 트랜지스터(MP11)에 의해 비트 라인(BL) 신호는 V2V 전압으로 프리차징 된다. 비트 라인(BL)신호 전압이 충분히 2V로 프리차징된 후 엔모스 트랜지스터(MN11)를 ON시켜 비트 라인(BL)신호를 풀-다운했을 때 선택된 셀의 이퓨즈 링크가 100[Ω] 정도의 저항을 갖게 되면 비트 라인(BL)신호 전압은 로직 '1'상태의 전압을 유지하는 반면, 이퓨즈 링크가 수 [MΩ] 이상의 저항을 갖는 경우의 비트 라인(BL)신호 전압은 로직 '0'상태의 전압을 유지하게 된다. 이와 같이 이퓨즈 오티피 셀의 프로그램 저항에 대한 전압이 비트 라인(BL)신호에 전달되면 클럭 인버터(MP13, MP14, MN13과 MN14)에 의해 비트 라인(BL)신호의 센싱 데이터가 출력데이터(DOUT)로 출력된다.

[0046]

도 10은 DB하이텍 130nm BCD 공정을 이용하여 설계된 512b 이퓨즈 오티피 메모리 IP의 레이아웃 이미지를 예시

하고 있으며, 레이아웃 면적은 $119.315\mu\text{m} \times 41.95\mu\text{m}$ ($=0.0408\text{mm}^2$)이다.

[0047] 아래의 표 3 및 표 4는 상기 설계된 512bit 이퓨즈 오티피 메모리 IP에서 동작 모드에 따른 프로그램된 이퓨즈 링크의 센싱 저항에 대한 SPICE 모의실험 결과를 제시하고 있으며, 표 3은 노말 리드 모드의 결과치이고, 표 4는 프로그램-확인-리드모드의 결과치이다.

[0048] [표 3]

Temp	Model Parameter				
	SS model	SF model	TT model	FS model	FF model
-40°C	12K Ω	21K Ω	9K Ω	1.5K Ω	7.5K Ω
25°C	16K Ω	25K Ω	12K Ω	3.5K Ω	10K
125°C	23K Ω	30K Ω	17.5K Ω	8K Ω	14.5K Ω

[0049]

[0050] [표 4]

Temp	Model Parameter				
	SS model	SF model	TT model	FS model	FF model
-40°C	29.5K Ω	42K Ω	23K Ω	10.5K Ω	18.5K Ω
25°C	38.5K Ω	50K Ω	30K Ω	16K Ω	24.5K
125°C	53.5K Ω	61K Ω	42K Ω	26.5K Ω	34.5K Ω

[0051]

[0052] 표 3 및 표 4에서 알수 있는 바와 같이 모델 파라미터와 온도별 이퓨즈 오티피 IP의 노말 리드 모드(표 3 참조)와 프로그램-확인-리드 모드(표 4 참조)에서 프로그램된 이퓨즈 링크의 센싱 저항은 각각 30k Ω , 61k Ω 으로 모의실험 되었다. 한편 노말 리드 모드에서 채널 폭이 작은 피모스 트랜지스터를 이용하여 비트 라인(BL)신호에 전압을 전달하므로 이퓨즈 오티피 셀의 블로잉되지 않은 이퓨즈 링크를 통해 흐르는 최대 읽기 전류를 97.7 μA 로 100 μA 이내로 억제하였다.

[0053] 도 11은 공정 진행된 512bit 이퓨즈 오티피 IP 웨이퍼에서 프로그램 이전(a)과 프로그램 이후(b)의 리드 모드 측정 파형을 제시하고 있으며, 정상적으로 프로그램 되는 것을 확인할 수 있다.

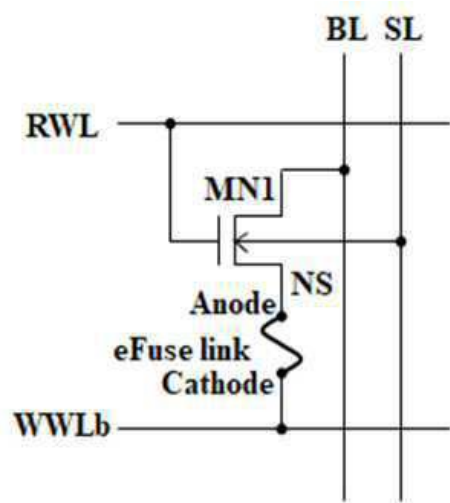
[0054] 이상의 본 발명에 의하면, 기관의 엔웰(N-WELL) 안에 형성된 피모스 트랜지스터와 기억소자인 이퓨즈 링크로 이퓨즈 오티피 셀을 구성하고, 피모스 트랜지스터의 PS 노드에 연결된 p+ 확산영역과 라이트워드라인바(Write WL bar)신호가 연결된 엔웰 사이에서 기생적으로 만들어지는 pn 접합 다이오드를 이퓨즈 링크 블로잉에 사용할 수 있도록 함으로써, 시모스(CMOS) 공정에서 딥엔웰 마스크 추가 공정이 필요 없어 공정 단가를 줄일 수 있는 이점이 있으며, 또한 셀 사이즈를 엔모스 트랜지스터와 동일하게 소형으로 구현할 수 있게 하는 장점을 제공한다.

부호의 설명

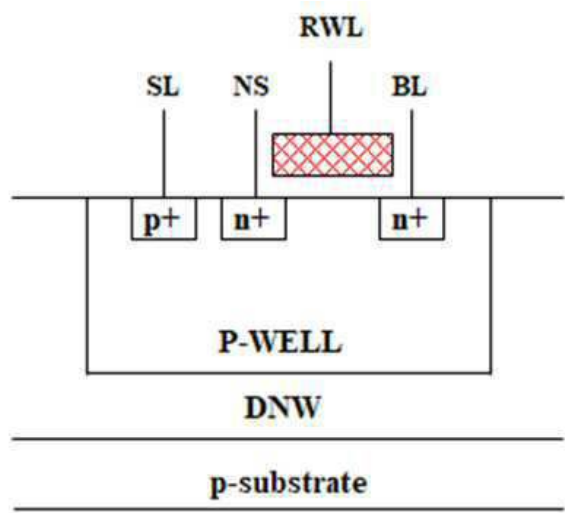
[0055] 10 : 이퓨즈 오티피 셀 어레이부 11 : 기관
 12 : 엔웰(N-Well) 13 : p+ 확산층
 14 : n+ 확산층 20 : 컨트롤 로직부
 30 : 워드라인 드라이버 40 : 컬럼 디코더
 50 : 소오스 라인 드라이버 및 센스앰프 SL : 소오스 라인
 BL: 비트 라인

도면

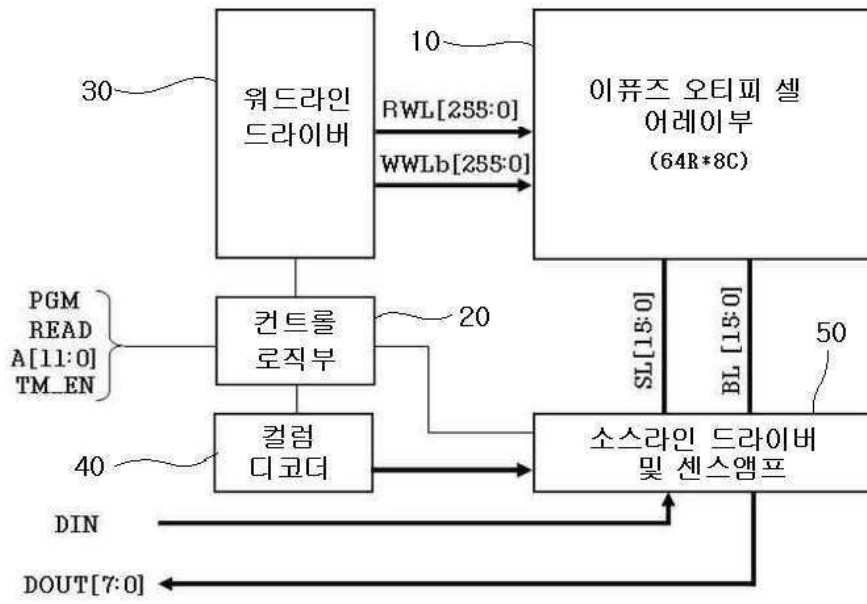
도면1



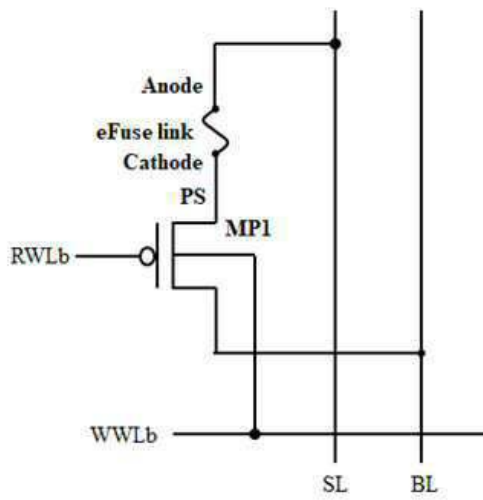
도면2



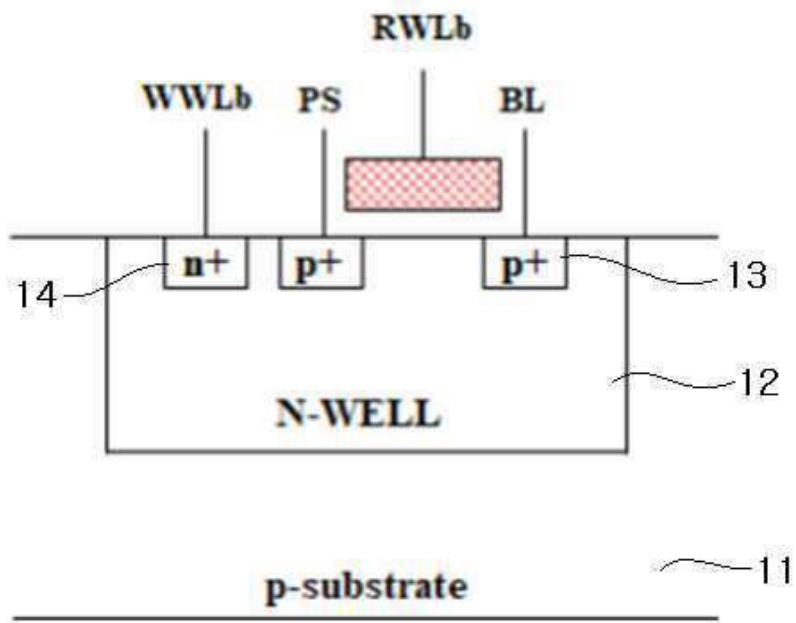
도면3



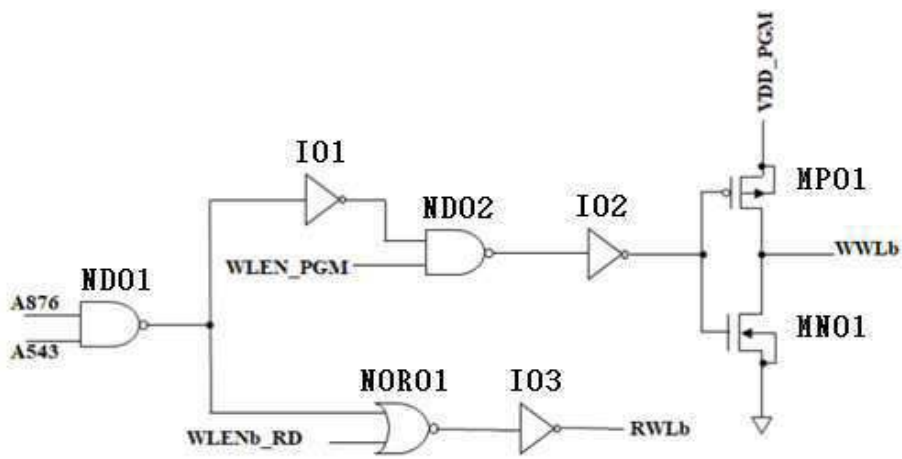
도면4



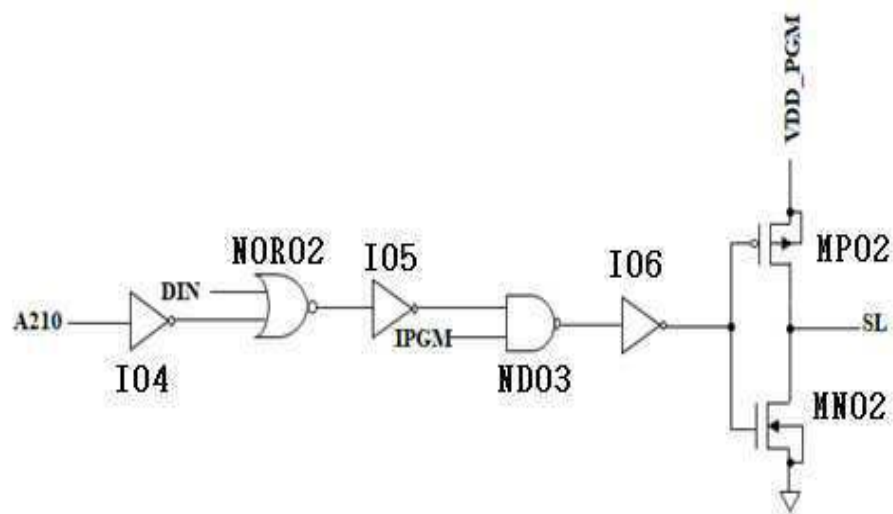
도면5



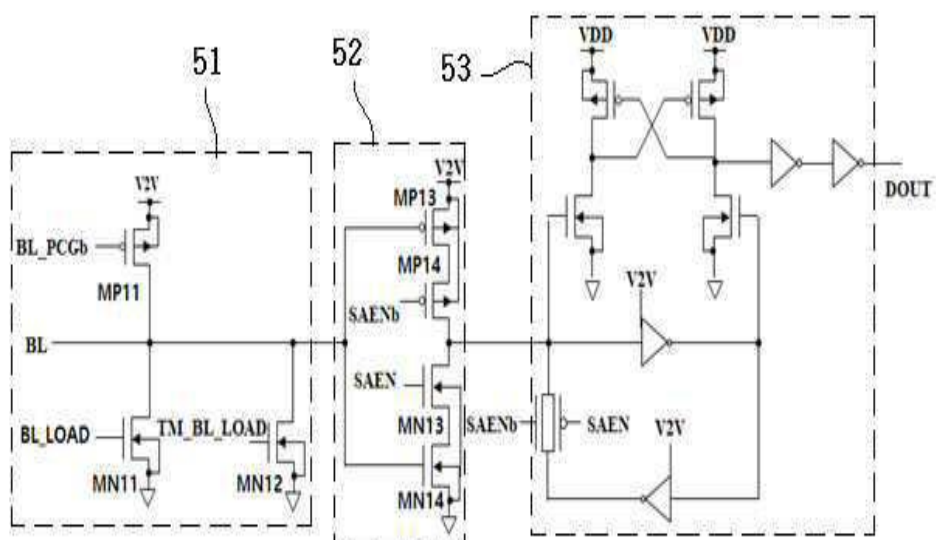
도면6



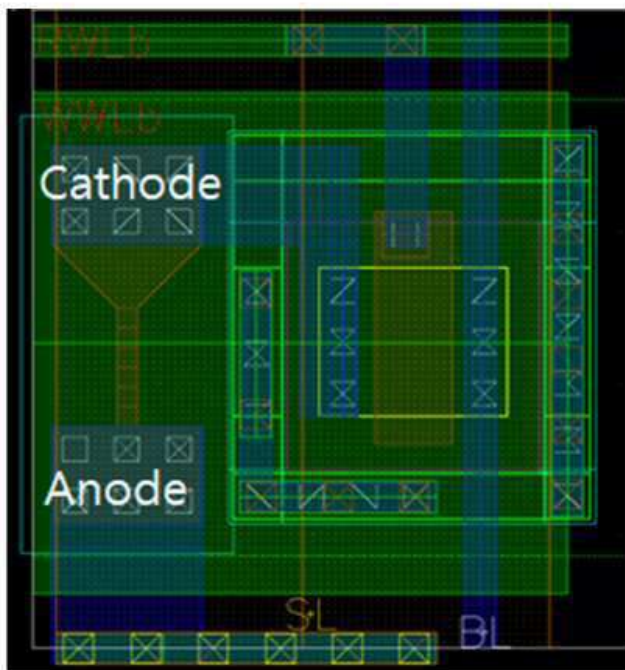
도면7



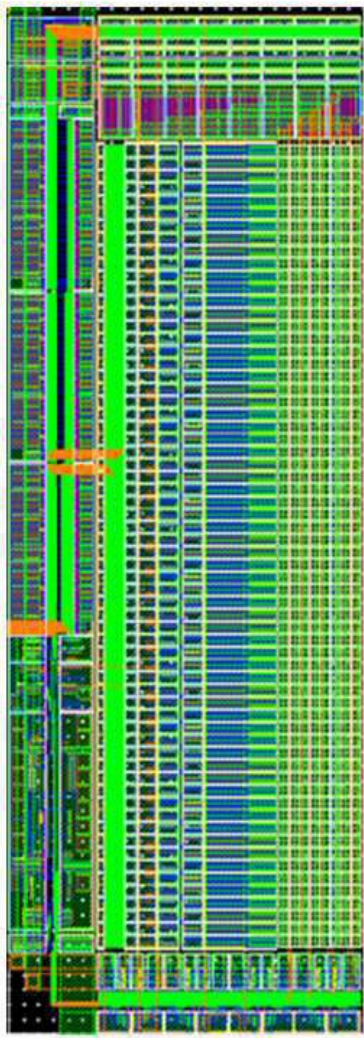
도면8



도면9



도면 10



도면11

(a)



(b)

