

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019年8月15日 (15.08.2019)



(10) 国际公布号
WO 2019/154122 A1

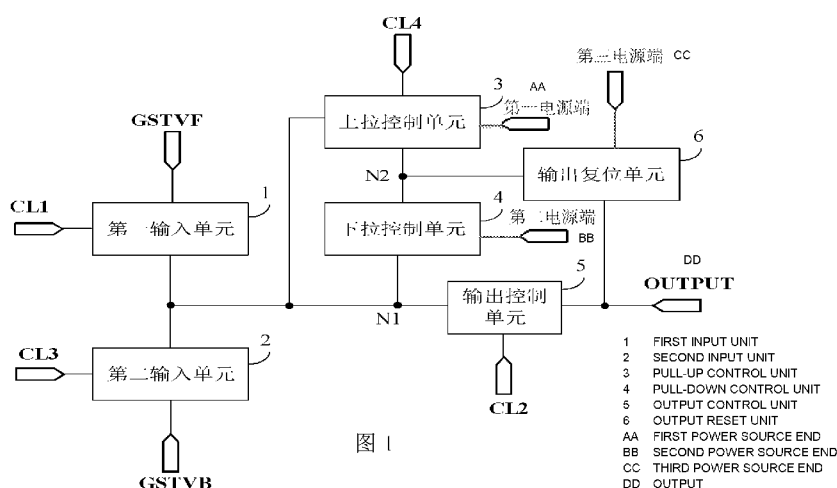
- (51) 国际专利分类号:
G09G 3/20 (2006.01)
- (21) 国际申请号: PCT/CN2019/073151
- (22) 国际申请日: 2019年1月25日 (25.01.2019)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201810136139.7 2018年2月9日 (09.02.2018) CN
- (71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路10号,
Beijing 100015 (CN)。
- (72) 发明人: 郑灿(ZHENG, Can); 中国北京市北京经济技术
开发区地泽路9号, Beijing 100176 (CN)。
- (74) 代理人: 北京天昊联合知识产权代理有限公司
(TEE & HOWE INTELLECTUAL PROPERTY

ATTORNEYS); 中国北京市东城区建国门内大街28号民生金融中心D座10层陈源, Beijing 100005 (CN)。

- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,

(54) **Title:** SHIFT REGISTER AND METHOD FOR DRIVING SAME, AND GATE DRIVING CIRCUIT AND DISPLAY APPARATUS

(54) 发明名称: 移位寄存器及其驱动方法、栅极驱动电路及显示装置



(57) **Abstract:** Disclosed are a shift register and a method for driving same, and a gate driving circuit and a display apparatus. The shift register comprises a first input unit, a second input unit, a pull-up control unit, a pull-down control unit, an output control unit and an output reset unit, wherein the first input unit, the second input unit, the pull-up control unit, the pull-down control unit and the output control unit are connected at a first node, and the pull-up control unit, the pull-down control unit and the output reset unit are connected at a second node.

(57) **摘要:** 移位寄存器及其驱动方法、栅极驱动电路及显示装置, 该移位寄存器包括第一输入单元、第二输入单元、上拉控制单元、下拉控制单元、输出控制单元和输出复位单元, 其中, 第一输入单元、第二输入单元、上拉控制单元、下拉控制单元和输出控制单元连接于第一节点, 上拉控制单元、下拉控制单元和输出复位单元连接于第二节点。



WO 2019/154122 A1

IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

- 包括国际检索报告(条约第21条(3))。

移位寄存器及其驱动方法、栅极驱动电路及显示装置

相关申请的交叉引用

5 本申请要求于 2018 年 2 月 9 日在中国知识产权局提交的申请号为 201810136139.7、名称为“移位寄存器及其驱动方法、栅极驱动电路”的中国专利申请的优先权，该中国专利申请的全部公开内容通过引用合并于此。

技术领域

10 本公开涉及显示技术领域，特别涉及一种移位寄存器及其驱动方法、栅极驱动电路及显示装置。

背景技术

15 在相关技术中，采用阵列基板行驱动 (Gate Driver on Array, 简称 GOA) 技术将薄膜场效应晶体管 (Thin Film Transistor, 简称 TFT) 栅极开关电路集成在显示面板的阵列基板上，以形成对显示面板的扫描驱动，从而可以省掉栅极驱动 IC 的部分。

发明内容

20 根据本公开的一个方面，提供了一种移位寄存器，包括：第一输入单元、第二输入单元、上拉控制单元、下拉控制单元、输出控制单元、输出复位单元、第一控制信号输入端、第二控制信号输入端、第三控制信号输入端、第四控制信号输入端、正扫输入信号端、反扫输入信号端、第一电源端、第二电源端、第三电源端和信号输出端，其中，所述第一输入单元、所述第二输入单元、所述上拉控制单元、
25 所述下拉控制单元和所述输出控制单元连接于第一节点，所述上拉控制单元、所述下拉控制单元和所述输出复位单元连接于第二节点；

在所述第一控制信号输入端所提供的控制信号的控制下，所述第一输入单元用于将所述正扫输入信号端所提供的正扫输入信号输入至所述第一节点；

30 在所述第三控制信号输入端所提供的控制信号的控制下，所述

第二输入单元用于将所述反扫输入信号端所提供的反扫输入信号输入至所述第一节点；

5 在所述第一节点的电位的控制下，所述上拉控制单元用于将所述第四控制信号输入端所提供的控制信号输入至所述第二节点，或在所述第四控制信号输入端所提供的控制信号的控制下，所述上拉控制单元用于将所述第一电源端提供的第一电压输入至所述第二节点；

在所述第二节点的电位的控制下，所述下拉控制单元用于将所述第二电源端所提供的第二电压输入至所述第一节点；

10 在所述第一节点的电位的控制下，所述输出控制单元用于将所述第二控制信号输入端所提供的控制信号输入至所述信号输出端，以供所述信号输出端输出扫描信号；

在所述第二节点的电位的控制下，所述输出复位单元用于将所述第三电源端提供的第三电压输入至所述信号输出端，以对所述信号输出端进行复位，

15 其中，所述第一控制信号输入端所提供的控制信号、所述第二控制信号输入端所提供的控制信号、所述第三控制信号输入端所提供的控制信号和所述第四控制信号输入端所提供的控制信号至少之一为时钟信号。

20 在一些实施例中，所述第一控制信号输入端所提供的控制信号、所述第二控制信号输入端所提供的控制信号、所述第三控制信号输入端所提供的控制信号和所述第四控制信号输入端所提供的控制信号均为时钟信号。

在一些实施例中，所述第一输入单元包括：第一晶体管；

25 所述第一晶体管的控制极与所述第一控制信号输入端连接，第一极与所述正扫输入信号端连接，第二极与所述第一节点连接。

在一些实施例中，所述第二输入单元包括：第二晶体管；

所述第二晶体管的控制极与所述第三控制信号输入端连接，第一极与所述反扫输入信号端连接，第二极与所述第一节点连接。

30 在一些实施例中，所述上拉控制单元包括：第三晶体管和第四晶体管；

所述第三晶体管的控制极与所述第一节点连接，第一极与所述第四控制信号输入端连接，第二极与所述第二节点连接；

所述第四晶体管的控制极与所述第四控制信号输入端连接，第一极与所述第一电源端连接，第二极与所述第二节点连接。

5 在一些实施例中，所述下拉控制单元包括：第五晶体管；

所述第五晶体管的控制极与所述第二节点连接，第一极与所述第二电源端连接，第二极与所述第一节点连接。

在一些实施例中，所述输出控制单元包括：第六晶体管和第一电容；

10 所述第六晶体管的控制极与所述第一节点连接，第一极与所述第二控制信号输入端连接，第二极与所述信号输出端连接；

所述第一电容的第一端与所述第一节点连接，第二端与所述信号输出端连接。

15 在一些实施例中，所述输出复位单元包括：第七晶体管和第二电容；

所述第七晶体管的控制极与所述第二节点连接，第一极与所述第三电源端连接，第二极与所述信号输出端连接；

第二电容的第一端与所述第二节点连接，第二端与所述第七晶体管的第一极连接。

20 在一些实施例中，还包括：第一电流截断单元；

所述第一电流截断单元设置于所述第一输入单位的输出端与所述第一节点之间以及所述第二输入单位的输出端与所述第一节点之间；

25 当所述输出控制单元在第一节点的电位的控制下，所述第一电流截断单元用于将所述第二控制信号输入端所提供的控制信号输入至所述信号输出端时，使得所述第一输入单元与所述第一节点之间以及所述第二输入单元与所述第一节点之间断路，以避免所述第一输入单元和所述第二输入单元中的漏电流对所述第一节点电位造成影响。

30 在一些实施例中，所述第一电流截断单元包括：第八晶体管、第九晶体管和第十晶体管；

所述第八晶体管的控制极与所述信号输出端连接，第一极与所述第二控制信号输入端连接，第二极与所述第一输入单元的输出端和所述第二输入单元的输出端均连接；

5 所述第九晶体管的控制极与所述第一控制信号输入端连接，第一极与所述第一输入单元的输出端和所述第八晶体管的第二极均连接，第二极与所述第一节点连接；

所述第十晶体管的控制极与所述第三控制信号输入端连接，第一极与所述第二输入单元的输出端和所述第八晶体管的第二极均连接，第二极与所述第一节点连接。

10 在一些实施例中，还包括：第二电流截断单元；

所述第二电流截断单元设置于所述下拉控制单元的输出端与所述第一节点之间；

15 当所述输出控制单元在第一节点的电位的控制下，所述第二电流截断单元用于将第二控制信号输入端所提供的控制信号输入至信号输出端时，使得所述下拉控制单元与所述第一节点之间断路，以避免所述下拉控制单元中的漏电流对所述第一节点电位造成影响。

在一些实施例中，所述第二电流截断单元包括：第十一晶体管和第十二晶体管；

20 所述第十一晶体管的控制极与所述第二节点连接，第一极与所述下拉控制单元的输出端连接，第二极与所述第一节点连接；

所述第十二晶体管的控制极与所述第一节点连接，第一极与所述第四电源端连接，第二极与所述下拉控制单元的输出端和所述第十一晶体管的第一极均连接。

25 在一些实施例中，分别向所述第一控制信号输入端、所述第二控制信号输入端、所述第三控制信号输入端、所述第四控制信号输入端输入的控制信号为时钟信号。

根据本公开的另一个方面，还提供了一种栅极驱动电路，包括：多个级联的移位寄存器，所述移位寄存器采用上述权利要求 1-11 中任一所述的移位寄存器；

30 其中，除第一级移位寄存器和最后一级移位寄存器之外，本级

移位寄存器的所述信号输出端与前一级移位寄存器的所述反扫输入信号端、后一级移位寄存器的所述正扫输入信号端均连接；

5 第 $4n-3$ 级移位寄存器对应的第一控制信号输入端与第一时钟信号线连接，对应的第二控制信号输入端与第二时钟信号线连接，对应的第三控制信号输入端与第三时钟信号线连接，对应的第四控制信号输入端与第四时钟信号线连接；

10 第 $4n-2$ 级移位寄存器对应的第一控制信号输入端与第二时钟信号线连接，对应的第二控制信号输入端与第三时钟信号线连接，对应的第三控制信号输入端与第四时钟信号线连接，对应的第四控制信号输入端与第一时钟信号线连接；

15 第 $4n-1$ 级移位寄存器对应的第一控制信号输入端与第三时钟信号线连接，对应的第二控制信号输入端与第四时钟信号线连接，对应的第三控制信号输入端与第一时钟信号线连接，对应的第四控制信号输入端与第二时钟信号线连接；

20 第 $4n$ 级移位寄存器对应的第一控制信号输入端与第四时钟信号线连接，对应的第二控制信号输入端与第一时钟信号线连接，对应的第三控制信号输入端与第二时钟信号线连接，对应的第四控制信号输入端与第三时钟信号线连接；

n 为正整数。

25 根据本公开的再一个方面，还提供了一种显示装置，包括以上所述的栅极驱动电路。

根据本公开的又一个方面，还提供了一种移位寄存器的正向驱动方法，所述移位寄存器采用上述的移位寄存器，所述正向驱动方法包括：

30 在输入阶段，在所述第一控制信号输入端所提供的控制信号的控制下，所述第一输入单元将所述正扫输入信号端所提供的正扫输入信号输入至所述第一节点；在第一节点的电位的控制下，所述上拉控制单元用于将所述第四控制信号输入端所提供的控制信号输入至所述第二节点；

在输出阶段，在所述第一节点的电位的控制下，所述输出控制

单元将所述第二控制信号输入端中的控制信号发送至所述信号输出端，以供所述信号输出端输出扫描信号；

5 在复位阶段，在所述第四控制信号输入端所提供的控制信号的控制下，所述上拉控制单元将所述第一电源端提供的第一电压输入至所述第二节点；所述输出复位单元在所述第二节点的电位的控制下，将所述第三电源端提供的第三电压输入至所述信号输出端，以对所述信号输出端进行复位。

本公开还提供了一种移位寄存器的反向驱动方法，所述移位寄存器采用上述的移位寄存器，所述反向驱动方法包括：

10 在输入阶段，在所述第三控制信号输入端所提供的控制信号的控制下，所述第二输入单元将所述反扫输入信号端所提供的反扫输入信号输入至所述第一节点；在第一节点的电位的控制下，所述上拉控制单元用于将所述第四控制信号输入端所提供的控制信号输入至所述第二节点；

15 在输出阶段，在所述第一节点的电位的控制下，所述输出控制单元将所述第二控制信号输入端中的控制信号发送至所述信号输出端，以供所述信号输出端输出扫描信号；

20 在复位阶段，在所述第四控制信号输入端所提供的控制信号的控制下，所述上拉控制单元将所述第一电源端提供的第一电压输入至所述第二节点；在所述第二节点的电位的控制下，所述输出复位单元将所述第三电源端提供的第三电压输入至所述信号输出端，以对所述信号输出端进行复位。

附图说明

25 图 1 为根据本公开的一些实施例提供的一种移位寄存器的电路结构示意图；

图 2 为根据本公开的一些实施例提供的一种移位寄存器的电路结构示意图；

图 3 为图 2 所示移位寄存器进行正向扫描时的工作时序图；

图 4 为图 2 所示移位寄存器进行反向扫描时的工作时序图；

30 图 5 为根据本公开的一些实施例提供的一种移位寄存器的电路

结构示意图；

图 6 为根据本公开的一些实施例提供的一种栅极驱动电路的结构示意图；

图 7 为图 6 所示栅极驱动电路进行正向扫描时的时序图；

5 图 8 为图 6 所示栅极驱动电路进行反向扫描时的时序图；

图 9 为根据本公开的一些实施例提供的一种移位寄存器的正向驱动方法的流程图；

图 10 为根据本公开的一些实施例提供的一种移位寄存器的反向驱动方法的流程图。

10

具体实施方式

为使本领域的技术人员更好地理解本公开的技术方案，下面结合附图对本公开提供的一种移位寄存器及其驱动方法、栅极驱动电路进行详细描述。

15 GOA 电路由多个级联的移位寄存器 (Shift Register) 构成，每一级移位寄存器的输出端连接各行像素单元中的开关晶体管的栅极，以驱动对应行的像素单元。

然而，相关技术中 GOA 电路中的移位寄存器只能支持单向扫描（正向扫描或者反向扫描），无法实现双向扫描功能，具有一定的局
20 限性。

为解决上述问题，根据本公开的一个方面，提供了一种移位寄存器。图 1 为根据本公开的一些实施例提供的移位寄存器的电路结构示意图。

如图 1 所示，该移位寄存器包括第一输入单元 1、第二输入单元
25 2、上拉控制单元 3、下拉控制单元 4、输出控制单元 5、输出复位单元 6、第一控制信号输入端 CL1、第二控制信号输入端 CL2、第三控制信号输入端 CL3、第四控制信号输入端 CL4、正扫输入信号端 GSTVF、反扫输入信号端 GSTVB、第一电源端、第二电源端、第三电源端和信号输出端 OUTPUT。其中，第一输入单元 1、第二输入单元 2、上拉控制单元 3、下拉控制单元 4 和输出控制单元 5 连接于第一节点 N1，上
30

拉控制单元 3、下拉控制单元 4 和输出复位单元 6 连接于第二节点 N2。

在第一控制信号输入端 CL1 所提供的控制信号的控制下，第一输入单元 1 用于将正扫输入信号端 GSTVF 所提供的正扫输入信号输入至第一节点 N1。

5 在第三控制信号输入端 CL3 所提供的控制信号的控制下，第二输入单元 2 用于将反扫输入信号端 GSTVB 所提供的反扫输入信号输入至第一节点 N1。

10 用于在第一节点 N1 的电位的控制下，上拉控制单元 3 将第四控制信号输入端 CL4 所提供的控制信号输入至第二节点 N2，或在第四控制信号输入端 CL4 所提供的控制信号的控制下，上拉控制单元 3 将第一电源端提供的第一电压输入至第二节点 N2。

在第二节点 N2 的电位的控制下，下拉控制单元 4 用于将第二电源端所提供的第二电压输入至第一节点 N1。

15 在第一节点 N1 的电位的控制下，输出控制单元 5 用于将第二控制信号输入端 CL2 所提供的控制信号输入至信号输出端 OUTPUT，以供信号输出端 OUTPUT 输出扫描信号。

在第二节点 N2 的电位的控制下，输出复位单元 6 用于将第三电源端提供的第三电压输入至信号输出端 OUTPUT，以对信号输出端 OUTPUT 进行复位。

20 在本实施例中，当对栅极驱动电路进行正向扫描（由第一条栅线至最后一条栅线逐一进行驱动）时，该移位寄存器的工作过程包括三个阶段：输入阶段、输出阶段和复位阶段。

25 在输入阶段，在第一控制信号输入端 CL1 所提供的控制信号的控制下，第一输入单元 1 将正扫输入信号端 GSTVF 所提供的正扫输入信号输入至第一节点 N1；在第一节点 N1 的电位的控制下，上拉控制单元 3 用于将第四控制信号输入端 CL4 所提供的控制信号输入至第二节点 N2。

30 在输出阶段，在第一节点 N1 的电位的控制下，输出控制单元 5 将第二控制信号输入端 CL2 中的控制信号发送至信号输出端 OUTPUT，以供信号输出端 OUTPUT 输出扫描信号。

在复位阶段，在第四控制信号输入端 CL4 所提供的控制信号的控制下，上拉控制单元 3 将第一电源端提供的第一电压输入至第二节点 N2；在第二节点 N2 的电位的控制下，输出复位单元 6 将第三电源端提供的第三电压输入至信号输出端 OUTPUT，以对信号输出端 OUTPUT 进行复位。

当对栅极驱动电路进行反向扫描（由最后一条栅线至第一条栅线逐一进行驱动）时，该移位寄存器的工作过程也包括三个阶段：输入阶段、输出阶段和复位阶段。

在输入阶段，在第三控制信号输入端 CL3 所提供的控制信号的控制下，第二输入单元 2 将反扫输入信号端 GSTVB 所提供的反扫输入信号输入至第一节点 N1；在第一节点 N1 的电位的控制下，上拉控制单元 3 用于将第四控制信号输入端 CL4 所提供的控制信号输入至第二节点 N2。

在输出阶段 T2，在第一节点 N1 的电位的控制下，输出控制单元 5 将第二控制信号输入端 CL2 中的控制信号发送至信号输出端 OUTPUT，以供信号输出端 OUTPUT 输出扫描信号。

在复位阶段 T3，在第四控制信号输入端 CL4 所提供的控制信号的控制下，上拉控制单元 3 将第一电源端提供的第一电压输入至第二节点 N2；在第二节点 N2 的电位的控制下，输出复位单元 6 将第三电源端提供的第三电压输入至信号输出端 OUTPUT，以对信号输出端 OUTPUT 进行复位。

在本公开的一些实施例中，第一控制信号输入端 CL1 所提供的控制信号、第二控制信号输入端 CL2 所提供的控制信号、第三控制信号输入端 CL3 所提供的控制信号、第四控制信号输入端 CL4 所提供的控制信号至少之一为时钟信号，即通过时钟信号相位关系的控制来产生对应输入端的控制信号，这样无需额外的高压控制信号，使得电路结构简单。

在本公开的一些具体实施例中，第一控制信号输入端 CL1 所提供的控制信号、第二控制信号输入端 CL2 所提供的控制信号、第三控制信号输入端 CL3 所提供的控制信号和第四控制信号输入端 CL4 所提

供的控制信号均为时钟信号。这样无需额外的高压控制信号，可以使
得电路结构简单。

对于上述各单元的具体工作过程，将在后续结合具体实例进行
描述。

5 通过上述内容可见，本公开的技术方案通过设置两个输入单元
来分别为第一节点 N1 提供正扫输入信号和反扫输入信号，以使得该
移位寄存器可实现双向扫描，进而使得栅极驱动电路实现正向扫描和
反向扫描。

10 图 2 为根据本公开的一些实施例提供的一种移位寄存器的电路
结构示意图。如图 2 所示的移位寄存器为基于图 1 所示移位寄存器的一
种具体化实例。

 其中，第一输入单元 1 包括第一晶体管 M1。第一晶体管 M1 的控
制极与第一控制信号输入端 CL1 连接，第一极与正扫输入信号端
GSTVF 连接，第二极与第一节点 N1 连接。

15 第二输入单元 2 包括第二晶体管 M2。第二晶体管 M2 的控制极与
第三控制信号输入端 CL3 连接，第一极与反扫输入信号端 GSTVB 连接，
第二极与第一节点 N1 连接。

 在本实施例中，两个输入单元分别为两个独立的晶体管，用于
在对应的控制信号输入端提供的控制信号的控制下，将正扫输入信号
20 或反扫信号输入至第一节点 N1。

 在一些实施例中，上拉控制单元 3 包括第三晶体管 M3 和第四晶
体管 M4。第三晶体管 M3 的控制极与第一节点 N1 连接，第一极与第
四控制信号输入端 CL4 连接，第二极与第二节点 N2 连接。第四晶
体管 M4 的控制极与第四控制信号输入端 CL4 连接，第一极与第一电源
25 端连接，第二极与第二节点 N2 连接。

 在一些实施例中，下拉控制单元 4 包括第五晶体管 M5。第五晶
体管 M5 的控制极与第二节点 N2 连接，第一极与第二电源端连接，第
二极与第一节点 N1 连接。

 在一些实施例中，输出控制单元 5 包括第六晶体管 M6 和第一电
容 C1。第六晶体管 M6 的控制极与第一节点 N1 连接，第一极与第二
30

控制信号输入端 CL2 连接，第二极与信号输出端 OUTPUT 连接。第一电容 C1 的第一端与第一节点 N1 连接，第二端与信号输出端 OUTPUT 连接。

5 在一些实施例中，输出复位单元 6 包括第七晶体管 M7 和第二电容 C2。第七晶体管 M7 的控制极与第二节点 N2 连接，第一极与第三电源端连接，第二极与信号输出端 OUTPUT 连接。第二电容 C2 的第一端与第二节点 N2 连接，第二端与第七晶体管 M7 的第一极连接。

10 需要说明的是，本公开中的晶体管可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件。晶体管一般包括三个极：栅极、源极和漏极，晶体管中的源极和漏极在结构上是对称的，根据需要两者是可以互换的。在本公开中，控制极是指晶体管的栅极，第一极和第二极中的一者为源极，另一者为漏极。

15 此外，按照晶体管特性，可将晶体管分为 N 型晶体管和 P 型晶体管。当晶体管为 N 型晶体管时，其导通电压为高电平电压，截止电压为低电平电压。当晶体管为 P 型晶体管时，其导通电压为低电平电压，截止电压为高电平电压。本公开实施例中将以各晶体管均为 P 型晶体管为例进行示例性说明。相应地，第一电源端提供低电平工作电压，第二电源端和第三电源端提供高电平工作电压。

20 为方便描述，本实施例中高电平电压记为 V_H ，低电平电压记为 V_L ，P 型晶体管的阈值电压记为 V_{th} （为负值，且略微小于 0V）。

25 图 3 为图 2 所示移位寄存器进行正向扫描时的工作时序图。如图 3 所示，在对栅极驱动电路进行正向扫描时，第一控制信号输入端 CL1、第二控制信号输入端 CL2、第三控制信号输入端 CL3 和第四控制信号输入端 CL4 提供周期相同、占空比（在一个周期内有效电位的持续时间与周期的比值，本实施例中晶体管为 P 型晶体管，则有效电位是指低电平）为 25% 的时钟信号（即以时钟信号作为控制信号），且以第一控制信号输入端 CL1 提供的时钟信号为参考，第二控制信号输入端 CL2 提供的时钟信号相较于第一控制信号输入端 CL1 提供的时钟信号延后（输出有效电位的起始时间延后） $\frac{1}{4}$ 个周期，第三控制信

号输入端 CL3 提供的时钟信号相较于第一控制信号输入端 CL1 提供的时钟信号延后 $\frac{2}{4}$ 个周期, 第四控制信号输入端 CL4 提供的时钟信号相较于第一控制信号输入端 CL1 提供的时钟信号延后 $\frac{3}{4}$ 个周期。

在输入阶段 T1 时, 正扫输入信号端 GSTVF 提供的正扫输入信号处于低电平, 反扫输入信号端 GSTVB 提供的反扫输入信号处于高电平, 第一控制信号输入端 CL1 提供的控制信号处于低电平, 第二控制信号输入端 CL2 提供的控制信号处于高电平, 第三控制信号输入端 CL3 提供的控制信号处于高电平, 第四控制信号输入端 CL4 提供的控制信号处于高电平。

由于第一控制信号输入端 CL1 提供的控制信号处于低电平, 第三控制信号输入端 CL3 提供的控制信号处于高电平, 则第一晶体管 M1 导通, 第二晶体管 M2 截止。此时, 正扫输入信号端 GSTVF 提供的正扫输入信号通过第一晶体管 M1 写入至第一节点 N1。由于正扫输入信号处于低电平, 处于低电平的正扫输入信号通过 P 型晶体管时会出现阈值损失, 此时第一节点 N1 的电压为 $V_{L+|V_{th}|}$, $V_{L+|V_{th}|}$ 仍为一个低电平电压。

又因为第一节点 N1 的电压为低电平电压, 因此第三晶体管 M3 和第六晶体管 M6 均导通。由于第三晶体管 M3 导通, 则第四控制信号输入端 CL4 提供的处于高电平的控制信号通过第三晶体管 M3 写入至第二节点 N2。相应地, 第五晶体管 M5 和第七晶体管 M7 截止。与此同时, 由于第六晶体管 M6 导通, 则第二控制信号输入端 CL2 提供的处于高电平的控制信号通过第六晶体管 M6 传输至信号输出端 OUTPUT, 信号输出端 OUTPUT 输出高电平电压。

此时, 第一电容 C1 的第一端的电压为 $V_{L+|V_{th}|}$, 第二端的电压为 V_H , 两端电压差为 $V_H - V_{L+|V_{th}|}$ 。

在输出阶段 T2 时, 正扫输入信号端 GSTVF 提供的正扫输入信号处于高电平, 反扫输入信号端 GSTVB 提供的反扫输入信号处于高电平, 第一控制信号输入端 CL1 提供的控制信号处于高电平, 第二控制信号输入端 CL2 提供的控制信号处于低电平, 第三控制信号输入端 CL3

提供的控制信号处于高电平,第四控制信号输入端 CL4 提供的控制信号处于高电平。

5 由于第一控制信号输入端 CL1 提供的控制信号处于高电平,则第一晶体管 M1 截止。由于第三控制信号输入端 CL3 提供的控制信号处于高电平,则第二晶体管 M2 截止。此时,第一节点 N1 处于浮接 (floating) 状态。

10 由于第二控制信号输入端 CL2 提供的控制信号处于低电平,则信号输出端 OUTPUT 输出低电平,其电压大小为 VL。即电容的第二端的电压由 VH 下降为 VL。在第一电容 C1 的自举作用 (维持两端电压差不变) 下,电容的第一端的电压下降至 $2VL-VH+|V_{th}|$ (更低的电位)。即第一节点 N1 的电压为 $2VL-VH+|V_{th}|$,以维持第六晶体管 M6 更好的导通。

第三晶体管 M3 维持导通,第四晶体管 M4、第五晶体管 M5 和第七晶体管 M7 继续维持截止状态。

15 在复位阶段 T3 时,其具体包括第一复位子阶段 t1 和第二复位子阶段 t2。

20 在第一复位子阶段 t1 时,正扫输入信号端 GSTVF 提供的正扫输入信号处于高电平,反扫输入信号端 GSTVB 提供的反扫输入信号处于低电平,第一控制信号输入端 CL1 提供的控制信号处于高电平,第二控制信号输入端 CL2 提供的控制信号处于高电平,第三控制信号输入端 CL3 提供的控制信号处于低电平,第四控制信号输入端 CL4 提供的控制信号处于高电平。

25 由于第一控制信号输入端 CL1 提供的控制信号处于高电平,第三控制信号输入端 CL3 提供的控制信号处于低电平,则第一晶体管 M1 截止,第二晶体管 M2 导通。此时反扫输入信号端 GSTVB 提供的反扫输入信号通过第二晶体管 M2 写入至第一节点 N1。由于反扫输入信号处于低电平,处于低电位的反扫输入信号通过 P 型晶体管时会出现阈值损失,此时第一节点 N1 的电压为 $VL+|V_{th}|$ 。 $VL+|V_{th}|$ 仍为一个低电平电压,第三晶体管 M3 和第六晶体管 M6 均维持导通。第二控制信号输入端 CL2 提供的处于高电位的控制信号通过第六晶体管 M6 传

30

输至信号输出端 OUTPUT。信号输出端 OUTPUT 输出高电平电压，以对信号输出端 OUTPUT 进行复位。

第三晶体管 M3 维持导通状态，第四晶体管 M4、第五晶体管 M5 和第七晶体管 M7 继续维持截止状态。

5 然而采用控制信号的高电位来对信号输出端 OUTPUT 进行复位时，由于电流小、充电时间短，因此难以使得信号输出端 OUTPUT 的电压真正达到 V_H 。因此，需要利用一个输出高电平电压的电源来对信号输出端 OUTPUT 进行真正复位。

10 在第二复位子阶段 t_2 时，正扫输入信号端 GSTVF 提供的正扫输入信号处于高电平，反扫输入信号端 GSTVB 提供的反扫输入信号处于高电平，第一控制信号输入端 CL1 提供的控制信号处于高电平，第二控制信号输入端 CL2 提供的控制信号处于高电平，第三控制信号输入端 CL3 提供的控制信号处于高电平，第四控制信号输入端 CL4 提供的控制信号处于低电平。

15 由于第一控制信号输入端 CL1 提供的控制信号处于高电平，第三控制信号输入端 CL3 提供的控制信号处于高电平，因此第一晶体管 M1 和第二晶体管 M2 均截止。

20 由于第四控制信号输入端 CL4 提供的控制信号处于低电平，则第四晶体管 M4 导通。第一电源端提供的低电平工作电压通过第四晶体管 M4 写入至第二节点 N2。第二节点 N2 的电压为 V_L ，此时第五晶体管 M5 和第七晶体管 M7 均导通。

 由于第五晶体管 M5 导通，则第二电源端提供的高电平工作电压通过第五晶体管 M5 写入至第一节点 N1。第一节点 N1 的电压变为 V_H ，此时第六晶体管 M6 截止。

25 由于第七晶体管 M7 导通，则第三电源端提供的高电平工作电压通过第七晶体管 M7 写入至信号输出端 OUTPUT，以达到对信号输出端 OUTPUT 进行真正复位处理。此时，第一电容 C1 的第一端和第二端的电压均为 V_H 。

30 在栅极驱动电路进行正向扫描时，通过上述过程，本公开提供的移位寄存器可完成输入、输出和复位的步骤。

需要说明的是，本实施例中，在复位阶段 T3 之后还包括：维持阶段 T4，在维持阶段 T4 时，移位寄存器持续输出高电平。

维持阶段 T4 其具体包括四种不同的工作状态：（1）第一控制信号输入端 CL1 提供的控制信号处于低电平，其他控制信号输入端提供的控制信号处于高电平；（2）第二控制信号输入端 CL2 提供的控制信号处于低电平，其他控制信号输入端提供的控制信号处于高电平；（3）第三控制信号输入端 CL3 提供的控制信号处于低电平，其他控制信号输入端提供的控制信号处于高电平；（4）第四控制信号输入端 CL4 提供的控制信号处于低电平，其他控制信号输入端提供的控制信号处于高电平。在上述四种不同的工作状态中，正扫输入信号端 GSTVF 提供的正扫输入信号始终处于高电平，反扫输入信号端 GSTVB 提供的反扫输入信号始终处于高电平。

在工作状态（1）时，第一晶体管 M1 导通。处于高电平的正扫输入信号 GSTVF 通过第一晶体管 M1 写入至第一节点 N1，以维持第一节点 N1 的电压处于 VH（第六晶体管 M6 维持截止）。在第一电容 C1 的作用下，可将信号输出端 OUTPUT 的电压维持在 VH。

在工作状态（2）时，由于第六晶体管 M6 截止，因此第二控制信号输入端 CL2 提供的控制信号的变化不会对信号输出端 OUTPUT 的电压造成影响。

在工作状态（3）时，第二晶体管 M2 导通。处于高电平的反扫输入信号 GSTVB 通过第二晶体管 M2 写入至第一节点 N1，以维持第一节点 N1 的电压处于 VH。在第一电容 C1 的作用下，可维持信号输出端 OUTPUT 的电压维持在 VH。

在工作状态（4）时，第四晶体管 M4 导通。第一电源端提供的低电平工作电压通过第四晶体管 M4 写入至第二节点 N2。相应地，第五晶体管 M5 导通。第二电源端提供的高电平工作电压通过第五晶体管 M5 写入至第一节点 N1，以维持第一节点 N1 的电压处于 VH。在第一电容 C1 的作用下，可将信号输出端 OUTPUT 的电压维持在 VH。

由此可见，在维持阶段 T4 中，分别通过正扫输入信号、反扫输入信号和第二电源端提供的高电平工作电压以维持第一节点 N1 的电

压为 V_H 。与此同时在第一电容 C_1 的作用下,可维持信号输出端 OUTPUT 的电压维持在 V_H 。

通过重复进行维持阶段 T4,可使得信号输出端 OUTPUT 持续稳定输出高电平电压,直至正扫输入信号变为低电平状态,则再次进行上述输入阶段 T1。

5

图 4 为图 2 所示移位寄存器进行反向扫描时的工作时序图。如图 4 所示,在栅极驱动电路进行反向扫描时,第一控制信号输入端 CL1、第二控制信号输入端 CL2、第三控制信号输入端 CL3 和第四控制信号输入端 CL4 提供周期相同、占空比为 25%的时钟信号(即以时钟信号作为控制信号),且以第三控制信号输入端 CL3 提供的时钟信号为参考,第二控制信号输入端 CL2 提供的时钟信号相较于第三控制信号输入端 CL3 提供的时钟信号延后 $\frac{1}{4}$ 个周期,第一控制信号输入端 CL1 提供的时钟信号相较于第三控制信号输入端 CL3 提供的时钟信号延后 $\frac{2}{4}$ 个周期,第四控制信号输入端 CL4 提供的时钟信号相较于第三控制信号输入端 CL3 提供的时钟信号延后 $\frac{3}{4}$ 个周期。

10

15

在输入阶段 T1 时,正扫输入信号端 GSTVF 提供的正扫输入信号处于高电平,反扫输入信号端 GSTVB 提供的反扫输入信号处于低电平,第一控制信号输入端 CL1 提供的控制信号处于高电平,第二控制信号输入端 CL2 提供的控制信号处于高电平,第三控制信号输入端 CL3 提供的控制信号处于低电平,第四控制信号输入端 CL4 提供的控制信号处于高电平。

20

由于第一控制信号输入端 CL1 提供的控制信号处于高电平,第三控制信号输入端 CL3 提供的控制信号处于低电平,则第一晶体管 M1 截止,第二晶体管 M2 导通。此时反扫输入信号端 GSTVB 提供的反扫输入信号通过第二晶体管 M2 写入至第一节点 N1。由于反扫输入信号处于低电平,处于低电位的反扫输入信号通过 P 型晶体管时会出现阈值损失,此时第一节点 N1 的电压为 $V_L + |V_{th}|$, $V_L + |V_{th}|$ 仍为一个低电平电压。

25

又因为第一节点 N1 的电压为低电平电压,因此第三晶体管 M3

和第六晶体管 M6 均导通。由于第三晶体管 M3 导通，则第四控制信号输入端 CL4 提供的处于高电平的控制信号通过第三晶体管 M3 写入至第二节点 N2。相应地，第五晶体管 M5 和第七晶体管 M7 截止。与此同时，由于第六晶体管 M6 导通，则第二控制信号输入端 CL2 提供的处于高电平的控制信号通过第六晶体管 M6 传输至信号输出端 OUTPUT，信号输出端 OUTPUT 输出高电平电压。

此时，第一电容 C1 的第一端的电压为 $V_L + |V_{th}|$ ，第二端的电压为 V_H ，两端电压差为 $V_H - V_L - |V_{th}|$ 。

在输出阶段 T2 时，正扫输入信号端 GSTVF 提供的正扫输入信号处于高电平，反扫输入信号端 GSTVB 提供的反扫输入信号处于高电平，第一控制信号输入端 CL1 提供的控制信号处于高电平，第二控制信号输入端 CL2 提供的控制信号处于低电平，第三控制信号输入端 CL3 提供的控制信号处于高电平，第四控制信号输入端 CL4 提供的控制信号处于高电平。

由于第一控制信号输入端 CL1 提供的控制信号处于高电平，则第一晶体管 M1 截止。由于第三控制信号输入端 CL3 提供的控制信号处于高电平，则第二晶体管 M2 截止。此时，第一节点 N1 处于浮接 (floating) 状态。

由于第二控制信号输入端 CL2 提供的控制信号处于低电平，则信号输出端 OUTPUT 输出低电平，其电压大小为 V_L 。即电容的第二端的电压由 V_H 下降为 V_L 。在第一电容 C1 的自举作用 (维持两端电压差不变) 下，电容的第一端的电压下降至 $2V_L - V_H + |V_{th}|$ 。即第一节点 N1 的电压为 $2V_L - V_H + |V_{th}|$ ，以维持第六晶体管 M6 更好的导通。

第三晶体管 M3 维持导通状态，第四晶体管 M4、第五晶体管 M5 和第七晶体管 M7 继续维持截止状态。

在复位阶段 T3 时，其具体包括第一复位子阶段 t1 和第二复位子阶段 t2。

在第一复位子阶段 t1 时，正扫输入信号端 GSTVF 提供的正扫输入信号处于低电平，反扫输入信号端 GSTVB 提供的反扫输入信号处于高电平，第一控制信号输入端 CL1 提供的控制信号处于低电平，第二

控制信号输入端 CL2 提供的控制信号处于高电平,第三控制信号输入端 CL3 提供的控制信号处于高电平,第四控制信号输入端 CL4 提供的控制信号处于高电平。

5 由于第一控制信号输入端 CL1 提供的控制信号处于低电平,第三控制信号输入端 CL3 提供的控制信号处于高电平,则第一晶体管 M1 导通,第二晶体管 M2 截止。此时正扫输入信号端 GSTVF 提供的正扫输入信号通过第一晶体管 M1 写入至第一节点 N1。由于正扫输入信号处于低电平,处于低电平的正扫输入信号通过 P 型晶体管时会出现阈值损失。此时第一节点 N1 的电压为 $V_L + |V_{th}|$ 。 $V_L + |V_{th}|$ 仍为一个
10 低电平电压,第三晶体管 M3 和第六晶体管 M6 均维持导通。第二控制信号输入端 CL2 提供的处于高电平的控制信号通过第六晶体管 M6 传输至信号输出端 OUTPUT,以对信号输出端 OUTPUT 进行复位。

第三晶体管 M3 维持导通状态,第四晶体管 M4、第五晶体管 M5 和第七晶体管 M7 继续维持截止状态。

15 在第二复位子阶段 t_2 时,正扫输入信号端 GSTVF 提供的正扫输入信号处于高电平,反扫输入信号端 GSTVB 提供的反扫输入信号处于高电平,第一控制信号输入端 CL1 提供的控制信号处于高电平,第二控制信号输入端 CL2 提供的控制信号处于高电平,第三控制信号输入端 CL3 提供的控制信号处于高电平,第四控制信号输入端 CL4 提供的
20 控制信号处于低电平。

由于第一控制信号输入端 CL1 提供的控制信号处于高电平,第三控制信号输入端 CL3 提供的控制信号处于高电平,因此第一晶体管 M1 和第二晶体管 M2 均截止。

25 由于第四控制信号输入端 CL4 提供的控制信号处于低电平,则第四晶体管 M4 导通。第一电源端提供的低电平工作电压通过第四晶体管 M4 写入至第二节点 N2。第二节点 N2 的电压为 V_L ,此时第五晶体管 M5 和第七晶体管 M7 均导通。

30 由于第五晶体管 M5 导通,则第二电源端提供的高电平工作电压通过第五晶体管 M5 写入至第一节点 N1。第一节点 N1 的电压变为 V_H ,此时第六晶体管 M6 截止。

由于第七晶体管 M7 导通，则第三电源端提供的高电平工作电压通过第七晶体管 M7 写入至信号输出端 OUTPUT，以达到对信号输出端 OUTPUT 进行真正复位处理。此时，第一电容 C1 的第一端和第二端的电压均为 VH。

5 在栅极驱动电路进行反向扫描时，通过上述过程，本公开提供的移位寄存器可完成输入、输出和复位的步骤。当然，在复位阶段 T3 之后也可包括维持阶段 T4。在维持阶段 T4 时，移位寄存器持续输出高电平。在进行反向扫描时移位寄存器在维持阶段 T4 的具体工作过程与前述在进行正向扫描时移位寄存器在维持阶段 T4 的具体工作
10 过程相同，此处不再赘述。

 在本实施例中，各控制信号输入端中所提供的信号均为时钟信号，无需额外的高压控制信号，因而可有效降低功耗。此外，通过对各时钟信号的相位关系进行调整，可对栅极驱动电路进行正向扫描或进行反向扫描进行控制，具体过程可参见后续描述。

15 图 5 为根据本公开的一些实施例提供的一种移位寄存器的电路结构示意图。如图 5 所示，与上述实施例不同的是，本实施例提供的移位寄存器中还包括第一电流截断单元 7。

 其中，第一电流截断单元 7 设置于第一输入单元 1 用于输出正扫描输入信号的输出端与第一节点 N1 之间以及第二输入单元 2 用于
20 输出反扫输入信号的输出端与第一节点 N1 之间。当输出控制单元 5 在第一节点 N1 的电位的控制下，第一电流截断单元 7 用于将第二控制信号输入端 CL2 所提供的处于有效电位的控制信号输入至信号输出端 OUTPUT 时（即输出阶段 T2），使得第一输入单元 1 与第一节点 N1 之间以及第二输入单元 2 与第一节点 N1 之间断路，以避免第一输入
25 单元 1 和第二输入单元 2 中的漏电流对第一节点 N1 电位造成影响。

 在一些实施例中，第一电流截断单元 7 包括第八晶体管 M8、第九晶体管 M9 和第十晶体管 M10。

 第八晶体管 M8 的控制极与信号输出端 OUTPUT 连接，第一极与第二控制信号输入端 CL2 连接，第二极与第一输入单元 1 用于输出所述正扫描输入信号的输出端和第二输入单元 2 用于输出所述反扫描
30

输入信号的输出端均连接。

第九晶体管 M9 的控制极与第一控制信号输入端 CL1 连接，第一极与第一输入单元 1 用于输出所述正扫描输入信号的输出端和第八晶体管 M8 的第二极均连接，第二极与第一节点 N1 连接。

5 第十晶体管 M10 的控制极与第三控制信号输入端 CL3 连接，第一极与第二输入单元 2 用于输出所述反扫描输入信号的输出端和第八晶体管 M8 的第二极均连接，第二极与第一节点 N1 连接。

10 如图 5 所示，在进行电路设计时，例如第九晶体管 M9 和第一晶体管 M1 对称设计，第二晶体管 M2 和第十晶体管 M10 对称设计，从而可以简化电路设计。

在一些实施例中，如图 5 所示，本实施例提供的移位寄存器中还包括第二电流截断单元 8。

15 其中，第二电流截断单元 8 设置于下拉控制单元 4 用于输出第二电压的输出端与第一节点 N1 之间。第二电流截断单元 8 用于当输出控制单元 5 在第一节点 N1 的电位的控制下将第二控制信号输入端 CL2 所提供的处于有效电位的控制信号输入至信号输出端 OUTPUT 时（即输出阶段 T2），使得输出下拉控制单元 4 与第一节点 N1 之间断路，以避免下拉控制单元 4 中的漏电流对第一节点 N1 电位造成影响。

20 在一些实施例中，第二电流截断单元 8 包括第十一晶体管 M11 和第十二晶体管 M12。

第十一晶体管 M11 的控制极与第二节点 N2 连接，第一极与下拉控制单元 4 用于输出所述第二电压的输出端连接，第二极与第一节点 N1 连接。

25 第十二晶体管 M12 的控制极与第一节点 N1 连接，第一极与第四电源端连接，第二极与下拉控制单元 4 用于输出所述第二电压的输出端和第十一晶体管 M11 的第一极均连接。

下面仅对第一电流截断单元 7 和第二电流截断单元 8 在各阶段的工作过程进行详细描述。其中第四电源端提供低电平工作电压 VL。

以栅极驱动电路进行正向扫描过程为例。

30 在输入阶段 T1 时，由于信号输出端 OUTPUT 输出高电平，则第

八晶体管 M8 截止。又由于第一控制信号输入端 CL1 提供的控制信号处于低电平，第三控制信号输入端 CL3 提供的控制信号处于高电平，则第九晶体管 M9 导通，第十晶体管 M10 截止。正扫输入信号 GSTVF 可依次通过第一晶体管 M1 和第九晶体管 M9 写入至第一节点 N1。

5 由于第一节点 N1 处于低电平，因此第十二晶体管 M12 导通。第四电源端提供的低电平工作电压通过第十二晶体管 M12 写入至第十一晶体管 M11 的第一极。又由于在输入阶段 T1 时第二节点 N2 处于高电平，因此第十一晶体管 M11 截止。下拉控制单元 4 与第一节点 N1 之间断路，从而可避免下拉控制单元 4 中的漏电流对第一节点 N1 的电位造成影响。此外，又因为第十一晶体管 M11 的第一极和第二极均为低电平电压，因此第一节点 N1 也不会通过第十一晶体管 M11 进行放电。

10 在输出阶段 T2 时，由于信号输出端 OUTPUT 输出低电平，则第八晶体管 M8 导通。第二控制信号输入端 CL2 提供的低电平通过第八晶体管 M8 写入至第九晶体管 M9 的第一极以及第十晶体管 M10 的第一极。与此同时，由于第一控制信号输入端 CL1 提供的控制信号处于高电平，第三控制信号输入端 CL3 提供的控制信号处于高电平，因此第九晶体管 M9 和第十晶体管 M10 均截止。第一输入单元 1 与第一节点 N1 之间断路且第二输入单元 2 与第一节点 N1 之间断路，从而可避免第一输入单元 1 和第二输入单元 2 中的漏电流对第一节点 N1 电位造成影响。此外，又因为第九晶体管 M9 的第一极和第二极均为低电平电压，第十晶体管 M10 的第一极和第二极均为低电平电压，因此第一节点 N1 也不会通过第九晶体管 M9 或第十晶体管 M10 进行放电。

15 与此同时，第十二晶体管 M12 维持导通，第十一晶体管 M11 维持截止，且第十一晶体管 M11 的第一极和第二极均低电平电压，下拉控制单元 4 与第一节点 N1 之间断路，第一节点 N1 也不会通过第十一晶体管 M11 进行放电。

20 在输出阶段 T2 中，与第一节点 N1 连接的各晶体管均处于截止状态，且不会进行放电，从而能维持第一节点 N1 电压的稳定。

30 在复位阶段 T3 时，由于信号输出端 OUTPUT 输出高电平，则第

八晶体管 M8 截止。又由于第一控制信号输入端 CL1 提供的控制信号处于高电平，第三控制信号输入端 CL3 提供的控制信号处于高电平，则第九晶体管 M9 和第十晶体管 M10 均截止。

5 与此同时，由于第一节点 N1 处于低电平，因此第十二晶体管 M12 维持导通。由于第二节点 N2 处于高电平，因此第十一晶体管 M11 维持截止。

10 在栅极驱动电路进行反向扫描过程时，第一电流截断单元 7 和第二电流截断单元 8 也能在输出阶段 T2 实现第一节点 N1 与第一输入单元 1、第二输入单元 2、下拉控制单元 4 之间均断路，从而维持第一节点 N1 电压的稳定，具体过程此处不再赘述。

15 图 6 为根据本公开的一些实施例提供的一种栅极驱动电路的结构示意图。如图 6 所示，该栅极驱动电路包括多个级联的移位寄存器以及分别与多个级联的移位寄存器连接的用于提供时钟信号的第一时钟信号线、第二时钟信号线、第三时钟信号线、第四时钟信号线，其中各移位寄存器采用上述实施例中提供的移位寄存器。对于移位寄存器的具体结构，此处不再赘述。

20 在本实施例中，假定移位寄存器的数量为 $4N$ 个， N 为一个预设正整数。除第一级移位寄存器和最后一级移位寄存器之外，本级移位寄存器的信号输出端 OUTPUT 与前一级移位寄存器的反扫输入信号端 GSTVB、后一级移位寄存器的正扫输入信号端 GSTVF 均连接。 n 取值为 $[1, N]$ 且为正整数。

25 第 $4n-3$ 级移位寄存器 SR _{$4n-3$} 对应的第一控制信号输入端 CL1 与第一时钟信号线 CK1 连接，对应的第二控制信号输入端 CL2 与第二时钟信号线 CK2 连接，对应的第三控制信号输入端 CL3 与第三时钟信号线 CK3 连接，对应的第四控制信号输入端 CL4 与第四时钟信号线 CK4 连接。

30 第 $4n-2$ 级移位寄存器 SR _{$4n-2$} 对应的第一控制信号输入端 CL1 与第二时钟信号线 CK2 连接，对应的第二控制信号输入端 CL2 与第三时钟信号线 CK3 连接，对应的第三控制信号输入端 CL3 与第四时钟信号线 CK4 连接，对应的第四控制信号输入端 CL4 与第一时钟信号线

CK1 连接。

第 $4n-1$ 级移位寄存器 SR_{4n-1} 对应的第一控制信号输入端 CL1 与第三时钟信号线 CK3 连接, 对应的第二控制信号输入端 CL2 与第四时钟信号线 CK4 连接, 对应的第三控制信号输入端 CL3 与第一时钟信号线 CK1 连接, 对应的第四控制信号输入端 CL4 与第二时钟信号线 CK2 连接。

第 $4n$ 级移位寄存器 SR_{4n} 对应的第一控制信号输入端 CL1 与第四时钟信号线 CK4 连接, 对应的第二控制信号输入端 CL2 与第一时钟信号线 CK1 连接, 对应的第三控制信号输入端 CL3 与第二时钟信号线 CK2 连接, 对应的第四控制信号输入端 CL4 与第三时钟信号线 CK3 连接。

图 7 为图 6 所示栅极驱动电路进行正向扫描时的时序图。如图 7 所示, 在栅极驱动电路进行正向扫描时, 第一时钟信号线 CK1、第二时钟信号线 CK2、第三时钟信号线 CK3、第四时钟信号线 CK4 提供相同、占空比(本实施例中晶体管为 P 型晶体管, 则有效电位是指低电平电压)为 25% 的时钟信号(即以时钟信号作为控制信号)。且以第一时钟信号线 CK1 提供的时钟信号为参考, 第二时钟信号线 CK2 提供的时钟信号相较于第一时钟信号线 CK1 提供的时钟信号延后 $\frac{1}{4}$ 个周期, 第三时钟信号线 CK3 提供的时钟信号相较于第一时钟信号线 CK1 提供的时钟信号延后 $\frac{2}{4}$ 个周期, 第四时钟信号线 CK4 提供的时钟信号相较于第一时钟信号线 CK1 提供的时钟信号延后 $\frac{3}{4}$ 个周期。

在该栅极驱动电路进行正向扫描时, 通过前述内容可见, 各级移位寄存器在其对应的正扫输入信号端 GSTVF 输入有效电位之后, 且在对应的第二控制信号输入端 CL2 提供的控制信号处于有效电位(以低电平作为有效电位为例)时, 移位寄存器信号输出端 OUTPUT 输出有效电位。

在各级移位寄存器处于对应的输出阶段时, 以第 1~4 级移位寄存器为例。第 1 级移位寄存器 SR₁ 的信号输出端 OUTPUT₁ 将第二时钟信号线 CK2 提供的处于有效电位的时钟信号进行输出, 并为第 2

级移位寄存器 SR_2 提供正扫输入信号。第 2 级移位寄存器 SR_2 的信号输出端 OUTPUT_2 将第三时钟信号线 CK3 提供的处于有效电位的时钟信号进行输出，并为第 3 级移位寄存器 SR_3 提供正扫输入信号。第 3 级移位寄存器 SR_3 的信号输出端 OUTPUT_3 将第四时钟信号线 CK4 提供的处于有效电位的时钟信号进行输出，并为第 4 级移位寄存器 SR_4 提供正扫输入信号。第 4 级移位寄存器 SR_4 的信号输出端 OUTPUT_4 将第一时钟信号线 CK1 提供的处于有效电位的时钟信号进行输出，并为第 5 级移位寄存器提供正扫输入信号。

以此类推，第 $4n-3$ 级移位寄存器 SR_ $4n-3$ 的第二控制信号输入端 CL2 与第二时钟信号线 CK2 连接，并为第 $4n-2$ 级移位寄存器 SR_ $4n-2$ 提供正扫输入信号。第 $4n-2$ 级移位寄存器 SR_ $4n-2$ 的第二控制信号输入端 CL2 与第三时钟信号线 CK3 连接，并为第 $4n-1$ 级移位寄存器 SR_ $4n-1$ 提供正扫输入信号。第 $4n-1$ 级移位寄存器 SR_ $4n-1$ 的第二控制信号输入端 CL2 与第四时钟信号线 CK4 连接，并为第 $4n$ 级移位寄存器 SR_ $4n$ 提供正扫输入信号。第 $4n$ 级移位寄存器 SR_ $4n$ 的第二控制信号输入端 CL2 与第一时钟信号线 CK1 连接，并为第 $4n+1$ 级移位寄存器 SR_ $4n+1$ 提供正扫输入信号。由于第一时钟信号线 CK1、第二时钟信号线 CK2、第三时钟信号线 CK3、第四时钟信号线 CK4 提供的时钟信号依次延后 $\frac{1}{4}$ 个周期，因此第 $4n-3$ 级移位寄存器 SR_ $4n-3$ 、第 $4n-2$ 级移位寄存器 SR_ $4n-2$ 、第 $4n-1$ 级移位寄存器 SR_ $4n-1$ 、第 $4n$ 级移位寄存器 SR_ $4n$ 的信号输出端将依次输出有效电位，即进行正向扫描。

图 8 为图 6 所示栅极驱动电路进行反向扫描时的时序图。如图 8 所示，在栅极驱动电路进行反向扫描时，第一时钟信号线 CK1、第二时钟信号线 CK2、第三时钟信号线 CK3、第四时钟信号线 CK4 提供相同、占空比（本实施例中晶体管为 P 型晶体管，则有效电位是指低电平电压）为 25% 的时钟信号（即以时钟信号作为控制信号）。且以第二时钟信号线 CK2 提供的时钟信号为参考，第一时钟信号线 CK1 提供的时钟信号相较于第二时钟信号线 CK2 提供的时钟信号延后 $\frac{1}{4}$ 个周

期，第四时钟信号线 CK4 提供的时钟信号相较于第二时钟信号线 CK2 提供的时钟信号延后 $\frac{2}{4}$ 个周期，第三时钟信号线 CK3 提供的时钟信号相较于第二时钟信号线 CK2 提供的时钟信号延后 $\frac{3}{4}$ 个周期。

5 在该栅极驱动电路进行反向扫描时，通过前述内容可见，各级移位寄存器在其对应的反扫输入信号端 GSTVB 输入有效电位之后，且在对应的第二控制信号输入端 CL2 提供的控制信号处于有效电位（以低电平作为有效电位为例）时，移位寄存器信号输出端 OUTPUT 输出有效电位。

10 在各级移位寄存器处于对应的输出阶段时，以第 $4N \sim 4N-3$ 级移位寄存器为例。第 $4N$ 级移位寄存器的信号输出端 OUTPUT_4N 将第一时钟信号线 CK1 提供的处于有效电位的时钟信号进行输出，并为第 $4N-1$ 级移位寄存器提供反扫输入信号。第 $4N-1$ 级移位寄存器的信号输出端 OUTPUT_4N-1 将第四时钟信号线 CK4 提供的处于有效电位的时钟信号进行输出，并为第 $4N-2$ 级移位寄存器提供反扫输入信号。第
15 $4N-2$ 级移位寄存器的信号输出端 OUTPUT_4N-2 将第三时钟信号线 CK3 提供的处于有效电位的时钟信号进行输出，并为第 $4N-3$ 级移位寄存器提供反扫输入信号。第 $4N-3$ 级移位寄存器的信号输出端 OUTPUT_4N-3 将第二时钟信号线 CK2 提供的处于有效电位的时钟信号进行输出，并为第 $4N-4$ 级移位寄存器提供反扫输入信号。

20 以此类推，第 $4n$ 级移位寄存器 SR_4n 将第一时钟信号线 CK1 提供的处于有效电位的时钟信号进行输出，并为第 $4n-1$ 级移位寄存器 SR_4n-1 提供反扫输入信号。第 $4n-1$ 级移位寄存器 SR_4n-1 将第四时钟信号线 CK4 提供的处于有效电位的时钟信号进行输出，并为第 $4n-2$ 级移位寄存器 SR_4n-2 提供反扫输入信号。第 $4n-2$ 级移位寄存器 SR_4n-2 将第三时钟信号线 CK3 提供的处于有效电位的时钟信号进行输出，并为第 $4n-3$ 级移位寄存器 SR_4n-3 提供反扫输入信号。第
25 $4n-3$ 级移位寄存器 SR_4n-3 将第二时钟信号线 CK2 提供的处于有效电位的时钟信号进行输出，并为第 $4n-4$ 级移位寄存器 SR_4n-4 提供反扫输入信号。由于第二时钟信号线 CK2、第一时钟信号线 CK1、第

四时钟信号线 CK4、第三时钟信号线 CK3 提供的时钟信号依次延后 $\frac{1}{4}$ 个周期，因此第 4n 级移位寄存器 SR_{4n}、第 4n-1 级移位寄存器 SR_{4n-1}、第 4n-2 级移位寄存器 SR_{4n-2}、第 4n-3 级移位寄存器 SR_{4n-3} 将依次输出有效电位，即进行反向扫描。

5 本公开提供的栅极驱动电路，通过控制第一时钟信号线 CK1、第二时钟信号线 CK2、第三时钟信号线 CK3、第四时钟信号线 CK4 依次输出有效电位，即可实现正向扫描。通过控制第二时钟信号线 CK2、第一时钟信号线 CK1、第四时钟信号线 CK4、第三时钟信号线 CK3 依次输出有效电位，即可实现反向扫描。由此可见，本公开提供的栅极
10 驱动电路可支持双向扫描功能。

根据本公开的一些实施例，还提供了一种显示装置，该显示装置采用以上如图 6 所示的栅极驱动电路。

图 9 为根据本公开的一些实施例提供的一种移位寄存器的正向驱动方法的流程图。如图 9 所示，其中该移位寄存器采用上述实施例
15 中的移位寄存器，该正向驱动方法包括。

步骤 S101、在输入阶段，在第一控制信号输入端所提供的控制信号的控制下，第一输入单元将正扫输入信号端所提供的正扫输入信号输入至第一节点；在第一节点的电位的控制下，上拉控制单元用于将第四控制信号输入端所提供的控制信号输入至第二节点。

20 步骤 S102、在输出阶段，在第一节点的电位的控制下，输出控制单元将第二控制信号输入端中的控制信号发送至信号输出端，以供信号输出端输出扫描信号。

步骤 S103、在复位阶段，在第四控制信号输入端所提供的控制信号的控制下，上拉控制单元将第一电源端提供的第一电压输入至第二节点；在第二节点的电位的控制下，输出复位单元将第三电源端提供的第三电压输入至信号输出端，以对信号输出端进行复位。
25

对于上述步骤 S101~步骤 S103 的具体描述，可参见前述实施例中相应内容，此处不再赘述。

图 10 为根据本公开的一些实施例提供的一种移位寄存器的反向驱动方法的流程图。如图 10 所示，其中该移位寄存器采用上述实施
30

例中的移位寄存器，该反向驱动方法包括。

5 步骤 S201、在输入阶段，在第三控制信号输入端所提供的控制信号的控制下，第二输入单元将反扫输入信号端所提供的反扫输入信号输入至第一节点；在第一节点的电位的控制下，上拉控制单元用于将第四控制信号输入端所提供的控制信号输入至第二节点。

步骤 S202、在输出阶段，在第一节点的电位的控制下，输出控制单元将第二控制信号输入端中的控制信号发送至信号输出端，以供信号输出端输出扫描信号。

10 步骤 S203、在复位阶段，在第四控制信号输入端所提供的控制信号的控制下，上拉控制单元将第一电源端提供的第一电压输入至第二节点；在第二节点的电位的控制下，输出复位单元将第三电源端提供的第三电压输入至信号输出端，以对信号输出端进行复位。

对于上述步骤 S201~步骤 S203 的具体描述，可参见前述实施例中相应内容，此处不再赘述。

15

可以理解的是，以上实施方式仅仅是为了说明本公开的原理而采用的示例性实施方式，然而本公开并不局限于此。对于本领域内的普通技术人员而言，在不脱离本公开的精神和实质的情况下，可以做出各种变型和改进，这些变型和改进也视为本公开的保护范围。

20

权利要求

1. 一种移位寄存器，包括：第一输入单元、第二输入单元、上拉控制单元、下拉控制单元、输出控制单元、输出复位单元、第一控制信号输入端、第二控制信号输入端、第三控制信号输入端、第四控制信号输入端、正扫输入信号端、反扫输入信号端、第一电源端、第二电源端、第三电源端和信号输出端，

其中，所述第一输入单元、所述第二输入单元、所述上拉控制单元、所述下拉控制单元和所述输出控制单元连接于第一节点，所述上拉控制单元、所述下拉控制单元和所述输出复位单元连接于第二节点；

在所述第一控制信号输入端所提供的控制信号的控制下，所述第一输入单元用于将所述正扫输入信号端所提供的正扫输入信号输入至所述第一节点；

在所述第三控制信号输入端所提供的控制信号的控制下，所述第二输入单元用于将所述反扫输入信号端所提供的反扫输入信号输入至所述第一节点；

在所述第一节点的电位的控制下，所述上拉控制单元用于将所述第四控制信号输入端所提供的控制信号输入至所述第二节点，或在所述第四控制信号输入端所提供的控制信号的控制下，所述上拉控制单元用于将所述第一电源端提供的第一电压输入至所述第二节点；

在所述第二节点的电位的控制下，所述下拉控制单元用于将所述第二电源端所提供的第二电压输入至所述第一节点；

在所述第一节点的电位的控制下，所述输出控制单元用于将所述第二控制信号输入端所提供的控制信号输入至所述信号输出端，以供所述信号输出端输出扫描信号；

在所述第二节点的电位的控制下，所述输出复位单元用于将所述第三电源端提供的第三电压输入至所述信号输出端，以对所述信号输出端进行复位。

其中，所述第一控制信号输入端所提供的控制信号、所述第二

控制信号输入端所提供的控制信号、所述第三控制信号输入端所提供的控制信号和所述第四控制信号输入端所提供的控制信号至少之一为时钟信号。

5 2. 根据权利要求 1 所述的移位寄存器，其中，所述第一控制信号输入端所提供的控制信号、所述第二控制信号输入端所提供的控制信号、所述第三控制信号输入端所提供的控制信号和所述第四控制信号输入端所提供的控制信号均为时钟信号。

10 3. 根据权利要求 1 或 2 所述的移位寄存器，其中，所述第一输入单元包括：第一晶体管；

 所述第一晶体管的控制极与所述第一控制信号输入端连接，第一极与所述正扫输入信号端连接，第二极与所述第一节点连接。

15 4. 根据权利要求 1-3 任一项所述的移位寄存器，其中，所述第二输入单元包括：第二晶体管；

 所述第二晶体管的控制极与所述第三控制信号输入端连接，第一极与所述反扫输入信号端连接，第二极与所述第一节点连接。

20 5. 根据权利要求 1-4 任一项所述的移位寄存器，其中，所述上拉控制单元包括：第三晶体管和第四晶体管；

 所述第三晶体管的控制极与所述第一节点连接，第一极与所述第四控制信号输入端连接，第二极与所述第二节点连接；

25 所述第四晶体管的控制极与所述第四控制信号输入端连接，第一极与所述第一电源端连接，第二极与所述第二节点连接。

 6. 根据权利要求 1-5 任一项所述的移位寄存器，其中，所述下拉控制单元包括：第五晶体管；

30 所述第五晶体管的控制极与所述第二节点连接，第一极与所述第二电源端连接，第二极与所述第一节点连接。

7. 根据权利要求 1-6 任一项所述的移位寄存器，其中，所述输出控制单元包括：第六晶体管和第一电容；

5 所述第六晶体管的控制极与所述第一节点连接，第一极与所述第二控制信号输入端连接，第二极与所述信号输出端连接；

所述第一电容的第一端与所述第一节点连接，第二端与所述信号输出端连接。

10 8. 根据权利要求 1-7 任一项所述的移位寄存器，其中，所述输出复位单元包括：第七晶体管和第二电容；

所述第七晶体管的控制极与所述第二节点连接，第一极与所述第三电源端连接，第二极与所述信号输出端连接；

第二电容的第一端与所述第二节点连接，第二端与所述第七晶体管的第二极连接。

15

9. 根据权利要求 1-8 任一项所述的移位寄存器，其中，还包括：第一电流截断单元；

20 所述第一电流截断单元设置于所述第一输入单位的输出端与所述第一节点之间以及所述第二输入单位的输出端与所述第一节点之间；

25 当所述输出控制单元在第一节点的电位的控制下将所述第二控制信号输入端所提供的控制信号输入至所述信号输出端时，所述第一电流截断单元用于使得所述第一输入单元与所述第一节点之间以及所述第二输入单元与所述第一节点之间断路，以避免所述第一输入单元和所述第二输入单元中的漏电流对所述第一节点电位造成影响。

10. 根据权利要求 9 所述的移位寄存器，其中，所述第一电流截断单元包括：第八晶体管、第九晶体管和第十晶体管；

30 所述第八晶体管的控制极与所述信号输出端连接，第一极与所述第二控制信号输入端连接，第二极与所述第一输入单位的输出端和

所述第二输入单元的输出端均连接；

所述第九晶体管的控制极与所述第一控制信号输入端连接，第一极与所述第一输入单元的输出端和所述第八晶体管的第二极均连接，第二极与所述第一节点连接；

5 所述第十晶体管的控制极与所述第三控制信号输入端连接，第一极与所述第二输入单元的输出端和所述第八晶体管的第二极均连接，第二极与所述第一节点连接。

10 11. 根据权利要求 1-10 任一项所述的移位寄存器，其中，还包括：第二电流截断单元；

所述第二电流截断单元设置于所述下拉控制单元的输出端与所述第一节点之间；

15 当所述输出控制单元在第一节点的电位的控制下将第二控制信号输入端所提供的控制信号输入至信号输出端时，所述第二电流截断单元用于使得所述下拉控制单元与所述第一节点之间断路，以避免所述下拉控制单元中的漏电流对所述第一节点电位造成影响。

12. 根据权利要求 11 所述的移位寄存器，其中，所述第二电流截断单元包括：第十一晶体管和第十二晶体管；

20 所述第十一晶体管的控制极与所述第二节点连接，第一极与所述下拉控制单元的输出端连接，第二极与所述第一节点连接；

所述第十二晶体管的控制极与所述第一节点连接，第一极与所述第四电源端连接，第二极与所述下拉控制单元的输出端和所述第十一晶体管的第一极均连接。

25 13. 一种栅极驱动电路，包括：多个级联的移位寄存器以及分别与所述多个级联的移位寄存器连接的用于提供时钟信号的第一时钟信号线、第二时钟信号线、第三时钟信号线、第四时钟信号线，所述移位寄存器采用上述权利要求 1-12 中任一所述的移位寄存器；

30 其中，除第一级移位寄存器和最后一级移位寄存器之外，本级

移位寄存器的所述信号输出端与前一级移位寄存器的所述反扫输入信号端、后一级移位寄存器的所述正扫输入信号端均连接；

5 第 $4n-3$ 级移位寄存器对应的第一控制信号输入端与所述第一时钟信号线连接，对应的第二控制信号输入端与所述第二时钟信号线连接，对应的第三控制信号输入端与所述第三时钟信号线连接，对应的第四控制信号输入端与所述第四时钟信号线连接；

10 第 $4n-2$ 级移位寄存器对应的第一控制信号输入端与所述第二时钟信号线连接，对应的第二控制信号输入端与所述第三时钟信号线连接，对应的第三控制信号输入端与所述第四时钟信号线连接，对应的第四控制信号输入端与所述第一时钟信号线连接；

第 $4n-1$ 级移位寄存器对应的第一控制信号输入端与所述第三时钟信号线连接，对应的第二控制信号输入端与所述第四时钟信号线连接，对应的第三控制信号输入端与所述第一时钟信号线连接，对应的第四控制信号输入端与所述第二时钟信号线连接；

15 第 $4n$ 级移位寄存器对应的第一控制信号输入端与所述第四时钟信号线连接，对应的第二控制信号输入端与所述第一时钟信号线连接，对应的第三控制信号输入端与所述第二时钟信号线连接，对应的第四控制信号输入端与所述第三时钟信号线连接；

n 为正整数。

20

14. 一种显示装置，包括权利要求 13 所述的栅极驱动电路。

25 15. 一种移位寄存器的正向驱动方法，其中，所述移位寄存器采用上述权利要求 1-12 中任一所述的移位寄存器，所述正向驱动方法包括：

30 在输入阶段，在所述第一控制信号输入端所提供的控制信号的控制下，所述第一输入单元将所述正扫输入信号端所提供的正扫输入信号输入至所述第一节点；在第一节点的电位的控制下，所述上拉控制单元用于将所述第四控制信号输入端所提供的控制信号输入至所述第二节点；

在输出阶段，在所述第一节点的电位的控制下，所述输出控制单元将所述第二控制信号输入端中的控制信号发送至所述信号输出端，以供所述信号输出端输出扫描信号；

5 在复位阶段，在所述第四控制信号输入端所提供的控制信号的控制下，所述上拉控制单元将所述第一电源端提供的第一电压输入至所述第二节点；在所述第二节点的电位的控制下，所述输出复位单元将所述第三电源端提供的第三电压输入至所述信号输出端，以对所述信号输出端进行复位。

10 16. 一种移位寄存器的反向驱动方法，其中，所述移位寄存器采用上述权利要求 1-12 中任一所述的移位寄存器，所述反向驱动方法包括：

在输入阶段，在所述第三控制信号输入端所提供的控制信号的控制下，所述第二输入单元将所述反扫输入信号端所提供的反扫输入信号输入至所述第一节点；在第一节点的电位的控制下，所述上拉控制单元用于将所述第四控制信号输入端所提供的控制信号输入至所述第二节点；

15 在输出阶段，在所述第一节点的电位的控制下，所述输出控制单元将所述第二控制信号输入端中的控制信号发送至所述信号输出端，以供所述信号输出端输出扫描信号；

20 在复位阶段，在所述第四控制信号输入端所提供的控制信号的控制下，所述上拉控制单元将所述第一电源端提供的第一电压输入至所述第二节点；在所述第二节点的电位的控制下，所述输出复位单元将所述第三电源端提供的第三电压输入至所述信号输出端，以对所述信号输出端进行复位。

25

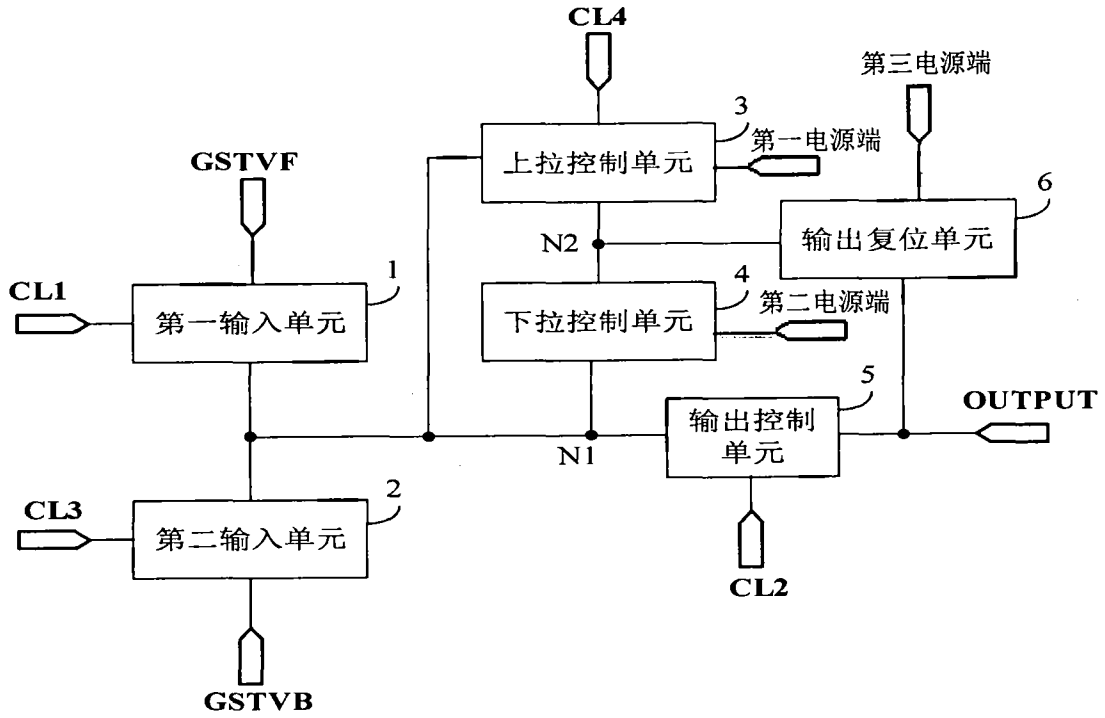


图 1

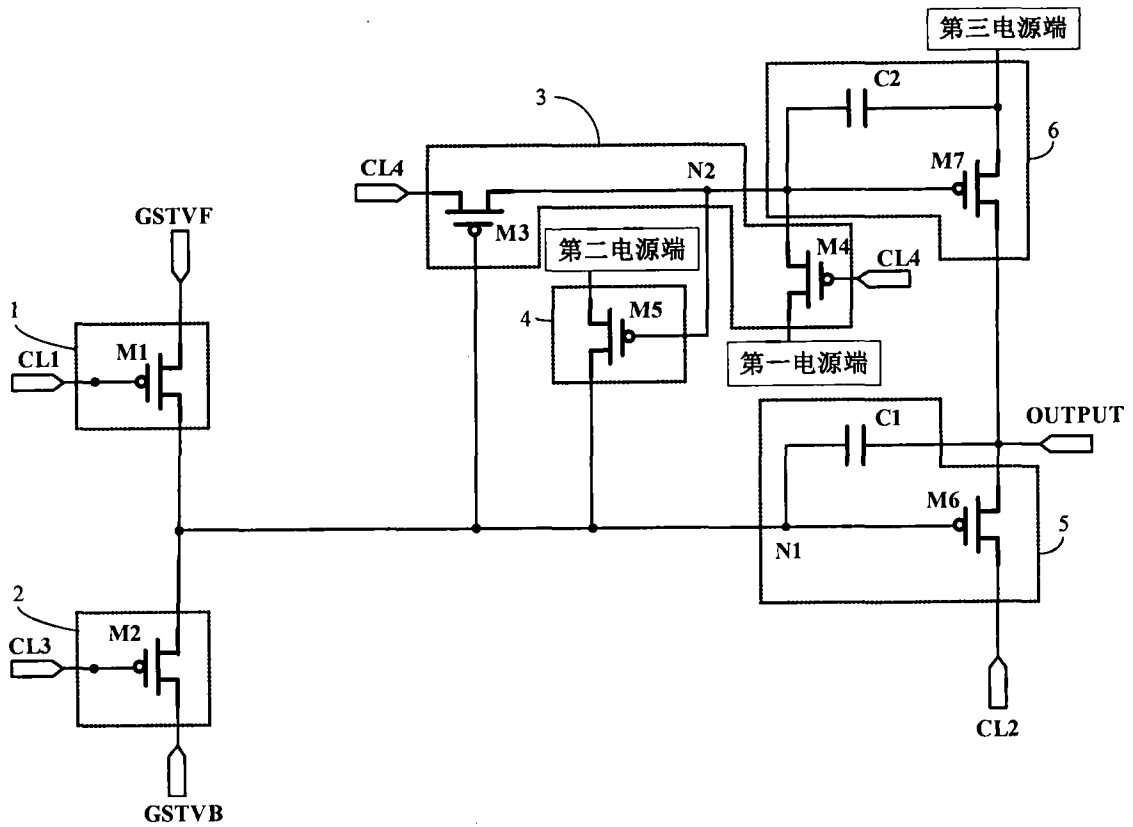


图 2

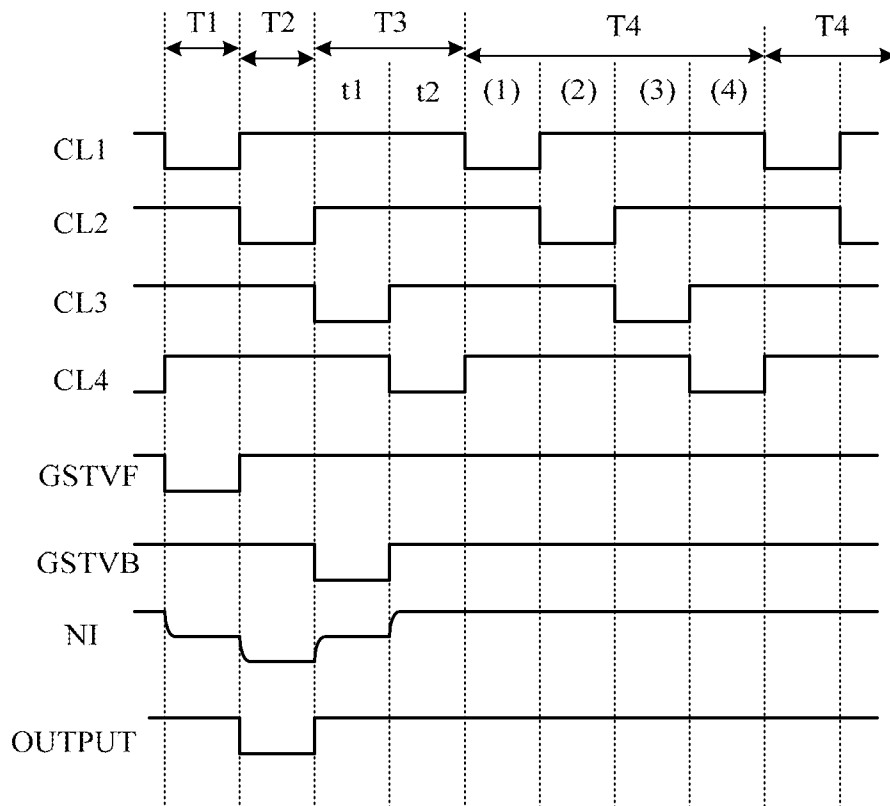


图 3

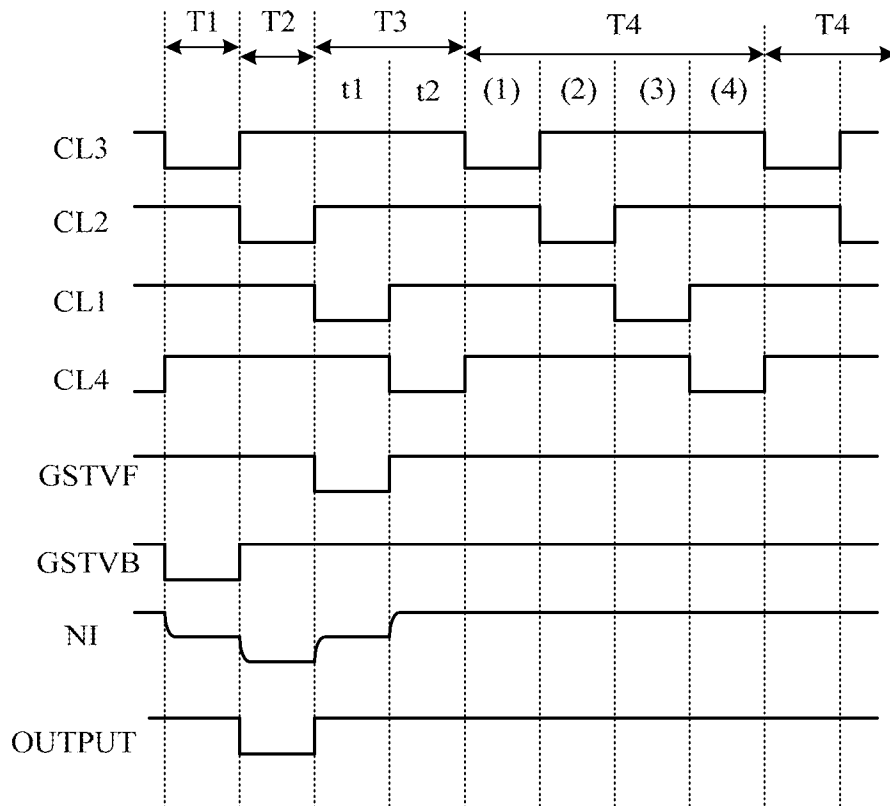


图 4

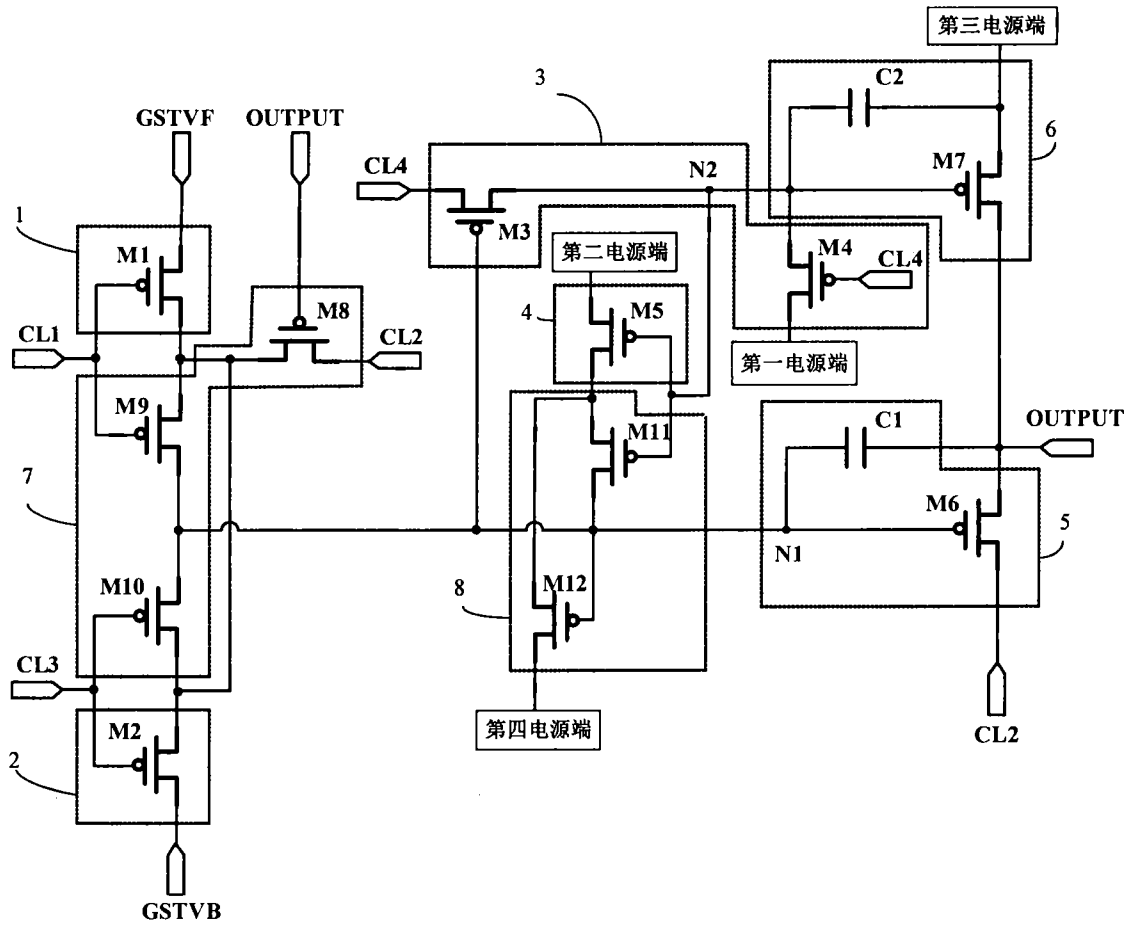


图 5

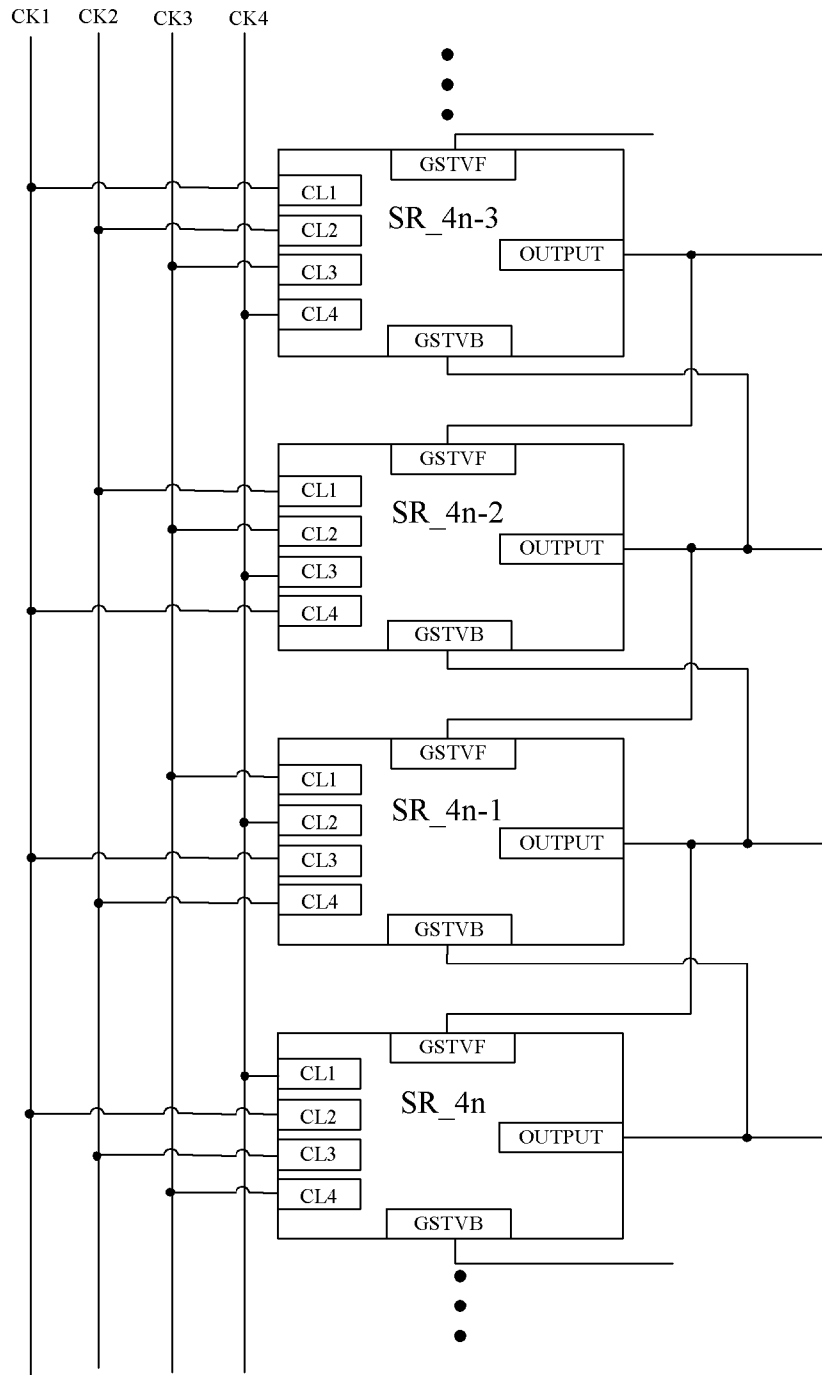


图 6

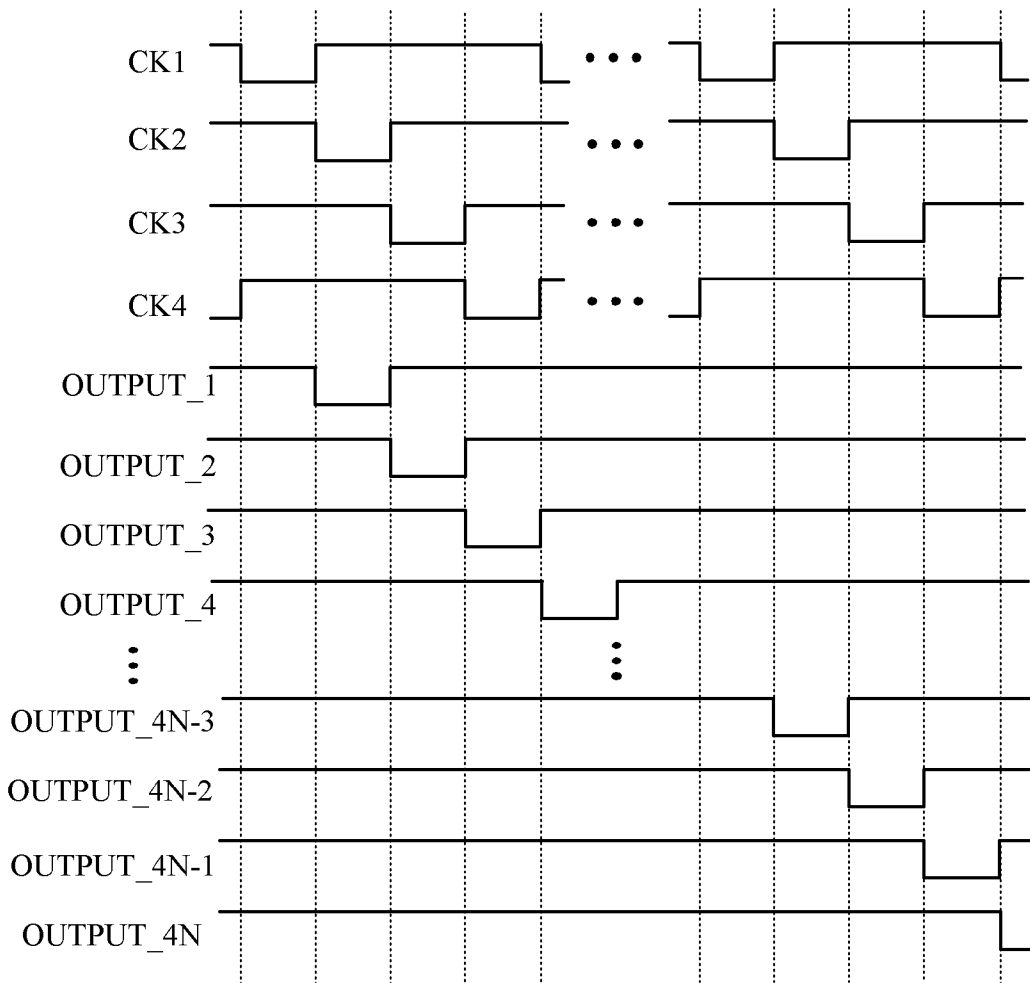


图 7

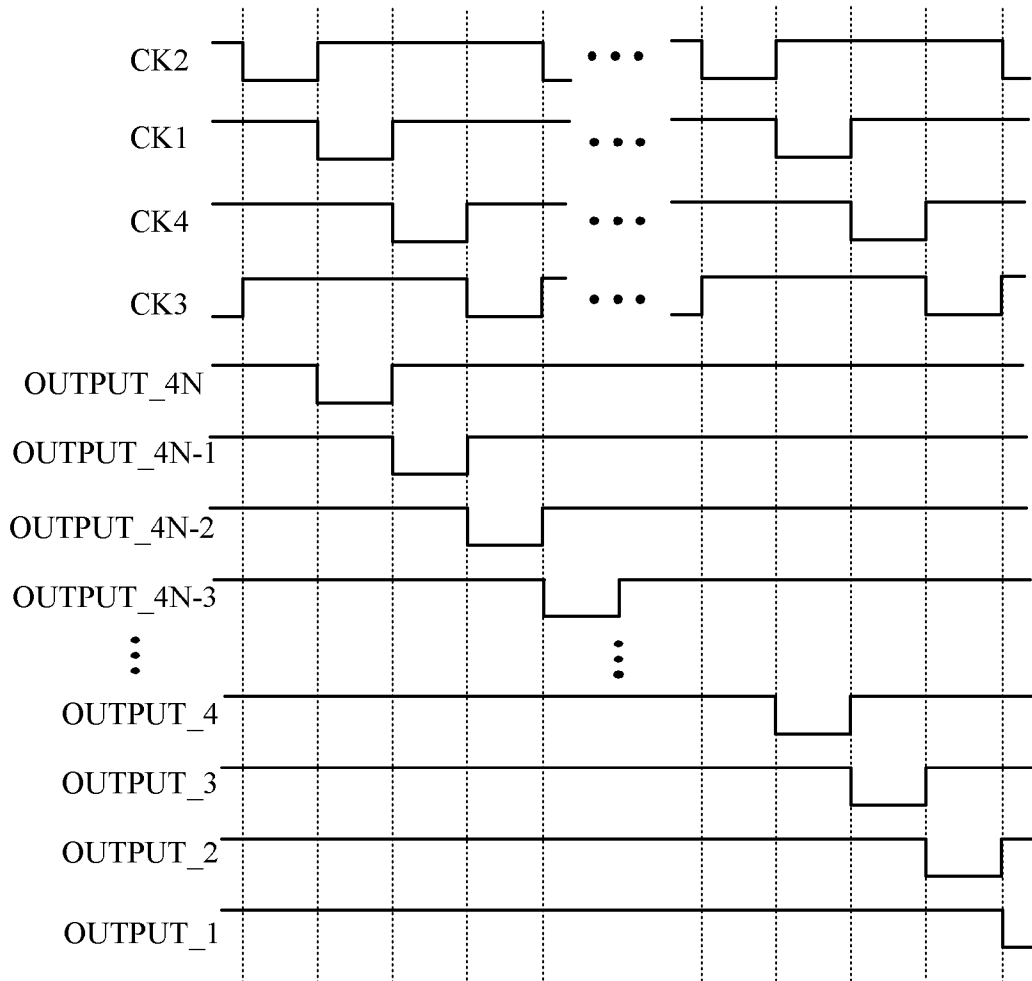


图 8

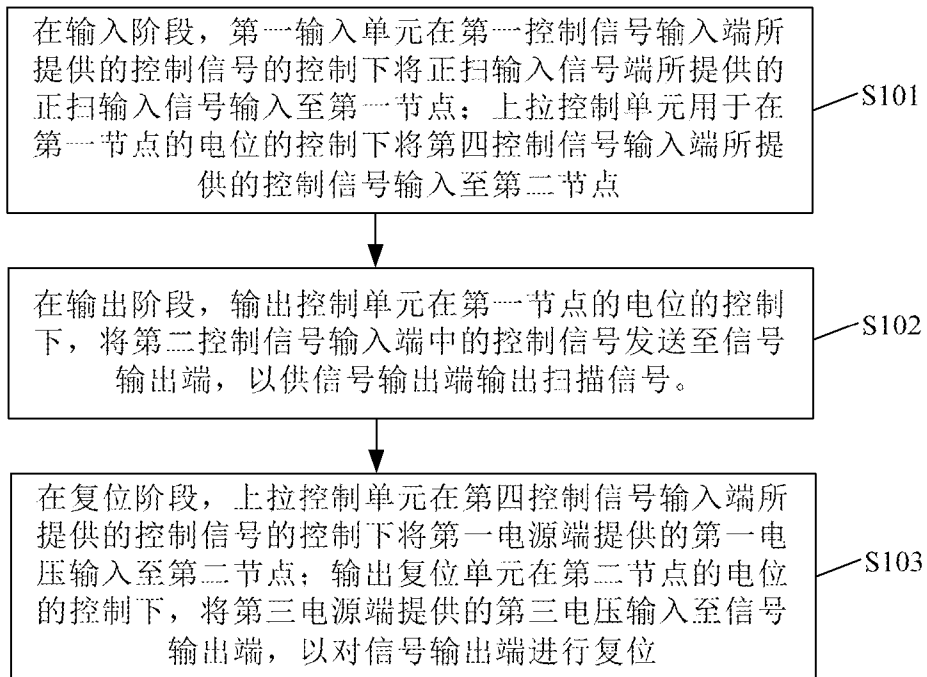


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/073151

A. CLASSIFICATION OF SUBJECT MATTER		
G09G 3/20(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
G09G3/-		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNABS, CNTXT, CNKI, VEN, IIEEE, USTXT, EPTXT, WOTXT: 移位寄存器, 正扫, 反扫, 正向扫描, 反向扫描, 漏电流, 晶体管, 上拉, 下拉, 复位, shift register, forward, backward, scan, leakage current, transistor, pull up, pull down, reset		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104834427 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 12 August 2015 (2015-08-12) description, paragraphs 29-71, and figures 1-4	1-12, 15-16
Y	CN 104834427 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 12 August 2015 (2015-08-12) description, paragraphs 29-71, and figures 1-4	13-14
Y	CN 103035296 A (LG DISPLAY CO., LTD.) 10 April 2013 (2013-04-10) description, paragraphs 55-101, and figures 1-5	13-14
A	CN 102855858 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 02 January 2013 (2013-01-02) entire document	1-16
A	US 2010328281 A1 (HITACHI DISPLAYS, LTD.) 30 December 2010 (2010-12-30) entire document	1-16
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
17 April 2019		26 April 2019
Name and mailing address of the ISA/CN		Authorized officer
State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/073151

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104834427	A	12 August 2015	US	2017186773	A1	29 June 2017
				WO	2016188093	A1	01 December 2016
				CN	104834427	B	14 November 2017
				US	10177173	B	08 January 2019

CN	103035296	A	10 April 2013	US	2013083885	A1	04 April 2013
				KR	20130036443	A	12 April 2013
				EP	2597651	A3	13 November 2013
				KR	101481675	B1	22 January 2015
				EP	2597651	B1	18 July 2018
				US	8724770	B2	13 May 2014
				EP	2597651	A2	29 May 2013
				CN	104851463	B	11 September 2018
				CN	104851463	A	19 August 2015
				CN	103035296	B	03 February 2016

CN	102855858	A	02 January 2013	CN	102855858	B	21 May 2014

US	2010328281	A1	30 December 2010	JP	2011008104	A	13 January 2011
				JP	5719103	B2	13 May 2015
				US	8451260	B2	28 May 2013

<p>A. 主题的分类 G09G 3/20 (2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号) G09G3/-</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, CNTXT, CNKI, VEN, IEEE, USTXT, EPTXT, WOTXT:移位寄存器, 正扫, 反扫, 正向扫描, 反向扫描, 漏电流, 晶体管, 上拉, 下拉, 复位, shift register, forward, backward, scan, leakage current, transistor, pull up, pull down, reset</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 104834427 A (京东方科技集团股份有限公司 等) 2015年 8月 12日 (2015 - 08 - 12) 说明书29-71段, 图1-4</td> <td>1-12, 15-16</td> </tr> <tr> <td>Y</td> <td>CN 104834427 A (京东方科技集团股份有限公司 等) 2015年 8月 12日 (2015 - 08 - 12) S说明书29-71段, 图1-4</td> <td>13-14</td> </tr> <tr> <td>Y</td> <td>CN 103035296 A (乐金显示有限公司) 2013年 4月 10日 (2013 - 04 - 10) 说明书55-101段, 附图1-5</td> <td>13-14</td> </tr> <tr> <td>A</td> <td>CN 102855858 A (京东方科技集团股份有限公司 等) 2013年 1月 2日 (2013 - 01 - 02) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>US 2010328281 A1 (HITACHI DISPLAYS, LTD) 2010年 12月 30日 (2010 - 12 - 30) 全文</td> <td>1-16</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 104834427 A (京东方科技集团股份有限公司 等) 2015年 8月 12日 (2015 - 08 - 12) 说明书29-71段, 图1-4	1-12, 15-16	Y	CN 104834427 A (京东方科技集团股份有限公司 等) 2015年 8月 12日 (2015 - 08 - 12) S说明书29-71段, 图1-4	13-14	Y	CN 103035296 A (乐金显示有限公司) 2013年 4月 10日 (2013 - 04 - 10) 说明书55-101段, 附图1-5	13-14	A	CN 102855858 A (京东方科技集团股份有限公司 等) 2013年 1月 2日 (2013 - 01 - 02) 全文	1-16	A	US 2010328281 A1 (HITACHI DISPLAYS, LTD) 2010年 12月 30日 (2010 - 12 - 30) 全文	1-16
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 104834427 A (京东方科技集团股份有限公司 等) 2015年 8月 12日 (2015 - 08 - 12) 说明书29-71段, 图1-4	1-12, 15-16																		
Y	CN 104834427 A (京东方科技集团股份有限公司 等) 2015年 8月 12日 (2015 - 08 - 12) S说明书29-71段, 图1-4	13-14																		
Y	CN 103035296 A (乐金显示有限公司) 2013年 4月 10日 (2013 - 04 - 10) 说明书55-101段, 附图1-5	13-14																		
A	CN 102855858 A (京东方科技集团股份有限公司 等) 2013年 1月 2日 (2013 - 01 - 02) 全文	1-16																		
A	US 2010328281 A1 (HITACHI DISPLAYS, LTD) 2010年 12月 30日 (2010 - 12 - 30) 全文	1-16																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>																				
<p>国际检索实际完成的日期 2019年 4月 17日</p>		<p>国际检索报告邮寄日期 2019年 4月 26日</p>																		
<p>ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451</p>		<p>授权官员 姜婷婷 电话号码 86-(20)-28958038</p>																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/073151

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104834427	A	2015年 8月 12日	US	2017186773	A1	2017年 6月 29日
				WO	2016188093	A1	2016年 12月 1日
				CN	104834427	B	2017年 11月 14日
				US	10177173	B	2019年 1月 8日
CN	103035296	A	2013年 4月 10日	US	2013083885	A1	2013年 4月 4日
				KR	20130036443	A	2013年 4月 12日
				EP	2597651	A3	2013年 11月 13日
				KR	101481675	B1	2015年 1月 22日
				EP	2597651	B1	2018年 7月 18日
				US	8724770	B2	2014年 5月 13日
				EP	2597651	A2	2013年 5月 29日
				CN	104851463	B	2018年 9月 11日
				CN	104851463	A	2015年 8月 19日
				CN	103035296	B	2016年 2月 3日
CN	102855858	A	2013年 1月 2日	CN	102855858	B	2014年 5月 21日
US	2010328281	A1	2010年 12月 30日	JP	2011008104	A	2011年 1月 13日
				JP	5719103	B2	2015年 5月 13日
				US	8451260	B2	2013年 5月 28日

表 PCT/ISA/210 (同族专利附件) (2015年1月)