

公告本

申請日期	90 9 24
案 號	90123478
類 別	H01L 23/00

A4
C4

538511

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	積層電路裝置及使用積層電路裝置之集成電路基板之評估方法
	日 文	積層回路装置及び積層回路装置を用いた集積回路基板の評価方法
二、發明人	姓 名	1. 松尾 美恵 2. 早坂 伸夫
	國 籍	均日本
	住、居所	1. 日本國神奈川県鎌倉市津西2丁目5-35 2. 日本國神奈川県横須賀市馬堀海岸2丁目20-12
三、申請人	姓 名 (名稱)	日商東芝股份有限公司 KABUSHIKI KAISHA TOSHIBA
	國 籍	日本
	住、居所 (事務所)	日本國東京都港区芝浦1丁目1番1號
	代 表 人 姓 名	岡村 正 TADASHI OKAMURA

(由本局填寫)

承辦人代碼：
大類：
I.P.C分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 2000年09月27日 特願2000-295230 ☒有☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

相關申請案之交互參考

本案主張日本專利申請案No. 2000-295230(2000年9月27日申請)之優先權權益，其所有內容已併入其中以供參考。

發明之背景

本發明係關於積層電路裝置及使用積層電路裝置之積體電路基板之評估方法。

在於高速、高積體LSI(例如ASIC)，因隨晶片的面積增大，信號的延遲會形成深刻的問題。因此，晶片內具有復頻器等控制信號延遲或定時偏差之電路。但因復頻器含有電晶體等主動元件，隨晶片面積增大，會產生信號延遲再增多的問題。

以及，對於高速、高積體LSI，評估高速信號的波形或定時之時，因一般高速、高積體LSI的端子數多且齒距狹窄，所以想調整LSI與評估專用的分析器之間的阻抗，作無損耗及正確的評估是不容易。

如此，因裝復頻器等電路於高速、高積體的半導體積體電路晶片(LSI晶片)內，會有晶片面積增大等，讓LSI晶片的負擔增多的問題。以及，評估高速、高積體的半導體積體電路晶片(LSI晶片)之時，想作無損耗及正確的評估亦為困難的問題。

發明之概要

本發明的第一個焦點係一種積層電路裝置，其包含：具有端子的底板；配置於前述的底板而由半導體基板所構成的內插板，係有與前述底板的端子接連的第1端子、第2端

五、發明說明(2)

子、及與前述第2端子接連且含有主動元件的電路；以及，配置於前述內插板上，而具有與前述第2端子接連的端子之積體電路晶片。

本發明的第二個焦點係一種積層電路裝置，其包含：具有端子的底板；配置於前述的底板而由半導體基板所構成的內插板，係有與前述底板的端子接連的第1端子、與接連於評估對象的積體電路基板的端子之第2端子、及連接於前述第2端子且含有主動元件用來評估前述積體電路基板的電路。

本發明的第三個焦點係一種內插板，用於接連底板的端子與積體電路的端子，由半導體基板所形成，包含，連接於前述底板的端子之第1端子、與接連於積體電路晶片的端子之第2端子、及連接於前述第2端子且含有主動元件的電路。

關於圖的說明

圖1係本發明之第1實施形態的構成例子之模式圖。

圖2係有關於本發明之第1實施形態，內插板及LSI晶片的外觀之斜視圖。

圖3係有關於本發明之第1實施形態，內插板的斷面構成之詳細圖。

圖4係有關於本發明之第1實施形態，內插板的製造方法之工序斷面圖。

圖5係本發明之第2實施形態的構成例子之模式圖。

圖6係有關於本發明之第2實施形態，內插板等斷面構成

五、發明說明(3)

之詳細圖。

發明之詳細描述

以下，由參照圖面來說明本發明的實施形態。

(第1實施形態)

圖1係有關於本發明之第1實施形態的積層電路基板的構成例子之模式圖。

為連接構成於底板10的相對面上的端子11及構成於LSI晶片20的相對面上的端子21之內插板30配置於底板10(主機板等)與LSI晶片20(半導體積體電路晶片)之間。此內插板30係由矽基板等半導體基板所構成，且含有後面所提的種種的電路構件。底板10與內插板30之間係由BGA(ball grid array)等導電性連接部40所連接。

圖2係內插板30的外觀及LSI晶片20的外觀之斜視圖。

內插板30係含有端子31、為端子32的導電性Through Plug。端子31係安裝於，比端子32所被安裝的領域更內側的領域。端子31係介由凸塊22連接於LSI晶片20的端子21，端子32係介由圖1所示的導電性連接部40連接於底板10的端子11。

圖3係內插板30的斷面構成(圖2所示的順沿A-A'的斷面)之詳細圖。

如圖所示，絕緣膜34係安裝於半導體基板本體30a的上面。端子31係與半導體基板本體30a互不相連接，而安裝於絕緣膜34的上面。端子32係貫穿半導體基板本體30a。並且，上述的端子31及32以外，內插板30係含有種種的電路構件

五、發明說明(4)

。亦即，電晶體等半導體主動元件33係安裝於半導體基板本體30a，且此主動元件33係由配線33a連接端子31及32。並且，電阻元件35、電容元件36及螺旋形的電感元件37等被動元件係安裝於半導體基板本體30a上面的絕緣膜34之內。此等被動元件係由配線連接端子31及32。再者，半導體主動元件33、電阻元件35、電容元件36及電感元件37之間也由配線連接。

圖4A至圖4E係圖3所示的內插板30之製造工序。

首先，如圖4A所示，在半導體基板本體30a安裝半導體主動元件33。其後，如圖4B所示，安裝Trough Plug的孔38(直徑30微米，深度60微米)由RIE法構成。

其次，如圖4C所示，在含有孔38的基板表面上形成氧化矽膜(圖未示)之後，以金屬膜32a填補孔38內部。實際，以噴射形成金屬晶層(Cu/TaN層)，且在此金屬晶層鍍上Cu膜填補孔38。其後，由以CMP法去除多餘的金屬膜，選擇性地讓金屬膜32a留置於孔38之內。

其次，如圖4D所示，以PE-CVD法形成絕緣膜(氮化矽膜)34，再者構成電阻元件35、電容元件36、電感元件37、配線33a及端子31。尚且，即使在圖面未明示，複數的絕緣膜34形成在於上述各構件的形成過程。

其後，如圖4E所示，以研磨及CMP法由底面削減半導體基板30a，使為構成Through Plug32的金屬膜曝光。由此，製造圖3所示的內插板30。

如以上所述，內插板30係具有種種的電路構件，且復頻

五、發明說明(5)

電路或昇壓電路等係由此些電路構件所構成。復頻電路或昇壓電路係對於LSI晶片20有補助電路的機能。如此，因復頻電路等包藏於內插板30之內，不需設置復頻電路於LSI晶片20之內。因此，因LSI晶片的面積遞減，隨LSI晶片的負擔減少，LSI晶片內的信號延遲會有所改善。

及，在本實施形態中，端子31構成於內插板的中央領域，端子32(Through Plug)構成於比端子31的構成領域再外側的領域。及，半導體主動元件33係構成於半導體基板的中央領域。因此，因半導體主動元件33及端子32(Through Plug)構成於不同領域，內插板製造等之際，半導體主動元件33不會由端子32受不良影響。

(第2實施形態)

圖5係有關於本發明之第2實施形態的積層電路基板的構成例子之模式圖。

本實施形態之積層電路基板係用以評估(測定)複數個評估對象的LSI所形成的LSI晶片120(半導體積體電路基板)。內插板130係具有評估LSI的電路，且圖未所示的外部評估裝置連接於底板110。

為連接底板110的端子111與LSI晶片120的端子121，內插板130配置於底板110的相對面。此內插板130係用矽基板等半導體基板所製造，且具有後面所示的種種電路構件。底板110與內插板130之間係由BGA等導電性連接部140所連接。為與LSI晶片120有所傳導，異方導電性的連接器150設置於內插板130的相對面之上。

五、發明說明(6)

圖6係所示的是，為評估LSI晶片120，把內插板130連接於LSI晶片120之狀態。

內插板130係，端子131以外，具有為端子132的導電性Through Plug。端子131係形成於，比端子132所形成的領域再內側的領域(端子131及端子132的平面配置關係如同圖2)。端子131係，與半導體基板本體130a不連接，而形成於絕緣膜134之上。端子132係貫穿半導體基板本體130a。及，端子132係，介由圖5所示的導電性連接部分140連接底板110的端子111。端子131係，評估LSI晶片120內的電路之際，介由連接器150連接LSI晶片120的端子121。

內插板130係具有種種的電路構件。即，以電晶體等半導體主動元件所構成的電路部分133形成於半導體基板本體130a；此電路部分133係，由形成於絕緣膜134內的配線133a，連接於端子131及端子132。半導體主動元件之外、電阻元件、電容元件及電感元件等被動元件可形成於電路部分133。尚且，內插板130的基本製造方法係如同在第1實施形態所述的方法。

為評估主要形成於LSI晶片120內的電路，電路部分133係有評估電路的機能。此評估電路含有，信號發生器、頻率測定電路、振盪器電路等電路。如此，因內插板130裝有用以評估的電路部分139，內插板130內的電路部分133可承擔評估機能的一部分。因此，對於LSI，有關高速信號的波形或定時，可易進行無損耗及正確的評估。

以及，在本實施形態中，端子131、端子132(Through Plug)

四、中文發明摘要（發明之名稱：積層電路裝置及使用積層電路裝置之集成電路基板之評估方法）

一種積層電路裝置，其包含：具有端子的底板；配置於前述底板而由半導體基板所構成的內插板，係有與前述底板的端子接連的第1端子、第2端子、及與前述第2端子接連且含有主動元件的電路；以及，配置於前述內插板上，而具有與前述第2端子接連的端子之積體電路晶片。

日文發明摘要（發明之名稱：積層回路装置及び積層回路装置を用いた集積回路基板の評価方法）

端子を有するベース基板と、

前記ベース基板上に配置され、半導体基板で形成されたインターポーザーと、

前記インターポーザーは、前記ベース基板の端子に接続された第1の端子と、第2の端子と、前記第2の端子に接続され且つ能動素子を含む回路と、を有する

前記インターポーザー上に配置され、前記第2の端子に接続された端子を有する集積回路チップと、

からなる積層回路装置。

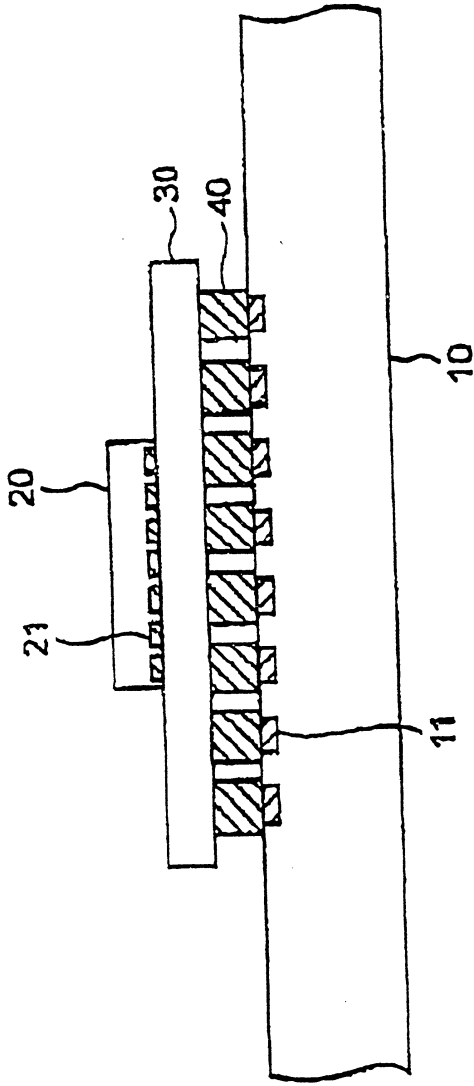


圖 1

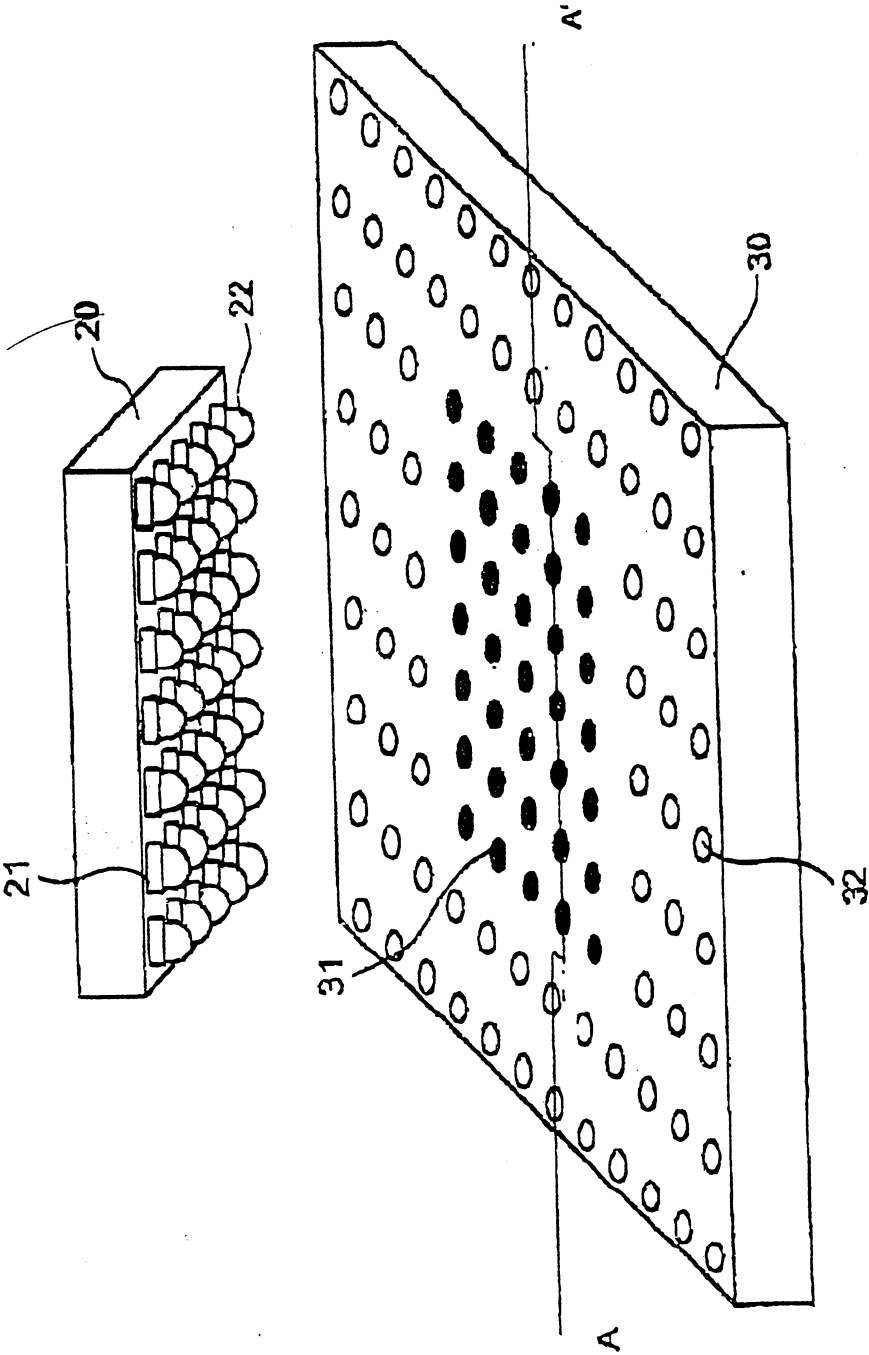


圖 2

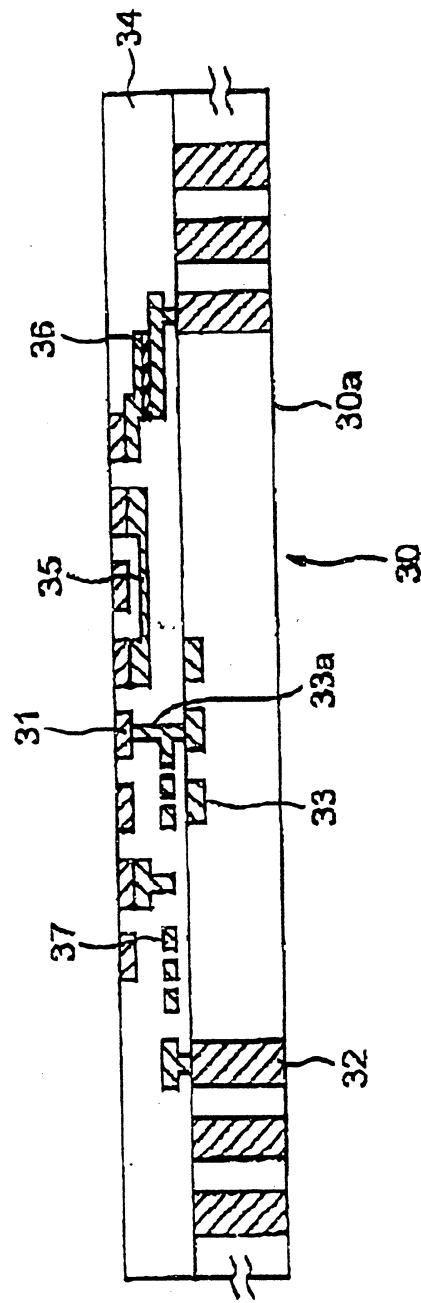


圖 3

圖 4A

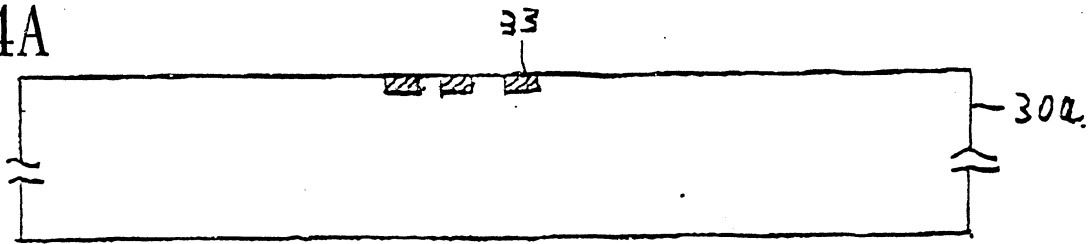


圖 4B

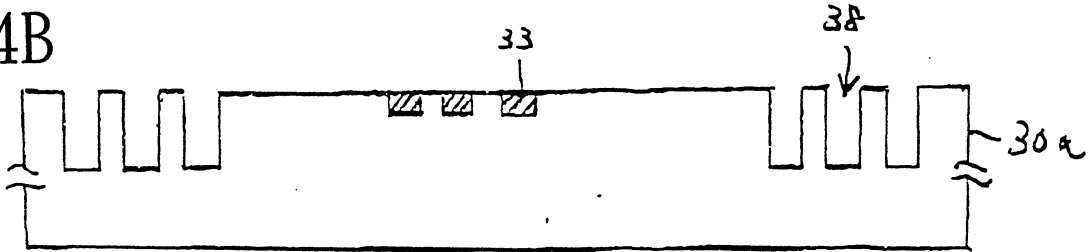


圖 4C

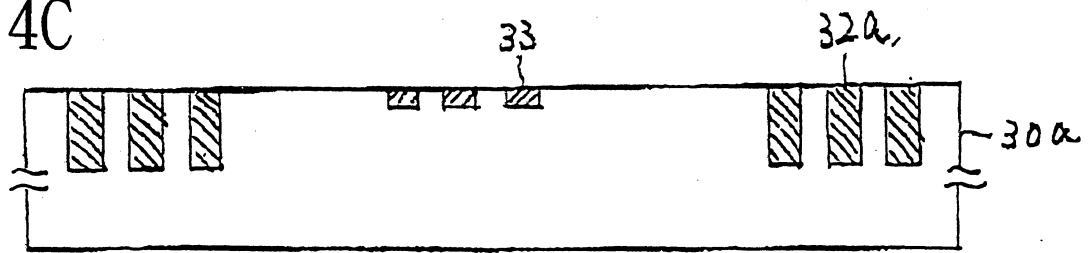


圖 4D

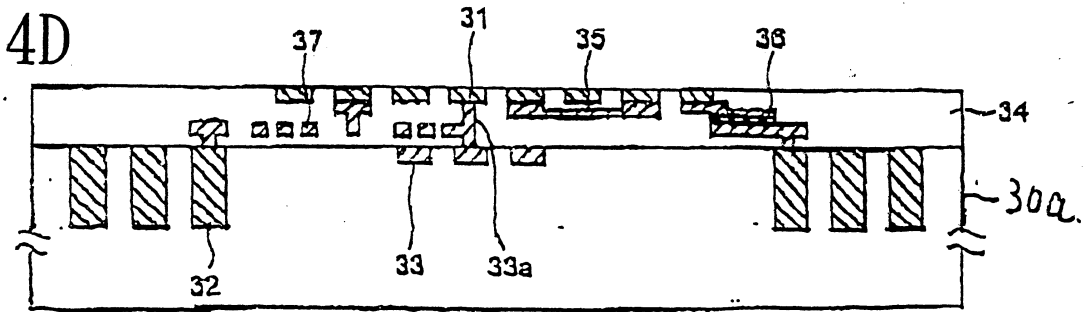
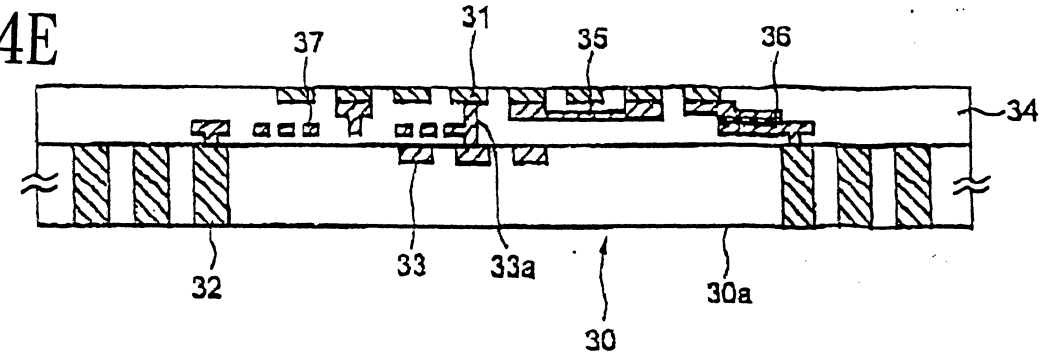


圖 4E



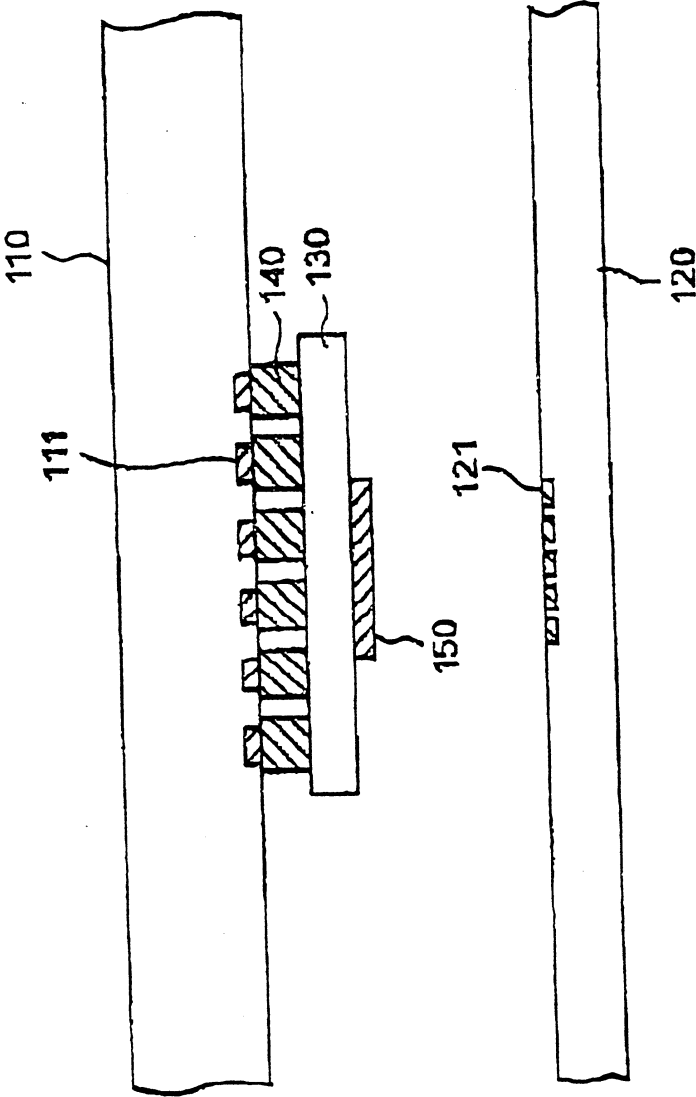


圖 5

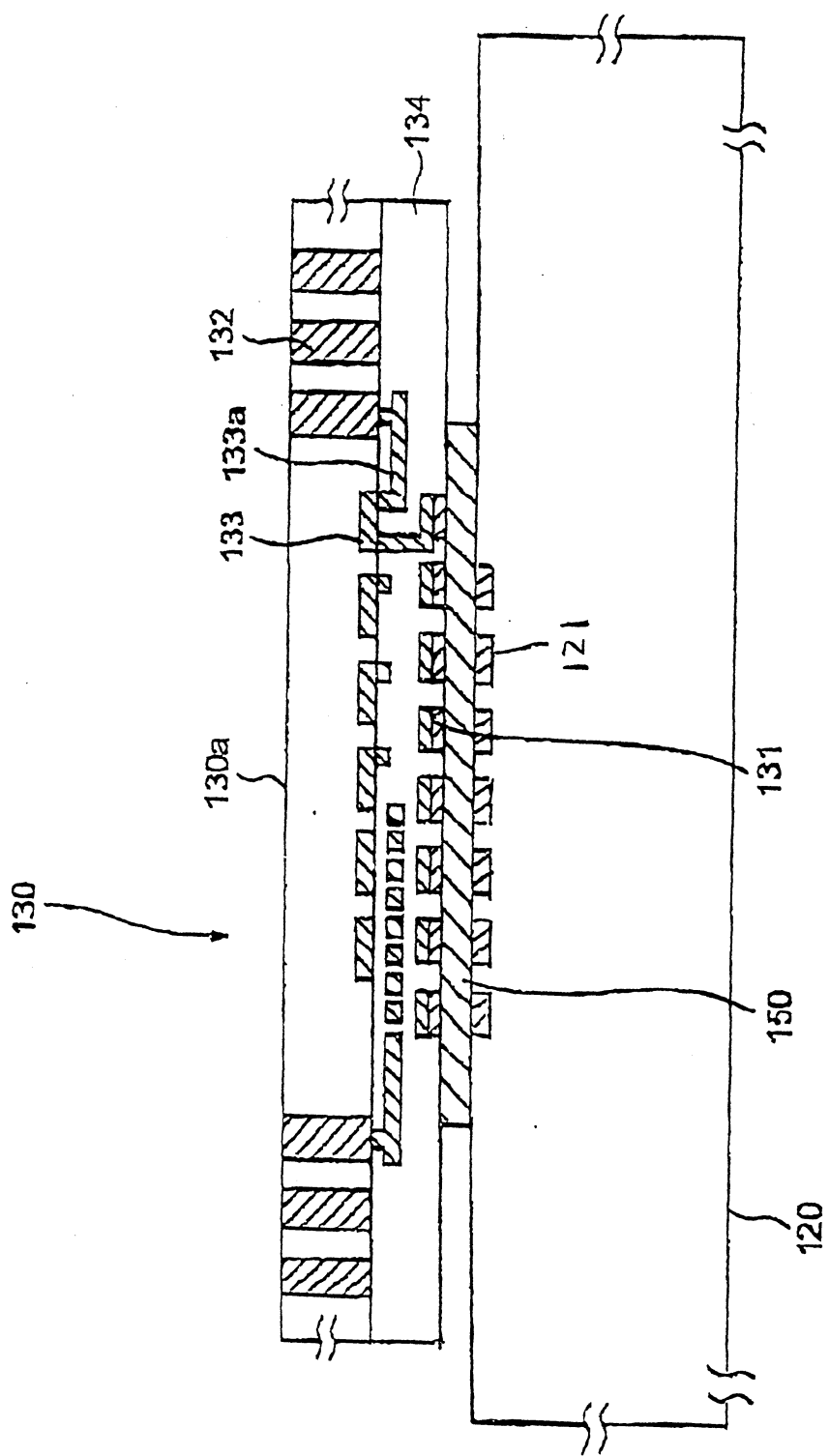


圖 6

五、發明說明(7)

9/12/20

及半導體主動元件的基本配置關係係如同第1實施形態。因此，如同第一實施形態，內插板製造等之際，半導體主動元件不會由端子132受不良影響。

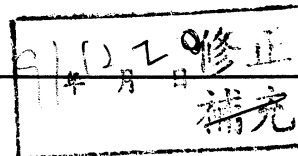
熟悉該項技藝之人士將可進行其他優點及修正。因此廣泛而言，本發明並不限於此處所述之特定細節及代表例。各種修正將可在不脫離本發明所定義之申請專利範圍之概念之精神下進行。

【元件符號說明】

10 底板	38 孔
11 端子	40 導電性連接部
20 LSI 晶片	110 底板
21 端子	111 端子
22 凸塊	120 LSI 晶片
30 內插板	121 端子
30a 半導體基板本體	130 內插板
31 端子	130a 半導體基板本體
32 端子	131 端子
32a 金屬膜	132 端子
33 半導體主動元件	133 電路部分
33a 配線	133a 配線
34 絕緣膜	134 絕緣膜
35 電阻元件	140 導電性連接部分
36 電容元件	150 連接器
37 電感元件	

煩請委員明示
91年12月
日所提之
修正內容准予修正。

裝
訂
線



六、申請專利範圍

1. 一種積層電路裝置，其包含：具有端子的底板；配置於前述的底板而由半導體基板所構成的內插板，係有與前述底板的端子接連的第1端子、第2端子、及與前述第2端子接連且含有主動元件的電路；以及，配置於前述的內插板上，而具有與前述第2端子接連的端子的積體電路晶片，其中前述內插板含有第1領域，及比該第1領域更內側的第2領域，

前述第1端子配置於第1領域，前述第2端子配置於第2領域。

2. 如申請專利範圍第1項之積層電路裝置，其中

含有前述主動元件的電路係至少是一個復頻電路或昇壓電路。

3. 如申請專利範圍第1項之積層電路裝置，其中

含有前述主動元件的電路係配置於前述第2領域。

4. 如申請專利範圍第1項之積層電路裝置，其中

前述第1端子係貫穿前述半導體基板的本體，前述第2端子係與前述半導體基板的本體不連接。

5. 一種積層電路裝置，其包含：具有端子的底板；配置於前述的底板而由半導體基板所構成的內插板，係有與前述底板的端子接連的第1端子、與接連於評估對象的積體電路基板的端子之第2端子、及與前述第2端子接連且含有主動元件用來評估前述積體電路基板的電路。

6. 如申請專利範圍第5項之積層電路裝置，其中

含有前述主動元件的電路係至少是一個信號發生器

六、申請專利範圍

，頻率測定電路或振盪器電路。

7. 如申請專利範圍第5項之積層電路裝置，其中

前述內插板含有第1領域，及比第1領域更內側的第2領域，

前述第1端子配置於第1領域，前述第2端子配置於第2領域。

8. 如申請專利範圍第7項之積層電路裝置，其中

含有前述主動元件的電路係配置於前述第2領域。

9. 如申請專利範圍第7項之積層電路裝置，其中

前述第1端子係貫穿前述半導體基板的本體，前述第2端子係與前述半導體基板的本體不連接。

10. 一種積體電路基板之評估方法，其係使用申請專利範圍第5項的積層電路裝置，包含：

連接前述第2端子於前述積體電路基板的端子之工序，及

使用含有前述主動元件的電路以評估前述積體電路基板之工序。

11. 一種內插板，其係用於接連底板的端子與積體電路的端子，由半導體基板所形成，其包含：

連接於前述底板的端子之第1端子、與接連於積體電路晶片的端子之第2端子、及連接於前述的第2端子且含有主動元件的電路，其中前述內插板含有第1領域，及比該第1領域更內側的第2領域，

前述第1端子配置於第1領域，前述第2端子配置於第2

六、申請專利範圍

領域。

12. 如申請專利範圍第11項之內插板，其中

含有前述主動元件的電路係至少是一個復頻電路或昇壓電路。

13. 如申請專利範圍第11之內插板，其中

含有前述主動元件的電路係至少是一個用於評估前述積體電路基板的信號發生器，頻率測定電路或振盪器電路。

14. 如申請專利範圍第11項之內插板，其中

含有前述主動元件的電路係配置於前述第2領域。

15. 如申請專利範圍第11項之內插板，其中

前述第1端子係貫穿前述半導體基板的本體，前述第2端子係與前述半導體基板的本體不連接。

16. 如申請專利範圍第11項之內插板，其中

含有前述主動元件的電路係透過於前述半導體基板的實體本體上的絕緣膜與配線層所構成的配線構造，連接於前述第2端子。

17. 如申請專利範圍第16項之內插板，其中

被動元件係安裝於前述配線構造之中。