



(12) 发明专利

(10) 授权公告号 CN 101192649 B

(45) 授权公告日 2012.07.04

(21) 申请号 200710305197. X

审查员 王翠

(22) 申请日 2007.11.30

(30) 优先权数据

120104/06 2006. 11. 30 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72)发明人 朴钟峰 申雄澈 李张昊

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陶凤波

(51) Int. Cl.

H01L 45/00 (2006.01)

H01L 27/24 (2006.01)

G11C 11/56 (2006.01)

G11C 16/02 (2006.01)

(56) 对比文件

CN 101005112 A, 2007. 07. 25.

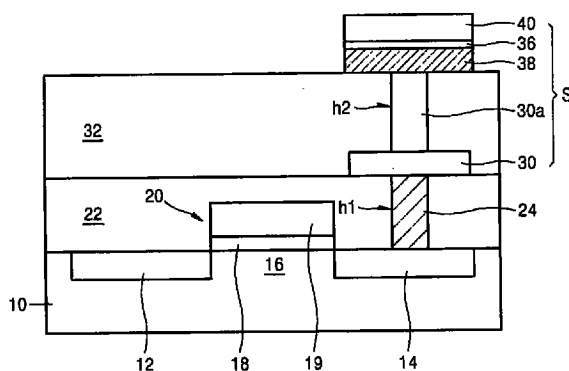
权利要求书 1 页 说明书 7 页 附图 7 页

(54) 发明名称

含扩散势垒层的存储节点、相变存储器件及其制造方法

(57) 摘要

提供了一种相变存储器件以及一种制造相变存储器件的方法。相变存储器件可以包括开关元件以及连接到开关元件的存储节点,其中存储节点包括底部电极和顶部电极、插置在底部电极和顶部电极之间的相变层以及插置在顶部电极和相变层之间的钛-碲(Ti-Te)基扩散势垒层。Ti-Te基扩散势垒层可以为 Ti_xTe_{1-x} 层,其中x可以大于0并且小于0.5。



1. 一种存储节点,包括:
底部电极和顶部电极;
插置在该底部电极和该顶部电极之间的相变层;以及
插置在该顶部电极和该相变层之间的 Ti-Te 基扩散势垒层,
其中该 Ti-Te 基扩散势垒层为 Ti_xTe_{1-x} 层,其中表达式满足 $0 < x < 0.5$,
其中该相变层是硫属化物材料层。
2. 权利要求 1 所述的存储节点,其中该表达式满足 $0.2 < x < 0.4$ 。
3. 权利要求 1 所述的存储节点,其中该 Ti-Te 基扩散势垒层具有 1nm 至 20nm 的厚度。
4. 权利要求 1 所述的存储节点,进一步包括位于该 Ti-Te 基扩散势垒层和该顶部电极之间的粘合层。
5. 权利要求 4 所述的存储节点,其中该粘合层是 Ti 层。
6. 权利要求 1 所述的存储节点,其中该硫属化物材料层是 GeSbTe 基层。
7. 一种相变存储器件,包括:
开关元件;以及
权利要求 1 所述的存储节点,其中该存储节点与该开关元件相连接。
8. 一种形成存储节点的方法,包括:
形成底部电极;
在该底部电极上形成相变层;
在该相变层上形成 Ti-Te 基扩散势垒层;以及
在该 Ti-Te 基扩散势垒层上形成顶部电极,
其中该 Ti-Te 基扩散势垒层为 Ti_xTe_{1-x} 层,其中表达式满足 $0 < x < 0.5$,
其中该相变层由硫属化物材料形成。
9. 权利要求 8 所述的方法,其中该表达式满足 $0.2 < x < 0.4$ 。
10. 权利要求 8 所述的方法,其中该 Ti-Te 基扩散势垒层具有 1nm 至 20nm 的厚度。
11. 权利要求 8 所述的方法,其中该 Ti-Te 基扩散势垒层通过选自溅射、化学气相沉积、蒸镀以及原子层沉积所组成的群组中的方法形成。
12. 权利要求 8 所述的方法,其中该顶部电极的形成包括:
在该 Ti-Te 基扩散势垒层上形成粘合层;以及
在该粘合层上形成顶层。
13. 权利要求 12 所述的方法,其中该粘合层是 Ti 层。
14. 权利要求 8 所述的方法,其中该硫属化物材料是 GeSbTe 基材料。
15. 一种制造相变存储器件的方法,包括:
形成开关元件;以及
将权利要求 8 形成的所述存储节点连接到该开关元件。

含扩散势垒层的存储节点、相变存储器件及其制造方法

技术领域

[0001] 本发明涉及包括扩散势垒层的存储节点,具有这种存储节点的相变存储器件及其制造方法。其他的示范实施例涉及抑制钛 (Ti) 扩散的存储节点以及一种相变存储器件的制造方法。

背景技术

[0002] 一般地,相变存储器件(例如相变随机存取存储器)包括具有相变层的存储节点和连接到该存储节点的晶体管。根据施加到其上的电压,相变层从结晶态变成非结晶态,或与此相反。如果所施加的电压为设置电压,相变层从非结晶态变成结晶态。如果所施加的电压为重置电压,相变层从结晶态转变成非结晶态。

[0003] 相变层的结晶态和非结晶态之一对应数据 1,则另一个对应数据 0。如果相变层处于结晶态,相变层的电阻可能小于处于非结晶态的相变层的电阻。相变层处于结晶态时所测的电流大于相变层处于非结晶态时的电流。

[0004] 通过对比通过施加读取电压到相变层所测量的电流与参考电流,可以读取相变层上记录的数据。

[0005] 传统的相变存储器件包括具有相变层(例如一般称为“GST”层的锗-锑-碲(GeSbTe)层)的存储节点。钛(Ti)层和氮化钛(TiN)层可以顺序沉积(或形成)在相变层上。TiN 层用作顶部电极接触层。Ti 层用作粘合层以增加 TiN 层的粘附力。

[0006] 由于在传统的存储器件中重复进行写操作或读操作,Ti 从 Ti 层向相变层扩散。这样,相变层的成分和电阻可能改变从而在传统的存储器件中产生缺陷。例如,在传统存储器件的耐久试验时由于 Ti 扩散可能产生设置阻碍失败(set stuck failure)和重置阻碍失败。

[0007] 可以从图 1 至 3 中了解 Ti 扩散到传统存储器件的存储节点的相变层。

[0008] 图 1 举例说明了在 350°C 退火处理一个小时之后传统的相变存储器件的存储节点的透射电子显微镜(TEM)图像。

[0009] 参考图 1,底部电极 2 可以为 TiN 电极,相变层 4 可以为 GST 层,粘合层 6 可以为 Ti 层以及顶部电极 8 可以为 TiN 电极。

[0010] 图 2 说明了图 1 的退火存储节点的高角环形暗场扫描透射电子显微镜(HAADF-STEM)图像。图 3 是沿图 2 的 a-a' 线显示元件剖面的能量色散光谱(EDS)数据。

[0011] 参考图 3, Ti 扩散进 GST 层(也就是相变层)。对于 Ti 具有较高亲和力的 Te 运动(或迁移)到粘合层 6。

[0012] Sb 和 Ge 在与 Te 相反的方向上运动(或移动)(也就是远离粘合层)。如果 Ti 扩散到相变层,那么相变层的成分可能变化。

发明内容

[0013] 示范实施例涉及包括扩散势垒层的存储节点,具有这种存储节点的相变存储器件

及其制造方法。其他示范实施例涉及抑制钛 (Ti) 扩散的存储节点。

[0014] 为了防止 (或减小) 相变层的退化, 示范实施例提供了一种抑制杂质从层叠在相变层上的上部结构扩散入相变层的存储节点和相变存储器件。

[0015] 根据示范实施例, 提供了一种存储节点, 包括底部电极和顶部电极、插入在底部电极和顶部电极之间的相变层以及插入在顶部电极和相变层之间的钛-碲 (Ti-Te) 基扩散势垒层。

[0016] 根据示范实施例, 提供了一种包括开关元件和如上所述的存储节点的相变存储器件。存储节点可以连接到开关元件。

[0017] 钛-碲基扩散势垒层可以为其中满足表达式 $0 < x < 0.5$ 的 Ti_xTe_{1-x} 层。钛-碲基扩散势垒层可以具有 1nm 至 20nm 的厚度。

[0018] 粘合层可以形成在钛-碲基扩散势垒层和顶部电极之间。粘合层可以为钛 (Ti) 层。相变层可以为硫属化物 (chalcogenide) 材料层。硫属化物材料层可以为锗-锑-碲 (GeSbTe) 基层。

[0019] 根据示范实施例, 提供了一种存储节点的形成方法, 包括: 形成底部电极; 在底部电极上形成相变层; 在相变层上形成 Ti-Te 基扩散势垒层以及在 Ti-Te 基扩散势垒层上形成顶部电极。

[0020] 根据示范实施例, 提供了一种相变存储器件的制造方法, 包括形成开关元件以及将存储节点连接到开关元件。

[0021] Ti-Te 基扩散势垒层可以为其中满足表达式 $0 < x < 0.5$ 的 Ti_xTe_{1-x} 层。Ti-Te 基扩散势垒层可以具有 1nm 至 20nm 的厚度。Ti-Te 基扩散势垒层可以通过溅射、化学气相沉积、蒸镀以及原子层沉积来形成。

[0022] 在 Ti-Te 基扩散势垒层上的顶部电极的形成可以包括在 Ti-Te 基扩散势垒层上形成粘合层以及在粘合层上形成顶层。粘合层可以为钛 (Ti) 层。

[0023] 相变层可以由硫属化物材料形成。硫属化物材料可以为 GeSbTe 基材料。

[0024] 由于可以抑制从层叠在相变层上的上部结构到相变层的 Ti 扩散, 可以减小由于钛扩散使相变存储器件产生问题的可能性, 增加相变存储器件的运行可靠性。

[0025] 图说明

[0026] 下面通过结合相应附图的详细描述可以更清楚的理解本发明。图 1-13 表示在此描述的非限制的示范性实施例。

[0027] 图 1 说明了在退火处理之后传统相变存储器件的存储节点的透射电子显微镜 (TEM) 图像。

[0028] 图 2 说明了图 1 的退火存储节点的高角环形暗场扫描透射电子显微镜 (HAADF-STEM) 图像。

[0029] 图 3 说明了显示沿着图 2 的 a-a' 线的元件剖面的能量色散光谱 (EDS) 数据。

[0030] 图 4 是说明根据示范性实施例的相变存储器件的横截面图。

[0031] 图 5 是说明根据示范性实施例的相变存储器件的横截面图。

[0032] 图 6 说明图 4 的相变存储器件的存储节点的 TEM 图像。

[0033] 图 7 说明图 6 的退火存储节点的 HAADF-STEM 图像。

[0034] 图 8 说明显示沿着图 7 的 a-a' 线的元件剖面的 EDS 数据。以及

[0035] 图 9 至 13 是说明根据示范性实施例的相变存储器件的制造方法的横截面图。

具体实施方式

[0036] 现在参考在其中显示一些示范实施例的附图更充分地描述不同的示范实施例。在附图中,为了清晰可以放大层和区域的厚度。

[0037] 在此公开详细的例证实施例。然而,在此公开的具体结构和功能细节仅是典型的为了描述示范实施例。然而,本发明可以许多替换形式体现并且不应解释为仅仅限定为在此所述的示范实施例。

[0038] 因而,当示范实施例能够具有不同的修改和替换形式时,其实例通过附图中的例子的形式来显示并且在此将详细描述。然而,应当理解,没有将本发明限定为所公开的特定形式,而是反过来,本发明覆盖落入本发明范围的所有的修改、等价物以及替换。遍及整个附图的表述,类似的附图标记代表类似的元件。

[0039] 可以理解,虽然术语第一、第二等可以在此用来表述不同的元件,但是这些元件不应该被这些术语所限定。这些术语仅仅用来区别一个元件和另一个元件。例如,在不超出本发明范围的情况下,第一元件可表述为第二元件,以及,类似地,第二元件可表述为第一元件。如在此所使用的,术语“和 / 或”包括一个或更多关联所列项中的任何一个和所有组合。

[0040] 可以理解当元件被表述为与另一元件“连接”或“耦合”时,它可以直接与另一元件连接或耦合或者可能存在中间元件。相反,当元件被表述为与另一元件“直接相连”或“直接耦合”时,则没有中间元件存在。用来描述元件之间关系的其他词语应该以类似的方式解释(例如,“在...之间”与“直接在...之间”、“相邻”与“直接相邻”等)。

[0041] 在此使用的术语仅仅是为了表述具体实施例的目的,并没有对发明进行限定。在此使用的单数形式“该”也旨在包括复数形式,除非上下文明确指出其它的意思。进一步可以理解术语“包括和 / 或“包含”,当在此使用时,指定所述的特征、整体、步骤、操作、元件和 / 或成分的存在,但是不排除存在或增加一个或更多的其他特征、整体、步骤、操作、元件、成分和 / 或其组。

[0042] 可以理解,虽然术语第一、第二、第三等可以在此用来表述不同的元件、成分、区域、层和 / 或部分、但是这些元件、成分、区域、层和 / 或部分不应被这些术语限定。这些术语仅仅用来区别一个元件、成分、区域、层或部分与另一区域、层或部分。因此,在不超出本发明范围的情况下,下面讨论的第一元件、成分、区域、层或部分可以表述为第二元件、成分、区域、层或部分。

[0043] 为了便于表述,例如“下面”、“下方”、“下”、“上方”、“上”等等的空间相对术语可以在此用来表述如在附图中所示出的一个元件或特征与另一元件或特征之间的关系。可以理解,空间相对术语旨在包括在使用或运行中的器件的除附图中所描述的方位外的不同方位。例如,如果附图中的器件翻转,被表述为在其他元件或特征“下方”或“下面”的元件于是就被取向为在其它元件或特征“上方”。因此,例如,术语“下方”包括上方和下方这两个方向。器件可以有其它的取向(旋转 90 度或以其他取向显示或说明)并且应当相应解释在此使用的空间相对描述语。

[0044] 在此通过参考作为理想实施例(和中间结构)的示意图的横截面图来描述示范实

施例。同样地,可以预期由于例如制造技术和 / 或公差引起的图示的形状的变化。因而,实施例不应被解释为限定在于此显示的区域的具体形状,而是可以包括由例如制造产生的形状偏差。例如,表述为矩形的注入区域可以具有圆形的或弯曲的特征和 / 或在其边缘的(例如注入浓度的)梯度而不是从注入区至非注入区的突变。同样地,通过注入形成的掩埋区可以导致在掩埋区和通过其可以产生注入的表面之间的区域中的某些注入。因此,在附图中说明的区域实际上是示意性的以及它们的形状不必说明器件的区域的实际形状且对保护范围没有限定。

[0045] 也应说明的是在一些替换执行中,根据在图中说明之外的顺序可以产生所说明的功能 / 行为。例如,根据有关的功能 / 行为,连续示出的两幅图实际上可以基本上同时执行或有时可以以相反的顺序执行。

[0046] 为了更具体的描述示范实施例,将参照附图详细地表述各个方面。然而,本发明并不限于所表述的示范实施例。

[0047] 示范实施例涉及包括扩散势垒层的存储节点,具有这种存储节点的相变存储器件及其制造方法。其他的示范实施例涉及抑制钛 (Ti) 扩散的存储节点以及一种相变存储器件的制造方法。

[0048] 图 4 是说明根据示范性实施例的相变存储器件的横截面图。

[0049] 参考图 4,第一杂质区域 12 和第二杂质区域 14 彼此隔离地形成在基板 10 中。第一和第二杂质区域 12 和 14 可以通过利用所需要的导电杂质(例如 n 型杂质)掺杂基板 10 来形成。第一和第二杂质区域 12 和 14 中的一个可以为源区以及另一个可以为漏区。

[0050] 栅结构 20 可以沉积在基板 10 上在第一和第二杂质区域 12 和 14 之间。沟道区域 16 可以安置(形成)在栅结构 20 下方。栅结构 20 包括依次层叠在基板 10 上的栅绝缘层 18 和栅电极 19。在其上形成第一和第二杂质区域 12 和 14 的基板 10 以及栅结构 20 构成晶体管。

[0051] 第一绝缘夹层 22 可以形成在基板 10 上覆盖晶体管。第一绝缘夹层 22 可以由介电材料(例如氧化硅(SiO_2)或氮氧化硅(SiO_xN_y))形成。第一接触孔 h1 可以形成在第一绝缘夹层 22 中暴露第二掺杂区域 14。第一接触孔 h1 可以由导电插塞 24 充满。底部电极 30 可以安置(或形成)在第一绝缘夹层 22 上覆盖导电插塞 24 的暴露的表面。

[0052] 第二绝缘夹层 32 可以层叠在第一绝缘夹层 22 上覆盖底部电极 30。第二接触孔 h2 可以形成在第二绝缘夹层 32 中暴露底部电极 30 的一部分。第二接触孔 h2 可以由底部电极接触层 30a 充满。底部电极接触层 30a 可以由导电材料(例如氮化钛(TiN)或氮化钛铝(TiAlN))形成。第二绝缘夹层 32 可以由与第一绝缘夹层 22 相同的材料形成。

[0053] 相变层 38 可以安置(或形成)在第二绝缘夹层 32 上覆盖底部电极接触层 30a 的暴露的表面。扩散势垒层 36 和顶部电极 40 可以依次层叠在相变层 38 上。底部电极 30、底部电极接触层 30a、相变层 38、扩散势垒层 36 以及顶部电极 40 构成存储节点 S。扩散势垒层 36 可以起到粘合层的作用。顶部电极 40 可以为 TiN 电极或 TiAlN 电极。

[0054] 存储节点 S 的相变层 38 可以由锗-锑-碲(GeSbTe, GST)基硫属化物材料形成。相变层 38 可以由选自硫属化物合金、包括 5A 族元素的 Sb-Te 合金、包括 5A 族元素的 Sb-Se 合金、包括 6A 族元素的 Sb-Te 合金、包括 6A 族元素的 Sb-Se 合金、二元相变硫属化物合金、四元相变硫属化物合金、具有多个电阻状态的过渡金属氧化物及其组合组成的群组中的一

个形成。

[0055] 硫属化物合金可以为选自锗-锑-碲(Ge-Sb-Te)、氮-锗-锑-碲(N-Ge-Sb-Te)、砷-锑-碲(As-Sb-Te)、铟-锑-碲(In-Sb-Te)、锗-铋-碲(Ge-Bi-Te)、锡-锑-碲(Sn-Sb-Te)、银-铟-锑-碲(Ag-In-Sb-Te)、金-铟-锑-碲(Au-In-Sb-Te)、锗-铟-锑-碲(Ge-In-Sb-Te)、硒-锑-碲(Se-Sb-Te)、锡-铟-锑-碲(Sn-In-Sb-Te)、砷-锗-锑-碲(As-Ge-Sb-Te)及其组合所组成的群组中的一个。

[0056] 包括5A族元素的Sb-Te合金可以为选自自由钽-锑-碲(Ta-Sb-Te)、铌-锑-碲(Nb-Sb-Te)、钒-锑-碲(V-Sb-Te)及其组合所组成的群组中的一个。

[0057] 5A族元素-锑-硒合金可以为选自自由钽-锑-硒(Ta-Sb-Se)、铌-锑-硒(Nb-Sb-Se)、钒-锑-硒(V-Sb-Se)及其组合所组成的群组中的一个。

[0058] 包括6A族元素的Sb-Te合金可以为选自自由钨-锑-碲(W-Sb-Te)、钼-锑-碲(Mo-Sb-Te)、铬-锑-碲(Cr-Sb-Te)及其组合所组成的群组中的一个。

[0059] 包括6A族元素的Sb-Se合金可以为选自自由钨-锑-硒(W-Sb-Se)、钼-锑-硒(Mo-Sb-Se)、铬-锑-硒(Cr-Sb-Se)及其组合所组成的群组中的一个。

[0060] 二元相变硫属化物合金可以为选自自由Ga-Sb、Ge-Sb、In-Sb、In-Se、Sb-Te、Ge-Te及其组合所组成的群组中的至少一个。

[0061] 四元相变硫属化物合金可以为选自自由Ag-In-Sb-Te、(Ge-Sn)-Sb-Te、Ge-Sb-(Se-Te)、Te-Ge-Sb-S及其组合所组成的群组中的至少一个。

[0062] 具有多个电阻状态的过渡金属氧化物可以为选自自由NiO、TiO₂、HfO、Nb₂O₅、ZnO、WO₃、CoO、PCMO($\text{Pr}_x\text{Ca}_{(1-x)}\text{MnO}_3$)及其组合所组成的群组中的至少一个。

[0063] 存储节点S的扩散势垒层36可以为钛-碲(Ti-Te)基材料层。Ti-Te基材料层可以由包括Ti和Te的材料形成。Ti-Te基材料可以为 $\text{Ti}_x\text{Te}_{1-x}$ ，其中满足表达式 $0 < x < 0.5$ 。Ti-Te基材料层可以由其中满足表达式 $0.2 < x < 0.4$ 的 $\text{Ti}_x\text{Te}_{1-x}$ 形成。

[0064] Ti对于Te具有较高亲和力。这样，如果Ti和Te都用来形成薄膜，则Ti被Te束缚，阻止Ti扩散进入相变层38。

[0065] 扩散势垒层36可以具有1nm至20nm的厚度。扩散势垒层36可以具有5nm至15nm的厚度。

[0066] 由于扩散势垒层36包含在存储节点S内，因此可以抑制在相变层38和顶部电极40之间的钛扩散。可以避免（或防止）相变层38和顶部电极40之间的剥落现象。

[0067] 图5是说明根据示范性实施例的相变存储器件的横截面的图。为了简短，图4和5中的相同元件的描述将被省略。

[0068] 参考图5，粘合层39可以安置（或形成）在扩散势垒层36和顶部电极40之间。粘合层39可以为Ti基材料层。

[0069] 粘合层39避免（或减少）发生在相变层38和顶部电极40之间的剥落现象的可能性。扩散势垒层36抑制从粘合层39至相变层38的Ti扩散。粘合层39可以是由Ti形成的单层。粘合层39可以具有5nm至15nm的厚度。

[0070] 以下的实验测试包括在根据示范性实施例的存储节点S内的扩散势垒层的Ti扩散阻挡性能。

[0071] 在实验中，存储节点以上述方式形成。存储节点在350℃下进行一个小时的退火。

应用透射电子显微镜 (TEM)、高角环形暗场扫描透射电子显微镜 (HAADF-STEM) 等来测试退火的存储节点以确定 Ti 是否扩散。

[0072] 存储节点的底部电极接触层由 TiN 来形成。相变层为 GST 层。扩散势垒层 36 为 Ti-Te 层。顶部电极 40 为 Ti 电极。

[0073] 图 6 说明在上述试验中使用的存储节点的 TEM 图像。图 7 说明退火的存储节点的 HAADF-STEM 图像。图 8 说明显示沿着图 7 的 a-a' 线的元件剖面的 EDS 数据。

[0074] 参考图 8, 如果 Ti 与 Ge、Sb 以及 Te (形成相变层 38 的元素) 相比, 没有观察到 Ti 扩散进入 GST 层 (相变层 38)。

[0075] 图 9 至 13 是说明根据示范性实施例的相变存储器件的制造方法的横截面图。

[0076] 在实施例中描述的材料层可以通过在半导体存储器件的制造中公知的气相沉积法来形成 (例如溅射、金属有机化学气相沉积 (MOCVD)、包括化学气相沉积 (CVD) 和物理气相沉积 (PVD) 的蒸镀)。为了简短, 不再给出它们的详细描述。

[0077] 参考图 9, 栅结构 20 可以形成在基板 10 的所需要的区域上。栅结构 20 可以通过依次层叠栅绝缘层 18 和栅电极 19 来形成。导电杂质可以使用栅结构 20 为掩膜离子注入到基板 10 中。导电杂质可以为 n 型杂质。由于导电杂质的注入, 第一和第二杂质区域 12 和 14 可以以栅结构 20 在其中间的方式形成在基板 10 中。第一和第二杂质区域 12 和 14 中的一个可以作为源区以及另一个可以作为漏区。栅结构 20、第一和第二杂质区域 12 和 14 以及基板 10 形成为开关元件的晶体管。在第一和第二杂质区域 12 和 14 之间位于基板 10 的栅绝缘层 18 正下方的区域可以变成沟道区域 16。

[0078] 参照图 10, 第一绝缘夹层 22 可以形成在基板 10 上覆盖晶体管。第一绝缘夹层 22 可以由介电材料 (例如 SiO_x 或 SiO_xN_y) 形成。第一接触孔 h1 可以形成在第一绝缘夹层 22 中从而暴露第二杂质区域 14。导电插塞 24 可以通过采用导电材料充满第一接触孔 h1 来形成。底部电极 30 可以形成在第一绝缘夹层 22 上覆盖导电插塞 24 的暴露的表面。底部电极 30 可以由 TiN 或 TiAlN 形成。底部电极 30 可以由硅化物形成, 硅化物包含选自 Ag、Au、Al、Cu、Cr、Co、Ni、Ti、Sb、V、Mo、Ta、Nb、Ru、W、Pt、Pd、Zn、Mg 及其组合所组成的群组中的一个。底部电极 30 可以通过 CVD、ALD 或采用金属离子注入的退火形成, 但是不限于此。

[0079] 参考图 11, 第二绝缘夹层 32 可以形成在第一绝缘夹层 22 上覆盖底部电极 30。第二绝缘夹层 32 可以由介电材料 (例如 SiO_x 或 SiO_xN_y) 形成。第二接触孔 h2 可以形成在第二绝缘夹层 32 中暴露底部电极 30 的顶表面的一部分。底部电极接触层 30a 可以通过采用 TiN 或 TiAlN 充满第二接触孔 h2 来形成。底部电极接触层 30a 可以为电阻加热器。底部电极接触层 30a 的顶表面的宽度可以小于底部电极 30 的顶表面的宽度。

[0080] 参考图 12, 相变层 38、扩散势垒层 36 以及顶部电极 40 可以依次层叠在第二绝缘夹层 32 上覆盖底部电极接触层 30a 的顶表面。扩散势垒层 36 可以起到粘合层的作用。相变层 38、扩散势垒层 36 以及顶部电极 40 可以分别由与图 4 所描述的那些对应部分相同的材料形成。扩散势垒层 36 可以具有与图 4 所描述的扩散势垒层 36 相同的厚度。扩散势垒层 36 可以通过气相淀积 (例如溅射、MOCVD 或蒸镀) 形成。顶部电极 40 可以通过 CVD、ALD、溅射或蒸镀形成。

[0081] 如果扩散势垒层 36 通过溅射形成, 则为了改变 (或控制) 扩散势垒层 36 的成分, 用于 Te 靶的溅射功率可以设置成 30W 以及用于 Ti 靶的溅射功率可以设置成 30W 至 100W。

如果施加到 Ti 靶的溅射功率可以控制在 50W 至 80W 的范围。最佳功率水平可以通过靶的尺寸来确定。在溅射期间,扩散势垒层 36 的沉积温度可以在从 150℃到 350℃的范围。扩散势垒层 36 的沉积温度可以为 200℃或大约 200℃。

[0082] 在顶部电极 40 形成之后,光刻胶层图形 P1 可以形成在顶部电极 40 上,确定将形成存储节点 S(参见图 4)的区域。顶部电极 40、扩散势垒层 36 以及相变层 38 可以采用光刻胶层图形 P1 作为蚀刻掩膜依次蚀刻。光刻胶层图形 P1 可以移除,形成如图 13 所示的包括底部电极 30、底部电极接触层 30a、相变层 38、扩散势垒层 36 以及顶部电极 40 的存储节点 S。

[0083] 材料层可以添加到存储节点 S。例如,Ti 基粘合层可以形成在扩散势垒层 36 和顶部电极 40 之间。可以形成存储节点 S 使得扩散势垒层 36、Ti 基粘合层以及顶部电极 40 层叠。相变层 38 和顶部电极 40 之间的粘合力可以增加。粘合层可以省略。

[0084] 如上所述,根据示范实施例的相变存储器件包括安置(或形成)在相变层的顶表面上的扩散势垒层。可以降低相变层的性能的杂质(例如 Ti)从层叠在相变层上的上部结构(也就是顶部电极和/或 Ti 基粘合层)的扩散可得到抑制。相变存储器件可以避免(或减小)由于 Ti 扩散至相变层导致的相变层的退化所产生的缺陷(例如在耐久性试验期间产生的设置阻碍失败和/或重置阻碍失败)。根据示范实施例的相变存储器件的可靠性可以增加。

[0085] 当示范实施例已经被特别地示出和表述时,本领域的普通技术人员可以理解示范实施例仅仅是例子,并且不应解释为对本申请范围的限定。例如,只要扩散势垒层 36 被包括在存储节点 S 内,存储节点 S 可以修改为多种结构。不经过底部电极 30 和导电插塞 24,底部电极接触层 30a 可以直接地接触晶体管。因此,本发明的精神和范围由所附权利要求限定。

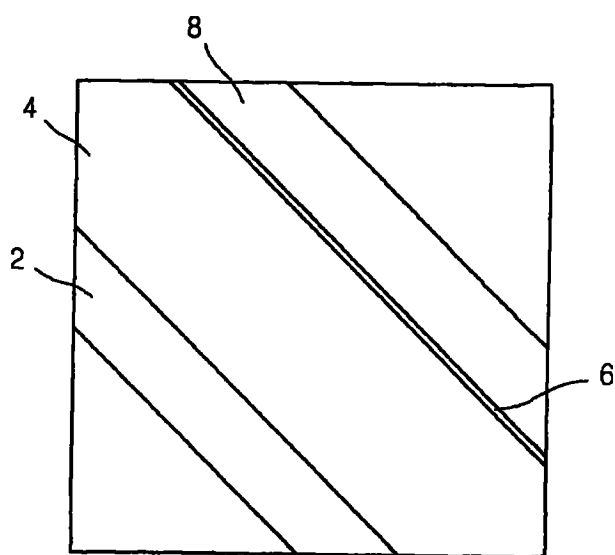


图 1

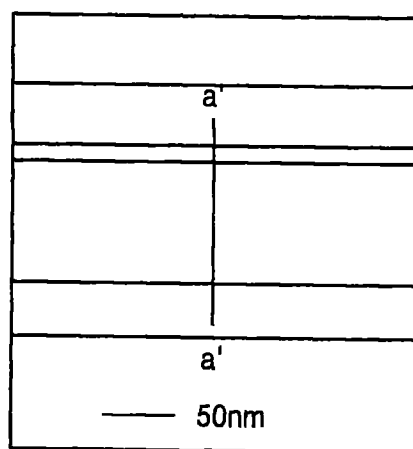


图 2

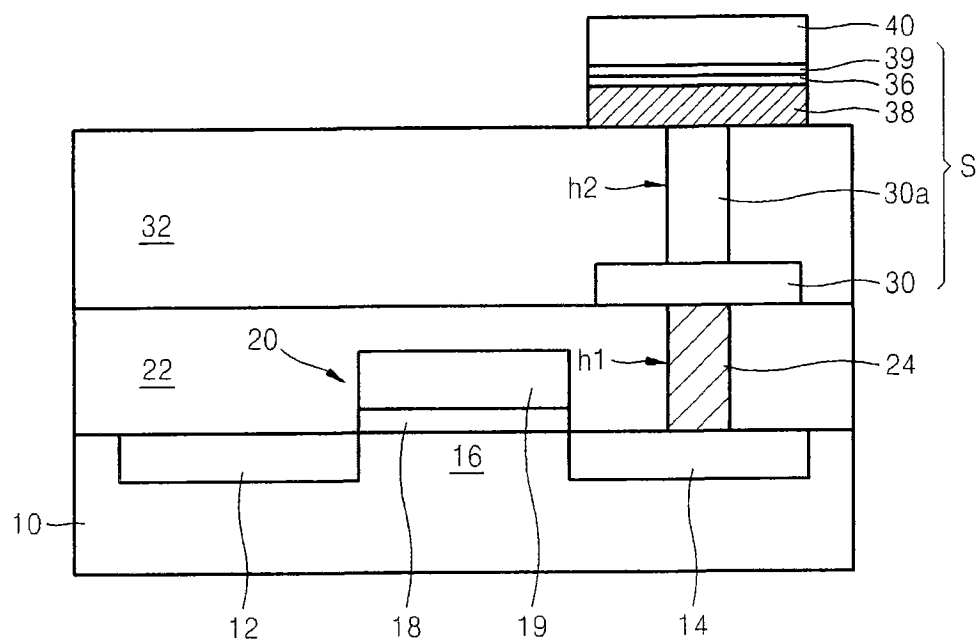


图 5

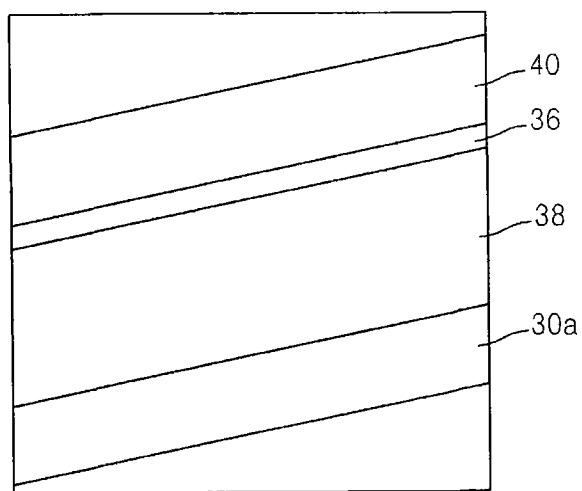


图 6

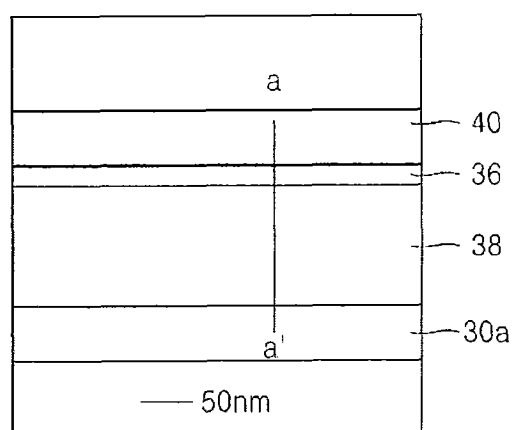


图 7

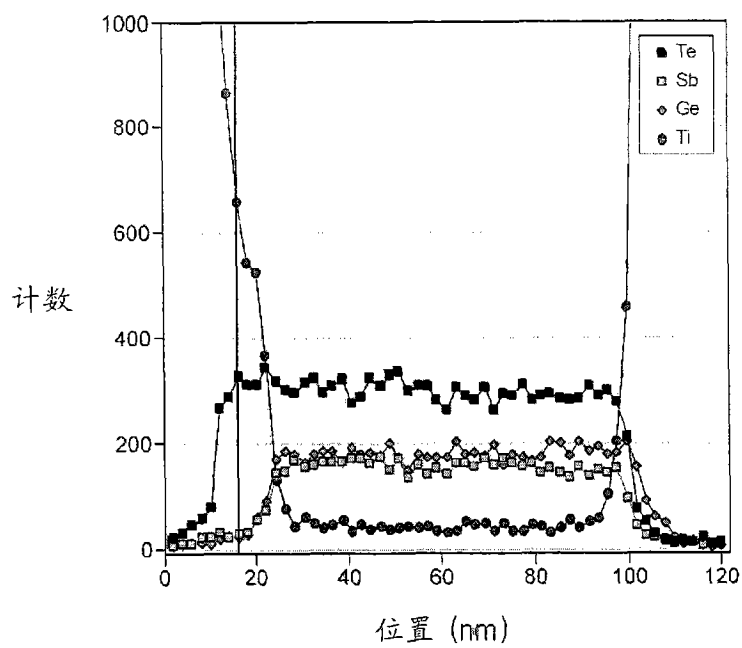


图 8

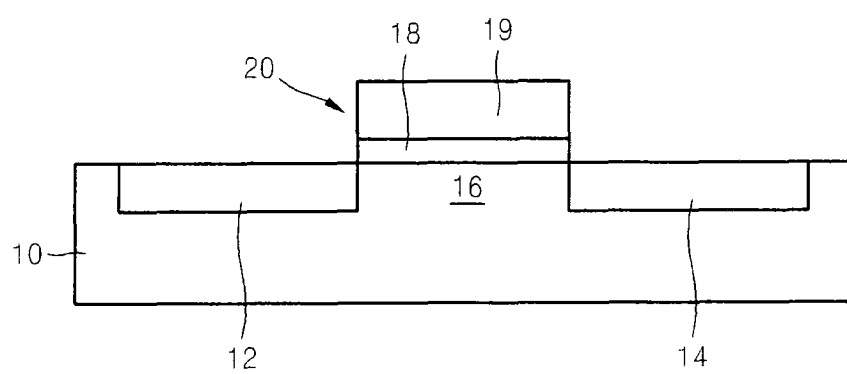


图 9

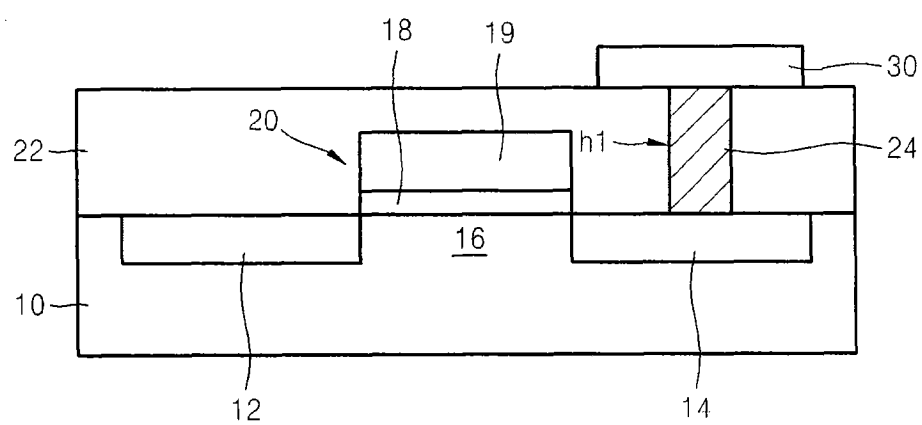


图 10

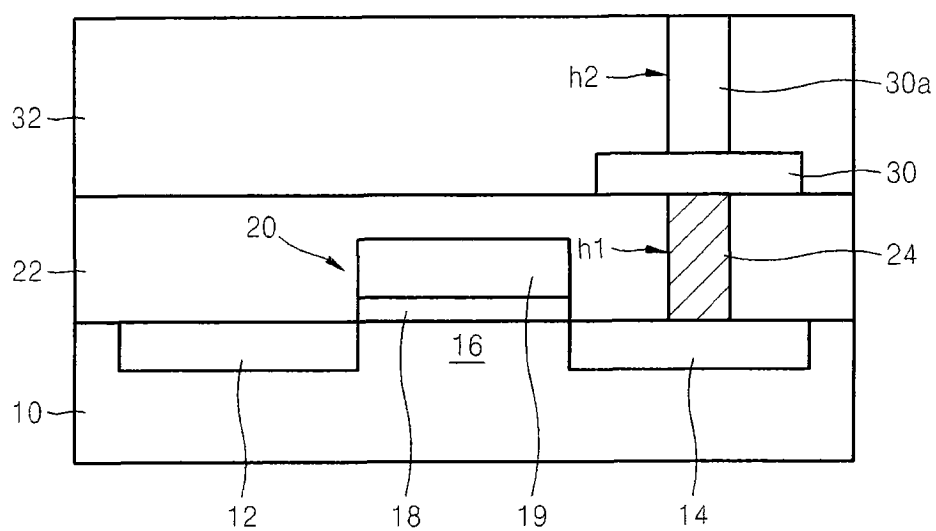


图 11

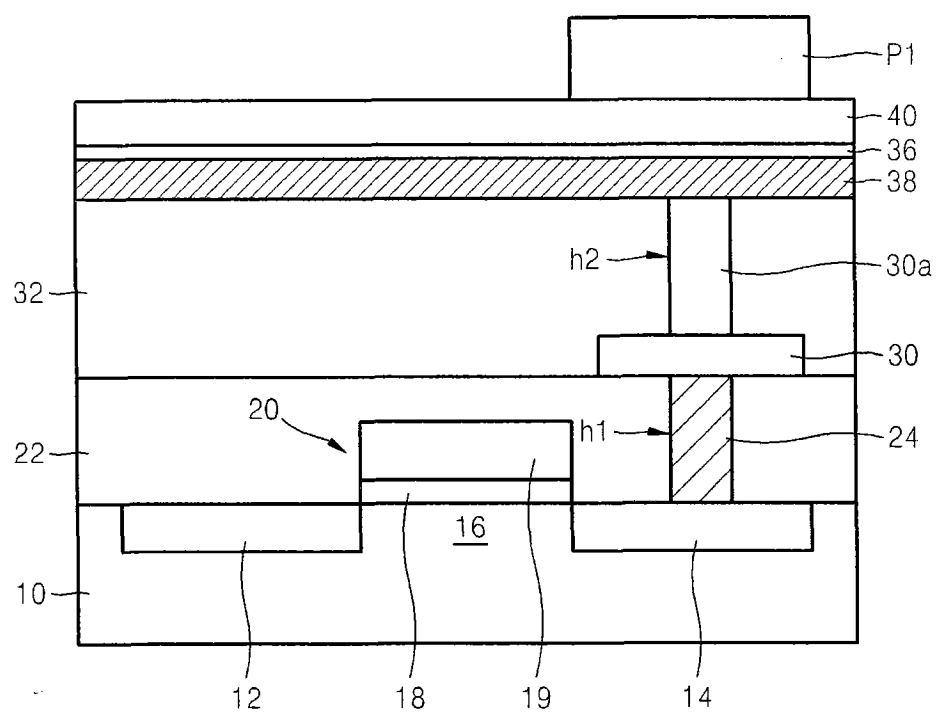


图 12

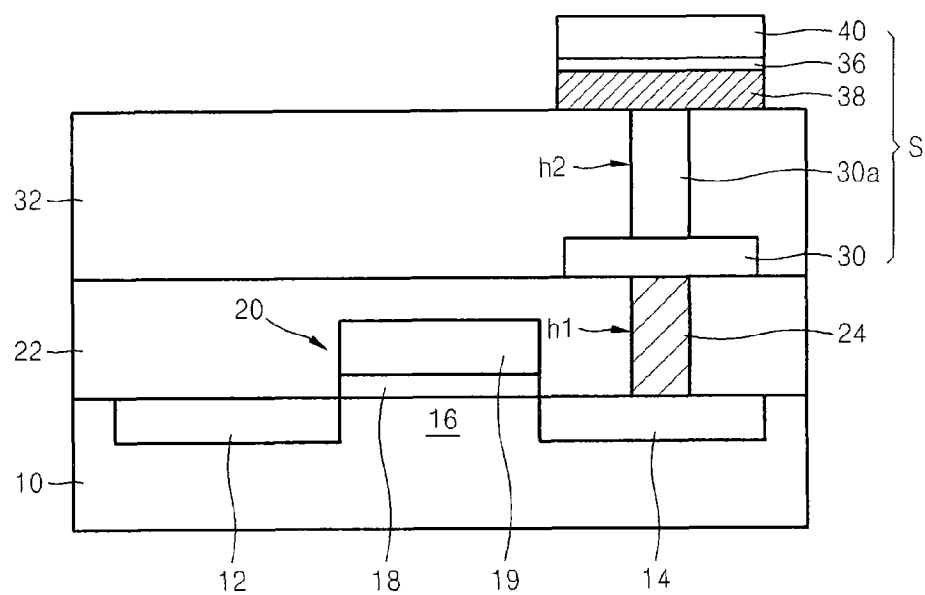


图 13