(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 107123395 B
(45)授权公告日 2021.07.06

(21)申请号 201710095596.1

(22)申请日 2017.02.22

(65)同一申请的已公布的文献号
申请公布号 CN 107123395 A

(43)申请公布日 2017.09.01

(30)优先权数据
2016-034098 2016.02.25 JP

(73)专利权人 精工爱普生株式会社
地址 日本东京都

(72)发明人 田村刚

(74)专利代理机构 北京三友知识产权代理有限公司 11127
代理人 邓毅 李庆泽

(51)Int.Cl.
G09G 3/3233(2016.01)
G09G 3/3291(2016.01)

(56)对比文件
CN 104064135 A,2014.09.24
CN 104769662 A,2015.07.08
JP 2008003347 A,2008.01.10
CN 1645458 A,2005.07.27
US 5537650 A,1996.07.16
US 2004174329 A1,2004.09.09
CN 1758312 A,2006.04.12

审查员 宁忠兰

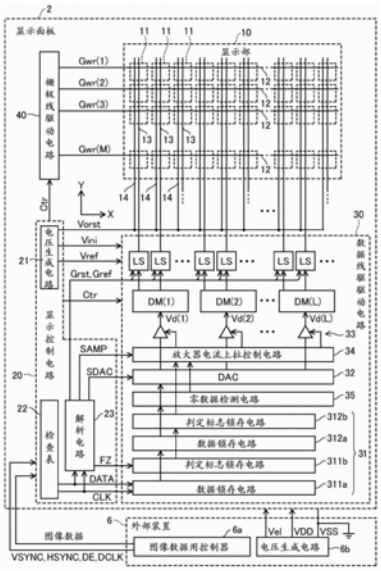
权利要求书2页 说明书16页 附图7页

(54)发明名称

显示装置以及电子设备

(57)摘要

本发明提供显示装置以及电子设备。其中，显示装置具备：多个锁存电路，该多个锁存电路锁存为了驱动多根数据线而使用的灰度数据；多个D/A转换器，该多个D/A转换器将锁存于上述多个锁存电路的灰度数据转换为多个模拟信号；多个放大器，该多个放大器分别放大从上述多个D/A转换器输出的多个模拟信号并生成多个灰度信号；以及解析电路，其解析锁存于上述多个锁存电路的灰度数据，并根据解析结果降低在至少一个放大器或者至少一个D/A转换器中流通的直流电流。



CN 107123395 B

1.一种显示装置,其特征在于,

该显示装置是在同一半导体基板上至少搭载有显示部以及驱动电路的显示装置,具备:

锁存电路,其锁存为了生成灰度信号而使用的灰度数据,上述灰度信号经由数据线被供给至上述显示部的各列的像素电路;

D/A转换器,其将锁存于上述锁存电路的灰度数据转换为模拟信号;

放大器,其放大从上述D/A转换器输出的模拟信号并生成上述灰度信号;

解析电路,其解析锁存于上述锁存电路的灰度数据的灰度电平是否在规定的电平以下,根据解析结果至少降低在上述D/A转换器中流通的直流电流,

上述D/A转换器具备:

第1恒压电路,其供给作为上述灰度信号的最高电位的第1稳定化电位;

第2恒压电路,其供给作为上述灰度信号的最低电位的第2稳定化电位;

第1灰度电压产生电路,其电连接在上述第1恒压电路与上述第2恒压电路之间;

第2灰度电压产生电路,其电连接在上述第1恒压电路与上述第2恒压电路之间;

第1开关,其电连接在上述第1灰度电压产生电路与上述第2恒压电路之间;

第2开关,其电连接在上述第2灰度电压产生电路与上述第2恒压电路之间;

第3开关,其电连接在上述第1灰度电压产生电路与上述放大器之间;以及

第4开关,其电连接在上述第2灰度电压产生电路与上述放大器之间,

在基于上述灰度数据的灰度信号被供给至上述各列的像素电路的期间内,当上述灰度电平不在上述规定的电平以下的情况下,上述解析电路使上述第1开关、上述第2开关、上述第3开关和上述第4开关为接通状态,当上述灰度电平在上述规定的电平以下的情况下,上述解析电路使上述第1开关和上述第3开关为接通状态,使上述第2开关和上述第4开关为断开状态。

2.一种显示装置,其特征在于,

该显示装置是在同一半导体基板上至少搭载有显示部以及驱动电路的显示装置,具备:

锁存电路,其锁存为了生成灰度信号而使用的灰度数据,上述灰度信号经由数据线被供给至上述显示部的各列的像素电路;

D/A转换器,其将锁存于上述锁存电路的灰度数据转换为模拟信号;

放大器,其放大从上述D/A转换器输出的模拟信号并生成上述灰度信号;

解析电路,其解析锁存于上述锁存电路的灰度数据的灰度电平是否在规定的电平以上,根据解析结果至少降低在上述D/A转换器中流通的直流电流,

上述D/A转换器具备:

第1恒压电路,其供给作为上述灰度信号的最高电位的第1稳定化电位;

第2恒压电路,其供给作为上述灰度信号的最低电位的第2稳定化电位;

第1灰度电压产生电路,其电连接在上述第1恒压电路与上述第2恒压电路之间;

第2灰度电压产生电路,其电连接在上述第1恒压电路与上述第2恒压电路之间;

第1开关,其电连接在上述第1灰度电压产生电路与上述第2恒压电路之间;

第2开关,其电连接在上述第2灰度电压产生电路与上述第2恒压电路之间;

第3开关,其电连接在上述第1灰度电压产生电路与上述放大器之间;以及

第4开关,其电连接在上述第2灰度电压产生电路与上述放大器之间,

在基于上述灰度数据的灰度信号被供给至上述各列的像素电路的期间内,当上述灰度电平不在上述规定的电平以上的情况下,上述解析电路使上述第1开关、上述第2开关、上述第3开关和上述第4开关为接通状态,当上述灰度电平在上述规定的电平以上的情况下,上述解析电路使上述第1开关和上述第3开关为接通状态,使上述第2开关和上述第4开关为断开状态。

3.根据权利要求1或2所述的显示装置,其特征在于,

上述解析电路在消隐期间,降低在上述D/A转换器中流通的直流电流。

4.一种电子设备,其特征在于,

具备权利要求1～3中的任意一项所述的显示装置。

显示装置以及电子设备

技术领域

[0001] 本发明涉及使用了有机EL(Electro-Luminescence:电致发光)面板等显示面板的显示装置。进一步,本发明涉及具备这样的显示装置的电子设备等。

背景技术

[0002] 近年,提出了各种使用有机发光二极管(以下,也称为OLED(Organic Light Emitting Diode))等发光元件的显示面板。在这样的显示面板中,与扫描线和数据线交叉的像素的位置对应地设置有包含发光元件、晶体管等的像素电路。另外,也开发出在显示面板的硅底板搭载有驱动电路等的显示装置(Si－OLED)。

[0003] 在Si－OLED中,在构成硅底板的硅基片上搭载有多个锁存电路、多个DAC(数字/模拟转换器)、以及多个放大器等。锁存于多个锁存电路的一行的灰度数据被多个DAC转换为多个模拟信号,进一步,被多个放大器放大并生成多个灰度信号。这些灰度信号用于驱动显示面板的多根数据线。

[0004] 另外,也进行通过一个放大器以分时的方式驱动多根(3～18根左右)数据线。该驱动方式被称为多路驱动方式。根据多路驱动方式,与对每个数据线设置DAC以及放大器的情况相比较,能够减少DAC以及放大器的个数。

[0005] 作为相关的技术,专利文献1公开了使用多路驱动方式的显示装置。专利文献1的图3表示以分时的方式对在图1的显示部100的一行上的M×3(RGB)个像素切换输出数据电位的多路分配器块41。例如,在M＝18的情况下,图3所示的多路分配器块41设置有相当于(行方向X的所有像素数)÷54的个数。

[0006] 专利文献1:日本特开2014－186083号公报(段落0038、图1、图3)

[0007] 然而,即使使用多路驱动方式,多个DAC以及多个放大器中的消耗电流也较大。虽然在全黑显示期间中在发光元件中不流通电流,但例如,在驱动电路中流通有28mA左右的电流,其中,在放大器中流通16mA左右的电流。

发明内容

[0008] 因此,本发明的第一目的在于,在显示面板的硅底板搭载了驱动电路等的显示装置中,几乎不给予画质影响地减少驱动电路中的放大器或者D/A转换器的消耗电流。另外,本发明的第二目的在于提供具备这样的显示装置的电子设备等。

[0009] 为了解决以上的课题的至少一部分,本发明的第一观点所涉及的显示装置是在同一半导体基板上至少搭载有显示部以及驱动电路的显示装置,具备:多个锁存电路,上述多个锁存电路锁存为了驱动多根数据线而使用的灰度数据,其中,上述多根数据线在显示部中与多列像素电路对应地设置;多个D/A转换器,上述多个D/A转换器将锁存于多个锁存电路的灰度数据转换为多个模拟信号;多个放大器,上述多个放大器分别放大从多个D/A转换器输出的多个模拟信号并生成多个灰度信号;以及解析电路,其解析锁存于多个锁存电路的灰度数据,并根据解析结果降低在至少一个放大器或者至少一个D/A转换器中流通的直

流电流。

[0010] 根据本发明的第一观点，解析锁存于多个锁存电路的灰度数据，并根据解析结果降低在至少一个放大器或者至少一个D/A转换器中流通的直流电流，所以能够几乎不给予画质影响地减少驱动电路中的放大器或者D/A转换器的消耗电流。

[0011] 这里，也可以解析电路针对锁存于多个锁存电路的一行的灰度数据判定灰度电平是否在规定的电平以下，在一行的所有像素的灰度电平在规定的电平以下的情况下，在基于该一行的灰度数据驱动一行的像素电路的期间中，降低在多个放大器或者多个D/A转换器中流通的直流电流。

[0012] 在一行的所有像素的灰度电平在规定的电平以下的情况下，这些像素的灰度电平为黑电平或者接近黑电平的低亮度电平，所以不容易视觉确认出显示不均等。因此，能够几乎不给予画质影响地减少多个放大器或者多个D/A转换器的消耗电流。

[0013] 该情况下，也可以解析电路在降低在多个放大器中流通的直流电流时，控制多根数据线的电位，以使基于该一行的灰度数据驱动的一行的像素电路的驱动晶体管成为非导通状态。由此，即使降低在多个放大器中流通的直流电流，也能够使基于该一行的灰度数据驱动的一行的像素电路的发光元件的发光停止。

[0014] 在本发明的第一观点所涉及的显示装置中，也可以在多根数据线分为多个块进行驱动的情况下，多个D/A转换器分别将一块的灰度数据依次转换为一块的模拟信号，多个放大器分别放大从各个D/A转换器依次输出的一块的模拟信号并生成一块的灰度信号，在上述显示装置中还设置有多个多路分配器，该多个多路分配器分别被供给从多个放大器输出的多个块的灰度信号，并以将各块的灰度信号以分时的方式供给至规定数目的数据线的方式进行切换动作。由此，与对每根数据线设置D/A转换器以及放大器的情况相比较，能够减少D/A转换器以及放大器的个数。

[0015] 该情况下，也可以解析电路针对锁存于多个锁存电路的一块的灰度数据判定灰度电平是否在规定的电平以下，在一块的所有像素的灰度电平在规定的电平以下的情况下，在基于该一块的灰度数据驱动一块的像素电路的期间中，降低在与被供给该一块的灰度数据的D/A转换器连接的放大器中流通的直流电流。

[0016] 在一块的所有像素的灰度电平在规定的电平以下的情况下，这些像素的灰度电平是黑电平或者接近黑电平的低亮度电平，所以不容易视觉确认出显示不均等。因此，能够几乎不给予画质影响地减少与被供给该一块的灰度数据的D/A转换器连接的放大器中的消耗电流。

[0017] 或者，也可以解析电路判定供给至多个D/A转换器的各个的一个像素的灰度数据的值是否为零，在一个像素的灰度数据的值为零的情况下，在基于该一个像素的灰度数据驱动一个像素电路的期间中，降低在与被供给该一个像素的灰度数据的D/A转换器连接的放大器中流通的直流电流。

[0018] 在一个像素的灰度数据的值为零的情况下，不需要使该像素的像素电路的发光元件发光。因此，能够几乎不给予画质影响地减少与被供给该一个像素的灰度数据的D/A转换器连接的放大器的消耗电流。

[0019] 并且，也可以解析电路在降低在放大器中流通的直流电流时，将放大器的输出端子上拉为灰度信号的最高电位。由此，即使降低在放大器中流通的直流电流，也能够使与该

放大器对应的像素电路的发光元件的发光停止。

[0020] 以上,也可以解析电路针对锁存于多个锁存电路的一行的灰度数据判定灰度电平是否在规定的电平以上,在一行的所有像素的灰度电平在规定的电平以上的情况下,在基于该一行的灰度数据驱动一行的像素电路的期间中,降低在多个放大器或者多个D/A转换器中流通的直流电流。

[0021] 在一行的所有像素的灰度电平在规定的电平以上的情况下,这些像素的灰度电平为白电平或者接近白电平的高亮度电平,所以不容易视觉确认出显示不均等。因此,能够几乎不给予画质影响地减少多个放大器或者多个D/A转换器的消耗电流。

[0022] 另外,也可以解析电路在消隐期间,降低在多个D/A转换器中流通的直流电流。在消隐期间灰度电平不成为问题,所以能够不给予画质影响地减少多个D/A转换器的消耗电流。

[0023] 本发明的第二观点所涉及的电子设备具备上述任意一个显示装置。根据本发明的第二观点,使用几乎不给予画质影响地减少了驱动电路中的放大器或者D/A转换器的消耗电流的显示装置,从而能够减少电子设备的消耗电流。

附图说明

[0024] 图1是表示本发明的各实施方式所涉及的显示装置的立体图。

[0025] 图2是表示本发明的各实施方式所涉及的显示装置的构成例的框图。

[0026] 图3是表示图2所示的放大器的构成例的电路图。

[0027] 图4是表示图2所示的电平设定电路等的构成例的电路图。

[0028] 图5是表示图2所示的DAC的一部分的构成例的图。

[0029] 图6是用于说明图5所示的灰度电压产生电路的连接状态的图。

[0030] 图7是表示头戴式显示器的外观的立体图。

[0031] 图8是表示头戴式显示器的光学构成例的俯视图。

具体实施方式

[0032] 以下,参照附图对本发明的实施方式进行详细说明。此外,对相同的构成要素标注相同的参照符号,并省略重复的说明。

[0033] 显示装置

[0034] 图1是表示本发明的各实施方式所涉及的显示装置的外观的立体图。该显示装置1例如是在头戴式显示器中显示图像的微型显示器。

[0035] 如图1所示,显示装置1包含有机EL面板等显示面板2、外壳3、以及FPC(Flexible Printed Circuit:柔性印刷电路)基板4。例如,显示面板2收纳于在显示部形成有开口的框状的外壳3,并与FPC基板4连接。为了与主CPU等外部装置(参照图2)的连接而在FPC基板4设置有多个端子5。

[0036] 显示面板2包含设置在硅底板(硅基片)的有源矩阵方式的多个像素电路。各个像素电路包含OLED等发光元件、多个晶体管等。另外,在硅底板设置有驱动这些像素电路的驱动电路等。

[0037] 第一实施方式

[0038] 图2是表示本发明的各实施方式所涉及的显示装置的构成例的框图。图2示出显示面板2和外部装置6。显示面板2包含显示部10、显示控制电路20、数据线驱动电路(源极驱动器)30、以及栅极线驱动电路(栅极驱动器)40。显示控制电路20～栅极线驱动电路40设置在显示面板2的硅底板。

[0039] 显示部10包含多个像素电路11。例如,与R(红色)、G(绿色)、B(蓝色)三种像素(点)对应地,二维矩阵状地排列有M行×(3N)列的像素电路11(M以及N是2以上的整数)。

[0040] 在显示部10中,与M行的像素电路11对应地,向第一方向(图中的X轴方向)延伸地设置M根扫描线12。另外,与(3N)列的像素电路11对应地,向与第一方向大致正交的第二方向(图中的Y轴方向)延伸地设置(3N)根数据线13。并且,与(3N)列的像素电路11对应地,向第二方向延伸地设置(3N)根复位线14。各个复位线14被供给有规定的复位电位Vorst。

[0041] 显示控制电路20例如由包含组合电路或者顺序电路的逻辑电路等构成,控制显示部10中的显示定时。对显示控制电路20从外部装置6的图像数据用控制器6a与同步信号同步地供给图像数据。图像数据也可以是包含R(红色)、G(绿色)、B(蓝色)这三种颜色的颜色成分(例如,各色成分为8位)的RGB格式的图像数据。另外,同步信号也可以包含垂直同步信号VSYNC、水平同步信号HSYNC、数据使能信号DE、以及数据时钟信号DCLK。

[0042] 显示控制电路20基于所供给的图像数据来生成灰度数据DATA,并将灰度数据DATA与内部获取用的时钟信号CLK同步地供给至数据线驱动电路30。例如,在显示控制电路20设置有使显示部10上的发光元件的亮度(灰度电平)与灰度数据DATA建立对应关系地储存的检查表22。显示控制电路20通过参照检查表22,来生成与由所供给的图像数据表示的灰度电平对应的灰度数据DATA。

[0043] 另外,显示控制电路20将控制各种定时的控制信号Ctr供给给数据线驱动电路30以及栅极线驱动电路40。例如,控制信号Ctr也可以包含垂直同步信号、水平同步信号、数据使能信号、或者其它的控制信号。数据线驱动电路30以及栅极线驱动电路40基于从显示控制电路20供给的灰度数据DATA以及控制信号Ctr等,在显示部10显示图像。

[0044] 显示控制电路20还包含电压生成电路21和解析电路23。电压生成电路21生成各种电位,并将这些电位供给至数据线驱动电路30等。例如,电压生成电路21生成复位电位Vorst、供给至数据线13的初始化电位Vini、以及施加给电容器C2(参照图4)的参照电位Vref等。显示部10、数据线驱动电路30、栅极线驱动电路40中的高电位侧的电源电位Vel、以及逻辑电源电位VDD等从外部装置6的电压生成电路6b供给。

[0045] 解析电路23例如由包含组合电路或者顺序电路的逻辑电路等构成,能够解析所生成的灰度数据DATA,并根据解析结果降低在至少一个放大器33中流通的直流电流。因此,解析电路23生成控制放大器33中的直流电流的控制信号SAMP。

[0046] 数据线驱动电路30也可以包含多个锁存电路31、多个DAC(D/A转换器)32、多个放大器33、放大器电流上拉控制电路34、零数据检测电路35、以及与(3N)根数据线13对应的(3N)个电平设定电路LS。

[0047] 另外,数据线驱动电路30也可以为了向一行的队列所包含的(3N)个像素电路11写入灰度信号,而将(3N)根数据线13分为L个块,并时分驱动各块所包含的多根数据线13(L是2以上(3N/2)以下的整数)。因此,数据线驱动电路30也可以还包含L个多路分配器DM(1)～DM(L)。

[0048] 这里，构成一块的数据线13的数目也可以是3的倍数。以下，作为一个例子，对18根数据线13构成一块的情况进行说明。例如，在N＝1944的情况下，5832根数据线被分为324个块(L＝324)。

[0049] 多个锁存电路31例如由多个D型触发器等构成。如图2所示，多个锁存电路31也可以包含第一组数据锁存电路311a、第一组判定标志锁存电路311b、第二组数据锁存电路312a、以及第二组判定标志锁存电路312b。

[0050] 第一组数据锁存电路311a与数据线的数目(一行的像素数)对应地设置，在一个水平同步期间中，与时钟信号CLK同步地依次获取为了驱动多根数据线而使用的灰度数据DATA。例如，在灰度数据DATA的各种颜色的位数为K位的情况下，第一组数据锁存电路311a由(3N)个K位锁存电路构成。

[0051] 第二组数据锁存电路312a与数据线的数目(一行的像素数)对应地设置，在每一个水平同步期间，保持从第一组数据锁存电路311a输出的灰度数据DATA。例如，在灰度数据DATA的各种颜色的位数为K位的情况下，第二组数据锁存电路312a由(3N)个K位锁存电路构成。

[0052] 这样，通过设置2段锁存电路，在基于第二组数据锁存电路312a所保持的灰度数据DATA驱动一行的像素电路11的期间，第一组数据锁存电路311a能够获取为了驱动下一行的像素电路11而使用的灰度数据DATA。

[0053] 多个DAC32将锁存于多个锁存电路31的灰度数据DATA转换为多个模拟信号。各个DAC32具备多个灰度电压产生电路，通过与灰度数据DATA的值对应地，选择灰度电压产生电路产生的多个灰度电压中的一个，来输出模拟信号。在多根数据线13分为L个块进行驱动的情况下，L个DAC32分别将从第二组数据锁存电路312a中的一块锁存电路输出的一块的灰度数据依次转换为一块的模拟信号。这里，一块的灰度数据是时分多路复用了一块所包含的规定数目(18根)的数据线的灰度数据的数据。

[0054] 多个放大器33分别放大从多个DAC32输出的多个模拟信号，并生成多个灰度信号。例如，在多根数据线13分为L个块进行驱动的情况下，L个放大器33分别放大从各个DAC32依次输出的一块的模拟信号并生成一块的灰度信号Vd(k)(k＝1～L)。这里，灰度信号Vd(k)是时分多路复用了一块所包含的规定数目(18根)的数据线的灰度信号的数据。L个放大器33将灰度信号Vd(1)、Vd(2)、…、Vd(L)分别供给至与第一个、第二个、…、第L个块对应的多路分配器DM(1)、DM(2)、…、DM(L)。

[0055] 多路分配器DM(1)、DM(2)、…、DM(L)分别被供给从L个放大器33输出的L块的灰度信号Vd(1)、Vd(2)、…、Vd(L)，并以将各块的灰度信号Vd(k)以分时的方式供给至规定数目(18根)的数据线13的方式进行切换动作。由此，与对每根数据线13设置DAC32以及放大器33的情况相比较，能够减少DAC32以及放大器33的个数。

[0056] 栅极线驱动电路40例如由包含组合电路或者顺序电路的逻辑电路等构成，根据控制信号Ctr，生成用于在一个垂直同步期间内依次驱动M根扫描线12的M个扫描信号Gwr(1)～Gwr(M)。这里，一个垂直同步期间是指显示部10显示一个画面的图像所需要的期间(一帧期间)。另外，栅极线驱动电路40除了扫描信号之外，还对每一行生成与扫描信号同步的各种控制信号，并将这些控制信号供给至显示部10。

[0057] 放大器的构成例

[0058] 图3是表示图2所示的放大器的构成例的电路图。如图3所示，各个放大器33包含供给有高电位侧的电源电位Vel以及低电位侧的电源电位VSS并进行放大动作的放大电路A1以及A2、和分别以高速切换放大电路A1以及A2的恒流(直流电流)的开关电路S1以及S2。

[0059] 放大电路A1包含P沟道MOS晶体管QP11～QP14和N沟道MOS晶体管QN11～QN15。晶体管QP11以及QP12的源极与电源电位Vel的布线连接，栅极与晶体管QP12的漏极连接。

[0060] 晶体管QN11以及QN12构成差分对。晶体管QN11的漏极与晶体管QP11的漏极连接，栅极与第一输入端子IN1连接。另外，晶体管QN12的漏极与晶体管QP12的漏极连接，栅极与第二输入端子IN2连接。

[0061] 晶体管QN13～QN15构成恒流源。晶体管QN13～QN15的漏极与晶体管QN11以及QN12的源极连接，在栅极施加有参照电位VRN1。作为参照电位VRN1，施加相对于电源电位VSS比晶体管QN13～QN15的阈值电压稍微高的电位。在开关电路S1导通时，晶体管QN13～QN15向晶体管QN11以及QN12供给恒流。例如，在晶体管QN13、QN14、QN15中流通的恒流的比为1:4:5。

[0062] 晶体管QP13的源极与电源电位Vel的布线连接，在栅极施加有参照电位VRP1。作为参照电位VRFP1，施加相对于电源电位Vel比晶体管QP13的阈值电压稍微低的电位。晶体管QP14的源极与晶体管QP13的漏极连接，漏极与输出端子OUT连接，栅极与晶体管QP11以及QN11的漏极连接。

[0063] 开关电路S1包含N沟道MOS晶体管QN16～QN18。晶体管QN16～QN18的栅极分别施加有电流控制信号SA1～SA3，使在恒流源的晶体管QN13～QN15中流通的恒流导通或者截止。

[0064] 放大电路A2包含N沟道MOS晶体管QN21～QN24、和P沟道MOS晶体管QP21～QP25。晶体管QN21以及QN22的源极与电源电位VSS的布线连接，栅极与晶体管QN22的漏极连接。

[0065] 晶体管QP21以及QP22构成差分对。晶体管QP21的漏极与晶体管QN21的漏极连接，栅极与第一输入端子IN1连接。另外，晶体管QP22的漏极与晶体管QN22的漏极连接，栅极与第二输入端子IN2连接。

[0066] 晶体管QP23～QP25构成恒流源。晶体管QP23～QP25的漏极与晶体管QP21以及QP22的源极连接，在栅极施加有参照电位VRP2。作为参照电位VRP2，施加相对于电源电位Vel比晶体管QP23～QP25的阈值电压稍微低的电位。在开关电路S2导通时，晶体管QP23～QP25向晶体管QP21以及QP22供给恒流。例如，在晶体管QP23、QP24、QP25中流通的恒流的比为1:4:5。

[0067] 晶体管QN23的源极与电源电位VSS的布线连接，在栅极施加有参照电位VRN2。作为参照电位VRN2，施加相对于电源电位VSS比晶体管QN23的阈值电压稍微高的电位。晶体管QN24的源极与晶体管QN23的漏极连接，漏极与输出端子OUT连接，栅极与晶体管QN21以及QP21的漏极连接。

[0068] 开关电路S2包含P沟道MOS晶体管QP26～QP28。晶体管QP26～QP28经由三个变频器分别在栅极施加有电流控制信号SA1～SA3，使在恒流源的晶体管QP23～QP25中流通的恒流导通或者截止。

[0069] 这样构成的放大器33通过连接输入端子IN2和输出端子OUT，作为电压跟随型放大器使用，将与施加到输入端子IN1的模拟信号的电压大致相同的电压作为灰度信号Vd(k)从输出端子OUT输出。

[0070] 多路分配器以及电平设定电路的构成例

[0071] 图4是表示图2所示的多路分配器、电平设定电路、以及像素电路的构成例的电路图。在图4中，示出图2所示的多路分配器DM(1)～DM(L)中的一个多路分配器DM(k)、一个电平设定电路LS、以及一个像素电路11。

[0072] 多路分配器DM(k)包含对像素电路11的每一列设置的多个传输门36，以分时的方式向分别与第k个块所包含的18根数据线13连接的18个电平设定电路LS供给灰度信号Vd(k)。多个传输门36的输入端子相互共同连接，并对这些输入端子供给灰度信号Vd(k)。

[0073] 在多路分配器DM(k)中设置于第一列的传输门36在从图2所示的显示控制电路20供给的控制信号Sel(1)为高电平(控制信号XSel(1)为低电平)时成为连通状态(导通状态)，在控制信号Sel(1)为低电平(控制信号XSel(1)为高电平)时成为非导通状态(截止状态)。

[0074] 另外，在多路分配器DM(k)中设置于第二列的传输门36在控制信号Sel(2)为高电平时成为导通状态。以下同样地，在多路分配器DM(k)中设置于第18列的传输门36在控制信号Sel(18)为高电平时成为导通状态。

[0075] 与多个传输门36对应地，多个电平设定电路LS也设置在像素的每一列。各个电平设定电路LS包含电容器C1以及C2、传输门37、P沟道MOS晶体管QP31以及QP32、以及N沟道MOS晶体管QN33，并设定数据线13的电位。

[0076] 电容器C1的一个电极与传输门36的输出端子连接，电容器C1的另一个电极与显示部10中的低电位侧的电源电位Vct的供给线连接。在传输门36为导通状态时，对电容器C1的一个电极供给灰度信号Vd(k)。传输门37连接在电容器C1的一个电极与中继布线15之间。

[0077] 晶体管QP31连接在数据线13与初始化电位Vini的供给线之间。晶体管QP32连接在数据线13与显示部10中的高电位侧的电源电位Vel的供给线之间。电容器C2连接在数据线13与中继布线15之间。晶体管QN33连接在中继布线15与参照电位Vref的供给线之间。

[0078] 图2所示的显示控制电路20向多列的晶体管QP31的栅极共同施加控制信号Gini。多列的晶体管QP31在控制信号Gini为低电平时，一起成为导通状态而将初始化电位Vini的供给线与数据线13电连接，在控制信号Gini为高电平时，使两者非电连接。

[0079] 另外，显示控制电路20向多列的传输门37共同供给控制信号Gcpl以及XGcpl。多列的传输门37在控制信号Gcpl为高电平时，一起成为导通状态而将电容器C1的一个电极与中继布线15电连接，在控制信号Gcpl为低电平时，使两者非电连接。

[0080] 图2所示的解析电路23向多列的晶体管QP32共同供给控制信号Grst。多列的晶体管QP32在控制信号Grst为低电平时，一起成为导通状态而将电源电位Vel的供给线与数据线13电连接，在控制信号Grst为高电平时，使两者非电连接。

[0081] 另外，解析电路23向多列的晶体管QN33共同供给控制信号Gref。多列的晶体管QN33在控制信号Gref为高电平时，一起成为导通状态而将参照电位Vref的供给线与中继布线15电连接，在控制信号Gref为低电平时，使两者非电连接。

[0082] 像素电路的构成例

[0083] 像素电路11包含发光元件D1、P沟道MOS晶体管QP1～QP5、以及保持电容Cpix。发光元件D1例如是由形成在硅基板的阳极和具有透光性的阴极夹持白色的有机EL层的OLED。发光元件D1的阳极是按每个像素电路分别独立地设置的像素电极。与此相对，发光元件D1的

阴极是在所有像素电路共同地设置的共用电极，保持为显示部10中的低电位侧的电源电位Vct。

[0084] 在发光元件D1的射出侧(阴极侧)设置有与RGB的任意一个对应的彩色滤光片。此外，也可以调整隔着白色的有机EL层配置的两个反射层间的光学距离来形成空腔谐振结构，并设定从发光元件D1射出的光的波长。该情况下，既可以设置彩色滤光片，也可以不设置。

[0085] 在这样的发光元件D1中，若电流从阳极流向阴极，则从阳极注入的空穴和从阴极注入的电子在有机EL层重新结合而生成激子，产生白色光。此时产生的白色光透过与硅基板(阳极)相反的一侧的阴极，并经由通过彩色滤光片的着色，从显示部10射出。

[0086] 图2所示的栅极线驱动电路40向第i行的扫描线12供给扫描信号Gwr(i)。另外，栅极线驱动电路40向第i行的多根控制线供给控制信号Gcmp(i)以及Gel(i)。

[0087] 晶体管QP2的源极和漏极中的一方与数据线13电连接，源极和漏极中的另一方与保持电容Cpix的一个电极和驱动晶体管QP1的栅极电连接。晶体管QP2的栅极与扫描线12电连接，供给扫描信号Gwr(i)。晶体管QP2作为控制数据线13与驱动晶体管QP1的栅极之间的电连接的开关晶体管发挥作用。

[0088] 保持电容Cpix的另一个电极与显示部10中的高电位侧的电源电位Vel的供给线电连接。由此，保持电容Cpix作为保持驱动晶体管QP1的栅极源极间的电压的电容发挥作用。

[0089] 驱动晶体管QP1的源极与电源电位Vel的供给线电连接，漏极与晶体管QP4的源极电连接。驱动晶体管QP1流通与源极-栅极间的电压对应的漏极电流来驱动发光元件D1。

[0090] 晶体管QP3的源极和漏极电连接在数据线13与驱动晶体管QP1的漏极之间。此外，晶体管QP3也可以连接在驱动晶体管QP1的栅极与漏极之间。在晶体管QP3的栅极供给有控制信号Gcmp(i)。晶体管QP3作为控制驱动晶体管QP1的栅极与漏极之间的电连接的开关晶体管发挥作用。

[0091] 晶体管QP4的漏极与发光元件D1的阳极和晶体管QP5的源极电连接。在晶体管QP4的栅极供给有控制信号Gel(i)。晶体管QP4作为控制驱动晶体管QP1的漏极与发光元件D1的阳极之间的电连接的开关晶体管发挥作用。

[0092] 晶体管QP5的漏极与复位线14电连接，保持为复位电位Vorst。在晶体管QP5的栅极供给有控制信号Gcmp(i)。晶体管QP5作为控制复位线14与发光元件D1的阳极之间的电连接的开关晶体管发挥作用。

[0093] 在图4中，在像素电路11中使用P沟道MOS晶体管，但也可以代替P沟道MOS晶体管而使用N沟道MOS晶体管。在像素电路11中使用N沟道MOS晶体管的情况下，晶体管的源极和漏极的连接关系与上述相反，扫描信号、控制信号、以及灰度信号的极性也相反。或者，也可以适当地组合使用P沟道MOS晶体管和N沟道MOS晶体管。另外，像素电路11的晶体管也可以是薄膜晶体管。

[0094] 作为保持电容Cpix，也可以使用驱动晶体管QP1的栅极所附带的寄生电容。或者，作为保持电容Cpix，也可以使用通过以设置在硅基板上的多个不同的布线层上的布线夹持层间绝缘膜而形成的电容器。

[0095] 显示装置的动作例

[0096] 接下来，对图2～图4所示的显示装置的动作例进行说明。显示控制电路20从外部

装置6输入图像数据、以及同步信号(垂直同步信号VSYNC、水平同步信号HSYNC、数据使能信号DE、以及数据时钟信号DCLK),向数据线驱动电路30发送灰度数据DATA、以及内部获取用的时钟信号CLK。

[0097] 在第一实施方式中,解析电路23针对锁存于多个锁存电路31的一行的灰度数据,判定灰度电平是否在规定的电平以下。例如,解析电路23在第一组数据锁存电路311a与时钟信号CLK同步地依次获取灰度数据DATA时,针对一行的灰度数据判定第一组数据锁存电路311a所获取的灰度数据所表示的灰度电平是否在规定的电平以下。

[0098] 作为一个例子,针对RGB三种颜色的成分,分别独立地设置第一阈值、第二阈值、第三阈值。在灰度数据的R成分的电平在第一阈值以下,灰度数据的G成分的电平在第二阈值以下,且灰度数据的B成分的电平在第三阈值以下的情况下,解析电路23判定为灰度数据所表示的灰度电平在规定的电平以下。

[0099] 这里,第一阈值～第三阈值也可以相等。或者,第一阈值～第三阈值也可以是零。在第一阈值～第三阈值为零的情况下,解析电路23判定灰度数据所表示的灰度电平是否为黑电平。特别是,在头戴式显示器的情况下,认为以黑背景显示图像的情况非常多。其理由是因为,若背景为深黑,则能够清楚地观察显示器的正面侧而不能够观察画面边界,但若背景为浅黑,则由于背景的浮起而画面边界变得显眼,所以不容易识别显示器的正面侧。

[0100] 解析电路23在一行的所有像素的灰度电平在规定的电平以下的情况下,在基于该一行的灰度数据驱动一行的像素电路11的期间(例如,一个水平同步期间)中,激活控制信号SAMP。放大器电流上拉控制电路34例如由门电路构成,根据控制信号SAMP控制多个放大器33中的直流电流以及上拉状态。由此,解析电路23在一行的所有像素的灰度电平在规定的电平以下的情况下,在基于该一行的灰度数据驱动一行的像素电路11的期间中,降低在多个(L个)放大器33中流通的直流电流。

[0101] 在一行的所有像素的灰度电平在规定的电平以下的情况下,这些像素的灰度电平为黑电平或者接近黑电平的低亮度电平,所以不容易视觉确认出显示不均等。因此,能够几乎不给于画质影响地减少多个放大器33的消耗电流。

[0102] 放大器电流上拉控制电路34通过生成电流控制信号SA1～SA3并供给至多个放大器33,来控制在多个放大器33中流通的直流电流。例如,在图3所示的放大器33中,若使电流控制信号SA1～SA3非激活为低电平,则构成开关电路S1以及S2的晶体管QN16～QN18以及QP26～QP28成为截止状态,使直流电流停止。

[0103] 参照图4对显示装置的一般的动作进行说明。作为初始状态,控制信号Gini以及Grst被非激活为高电平,控制信号Gref以及Gcpl被非激活为低电平。因此,在电平设定电路LS中,晶体管QP31、QP32、QN33、以及传输门37成为截止状态。

[0104] 另外,作为初始状态,扫描信号Gwr(i)以及控制信号Gcmp(i)被非激活为高电平,控制信号Gel(i)被激活为低电平。因此,在像素电路11中,晶体管QP2、QP3、QP5成为截止状态,晶体管QP4成为导通状态。

[0105] 若一个垂直同步期间内的第i个水平同步期间开始,则显示控制电路20在一个水平同步期间内的规定的期间中,将控制信号Sel(1)～Sel(18)依次激活为高电平。由此,在多路分配器DM(k)中,施加有控制信号Sel(1)～Sel(18)的传输门36依次成为导通状态。

[0106] 另外,第k个块的放大器33在上述规定的期间中将灰度信号Vd(k)的电压依次切换

为与第k个块中的第一列、第二列、…、第18列的像素的灰度电平对应的灰度电压。由此，在第k个块中，对与第一列、第二列、…、第18列的像素对应的电容器C1充电各个灰度电压。

[0107] 另一方面，显示控制电路20在上述规定的期间中将控制信号Gini激活为低电平。由此，在电平设定电路LS中，晶体管QP31成为导通状态，向数据线13供给初始化电位Vini(初始化期间)。另外，栅极线驱动电路40将供给至第i行的像素电路11的控制信号Gel(i)非激活为高电平。由此，在像素电路11中，晶体管QP4成为截止状态，第i行的像素电路11的发光元件D1成为复位状态。

[0108] 接下来，栅极线驱动电路40将供给至第i行的扫描线12的扫描信号Gwr(i)激活为低电平，将供给至第i行的像素电路11的控制信号Gcmp(i)激活为低电平。由此，晶体管QP2、QP3、以及QP5成为导通状态，驱动晶体管QP1的栅极电位被设定为恒定值(补偿期间)。之后，控制信号Gcmp(i)再次被非激活为高电平，晶体管QP3以及QP5成为截止状态。

[0109] 并且，显示控制电路20将控制信号Gini非激活为高电平，并将控制信号Gcpl激活为高电平。由此，晶体管QP31成为截止状态，传输门37成为导通状态。因此，在驱动晶体管QP1的栅极施加有灰度信号，并且对保持电容Cpix充电灰度电压(写入期间)。若对第i行的像素电路11的灰度信号的写入结束，则栅极线驱动电路40将供给至第i行的扫描线12的扫描信号Gwr(i)非激活为高电平，显示控制电路20将控制信号Gcpl非激活为低电平。

[0110] 在一个垂直同步期间内的第(i+1)个水平同步期间结束之后，栅极线驱动电路40将供给至第i行的像素电路11的控制信号Gel(i)激活为低电平。由此，在第(i+2)个水平同步期间以后，晶体管QP4成为导通状态，驱动晶体管QP1根据灰度信号向发光元件D1供给电流，所以第i行的像素电路11的发光元件D1发光(发光期间)。

[0111] 这样一来，在第i个水平同步期间中，设置第i行的像素电路11的驱动期间(初始化期间、补偿期间、以及写入期间)，在第(i+2)个水平同步期间以后，设置第i行的像素电路11的发光期间。而且，对于一行，在从驱动期间的开始经过一个垂直同步期间之后，再次设置驱动期间。

[0112] 或者，也可以不使数据线13分块，不使用多路分配器DM(1)～DM(L)而一起向所有数据线13供给灰度信号。在该情况下，多个放大器33不经由多路分配器DM，而直接驱动多个电平设定电路LS。

[0113] 以上，解析电路23在第i行的所有像素的灰度电平在规定的电平以下的情况下，在基于第i行的灰度数据驱动第i行的像素电路11的期间中，降低在多个放大器33中流通的直流电流。此时，解析电路23也可以控制多根数据线13的电位，以使基于第i行的灰度数据驱动的第i行的像素电路11的驱动晶体管QP1成为截止状态。由此，即使降低在多个放大器33中流通的直流电流，也能够使第i行的像素电路11的发光元件D1的发光停止。

[0114] 例如，解析电路23将控制信号Grst激活为低电平，并将控制信号Gref激活为高电平。由此，在电平设定电路LS中，晶体管QP32以及QN33成为导通状态。因此，向数据线13供给电源电位Vel，驱动晶体管QP1成为截止状态。另外，在中继布线15供给有参照电位Vref。

[0115] 第二实施方式

[0116] 接下来，对本发明的第二实施方式进行说明。在第二实施方式中，图2所示的解析电路23针对锁存于多个锁存电路31的一块的灰度数据，判定灰度电平是否在规定的电平以下。

[0117] 例如，解析电路23在第一组数据锁存电路311a与时钟信号CLK同步地依次获取灰度数据DATA时，针对一块(18个像素)的灰度数据判定第一组数据锁存电路311a所获取的灰度数据所表示的灰度电平是否在规定的电平以下。由此，解析电路23生成表示是否一块的所有像素的灰度电平在规定的电平以下的判定标志FZ并输出给第一组判定标志锁存电路311b。

[0118] 第一组判定标志锁存电路311b与L个DAC32或者L个放大器33对应地，包含锁存判定标志FZ的L个锁存电路。第二组判定标志锁存电路312b也与L个DAC32或者L个放大器33对应地，包含锁存判定标志FZ的L个锁存电路。

[0119] 第一组数据锁存电路311a依次获取灰度数据DATA，并且第一组判定标志锁存电路311b依次获取从解析电路23按每一块输出的判定标志FZ。在一个水平同步期间中，第一组判定标志锁存电路311b获取L块的灰度数据的判定标志FZ。若下一个水平同步期间开始，则第二组数据锁存电路312a获取从第一组数据锁存电路311a输出的L块的灰度数据DATA，并且第二组判定标志锁存电路312b保持从第一组判定标志锁存电路311b输出的L块的判定标志FZ。

[0120] 放大器电流上拉控制电路34根据第二组判定标志锁存电路312b所保持的判定标志FZ，在一块的所有像素的灰度电平在规定的电平以下的情况下，在基于该一块的灰度数据驱动一块的像素电路11的期间(例如，一个水平同步期间)中，降低在与被供给该一块的灰度数据的DAC32连接的放大器33中流通的直流电流。

[0121] 在一块的所有像素的灰度电平在规定的电平以下的情况下，这些像素的灰度电平为黑电平或者接近黑电平的低亮度电平，所以不容易视觉确认出显示不均等。因此，能够几乎不给予画质影响地减少与被供给该一块的灰度数据的DAC32连接的放大器33的消耗电流。

[0122] 通过对多个放大器33的每一个生成电流控制信号SA1～SA3并供给至多个放大器33，能够控制在多个放大器33中流通的直流电流。例如，在图3所示的放大器33中，若将电流控制信号SA1维持为高电平并且将电流控制信号SA2以及SA3非激活为低电平，则晶体管QN16以及QP26维持导通状态，晶体管QN17、QN18、QP27、以及QP28成为截止状态，例如，能够使直流电流为1/10。

[0123] 如图3所示，在放大器33设置有将输出端子OUT上拉为灰度信号的最高电位VRH的P沟道MOS晶体管QP29。晶体管QP29的源极与灰度信号的最高电位VRH的布线连接，漏极与输出端子OUT连接。放大器电流上拉控制电路34通过对多个放大器33的每一个生成控制信号Zero并供给至多个放大器33，来对晶体管QP29的栅极施加控制信号Zero。

[0124] 在降低在放大器33中流通的直流电流时，也可以将控制信号Zero激活为低电平。其结果，晶体管QP29成为导通状态，放大器33的输出端子OUT被上拉为灰度信号的最高电位VRH，所以图4所示的像素电路11的驱动晶体管QP1成为截止状态。由此，即使降低在放大器33中流通的直流电流，也能够使与该放大器33对应的像素电路11的发光元件D1的发光停止。

[0125] 在第二实施方式中，也可以省略图4所示的电平设定电路LS的晶体管QP32、晶体管QN33、以及电容器C2，而将数据线13与中继布线15直接连接。关于其它的点，也可以第二实施方式与第一实施方式相同。

[0126] 第三实施方式

[0127] 接下来，对本发明的第三实施方式进行说明。在第三实施方式中，图2所示的零数据检测电路35作为解析锁存于多个锁存电路31的灰度数据的解析电路发挥作用。零数据检测电路35判定供给至多个DAC32的各个的一个像素的灰度数据的值是否为零。例如，零数据检测电路35判定从第二组数据锁存电路312a供给至多个DAC32的各个的一个像素的灰度数据的值是否为零，并将判定结果输出给放大器电流上拉控制电路34。

[0128] 放大器电流上拉控制电路34根据零数据检测电路35的判定结果控制各个放大器33中的直流电流。由此，零数据检测电路35在一个像素的灰度数据的值为零的情况下，在基于该一个像素的灰度数据驱动一个像素电路11的期间中，降低在与被供给该一个像素的灰度数据的DAC32连接的放大器33中流通的直流电流。对于其它的点，也可以第三实施方式与第二实施方式相同。

[0129] 在一个像素的灰度数据的值为零的情况下，不需要使该像素的像素电路11的发光元件D1发光。因此，能够几乎不给予画质影响地减少在与被供给该一个像素的灰度数据的DAC32连接的放大器33的消耗电流。

[0130] 第四实施方式

[0131] 接下来，对本发明的第四实施方式进行说明。在第四实施方式中，图2所示的解析电路23针对锁存于多个锁存电路31的一行的灰度数据，判定灰度电平是否在规定的电平以上。例如，解析电路23在第一组数据锁存电路311a与时钟信号CLK同步地依次获取灰度数据DATA时，针对一行的灰度数据判定第一组数据锁存电路311a所获取的灰度数据所表示的灰度电平是否在规定的电平以上。

[0132] 作为一个例子，对RGB三种颜色的成分，分别独立地设置第四阈值、第五阈值、第六阈值。在灰度数据的R成分的电平在第四阈值以上，灰度数据的G成分的电平在第五阈值以上，且灰度数据的B成分的电平在第六阈值以上的情况下，解析电路23判定为灰度数据所表示的灰度电平在规定的电平以上。

[0133] 这里，第四阈值～第六阈值也可以相等。或者，第四阈值～第六阈值也可以是最大灰度电平。在第四阈值～第六阈值是最大灰度电平的情况下，解析电路23判定灰度数据所表示的灰度电平是否为白电平。

[0134] 解析电路23在一行的所有像素的灰度电平在规定的电平以上的情况下，在基于该一行的灰度数据驱动一行的像素电路11的期间(例如，一个水平同步期间)中，激活控制信号SAMP。放大器电流上拉控制电路34根据控制信号SAMP控制多个放大器33中的直流电流。由此，解析电路23在一行的所有像素的灰度电平在规定的电平以上的情况下，在基于该一行的灰度数据驱动一行的像素电路11的期间中，降低在多个(L个)放大器33中流通的直流电流。对于其它的点，也可以第四实施方式与第一～第三实施方式的任意一个相同。

[0135] 在一行的所有像素的灰度电平在规定的电平以上的情况下，这些像素的灰度电平为白电平或者接近白电平的高亮度电平，所以不容易视觉确认出显示不均等。因此，能够几乎不给予画质影响地减少多个放大器33的消耗电流。

[0136] 第五实施方式

[0137] 接下来，对本发明的第五实施方式进行说明。在第五实施方式中，图2所示的DAC32构成为能够使直流电流可变。解析电路23代替在第一～第四实施方式中控制放大器33的直

流电流，或者，除此之外，控制DAC32的直流电流。因此，解析电路23生成控制DAC32中的直流电流的控制信号SDAC。对于其它的点，也可以第五实施方式与第一～第四实施方式的任意一个相同。

[0138] 图5是表示图2所示的DAC的一部分的构成例的图。如图5所示，DAC32包含调整器(恒压电路)51～54、灰度电压产生电路61～64以及71～74、N沟道MOS晶体管QN61～QN64以及QN71～QN74。

[0139] 调整器51以及53生成作为灰度信号的最高电位的第一稳定化电位VRH。第一稳定化电位VRH被供给至灰度电压产生电路61～64以及71～74的第一端子。另外，调整器52以及54生成作为灰度信号的最低电位的第二稳定化电位VRL。

[0140] 灰度电压产生电路61～64以及71～74分别例如由梯形电阻、或者梯形电阻与多个缓冲放大器的组合构成。例如，梯形电阻的电阻值为4kΩ左右，若灰度电压产生电路61～64以及71～74全部连接在第一稳定化电位VRH的布线与第二稳定化电位VRL的布线之间，则它们之间的电阻值为500Ω左右。

[0141] 晶体管QN61～QN64以及QN71～QN74的漏极分别与灰度电压产生电路61～64以及71～74的第二端子连接，源极与第二稳定化电位VRL的布线连接。在晶体管QN61以及QN71的栅极施加有电流控制信号SD1，在晶体管QN62以及QN72的栅极施加有电流控制信号SD2。另外，在晶体管QN63以及QN73的栅极施加有电流控制信号SD3，在晶体管QN64以及QN74的栅极施加有电流控制信号SD4。

[0142] 例如，在全运转模式中，电流控制信号SD1～SD4被激活为高电平。由此，晶体管QN61～QN64以及QN71～QN74成为导通状态。其结果，灰度电压产生电路61～64以及71～74的第二端子与第二稳定化电位VRL的布线电连接，在灰度电压产生电路61～64以及71～74中流通电流。

[0143] 另一方面，在半运转模式中，电流控制信号SD1以及SD2被激活为高电平，另一方面，电流控制信号SD3以及SD4被非激活为低电平。由此，晶体管QN61、QN62、QN71、以及QN72成为导通状态，晶体管QN63、QN64、QN73、以及QN74成为截止状态。其结果，在灰度电压产生电路61、62、71、以及72中流通电流，在灰度电压产生电路63、64、73、以及74中不流通电流，所以能够使直流电流为全运转模式中的直流电流的大约一半。

[0144] 图6是用于说明图5所示的灰度电压产生电路的连接状态的图。图6(A)表示全运转模式中的灰度电压产生电路的连接状态，图6(B)表示半运转模式中的灰度电压产生电路的连接状态。在半运转模式中，灰度电压产生电路63、64、73、以及74的第二端子为开放状态(×记号)。

[0145] 如图6所示，在灰度电压产生电路61以及71连接有第一组灰度线81，在灰度电压产生电路62以及72连接有第二组灰度线82。另外，在灰度电压产生电路63以及73连接有第三组灰度线83，在灰度电压产生电路64以及74连接有第四组灰度线84。

[0146] 灰度电压产生电路61以及71从图5所示的调整器51～54供给第一稳定化电位VRH以及第二稳定化电位VRL，产生多个灰度电压并供给至第一组灰度线81。另外，灰度电压产生电路62以及72被供给第一稳定化电位VRH以及第二稳定化电位VRL，产生多个灰度电压并供给至第二组灰度线82。

[0147] 灰度电压产生电路63以及73被供给第一稳定化电位VRH以及第二稳定化电位VRL，

产生多个灰度电压并供给至第三组灰度线83。另外，灰度电压产生电路64以及74被供给第一稳定化电位VRH以及第二稳定化电位VRL，产生多个灰度电压并供给至第四组灰度线84。

[0148] 并且，DAC32包含控制电路90、和第一组开关电路91～第四组开关电路94。第一组开关电路91～第四组开关电路94例如由连接在多个放大器33的输入端子与第一组灰度线81～第四组灰度线84之间的多个传输门构成。

[0149] 第一组开关电路91将从第一组灰度线81中分别选择的灰度线与多个放大器33的输入端子的各个电连接，第二组开关电路92将从第二组灰度线82中分别选择的灰度线与多个放大器33的输入端子的各个电连接。

[0150] 另外，第三组开关电路93将从第三组灰度线83中分别选择的灰度线与多个放大器33的输入端子的各个电连接，第四组开关电路94将从第四组灰度线84中分别选择的灰度线与多个放大器33的输入端子的各个电连接。

[0151] 控制电路90例如由包含组合电路或者顺序电路的逻辑电路构成。控制电路90对从图2所示的第二组数据锁存电路312a供给的灰度数据进行解码，生成用于控制第一组开关电路91～第四组开关电路94的开关控制信号，并供给至第一组开关电路91～第四组开关电路94。

[0152] 另外，控制电路90基于从解析电路23输出的控制信号SDAC，生成控制在灰度电压产生电路61～64以及71～74中流通的电流的电流控制信号SD1～SD4。控制电路90根据电流控制信号SD1～SD4，与灰度数据对应地将与流通电流的灰度电压产生电路连接的开关电路控制为导通或者截止，并且强制地使与未流通电流的灰度电压产生电路连接的开关电路截止。

[0153] 在图6(A)所示的全运转模式中，电流控制信号SD1～SD4被激活为高电平，在灰度电压产生电路61～64以及71～74中流通电流。控制电路90以将与灰度数据所表示的灰度电平对应的灰度线与多个放大器33的输入端子连接的方式，共同地控制第一组开关电路91～第四组开关电路94。例如，在第一组开关电路91～第四组开关电路94中，以灰色示出的传输门成为导通状态。

[0154] 在图6(B)所示的半运转模式中，电流控制信号SD1以及SD2被激活为高电平，电流控制信号SD3以及SD4被非激活为低电平，在灰度电压产生电路61、62、71、以及72中流通电流，在灰度电压产生电路63、64、73、以及74中不流通电流。

[0155] 控制电路90以将与灰度数据所表示的灰度电平对应的灰度线与多个放大器33的输入端子连接的方式，共同地控制第一组开关电路91以及第二组开关电路92。例如，在第一组开关电路91以及第二组开关电路92中，以灰色示出的传输门成为导通状态。

[0156] 另一方面，控制电路90强制地使第三组开关电路93以及第四组开关电路94的所有传输门成为截止状态。由此，能够防止经由传输门在灰度电压产生电路61～64以及71～74之间流通串扰电流。

[0157] 图2所示的解析电路23解析锁存于多个锁存电路31的灰度数据DATA，并根据解析结果使在灰度电压产生电路61～64以及71～74中的至少一组中流通的电流停止，从而降低在至少一个DAC32中流通的直流电流。以下，对第五实施方式所涉及的显示装置的具体的动作例进行说明。

[0158] 第一动作例

[0159] 在第一动作例中，解析电路23针对锁存于多个锁存电路31的一行的灰度数据，判定灰度电平是否在规定的电平以下。例如，解析电路23在第一组数据锁存电路311a与时钟信号CLK同步地依次获取灰度数据DATA时，针对一行的灰度数据判定第一组数据锁存电路311a所获取的灰度数据DATA所表示的灰度电平是否在规定的电平以下。

[0160] 解析电路23在一行的所有像素的灰度电平在规定的电平以下的情况下，在基于该一行的灰度数据驱动一行的像素电路11的期间(例如，一个水平同步期间)中，激活控制信号SDAC。控制电路90根据控制信号SDAC控制多个DAC32中的直流电流。由此，解析电路23在一行的所有像素的灰度电平在规定的电平以下的情况下，在基于该一行的灰度数据驱动一行的像素电路11的期间中，降低在多个(L个)DAC32中流通的直流电流。

[0161] 在一行的所有像素的灰度电平在规定的电平以下的情况下，这些像素的灰度电平为黑电平或者接近黑电平的低亮度电平，所以不容易视觉确认出显示不均等。因此，能够几乎不给予画质影响地减少多个DAC32中的消耗电流。

[0162] 例如，在图5所示的DAC32中，若将电流控制信号SD1以及SD2维持为高电平并且将电流控制信号SD3以及SD4非激活为低电平，则晶体管QN61、QN62、QN71、以及QN72维持导通状态，晶体管QN63、QN64、QN73、以及QN74成为截止状态，能够使直流电流为1/2。

[0163] 或者，在图5所示的DAC32中，若将电流控制信号SD1维持为高电平并且将电流控制信号SD2～SD4非激活为低电平，则晶体管QN61以及QN71维持导通状态，晶体管QN62～QN64以及QN72～QN74成为截止状态，能够使直流电流为1/4。

[0164] 第二动作例

[0165] 在第二动作例中，图2所示的解析电路23针对锁存于多个锁存电路31的一行的灰度数据，判定灰度电平是否在规定的电平以上。例如，解析电路23在第一组数据锁存电路311a与时钟信号CLK同步地依次获取灰度数据DATA时，针对一行的灰度数据判定第一组数据锁存电路311a所获取的灰度数据DATA所表示的灰度电平是否在规定的电平以上。

[0166] 解析电路23在一行的所有像素的灰度电平在规定的电平以上的情况下，在基于该一行的灰度数据驱动一行的像素电路11的期间(例如，一个水平同步期间)中，激活控制信号SDAC。控制电路90根据控制信号SDAC控制多个DAC32中的直流电流。由此，解析电路23在一行的所有像素的灰度电平在规定的电平以上的情况下，在基于该一行的灰度数据驱动一行的像素电路11的期间中，降低在多个(L个)DAC32中流通的直流电流。

[0167] 在一行的所有像素的灰度电平在规定的电平以上的情况下，这些像素的灰度电平是白电平或者接近白电平的高亮度电平，所以不容易视觉确认出显示不均等。因此，能够几乎不给予画质影响地减少多个DAC32的消耗电流。

[0168] 第三动作例

[0169] 在第三动作例中，图2所示的解析电路23在消隐期间激活控制信号SDAC。控制电路90根据控制信号SDAC控制多个DAC32中的直流电流。由此，解析电路23在消隐期间降低在多个DAC32中流通的直流电流。

[0170] 在消隐期间灰度电平不成为问题，所以能够不给予画质影响地减少DAC32的消耗电流。例如，解析电路23基于从显示控制电路20供给的垂直同步信号或者水平同步信号检测消隐期间。

[0171] 根据以上的实施方式，解析锁存于多个锁存电路31的灰度数据，并根据解析结果

降低在至少一个放大器33或者至少一个DAC32中流通的直流电流，所以能够几乎不给予画质影响地减少数据线驱动电路30中的放大器33或者DAC32的消耗电流。

[0172] 电子设备

[0173] 接下来，对具备本发明的任意一个实施方式所涉及的显示装置的电子设备进行说明。图1所示的显示装置1的像素为小尺寸所以面向进行高精度的显示的用途，作为电子设备，例举头戴式显示器进行说明。

[0174] 图7是表示头戴式显示器的外观的立体图，图8是表示头戴式显示器的光学构成例的俯视图。如图7所示，头戴式显示器100与一般的眼镜相同，具备脚丝110、鼻架120、透镜101L以及101R。另外，如图8所示，在头戴式显示器100，在鼻架120的附近且在透镜101L以及101R的里侧(图中下侧)，设置有左眼用的显示装置1L和右眼用的显示装置1R。

[0175] 显示装置1L的图像显示面以在图8中成为左侧的方式配置。由此，显示装置1L的显示图像经由光学透镜102L向图中L方向射出。半透明反射镜103L使显示装置1L的显示图像向图中B方向反射，另一方面，使从图中F方向射入的光透过。

[0176] 显示装置1R的图像显示面与显示装置1L相反，以在图8中成为右侧的方式配置。由此，显示装置1R的显示图像经由光学透镜102R向图中R方向射出。半透明反射镜103R使显示装置1R的显示图像向图中B方向反射，另一方面，使从图中F方向射入的光透过。

[0177] 通过这样的构成，头戴式显示器100的用户能够以与外部的风景重叠的透视状态观察显示装置1L以及1R的显示图像。另外，在头戴式显示器100中，通过使伴随视差的双眼用图像中的左眼用图像显示于显示装置1L，并使右眼用图像显示于显示装置1R，从而能够使用户感觉到显示的图像犹如具有进深、立体感(3D显示)。

[0178] 图1所示的显示装置1除了头戴式显示器100之外，还能够应用于摄像机、可换镜式数字照相机中的电子式取景器等电子设备。根据本实施方式，使用几乎不给予画质影响地减少驱动电路中的放大器或者D/A转换器的消耗电流的显示装置，能够减少电子设备的消耗电流。

[0179] 在上述的实施方式中，对使用OLED作为发光元件的情况进行了说明，但在本发明中，例如，能够使用无机发光二极管、LED(Light Emitting Diode:发光二极管)等那样，以与电流对应的亮度发光的发光元件。这样，本发明并不局限于以上说明的实施方式，能够由在该技术领域具有普通的知识的人员在本发明的技术思想内进行许多的变形。符号说明

[0180] 1、1L、1R…显示装置，2…显示装置，3…外壳，4…FPC基板，5…端子，10…显示部，11…像素电路，12…扫描线，13…数据线，14…复位线，15…中继布线，20…显示控制电路，21…电压生成电路，22…检查表，23…解析电路，30…数据线驱动电路，31、311a、311b、312a、312b…锁存电路，32…DAC，33…放大器，34…放大器电流上拉控制电路，35…零数据检测电路，36、37…传输门，40…栅极线驱动电路，51～54…调整器，61～64、71～74…灰度电压产生电路，81～84…灰度线，90…控制电路，91～94…开关电路，100…头戴式显示器，101L、101R…透镜，102L、102R…光学透镜，103L、103R…半透明反射镜，110…脚丝，120…鼻架，DM(1)～DM(L)、DM(k)…多路分配器，LS…电平设定电路，A1、A2…放大电路，S1、S2…开关电路，QP1～QP32…P沟道MOS晶体管，QN11～QN74…N沟道MOS晶体管，C1、C2…电容器，Cpix…保持电容，D1…发光元件。

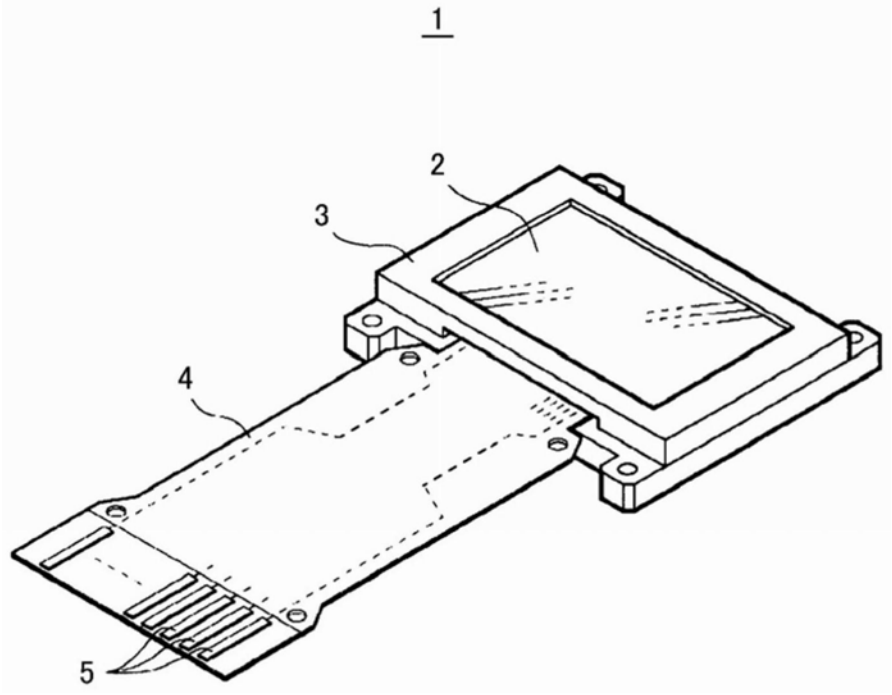


图1

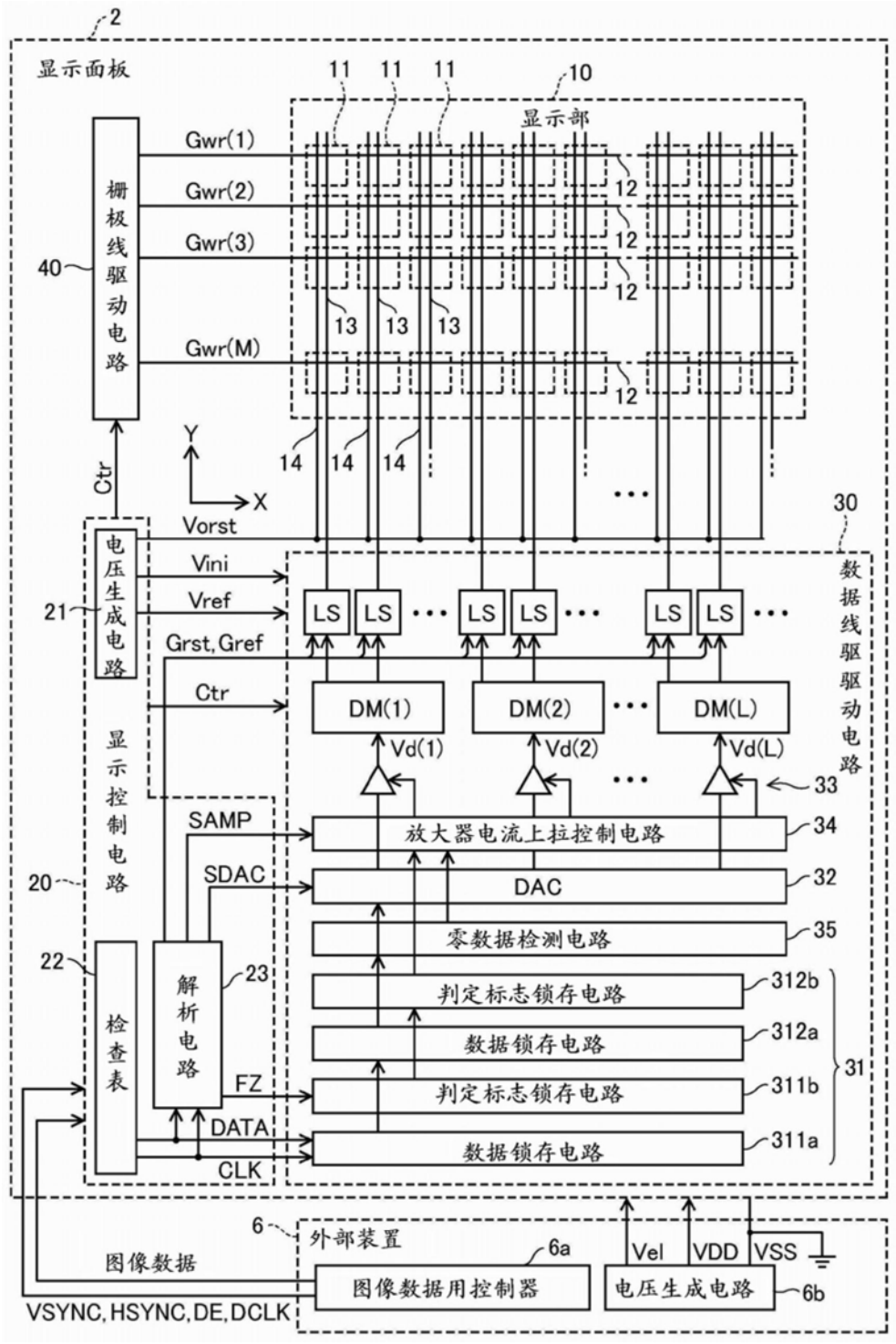

2
显示面板
11
11
11
10
显示部
栅极线驱动电路
40
Gwr(1)
Gwr(2)
Gwr(3)
Gwr(M)
12
13
14
Y
X
Ctr
Vorst
30
数据线驱动电路
电压生成电路
21
Vini
Vref
Grst,Gref
Ctr
LS
DM(1)
DM(2)
DM(L)
Vd(1)
Vd(2)
Vd(L)
33
显示控制电路
20
SAMP
SDAC
放大器电流上拉控制电路
34
DAC
32
零数据检测电路
35
判定标志锁存电路
312b
数据锁存电路
312a
判定标志锁存电路
311b
数据锁存电路
311a
31
22
检查表
解析电路
23
FZ
DATA
CLK
6
外部装置
图像数据
6a
图像数据用控制器
Vel
VDD
VSS
电压生成电路
6b
VSYNC,HSYNC,DE,DCLK

图2

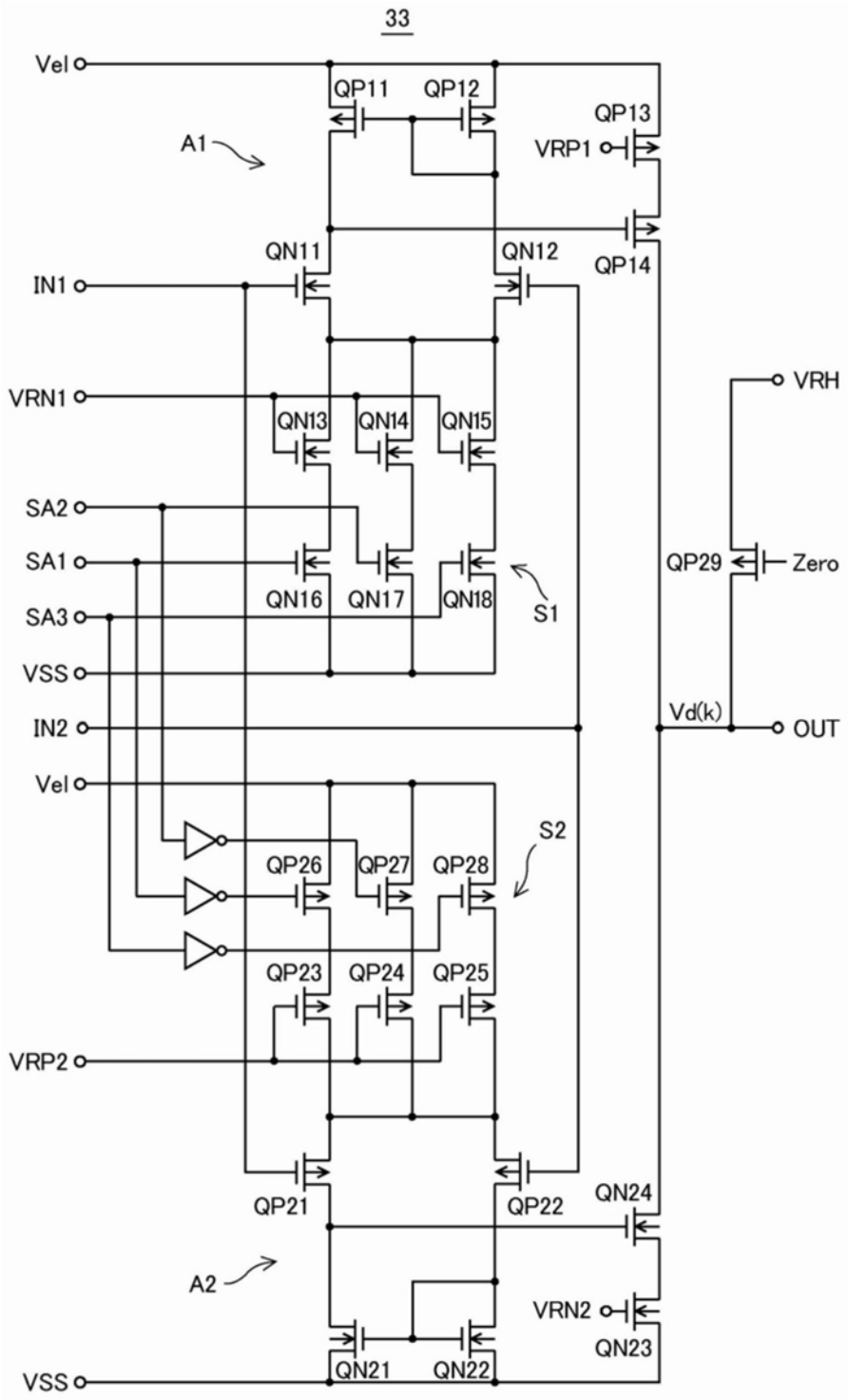

33
Vel
QP11
QP12
QP13
A1
VRP1
QP14
QN11
QN12
IN1
VRH
VRN1
QN13
QN14
QN15
SA2
SA1
QP29
Zero
QN16
QN17
QN18
S1
SA3
VSS
Vd(k)
OUT
IN2
Vel
S2
QP26
QP27
QP28
QP23
QP24
QP25
VRP2
QP21
QP22
QN24
A2
VRN2
QN23
QN21
QN22
VSS

图3

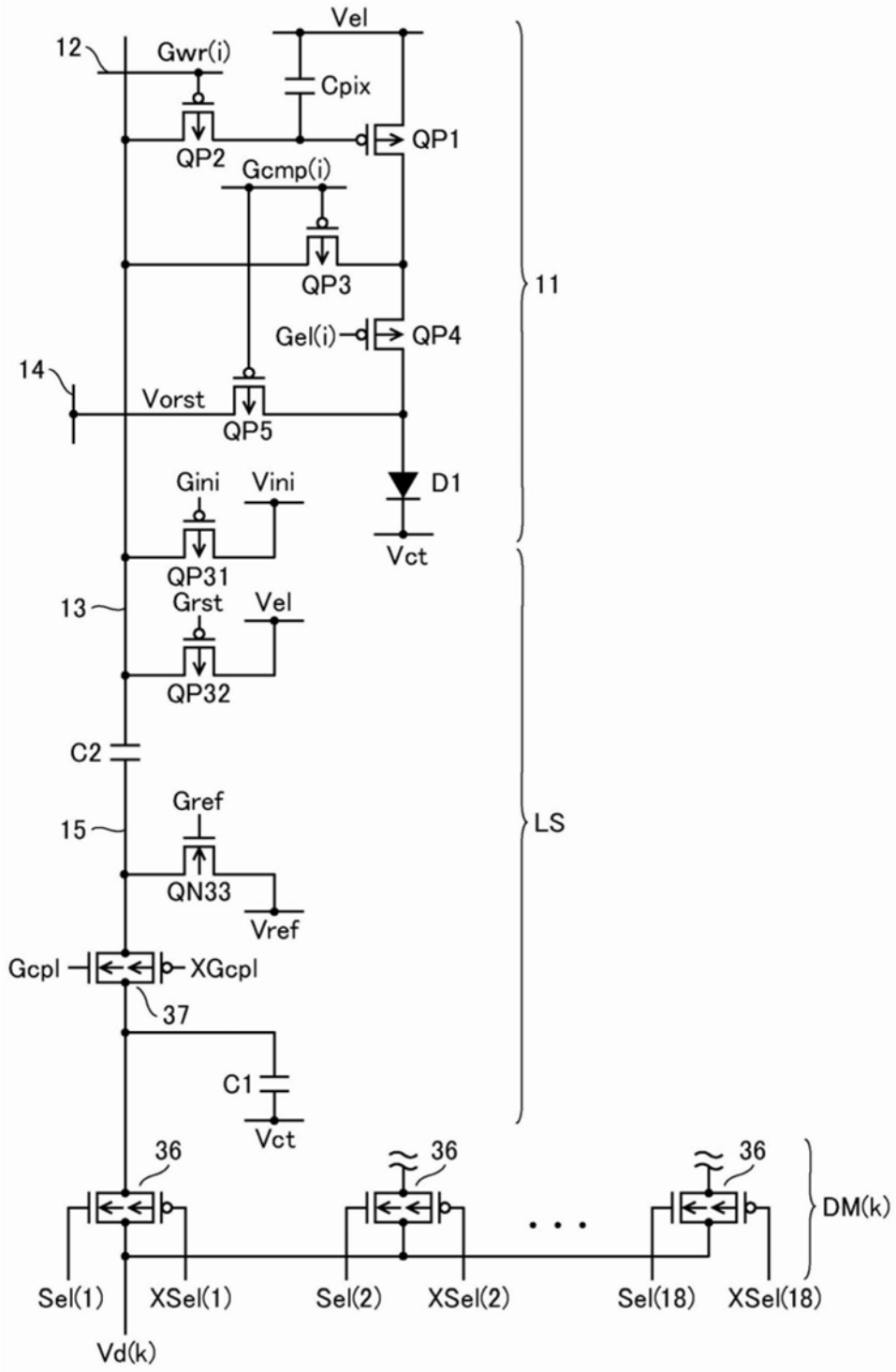

Vel
12
Gwr(i)
Cpix
QP1
QP2
Gcmp(i)
QP3
11
Gel(i)
QP4
14
Vorst
QP5
Gini
Vini
D1
Vct
QP31
13
Grst
Vel
QP32
C2
Gref
15
LS
QN33
Vref
Gcpl
XGcpl
37
C1
Vct
36
36
36
DM(k)
Sel(1)
XSel(1)
Sel(2)
XSel(2)
Sel(18)
XSel(18)
Vd(k)

图4

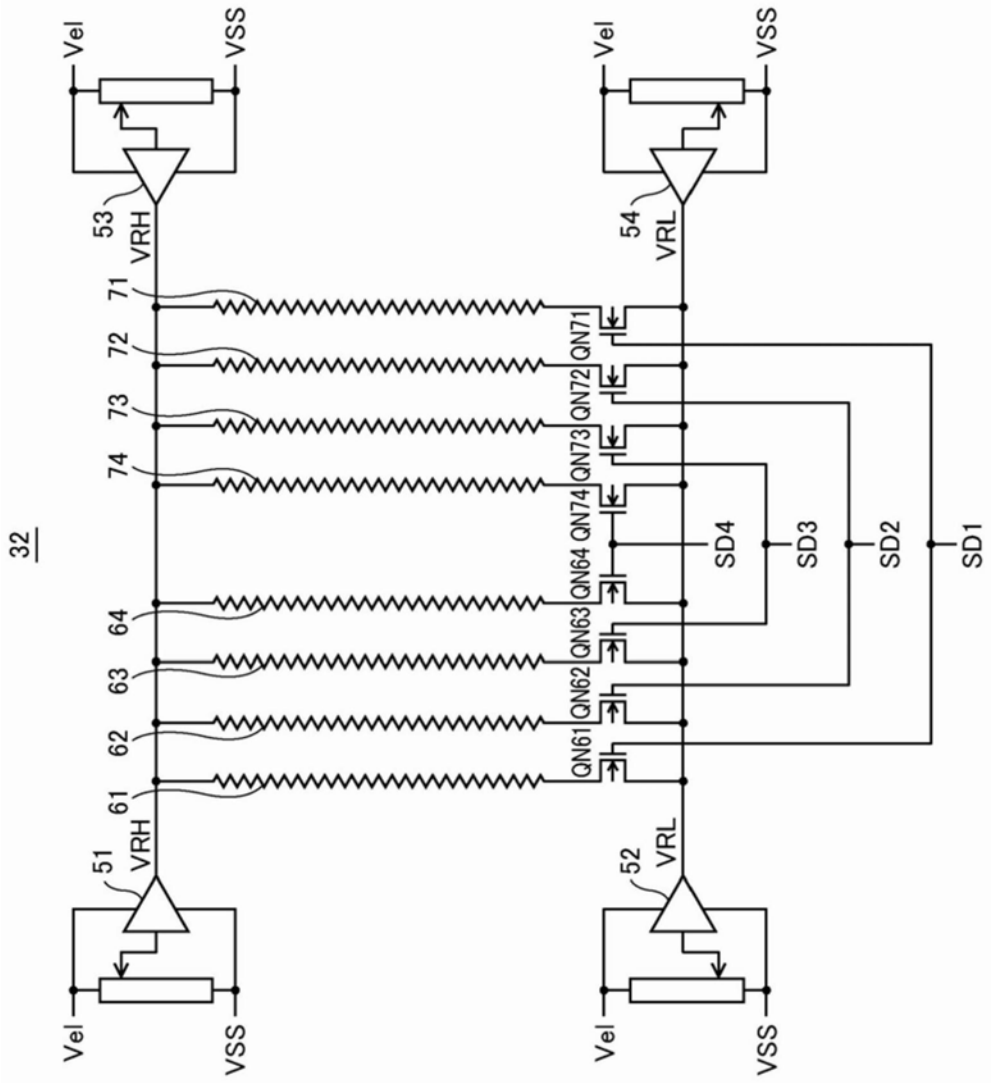

Vel
VSS
53
VRH
54
VRL
71
72
73
74
64
63
62
61
QN71
QN72
QN73
QN74
QN64
QN63
QN62
QN61
SD4
SD3
SD2
SD1
32
51
VRH
52
VRL

图5

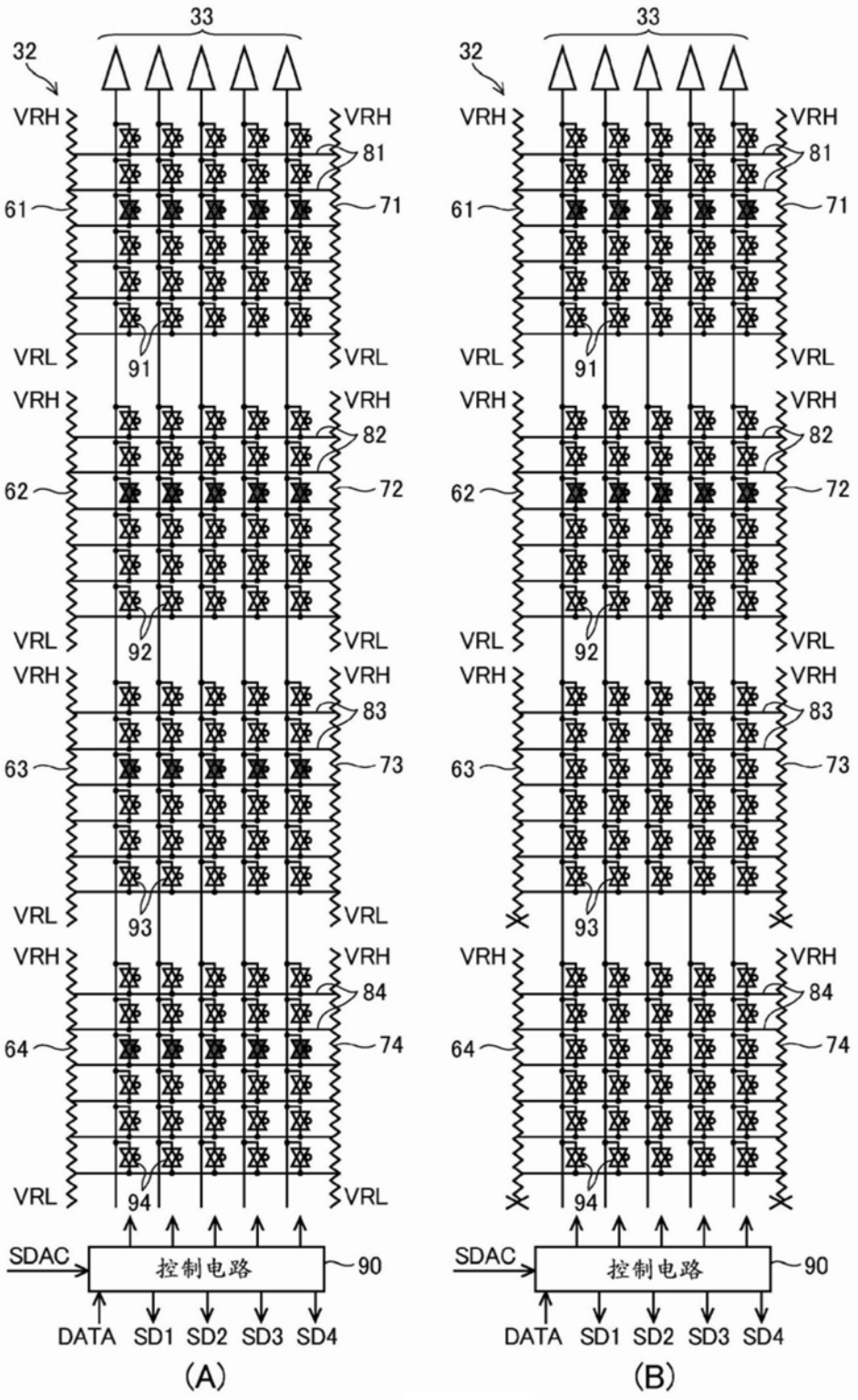

33
32
VRH
VRL
81
82
83
84
61
62
63
64
71
72
73
74
91
92
93
94
SDAC
控制电路
90
DATA
SD1
SD2
SD3
SD4
(A)
(B)

图6

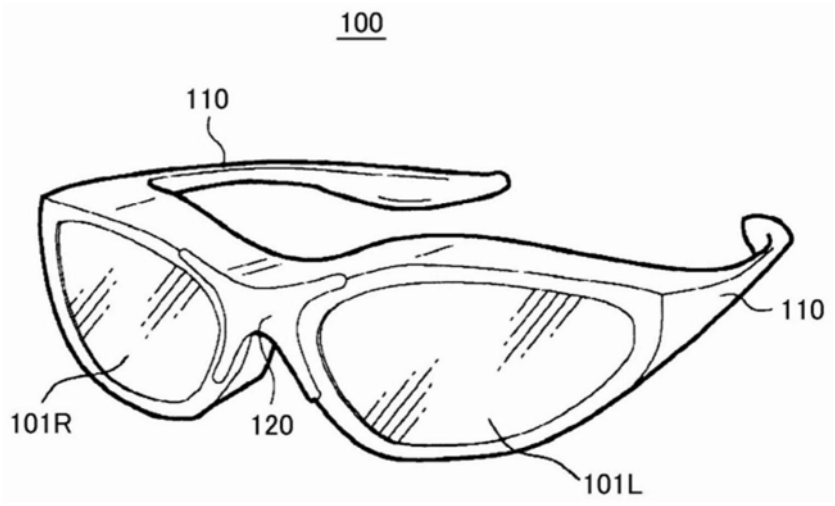

100
110
110
101R
120
101L

图7

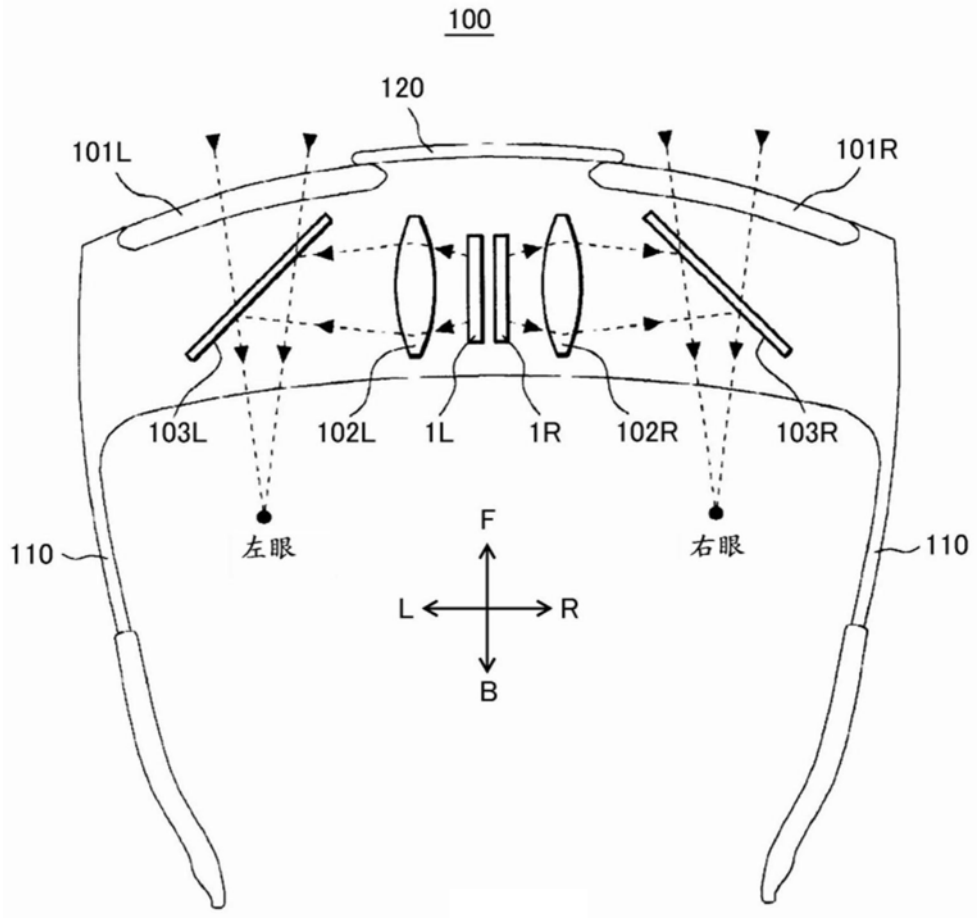

100
120
101L
101R
103L
102L
1L
1R
102R
103R
左眼
右眼
110
110
F
L
R
B

图8