

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5878742号
(P5878742)

(45) 発行日 平成28年3月8日 (2016.3.8)

(24) 登録日 平成28年2月5日 (2016.2.5)

(51) Int.Cl.
H02M 3/155 (2006.01)

F I
H02M 3/155 W

請求項の数 7 (全 20 頁)

(21) 出願番号	特願2011-261656 (P2011-261656)	(73) 特許権者	302062931
(22) 出願日	平成23年11月30日 (2011.11.30)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2013-115977 (P2013-115977A)		東京都江東区豊洲三丁目2番24号
(43) 公開日	平成25年6月10日 (2013.6.10)	(74) 代理人	110001195
審査請求日	平成26年8月11日 (2014.8.11)		特許業務法人深見特許事務所
		(72) 発明者	村上 弘志
			兵庫県伊丹市瑞原四丁目1番地 株式会社
			ルネサスデザイン内
		(72) 発明者	山口 幸彦
			兵庫県伊丹市瑞原四丁目1番地 株式会社
			ルネサスデザイン内
		(72) 発明者	牧瀬 拓也
			兵庫県伊丹市瑞原四丁目1番地 株式会社
			ルネサスデザイン内
最終頁に続く			

(54) 【発明の名称】 コントローラ

(57) 【特許請求の範囲】

【請求項1】

第1の半導体装置に電源電圧を供給する複数の電圧レギュレータを制御するコントローラであって、

外部から前記複数の電圧レギュレータのうち動作させる台数の変更指令を受けるインタフェースと、

現在の台数から指示された変更後の台数へ段階的に動作させる電圧レギュレータの台数を変更する制御部とを備え、

前記コントローラは、

変更前の電圧レギュレータの台数と変更後の電圧レギュレータの台数の組合せごとに、複数の段階の各々の台数を定めたスケジュールを記憶するレジスタを備え、

前記制御部は、前記レジスタ内のスケジュールに従って、段階的に動作させる電圧レギュレータの台数を変更し、

前記レジスタは、さらに、各段階の実行時間を保持し、

前記制御部は、前記レジスタ内のスケジュールで定められる各段階の実行時間に従って、段階的に動作させる電圧レギュレータの台数を変更し、

各電圧レギュレータへの位相クロックの位相は、それぞれ相違し、前記制御部は、動作させる電圧レギュレータへ位相クロックを出力し、

前記制御部は、前記電圧レギュレータに与える位相クロックの周期を、前記スケジュールの少なくとも1つの段階の実行時間とし、

10

20

前記制御部は、前記動作させる電圧レギュレータへの複数個の位相クロックの間隔が均等となるように、前記動作させる電圧レギュレータと停止させる電圧レギュレータとを決定する、コントローラ。

【請求項 2】

前記インタフェースは、さらに指示電圧を受け、

前記制御部は、前記変更指令を受けないときには、前記指示電圧を目標電圧とし、前記第 1 の半導体装置に与えられる電圧が目標電圧となるように制御し、

前記制御部は、前記変更指令を受けたときには、現在の台数から指示された変更後台数への移行時および移行の前後において、前記指示電圧に加えるオフセット電圧を段階的に変更するスケジュールに従って、段階的に前記電圧レギュレータの台数の変更とともに、または前記電圧レギュレータの台数を変更せずに、前記目標電圧を変更し、各段階で前記第 1 の半導体装置に与えられる電圧が前記目標電圧となるように制御する、請求項 1 記載のコントローラ。

10

【請求項 3】

前記レジスタは、変更前の電圧レギュレータの台数と変更後の電圧レギュレータの台数の組合せごとに、さらに、複数の段階の各々の前記オフセット電圧を定めた前記スケジュールを記憶し、

前記制御部は、前記レジスタ内のスケジュールに従って、段階的に前記オフセット電圧を変更する、請求項 2 記載のコントローラ。

20

【請求項 4】

前記制御部は、前記レジスタ内のスケジュールで定められる各段階の実行時間に従って、段階的に前記オフセット電圧を変更する、請求項 3 記載のコントローラ。

【請求項 5】

前記インタフェースは、さらに指示電圧を受け、

前記制御部は、前記変更指令を受けないときには、前記指示電圧と前記第 1 の半導体装置に与えられている第 1 の電圧との差に対応する電圧を前記電圧レギュレータに与え、

前記制御部は、前記変更指令を受けたときには、現在の台数から指示された変更後台数への移行時および移行の前後において、前記第 1 の電圧の増幅率を段階的に変更するスケジュールに従って、段階的に前記電圧レギュレータの台数の変更とともに、または前記電圧レギュレータの台数を変更せずに、前記第 1 の電圧の増幅率を変更し、各段階で、前記指示電圧と第 1 の電圧を前記増幅率で増幅した電圧の差に対応する電圧を前記電圧レギュレータに与える、請求項 1 記載のコントローラ。

30

【請求項 6】

前記レジスタは、変更前の電圧レギュレータの台数と変更後の電圧レギュレータの台数の組合せごとに、さらに複数の段階の各々の前記増幅率を定めた前記スケジュールを記憶し、

前記制御部は、前記レジスタ内のスケジュールに従って、段階的に前記増幅率を変更する、請求項 5 記載のコントローラ。

【請求項 7】

前記制御部は、前記レジスタ内のスケジュールで定められる各段階の実行時間に従って、段階的に前記増幅率を変更する、請求項 6 記載のコントローラ。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、コントローラに関し、特に、CPU (Central Processing Unit) などの半導体装置の電源を制御するためのコントローラに関する。

【背景技術】

【0002】

電源電圧切り替え動作時に発生するオーバーシュート/アンダーシュートを低減し、かつ電圧切り替えスピードを高速化することができる電源装置が知られている。

50

【 0 0 0 3 】

たとえば、特許文献 1（特開 2 0 0 7 - 2 8 8 9 7 4 号公報）の電源装置は、出力電圧を上げる過渡状態には、スイッチングレギュレータ 4 0 0 用のレジスタである D C D C 用レジスタの D A C 値 D D 1 を、シリーズレギュレータ 3 0 0 用のレジスタである L D O 用レジスタ 2 0 1 の D A C 値 L D 0 1 に代えて L D O 用 D A C 3 0 2 に供給し、シリーズレギュレータ 3 0 0 の L D O 用 D A C 3 0 2 は、D C D C 用レジスタ 2 0 2 の D A C 値 D D 1 を参照して D A C 動作を行う。

【先行技術文献】

【特許文献】

【 0 0 0 4 】

10

【特許文献 1】特開 2 0 0 7 - 2 8 8 9 7 4 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

特許文献 1 の装置は、電圧変更時の応答性と効率を両立することを目的としており、電圧の切り換え時のオーバシュートおよびアンダーシュートを防ぐために、切り換え時に応答速度の速い L D O と、電力効率の高い D C D C とを両方動作させて、両者の設定電圧を工夫することで、電流駆動の割合の最適化を行なっている。

【 0 0 0 6 】

しかしながら、特許文献 1 の装置では、L D O と D C D C の 2 種類のレギュレータが必要となる。

20

【 0 0 0 7 】

それゆえに、本発明の目的は、2 種類のレギュレータを使用しなくても、電圧の切り換え時にオーバシュートおよびアンダーシュートを発生しないようにすることができるコントローラを提供することである。

【課題を解決するための手段】

【 0 0 0 8 】

本発明の一実施形態のコントローラは、第 1 の半導体装置に電源電圧を供給する複数の電圧レギュレータを制御するコントローラであって、外部から前記複数の電圧レギュレータのうち動作させる台数の変更指令を受けるインタフェースと、現在の台数から指示された変更後の台数へ段階的に動作させる電圧レギュレータの台数を変更する制御部とを備える。

30

【発明の効果】

【 0 0 0 9 】

本発明の一実施形態によれば、2 種類のレギュレータを使用しなくても、電圧の切り換え時にオーバシュートおよびアンダーシュートを発生しないようにすることができる。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】第 1 の実施形態の半導体システムの構成を表わす図である。

【図 2】第 1 の実施形態の電圧制御動作の処理手順を表わすフローチャートである。

40

【図 3】第 1 の実施形態のフェーズ数の制御手順を表わす図である。

【図 4】第 1 の実施形態の段階的スケジュールテーブルの例を表わす図である。

【図 5】現在のフェーズ数 K が 8 であり、変更後のフェーズ数 M が 1 の場合のフェーズ数の変化を説明するための図である。

【図 6】第 1 の実施形態におけるレギュレータ群 3 0 の出力電圧（V_o）の変化の例を表わす図である。

【図 7】第 2 の実施形態の半導体システムの構成を表わす図である。

【図 8】第 2 の実施形態におけるフェーズ数の変更時の目標電圧の制御手順を表わす図である。

【図 9】第 2 の実施形態の段階的スケジュールテーブルの例を表わす図である。

50

【図 1 0】現在のフェーズ数 K が 8 であり、変更後のフェーズ数 M が 1 の場合のフェーズ数の変化および目標電圧を説明するための図である。

【図 1 1】第 2 の実施形態におけるレギュレータ群 3 0 の出力電圧 (V_o) の変化の例を表わす図である。

【図 1 2】第 2 の実施形態の変形例における制御内容を説明するための図である。

【図 1 3】第 3 の実施形態の半導体システムの構成を表わす図である。

【図 1 4】第 3 の実施形態におけるフェーズ数の変更時の増幅率の変更手順を表わす図である。

【図 1 5】第 3 の実施形態の段階的スケジュールテーブルの例を表わす図である。

【図 1 6】現在のフェーズ数 K が 8 であり、変更後のフェーズ数 M が 1 の場合の増幅率の変化を説明するための図である。

10

【図 1 7】第 3 の実施形態におけるレギュレータ群 3 0 の出力電圧 (V_o) の変化の例を表わす図である。

【発明を実施するための形態】

【 0 0 1 1 】

以下、本発明の実施形態について図面を参照して説明する。

[第 1 の実施形態]

図 1 は、第 1 の実施形態の半導体システムの構成を表わす図である。

【 0 0 1 2 】

図 1 を参照して、この半導体システムは、コントローラ 1 と、レギュレータ群 3 0 と、CPU 2 5 とを備える。

20

【 0 0 1 3 】

レギュレータ群 3 0 は、コントローラ 1 と、CPU 2 5 の制御によって、電圧 V_o を CPU 2 5 へ供給する。レギュレータ群 3 0 は、電圧レギュレータ 3 0 - 1 ~ 3 0 - n を備える。

【 0 0 1 4 】

コントローラ 1 は、ここでは 1 チップ (1 つの半導体チップ) で構成されている。

コントローラ 1 は、PIN 制御部 6 と、フラッシュメモリ 7 と、パラメータレジスタ 8 と、パフォーマンスレジスタ 9 と、MCU 5 と、PMBUS (Power Management Bus) インタフェース 1 0 と、SVID (Serial VID) コマンド判定回路 1 2 と、ハードロジック電源制御回路 1 3 と、アナログ電源制御回路 1 1 と、電源異常監視回路 2 とを備える。

30

【 0 0 1 5 】

コントローラ 1 の構成要素のうち、MCU 5 と、ハードロジック電源制御回路 1 3 と、アナログ電源制御回路 1 1 と、電源異常監視回路 2 とで、制御部 1 6 1 を構成する。

【 0 0 1 6 】

SVID コマンド判定回路 1 2 は、SVID インタフェース 1 4 と、動作モードレジスタ 1 6 と、電圧指示値レジスタ 1 8 と、パワーステート指示値レジスタ 1 9 とを備える。

【 0 0 1 7 】

CPU 2 5 は、ここでは、1 チップで構成され、電圧レギュレータ 3 0 - 1 ~ 3 0 - n から出力される電源電圧を受けて、様々な処理を行なう。また、CPU 2 5 は、SVID インタフェース 1 4 を通じて、コントローラ 1 に指示を送る。たとえば、CPU 2 5 は、必要な電力量に応じて、動作させる電圧レギュレータの変更を指示する制御信号を SVID インタフェース 1 4 を通じて、コントローラ 1 に送る。

40

【 0 0 1 8 】

PIN 制御部 6 は、外部の電位固定部 2 6 によって固定された端子の電位に従って、外部端子がどのように設定されたかを表わす設定情報を MCU 5 に出力する。

【 0 0 1 9 】

フラッシュメモリ 7 は、MCU 5 が処理を行なうためのプログラムを格納する。プログラムを用いることによって、電源規格の変更があっても、デバイスを再開発する手間を省

50

くことができる。また、フラッシュメモリ 7 は、最大許容電圧値、最大許容温度、および最大許容電流などの初期値を定めた複数のパラメータのテーブルを記憶する。

【 0 0 2 0 】

パラメータレジスタ 8 は、S V I D インタフェース 1 4 を通じて、デジタルステップ制御でのステップごとの電圧値の変化量（刻み電圧）、および放電モードでの下げたい最終電圧である指示電圧と放電モードを指示電圧に達する前に放電モードを終了するときの目標電圧 V_s との差である V の値などを記憶する。

【 0 0 2 1 】

パフォーマンスレジスタ 9 は、フラッシュメモリ 7 に記録された最大許容電圧値、最大許容温度、および最大許容電流などのデータ受け取り、記憶する。

10

【 0 0 2 2 】

ここで、最大許容電圧値は、C P U にかけることが可能な最大の電源電圧である。最大許容温度は、電圧レギュレータなどから測定される温度で動作上許される最高の温度である。最大許容電流は、電圧レギュレータが流すことができる最大の電流である。これらの値を超えた場合は、コントローラは値を下げるように電圧レギュレータなどに指示信号を出力する。

【 0 0 2 3 】

M C U 5 は、プログラムに基づいて演算処理を行なう。

P M B U S インタフェース 1 0 は、P M B U S を通じて、外部のシステム制御部 2 7 から信号を受けるとともに、外部のシステム制御部 2 7 へ信号を出力する。

20

【 0 0 2 4 】

S V I D インタフェース 1 4 は、シリアル通信線を通じて、C P U 2 5 からの信号を受けるとともに、C P U 2 5 へ信号を出力する。

【 0 0 2 5 】

動作モードレジスタ 1 6 は、現在の動作モードを記憶する。たとえば、動作モードとして、通常モード、放電モードなどがある。

【 0 0 2 6 】

電圧指示値レジスタ 1 8 は、電圧制御時の指示電圧の値を記憶する。

パワーステート指示値レジスタ 1 9 は、パワーステート制御時のパワーステートモードの指定値を記憶する。

30

【 0 0 2 7 】

シーケンステーブルレジスタ 1 5 は、段階的スケジュールテーブルを記憶する。段階的スケジュールテーブルは、変更前のフェーズ数と、変更後のフェーズ数の組合せごとに、複数のステップの各々のフェーズ数、実行時間を定める。ここで、フェーズ数とは、動作させる電圧レギュレータの数である。

【 0 0 2 8 】

ハードロジック電源制御回路 1 3 は、D A C デジタルステップ制御部 2 0 と、位相クロック生成部 2 1 とを備える。

【 0 0 2 9 】

D A C デジタルステップ制御部 2 0 は、複数回のステップで指示された電圧に達するように、各ステップでの電圧変化値を決定し、決定した電圧変化値をデジタル電圧 D V として出力する。

40

【 0 0 3 0 】

位相クロック生成部 2 1 は、動作させる電圧レギュレータへの制御信号 S M O D を活性化する。位相クロック生成部 2 1 は、動作させる電圧レギュレータへの位相クロックの位相を決定し、決定した位相の位相クロックを出力する。位相クロック生成部 2 1 は、内部のタイマに従って、P W M (Pulse Width Modulation) 周期のタイミングで位相クロックを生成する。電圧レギュレータの位相クロックの周期は、すべて同一（P W M 周期）であるが、電圧レギュレータの位相クロックの位相は、すべて異なる。位相クロック生成部 2 1 は、停止させる電圧レギュレータへの制御信号 S M O D を非活性化する。

50

【 0 0 3 1 】

位相クロック生成部 2 1 は、C P U 2 5 から動作させる電圧レギュレータの台数（フェーズ数）の変更を指示する制御コマンドを受けた場合に、シーケンステーブルレジスタ内の段階的スケジュールテーブルに従って、現在のフェーズ数からC P U 2 5 から指示された変更後のフェーズ数へ段階的にフェーズ数を変更する。位相クロック生成部 2 5 は、段階的スケジュールテーブルで定められる各ステップの実行時間に従って、ステップを切替える。

【 0 0 3 2 】

アナログ電源制御回路 1 1 は、D A C (Digital Analog Converter) 2 2 と、差動アンプ 2 4 と、エラーアンプ 2 3 と、A D C (Analog Digital Converter) 1 7 とを備える。

10

【 0 0 3 3 】

D A C 2 2 は、D A C デジタルステップ制御部 2 0 から出力されたデジタル電圧 D V をアナログ電圧 V 1 に変換する。

【 0 0 3 4 】

差動アンプ 2 4 は、C P U 2 5 の高電位側の電圧 V S E N 1 と低電位側の電圧 V S E N 2 の差を増幅して電圧 V 2 を出力する。

【 0 0 3 5 】

エラーアンプ 2 3 は、D A C 2 2 から出力される電圧 V 1 と、差動アンプ 2 4 から出力される電圧 V 2 との差を増幅して、増幅された電圧を指定された電圧と現在のC P U 2 5 の電圧との差を表わす電圧として電圧レギュレータへ出力する。

20

【 0 0 3 6 】

A D C 1 7 は、電圧レギュレータ 3 0 - 1 ~ 3 0 - n の出力電圧などを A D 変換する。

電源異常監視回路 2 は、電圧コンパレータ 4 と、電源異常監視部 3 とを備える。

【 0 0 3 7 】

電圧コンパレータ 4 は、電圧レギュレータにより生成された電圧を受け、所定の標準電圧とをアナログ処理で比較する。

【 0 0 3 8 】

電源異常監視部 3 は、電圧コンパレータ 4 の出力に従って、C P U 2 5 の電源電圧が異常であるか否かを監視する。

30

【 0 0 3 9 】

電圧レギュレータ 3 0 - 1 ~ 3 0 - n は、C P U 2 5 に電源電圧を供給する。ここでは、各電圧レギュレータ 3 0 - 1 ~ 3 0 - n はそれぞれ、1つのパッケージに収められている。さらにここでは、パッケージ内にハイサイド M O S トランジスタ 1 9 6、ロウサイド M O S トランジスタ 1 9 7、その他の部分（P W M 部 1 5 1 と M O S 制御部 1 9 8）の 3 チップで構成されている。

【 0 0 4 0 】

電圧レギュレータ 3 0 - 1 ~ 3 0 - n は、P W M 部 1 5 1 と、D C - D C 変換器 3 3 とを備える。電圧レギュレータ 3 0 - 1 ~ 3 0 - n は、制御信号 S M O D が活性化されると動作し、制御信号 S M O D が非活性化されると動作を停止する。

40

【 0 0 4 1 】

P W M 部 1 5 1 は、P W M 比較器 3 1 と、ラッチ回路 3 2 とを備える。

P W M 比較器 3 1 は、エラーアンプ 2 3 の出力である誤差信号をもとに P W M 信号を出力する。

【 0 0 4 2 】

ラッチ回路 3 2 のセット端子 S には、P W M 比較器 3 1 の出力が入力される。ラッチ回路 3 2 のリセット端子 R には、位相クロック生成部 2 1 の出力であるクロックが入力される。

【 0 0 4 3 】

D C - D C 変換器 3 3 は、ラッチ回路 3 2 の出力と接続され、C P U 2 5 へ電源電圧を

50

供給する。ここでは、ラッチ回路32から出力されるPWM信号によりDC-DC変換器33が制御される。

【0044】

図1に示すハイサイドMOSトランジスタ196がオンし、ロウサイドMOSトランジスタ197がオフすることで、CPU25の高電位側のCPU電圧線の電圧VSEN1が上昇する。他方、ハイサイドMOSトランジスタ196がオフし、ロウサイドMOSトランジスタ197がオンすることで、CPU電圧線の電圧VSEN1が降下する。

【0045】

通常モードでは、CPU電圧線の電圧VSEN1が一定の電圧になるように、ハイサイドMOSトランジスタ196とロウサイドMOSトランジスタ197のオン/オフが制御される。つまり、電圧が低い場合はハイサイドMOSトランジスタ196をオンさせて（このときロウサイドMOSトランジスタ197をオフ）電圧を上昇させたり、電圧が高い場合はロウサイドMOSトランジスタ197をオンさせて（このときハイサイドMOSトランジスタ196をオフ）電圧を降下させる。

【0046】

（電源制御動作）

図2は、第1の実施形態の電圧制御動作の処理手順を表わすフローチャートである。

【0047】

図2を参照して、CPU25は、電圧値Vtを指定した電圧制御コマンドをシリアル通信線へ出力する（ステップS801）。

【0048】

SVIIDインタフェース14は、シリアル通信線から受信したコマンドを解釈し、電圧制御をDACデジタルステップ制御部20に指示する（ステップS802）。

【0049】

DACデジタルステップ制御部20は、指示された通常指示電圧Vtを目標値とし、この目標値に達するための、デジタル電圧DVを出力する（ステップS803）。

【0050】

DAC22は、デジタル電圧DVをアナログ電圧V1に変換する（ステップS804）。

。

【0051】

差動アンプ24は、CPU25の高電位側の電圧VSEN1と低電位側の電圧VSEN2の差を増幅して電圧V2を出力する（ステップS805）。

【0052】

エラーアンプ23は、DAC22から出力される電圧V1と、差動アンプ24から出力される電圧V2との差を増幅して、増幅された電圧（Eout）を指定された電圧と現在のCPU25の電圧との差を表わす電圧として電圧レギュレータへ出力する。電圧レギュレータは、エラーアンプ23から出力される電圧（Eout）に基づいて、出力する電圧を補正する。たとえば、指示電圧Vtより高電位側の電圧VSEN1が低い場合は、ハイサイドMOSトランジスタ196がオンすることで、高電位側の電圧VSEN1を上昇させる。また、指示電圧Vtより高電位側の電圧VSEN1が高い場合は、ロウサイドMOSトランジスタ197がオンすることで、高電位側の電圧VSEN1を降下させる（ステップS806）。

【0053】

その後、ステップS803に戻り、処理が繰返される。

これにより、高電位側の電圧VSEN1が指示電圧Vtになるように制御される。

【0054】

（フェーズ数の制御動作）

図3は、第1の実施形態のフェーズ数の制御手順を表わす図である。

【0055】

まず、CPU25は、複数の電圧レギュレータのうち動作させる台数（フェーズ数）の

10

20

30

40

50

変更を指示する制御コマンドをシリアル通信線へ出力する（ステップS901）。

【0056】

SVIDインタフェース14は、シリアル通信線から受信した制御コマンドを解釈し、フェーズ数制御を位相クロック生成部21に指示する（ステップS902）。

【0057】

位相クロック生成部21は、シーケンステーブルレジスタから、指示されたフェーズ数と現在のフェーズ数に対応する段階的スケジュールテーブルを得る（ステップS903）。

【0058】

位相クロック生成部21は、段階的スケジュールテーブルに従って、フェーズ数を変化させる。位相クロック生成部21は、各段階でのフェーズ数に従って、電圧レギュレータ30-1~30-nのうち動作させる電圧レギュレータと、停止させる電圧レギュレータとを決める。フェーズ数を変化させる場合には、可能な限り、位相クロックが均等となるように決定する。たとえば、8個の電圧レギュレータから8個の位相クロックが出力されているときには、フェーズ数を4個に変更する場合には、変更の結果、出力される4個の位相クロックの間隔が均等になるように、動作させる電圧レギュレータと停止させる電圧レギュレータとを決定する。位相クロック生成部21は、動作させる電圧レギュレータに対し制御信号SMODを活性化し、動作させる電圧レギュレータへ決定された位相のクロックを出力する。電圧レギュレータは、活性化された制御信号SMODを受けると、位相クロック生成部21から送られるクロックに基づいて、電圧を出力する。位相クロック生成部21は、停止させる電圧レギュレータに対し制御信号SMODを非活性化する。電圧レギュレータは、非活性化された制御信号SMODを受けると、電圧の出力を停止する（ステップS904）。

【0059】

図4は、第1の実施形態の段階的スケジュールテーブルの例を表わす図である。

図4の一例では、現在のフェーズ数Kが8であり、変更後のフェーズ数Mが1の場合には、4段階でフェーズを変化させるように定められている。ステップ1において、実行時間T(1)内にフェーズ数が+i(1)だけ増加するように定められている。ステップ2において、実行時間T(2)内にフェーズ数が+i(2)だけ増加するように定められている。ステップ3において、実行時間T(3)内にフェーズ数が+i(3)だけ増加するように定められている。ステップ4において、実行時間T(4)内にフェーズ数が+i(4)だけ増加するように定められている。

【0060】

図4の別の例では、現在のフェーズ数Kが16であり、変更後のフェーズ数Mが2の場合には、6段階でフェーズを変化させるように定められている。ステップ1において、実行時間T(1)内にフェーズ数が+i(1)だけ増加するように定められている。ステップ2において、実行時間T(2)内にフェーズ数が+i(2)だけ増加するように定められている。ステップ3において、実行時間T(3)内にフェーズ数が+i(3)だけ増加するように定められている。ステップ4において、実行時間T(4)内にフェーズ数が+i(4)だけ増加するように定められている。ステップ5において、実行時間T(5)内にフェーズ数が+i(5)だけ増加するように定められている。ステップ6において、実行時間T(6)内にフェーズ数が+i(6)だけ増加するように定められている。

【0061】

図5は、現在のフェーズ数Kが8であり、変更後のフェーズ数Mが1の場合のフェーズ数の変化を説明するための図である。ここでは、 $i(1) = 0$ 、 $i(2) = -4$ 、 $i(3) = -2$ 、 $i(4) = -1$ であるとして説明する。

【0062】

まず、ステップ1で、フェーズ数が $K + i(1)$ （つまり8）となる。ステップ2で、フェーズ数が $K + i(1) + i(2)$ （つまり4）となる。ステップ3で、フェーズ数が

$K + i(1) + i(2) + i(3)$ (つまり 2) となる。ステップ 4 で、フェーズ数が $K + i(1) + i(2) + i(3) + i(4)$ (つまり 1) となる。

【0063】

図 6 は、第 1 の実施形態におけるレギュレータ群 30 の出力電圧 (V_o) の変化の例を表わす図である。

【0064】

図 6 に示すように、従来のように、フェーズ数を 8 から 1 に急激に変化させた場合には、出力電圧 (V_o) が急激に変化し、アンダーシュートが発生する。

【0065】

本実施の形態のように、フェーズ数を 8 4 2 1 と段階的に変化された場合には、出力電圧 (V_o) が緩やかに変化し、アンダーシュートが発生しない。

10

【0066】

以上のように、本実施の形態によれば、フェーズ数を徐々に変化させることにより、アンダーシュートが発生するのを防止できる。

【0067】

また、本実施の形態によれば、フェーズ数を間引く場合に、レギュレータ群 30 から出力される複数の位相クロックの間隔が均等になるように、動作させる電圧レギュレータと停止させる電圧レギュレータとを決定するので、電圧を安定化させることができる。

【0068】

また、段階的スケジュールの設定をレジスタとして持たせておくことにより、電圧安定を優先するか、短期間切替えを優先するか、状況に応じて設定を変更することもできる。たとえば、負荷状態の変更を直に行いたい場合、フェーズ数の切替えは速やかに行う必要があるので、フェーズ数を 8 から 1 へ直接変更することも可能である。

20

【0069】

また、本実施の形態によれば、ボード設計終了後に発見された電圧変動があった場合にも、IC 外部のフィルタ回路の再調整を必要とせずファームウェアの変更のみで対処が可能となる。

【0070】

なお、PWM 周期の途中で、フェーズ数を間引いた場合、電圧レギュレータのスイッチングバランスが乱れ、電圧が安定しにくくなるような場合には、各ステップの実行時間 (すなわち、ステップの切替タイミング) を PWM 周期のタイミングに同期させることも可能である。また、複数のステップのうち、一部のステップの切替タイミングを PWM 周期に同期させ、他のステップの切替タイミングは、段階的スケジュールテーブルに設定されたものを用いることとしてもよい。

30

【0071】

[第 2 の実施形態]

図 7 は、第 2 の実施形態の半導体システムの構成を表わす図である。

【0072】

図 7 を参照して、この半導体システムが、図 1 の第 1 の実施形態の半導体システムと相違する点は、以下のコントローラ 1A に関する点である。

40

【0073】

SVID コマンド判定回路 12A におけるシーケンステーブルレジスタ 115 は、段階的スケジュールテーブルを記憶する。段階的スケジュールテーブルは、変更前のフェーズ数と、変更後のフェーズ数の組合せごとに、複数のステップの各々のオフセット電圧、実行時間を定める。ここで、オフセット電圧とは、CPU 25 からの指示電圧から目標電圧を設定するために用いられる。

【0074】

ハードロジック電源制御回路 13A における位相クロック生成部 121 は、CPU 25 から動作させる電圧レギュレータの台数 (フェーズ数) の変更を指示する制御コマンドを受けた場合に、現在のフェーズ数から CPU 25 から指示された変更後のフェーズ数へ変

50

更する。

【 0 0 7 5 】

ハードロジック電源制御回路 1 3 A における D A C デジタルステップ制御部 1 2 0 は、C P U 2 5 から動作させる電圧レギュレータの台数（フェーズ数）の変更を指示する制御コマンドを受けないときには、第 1 の実施形態で説明したように、指示電圧を目標電圧とし、C P U 2 5 に与えられる電圧が目標電圧となるように制御する。

【 0 0 7 6 】

D A C デジタルステップ制御部 1 2 0 は、C P U 2 5 から動作させる電圧レギュレータの台数（フェーズ数）の変更を指示する制御コマンドを受けたときには、現在の台数から指示された変更後台数への移行時および移行の前後において、シーケンステーブルレジスタ 1 1 5 内の段階的スケジュールテーブルで定められるスケジュールに従って、指示電圧に段階的にオフセット電圧を加えることによって段階的に目標電圧を変更し、各段階で C P U 2 5 に与えられる電圧が目標電圧となるように制御する。D A C デジタルステップ制御部 1 2 0 は、段階的スケジュールテーブルで定められる各ステップの実行時間に従って、ステップを切替える。

【 0 0 7 7 】

（電源制御動作）

図 8 は、第 2 の実施形態におけるフェーズ数の変更時の目標電圧の制御手順を表わす図である。

【 0 0 7 8 】

まず、C P U 2 5 は、フェーズ数を指定した制御コマンドをシリアル通信線へ出力する（ステップ S 3 0 1 ）。

【 0 0 7 9 】

S V I D インタフェース 1 4 は、シリアル通信線から受信した制御コマンドを解釈し、フェーズ数制御を D A C デジタルステップ制御部 1 2 0 に指示する（ステップ S 3 0 2 ）。

【 0 0 8 0 】

D A C デジタルステップ制御部 1 2 0 は、シーケンステーブルレジスタから、指示されたフェーズ数と現在のフェーズ数に対応する段階的変更スケジュールを得る（ステップ S 3 0 3 ）。

【 0 0 8 1 】

D A C デジタルステップ制御部 1 2 0 は、段階的変更スケジュールに従って、オフセット電圧を加えることによって目標値を変化させて（ステップ S 3 0 4 ）、デジタル電圧 D V を出力する（ステップ S 3 0 5 ）。

【 0 0 8 2 】

D A C 2 2 は、デジタル電圧 D V をアナログ電圧 V 1 に変換する（ステップ S 3 0 6 ）。差動アンプ 2 4 は、C P U 2 5 の高電位側の電圧 V S E N 1 と低電位側の電圧 V S E N 2 の差を増幅して電圧 V 2 を出力する（ステップ S 3 0 7 ）。

【 0 0 8 3 】

エラーアンプ 2 3 は、D A C 2 2 から出力される電圧 V 1 と、差動アンプ 2 4 から出力される電圧 V 2 との差を増幅して、増幅された電圧（E o u t ）を指定された電圧と現在の C P U 2 5 の電圧との差を表わす電圧として電圧レギュレータへ出力する。電圧レギュレータは、エラーアンプ 2 3 から出力される電圧（E o u t ）に基づいて、出力する電圧を補正する。たとえば、指示電圧 V t より高電位側の電圧 V S E N 1 が低い場合は、ハイサイド M O S トランジスタ 1 9 6 がオンすることで、高電位側の電圧 V S E N 1 を上昇させる。また、指示電圧 V t より高電位側の電圧 V S E N 1 が高い場合は、ロウサイド M O S トランジスタ 1 9 7 がオンすることで、高電位側の電圧 V S E N 1 を降下させる（ステップ S 3 0 8 ）。

【 0 0 8 4 】

その後、ステップ S 3 0 4 に戻り、処理が繰返される。

図 9 は、第 2 の実施形態の段階的スケジュールテーブルの例を表わす図である。

【 0 0 8 5 】

図 9 の一例では、現在のフェーズ数 K が 8 であり、変更後のフェーズ数 M が 1 の場合には、6 段階でフェーズを変化させるように定められている。実行時間 $T(1)$ のステップ 1 において、フェーズ数が K を維持し、目標値が指示電圧 V_t よりも $+dv(1)$ だけ増加するように定められている。実行時間 $T(2)$ のステップ 2 において、フェーズ数が K を維持し、目標値がさらに $+dv(2)$ だけ増加するように定められている。実行時間 $T(3)$ のステップ 3 において、フェーズ数が M に変化し、目標値がさらに $+dv(3)$ だけ増加するように定められている。実行時間 $T(4)$ のステップ 4 において、フェーズ数が M を維持し、目標値がさらに $+dv(4)$ だけ増加するように定められている。実行時間 $T(5)$ のステップ 5 において、フェーズ数が M を維持し、目標値がさらに $+dv(5)$ だけ増加するように定められている。実行時間 $T(6)$ のステップ 6 において、フェーズ数が M を維持し、目標値がさらに $+dv(6)$ だけ増加するように定められている。

10

【 0 0 8 6 】

図 10 は、現在のフェーズ数 K が 8 であり、変更後のフェーズ数 M が 1 の場合のフェーズ数の変化および目標電圧を説明するための図である。ここでは、 $dv(1) = +20\text{ mV}$ 、 $dv(2) = +5\text{ mV}$ 、 $dv(3) = 0\text{ mV}$ 、 $dv(4) = -5\text{ mV}$ 、 $dv(5) = -20\text{ mV}$ 、 $dv(6) = 0\text{ mV}$ であるとして説明する。

【 0 0 8 7 】

20

まず、ステップ 1 で、フェーズ数が K を維持し、目標値が $V_t + dv(1)$ となる。ステップ 2 で、フェーズ数が K を維持し、目標値が $V_t + dv(1) + dv(2)$ となる。ステップ 3 で、フェーズ数が M に変化し、目標値が $V_t + dv(1) + dv(2) + dv(3)$ となる。ステップ 4 で、フェーズ数が M を維持し、目標値が $V_t + dv(1) + dv(2) + dv(3) + dv(4)$ となる。ステップ 5 で、フェーズ数が M に変化し、目標値が $V_t + dv(1) + dv(2) + dv(3) + dv(4) + dv(5)$ となる。ステップ 6 で、フェーズ数が M を維持し、目標値が $V_t + dv(1) + dv(2) + dv(3) + dv(4) + dv(5) + dv(6)$ となる。

【 0 0 8 8 】

図 11 は、第 2 の実施形態におけるレギュレータ群 30 の出力電圧 (V_o) の変化の例を表わす図である。

30

【 0 0 8 9 】

図 11 に示すように、従来のように、フェーズ数を変化させるときに、指示電圧にオフセット電圧を加えない場合には、出力電圧 (V_o) が急激に変化し、アンダーシュートが発生する。

【 0 0 9 0 】

本実施の形態のように、フェーズ数を変化させるときに、指示電圧にオフセット電圧を段階的に加えた場合には、出力電圧 (V_o) が緩やかに変化し、アンダーシュートが発生しない。

【 0 0 9 1 】

40

以上のように、本実施の形態によれば、フェーズ切替え前に、目標電圧をオフセット (上昇) させ、フェーズ切替えが終了したのち、目標電圧のオフセットを解除 (下降) することによって、アンダーシュートを相殺することができる。

【 0 0 9 2 】

また、PWM 周期の途中で、ステップを切替えた場合、電圧レギュレータのスイッチングバランスが乱れ、電圧が安定しにくくなるようなときには、各ステップの実行時間 (すなわち、ステップの切替タイミング) を PWM 周期のタイミングに同期させることも可能である。また、複数のステップのうち、一部のステップ (フェーズ数が切替るステップおよび / またはオフセット電圧が切替るステップ) の切替タイミングを PWM 周期に同期させ、他のステップの切替タイミングは、段階的スケジュールテーブルに設定されたものを

50

用いることとしてもよい。

【 0 0 9 3 】

また、本実施の形態によれば、ボード設計終了後に発見された電圧変動があった場合にも、I C 外部のフィルタ回路の再調整を必要とせずファームウェアの変更のみで対処が可能となる。

【 0 0 9 4 】

[第 2 の実施形態の変形例]

本変形例では、P W M 周期ごとに発生する P W M 周期割込み（位相クロック生成部内のタイマで生成する）のタイミングに基づいて、フェーズ数を切替る。

【 0 0 9 5 】

図 1 2 は、第 2 の実施形態の変形例における制御内容を説明するための図である。

第 2 の実施形態で説明したように、フェーズ数を 3 から 1 に変更する際に、ステップ 1 ~ ステップ 6 で段階的にオフセット電圧が変更される。

【 0 0 9 6 】

まず、ステップ 1 で、フェーズ数が 1 を維持し、指示電圧 V_t に 2 0 m v のオフセット電圧を加えた電圧が目標電圧となる。

【 0 0 9 7 】

ステップ 2 で、フェーズ数が 1 を維持し、5 m v 増加したオフセット電圧を加えた電圧が目標電圧となる。

【 0 0 9 8 】

ステップ 3 で、フェーズ数が 3 に変化し、オフセット電圧は増加されない。

ステップ 4 で、フェーズ数が 3 を維持し、5 m v 減少させたオフセット電圧を加えた電圧が目標電圧となる。

【 0 0 9 9 】

ステップ 5 で、フェーズ数が 3 を維持し、2 0 m v 減少させたオフセット電圧を加えた電圧が目標電圧となる。

【 0 1 0 0 】

ステップ 6 で、フェーズ数が 3 を維持し、オフセット電圧は増加されない。

フェーズ数の変更指令を受けたときに、内部ステータスが P S 0 から P S 1 へ変化し、P S 1 へ変化した時点から段階的スケジュールテーブルで定められた時間 “ 8 h 0 5 ” が経過した時点でステップ 1 が開始する。

【 0 1 0 1 】

ステップ 1 の開始から段階的スケジュールテーブルで定められた時間 “ 8 h 3 0 ” が経過した時点でステップ 1 が終了し、ステップ 2 が開始する。

【 0 1 0 2 】

P W M 周期割込みが発生したときに、ステップ 2 が終了し、ステップ 3 が開始する。

ステップ 3 の開始から段階的スケジュールテーブルで定められた時間 “ 8 h 4 0 ” が経過した時点でステップ 3 が終了し、ステップ 4 が開始する。

【 0 1 0 3 】

ステップ 4 の開始から段階的スケジュールテーブルで定められた時間 “ 8 h 1 0 ” が経過した時点でステップ 4 が終了し、ステップ 5 が開始する。

【 0 1 0 4 】

ステップ 5 の開始から段階的スケジュールテーブルで定められた時間 “ 8 h 1 6 ” が経過した時点でステップ 5 が終了し、ステップ 6 が開始する。

【 0 1 0 5 】

[第 3 の実施形態]

図 1 3 は、第 3 の実施形態の半導体システムの構成を表わす図である。

【 0 1 0 6 】

図 1 3 を参照して、この半導体システムが、図 1 の第 1 の実施形態の半導体システムと相違する点は、以下のコントローラ 1 B に関する点である。

10

20

30

40

50

【 0 1 0 7 】

S V I D コマンド判定回路 1 2 B におけるシーケンステーブルレジスタ 2 1 5 は、段階的スケジュールテーブルを記憶する。段階的スケジュールテーブルは、変更前のフェーズ数と、変更後のフェーズ数の組合せごとに、複数のステップの各々の増幅率、実行時間を定める。ここで、増幅率とは、差動アンプ 2 4 から出力される電圧 V 2 を増幅する可変アンプ 2 2 4 の増幅率である。

【 0 1 0 8 】

ハードロジック電源制御回路 1 3 B における位相クロック生成部 1 2 1 は、C P U 2 5 から動作させる電圧レギュレータの台数（フェーズ数）の変更を指示する制御コマンドを受けた場合に、現在のフェーズ数から C P U 2 5 から指示された変更後のフェーズ数へ変更する。

10

【 0 1 0 9 】

ハードロジック電源制御回路 1 3 B における D A C デジタルステップ制御部 2 2 0 は、C P U 2 5 から動作させる電圧レギュレータの台数（フェーズ数）の変更を指示する制御コマンドを受けないときには、D A C 2 2 2 を通じて、可変アンプ 2 2 4 の増幅率を「1」に設定させる（つまり、増幅しない）。これによって、C P U 2 5 に与えられている電圧と指示電圧との差に対応する電圧が電圧レギュレータに与えられる。

【 0 1 1 0 】

D A C デジタルステップ制御部 2 2 0 は、C P U 2 5 から動作させる電圧レギュレータの台数（フェーズ数）の変更を指示する制御コマンドを受けたときには、現在の台数から指示された変更後台数への移行時および移行の前後において、シーケンステーブルレジスタ 1 1 5 内の段階的スケジュールテーブルで定められるスケジュールに従って、段階的に可変アンプ 2 2 4 の増幅率を変更する。これによって、各段階で、C P U 2 5 に与えられている電圧を各段階の増幅率で増幅した電圧と指示電圧との差に対応する電圧が電圧レギュレータに与えられる。

20

【 0 1 1 1 】

D A C デジタルステップ制御部 2 2 0 は、段階的スケジュールテーブルで定められる各ステップの実行時間に従って、ステップを切替える。

【 0 1 1 2 】

D A C 2 2 は、D A C デジタルステップ制御部 2 0 から出力されたデジタル電圧 D V をアナログ電圧 V 1 に変換する。差動アンプ 2 4 は、C P U 2 5 の高電位側の電圧 V S E N 1 と低電位側の電圧 V S E N 2 の差を増幅して電圧 V 2 を出力する。可変アンプ 2 2 4 は、差動アンプ 2 4 から出力される電圧 V 2 を D A C 2 2 2 で設定される増幅率で増幅して、電圧 V 3 を出力する。

30

【 0 1 1 3 】

エラーアンプ 2 3 は、D A C 2 2 から出力される電圧 V 1 と、可変アンプ 2 2 4 から出力される電圧 V 3 との差を増幅して、増幅された電圧を指定された電圧と現在の C P U 2 5 の電圧との差を表わす電圧として電圧レギュレータへ出力する。

【 0 1 1 4 】

（電源制御動作）

40

図 1 4 は、第 3 の実施形態におけるフェーズ数の変更時の増幅率の変更手順を表わす図である。

【 0 1 1 5 】

まず、C P U 2 5 は、フェーズ数を指定した制御コマンドをシリアル通信線へ出力する（ステップ S 1 0 1 ）。

【 0 1 1 6 】

S V I D インタフェース 1 4 は、シリアル通信線から受信した制御コマンドを解釈し、フェーズ数制御を位相クロック生成部 2 1 に指示する（ステップ S 1 0 2 ）。

【 0 1 1 7 】

D A C デジタルステップ制御部 2 2 0 は、シーケンステーブルレジスタから、指示され

50

たフェーズ数と現在のフェーズ数に対応する段階的変更スケジュールを得る（ステップ S 103）。

【0118】

DACデジタルステップ制御部220は、段階的変更スケジュールに従って、DAC22を介して、可変アンプ224の増幅率を変化させる（ステップ S 104）。

【0119】

DACデジタルステップ制御部20は、指示された通常指示電圧 V_t を目標値とし、この目標値に達するための、デジタル電圧DVを出力する（ステップ S 105）。

【0120】

DAC22は、デジタル電圧DVをアナログ電圧V1に変換する（ステップ S 106）。差動アンプ24は、CPU25の高電位側の電圧VSEN1と低電位側の電圧VSEN2の差を増幅して電圧V2を出力する（ステップ S 107）。

10

【0121】

可変アンプ224は、差動アンプ24の出力を設定された増幅率で増幅して電圧V3を出力する（ステップ S 108）。

【0122】

エラーアンプ23は、DAC22から出力される電圧V1と、可変アンプ224から出力される電圧V3との差を増幅して、増幅された電圧（Eout）を指定された電圧と現在のCPU25の電圧との差を表わす電圧として電圧レギュレータへ出力する。電圧レギュレータは、エラーアンプ23から出力される電圧（Eout）に基づいて、出力する電圧を補正する。たとえば、指示電圧 V_t より高電位側の電圧VSEN1が低い場合は、ハイサイドMOSトランジスタ196がオンすることで、高電位側の電圧VSEN1を上昇させる。また、指示電圧 V_t より高電位側の電圧VSEN1が高い場合は、ロウサイドMOSトランジスタ197がオンすることで、高電位側の電圧VSEN1を降下させる（ステップ S 109）。

20

【0123】

その後、ステップ S 104に戻り、処理が繰返される。

図15は、第3の実施形態の段階的スケジュールテーブルの例を表わす図である。

【0124】

図15の一例では、現在のフェーズ数Kが8であり、変更後のフェーズ数Mが1の場合には、5段階でフェーズを変化させるように定められている。実行時間 T(1)のステップ1において、フェーズ数がKを維持し、増幅率がF(1)となるように定められている。実行時間 T(2)のステップ2において、フェーズ数がKを維持し、増幅率がF(2)となるように定められている。実行時間 T(3)のステップ3において、フェーズ数がMに変化し、増幅率がF(3)となるように定められている。実行時間 T(4)のステップ4において、フェーズ数がMを維持し、増幅率がF(4)となるように定められている。実行時間 T(4)のステップ5において、フェーズ数がMを維持し、増幅率がF(5)となるように定められている。

30

【0125】

図16は、現在のフェーズ数Kが8であり、変更後のフェーズ数Mが1の場合の増幅率の変化を説明するための図である。ここでは、F(1)=8、F(2)=4、F(3)=4、F(4)=2、F(5)=1であるとして説明する。

40

【0126】

まず、ステップ1で、フェーズ数がKを維持し、増幅率がF(1)(=8)となる。

ステップ2で、フェーズ数がKを維持し、増幅率がF(2)(=4)となる。

【0127】

ステップ3で、フェーズ数がMに変化し、増幅率がF(3)(=4)となる。

ステップ4で、フェーズ数がMを維持し、増幅率がF(4)(=2)となる。

【0128】

ステップ5で、フェーズ数がMを維持し、増幅率がF(5)(=1)となる。

50

図17は、第3の実施形態におけるレギュレータ群30の出力電圧(V_o)の変化の例を表わす図である。

【0129】

図17に示すように、従来のように、フェーズ数を変化させるときに、増幅率を変更しない場合には、出力電圧(V_o)が急激に変化し、アンダーシュートが発生する。

【0130】

本実施の形態のように、フェーズ数を変化させるときに、増幅率を段階的に変更する場合は、出力電圧(V_o)が緩やかに変化し、アンダーシュートが発生しない。

【0131】

以上のように、本実施の形態によれば、フェーズ切替え前から、可変アンプの増幅率を段階的に切替えることによって、アンダーシュートを相殺することができる。

10

【0132】

また、PWM周期の途中で、ステップを切替えた場合、電圧レギュレータのスイッチングバランスが乱れ、電圧が安定しにくくなるようなときには、各ステップの実行時間(すなわち、ステップの切替タイミング)をPWM周期のタイミングに同期させることも可能である。また、複数のステップのうち、一部のステップ(フェーズ数が切替るステップおよび/または増幅率が切替るステップ)の切替タイミングをPWM周期に同期させ、他のステップの切替タイミングは、段階的スケジュールテーブルに設定されたものを用いることとしてもよい。

【0133】

20

また、本実施の形態によれば、ボード設計終了後に発見された電圧変動があった場合にも、IC外部のフィルタ回路の再調整を必要とせずファームウェアの変更のみで対処が可能となる。

【0134】

(変形例)

本発明は、上記の実施形態に限定されるものではなく、たとえば以下のような変形例も含む。

【0135】

(1) 第1~第3の実施形態の機能を組み合わせることとしてもよい。この場合、シーケンステーブルレジスタは、第1~第3の実施形態で説明した段階的スケジュールテーブルを記憶することとなる。

30

【0136】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

【0137】

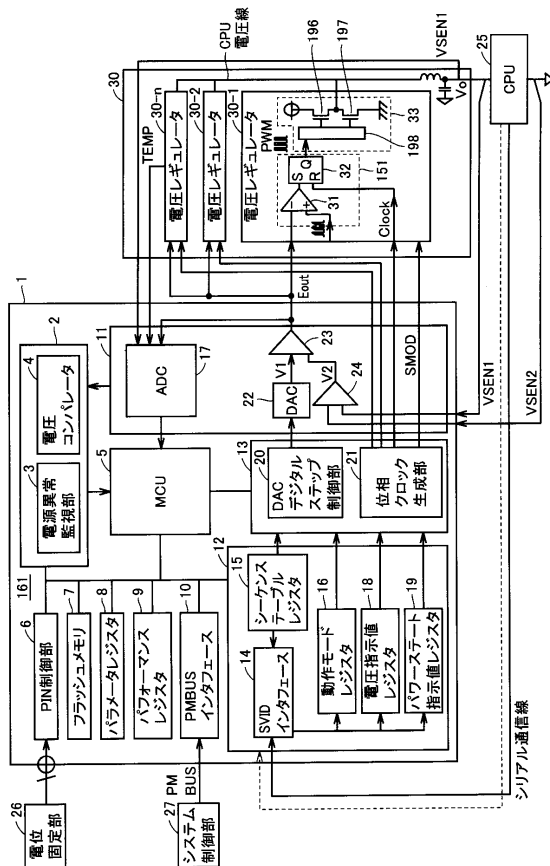
1, 1A, 1B コントローラ、2 電源異常監視回路、3 電源異常監視部、4 電圧コンパレータ、5 MCU、6 PIN制御部、7 フラッシュメモリ、8 パラメータレジスタ、9 パフォーマンスレジスタ、10 PMBUSインタフェース、11 アナログ電源制御回路、12, 12A, 12B SVIDコマンド判定回路、13, 13A, 13B ハードロジック電源制御回路、161, 161A, 161B 制御部、14 SVIDインタフェース、15, 115, 215 シーケンステーブルレジスタ、16 動作モードレジスタ、17, 18 電圧指示値レジスタ、19 パワーステート指示値レジスタ、20, 120, 220 DACデジタルステップ制御部、21, 121 位相クロック生成部、22 DAC、23 エラーアンプ、24 差動アンプ、25 CPU、26 電位固定部、27 システム制御部、30-1~30-n 電圧レギュレータ、31 PWM比較器、32 ラッチ回路、33 DC-DCコンバータ、151 PWM部、196 ハイサイドMOSトランジスタ、197 ロウサイドMOSトランジスタ、1

40

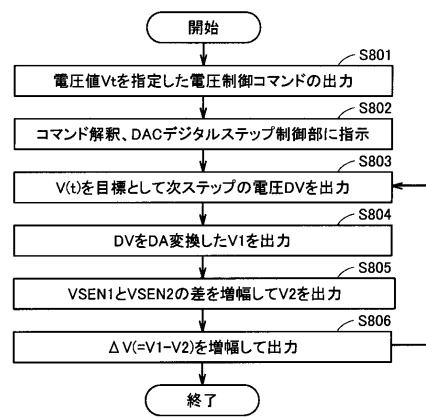
50

9 8 MOS 制御部。

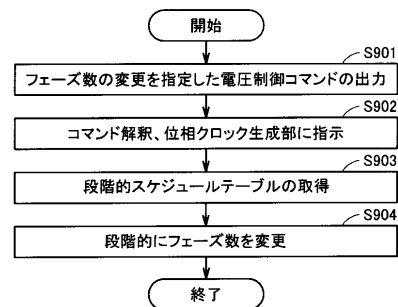
【 図 1 】



【 図 2 】



【圖 3】



【図 4】

...

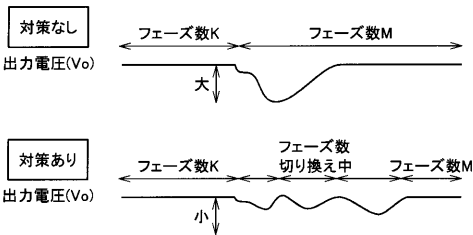
K=16, M=2			
ステップ	フェーズ変換数	実行時間	
ステップ1	i(1)	$\Delta T(1)$	
ステップ2	i(2)	$\Delta T(2)$	
ステップ3	i(3)	$\Delta T(3)$	
ステップ4	i(4)	$\Delta T(4)$	
ステップ5	i(5)	$\Delta T(5)$	
ステップ6	i(6)	$\Delta T(6)$	

K=8, M=1			
ステップ	フェーズ変換数	実行時間	
ステップ1	i(1)	$\Delta T(1)$	
ステップ2	i(2)	$\Delta T(2)$	
ステップ3	i(3)	$\Delta T(3)$	
ステップ4	i(4)	$\Delta T(4)$	

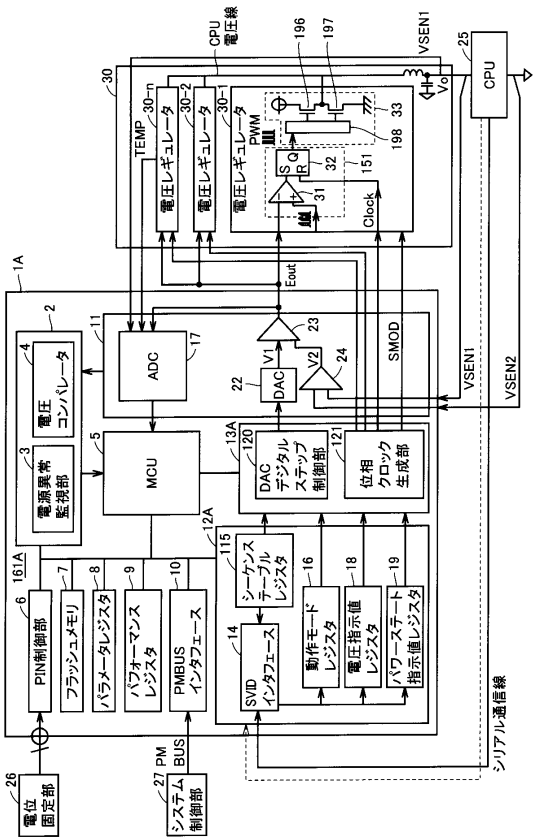
【図 5】

切換前	フェーズ数 K(=8)	実行時間
↑		
ステップ1	$\downarrow +i(1)(=8)$ $K+i(1)(=8)$	$\Delta T(1)$
ステップ2	$\downarrow +i(2)(-4)$ $K+i(1)+i(2)(=4)$	$\Delta T(2)$
ステップ3	$\downarrow +i(3)(-2)$ $K+i(1)+i(2)+i(3)(=2)$	$\Delta T(3)$
ステップ4	$\downarrow +i(4)(-1)$ $K+i(1)+i(2)+i(3)+i(4)=(1)$	$\Delta T(4)$
↓		
切換後	M(=1)	

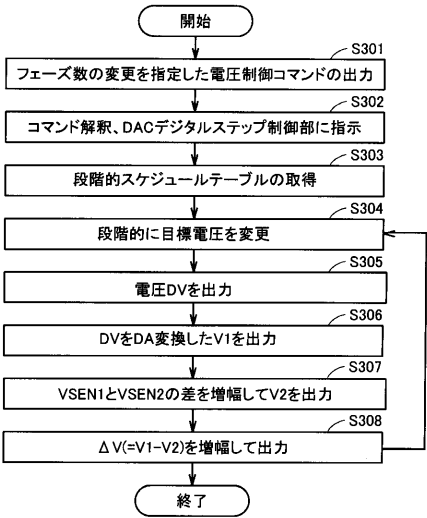
【図 6】



【図 7】



【図 8】

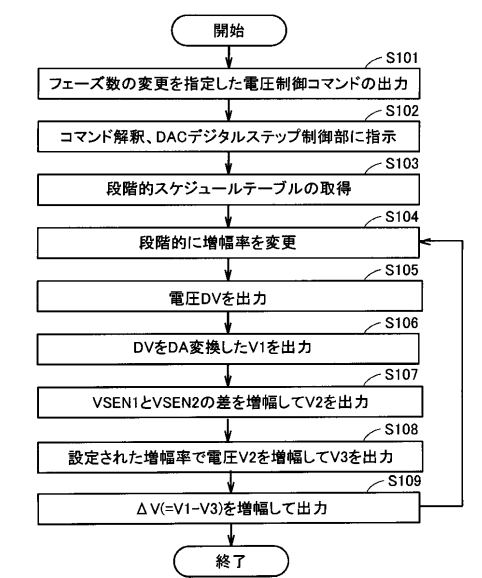


【図 9】

K=8, M=1			
ステップ	フェーズ数	オフセット電圧	実行時間
ステップ1	K	$dv(1)$	$\Delta T(1)$
ステップ2	K	$dv(2)$	$\Delta T(2)$
ステップ3	M	$dv(3)$	$\Delta T(3)$
ステップ4	M	$dv(4)$	$\Delta T(4)$
ステップ5	M	$dv(5)$	$\Delta T(5)$
ステップ6	M	$dv(6)$	$\Delta T(6)$

...

【図 1 4】



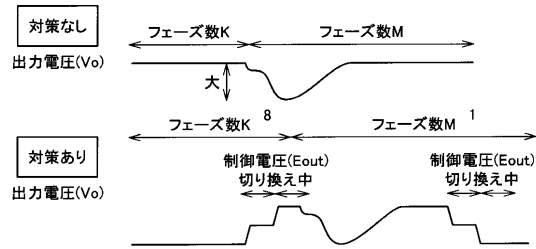
【図 1 5】

K=8, M=1			
ステップ	フェーズ数	フィードバック係数	実行時間
ステップ1	K	F(1)	$\Delta T(1)$
ステップ2	K	F(2)	$\Delta T(2)$
ステップ3	M	F(3)	$\Delta T(3)$
ステップ4	M	F(4)	$\Delta T(4)$
ステップ5	M	F(5)	$\Delta T(5)$

【図 1 6】

切換前	フェーズ数 K(=8)	増幅率 F	実行時間
↑			
ステップ1	K	F(1)(=8)	$\Delta T(1)$
ステップ2	K	F(2)(=4)	$\Delta T(2)$
ステップ3	M	F(3)(=4)	$\Delta T(3)$
ステップ4	M	F(4)(=2)	$\Delta T(4)$
ステップ5	M	F(5)(=1)	$\Delta T(5)$
↓			
切換後	M(=1)	F(5)(=1)	

【図 1 7】



フロントページの続き

審査官 安食 泰秀

(56)参考文献 特開2009-232587(JP,A)
特開2009-011102(JP,A)
特開2006-034047(JP,A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/155