



(12)

Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2023/017338**
in der deutschen Übersetzung (Art. III § 8 Abs. 2
IntPatÜbkG)
(21) Deutsches Aktenzeichen: **11 2022 003 125.5**
(86) PCT-Aktenzeichen: **PCT/IB2022/056619**
(86) PCT-Anmeldetag: **19.07.2022**
(87) PCT-Veröffentlichungstag: **16.02.2023**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **11.04.2024**

(51) Int Cl.: **H10B 61/00 (2023.01)**
H10N 50/80 (2023.01)
H10N 50/01 (2023.01)
H01L 29/861 (2006.01)

(30) Unionspriorität:
17/401,394 **13.08.2021** **US**

(71) Anmelder:
**International Business Machines Corporation,
Armonk, NY, US**

(74) Vertreter:
**Richardt Patentanwälte PartG mbB, 65185
Wiesbaden, DE**

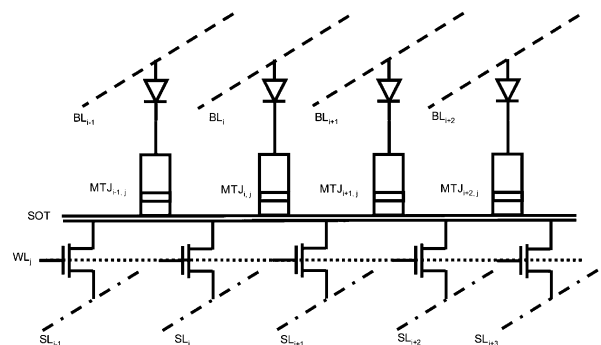
(72) Erfinder:
**Worledge, Daniel, San Jose, CA, US; Hashemi,
Pouya, Yorktown Heights, NY, US; Debrosse, John
Kenneth, Williston, VT, US**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **MAGNETORESISTIVES SPIN-ORBIT-TORQUE-DIREKTZUGRIFFSSPEICHER-ARRAY**

(57) Zusammenfassung: Eine magnetoresistive Spin-Orbit-Torque-Direktzugriffsspeicher-Einheit, gebildet durch Bilden eines Arrays von Transistoren, wobei eine Spalte des Arrays eine Source-Leitung umfasst, welche den Source-Kontakt jedes Transistors der Spalte kontaktiert, Bilden einer Spin-Orbit-Torque-Leitung (SOT-Leitung), welche die Drain-Kontakte der Transistoren der Reihe kontaktiert, und Bilden eines Arrays von Einheitszellen, wobei jede Einheitszelle einen magnetoresistiven Spin-Orbit-Torque-Direktzugriffsspeicher-Zellenstapel (SOT-MRAM-Zellenstapel) aufweist, der über und in elektrischem Kontakt mit der SOT-Leitung angeordnet ist, wobei der SOT-MRAM-Zellenstapel eine freie Schicht, eine Tunnelübergangsschicht und eine Referenzschicht aufweist, eine Diodenstruktur über und in elektrischem Kontakt mit dem SOT-MRAM-Zellenstapel, eine obere Elektrode, die über und in elektrischem Kontakt mit der Diodenstruktur angeordnet ist.



Beschreibung

HINTERGRUND

[0001] Die vorliegende Erfindung betrifft allgemein magnetoresistive Direktzugriffsspeicher-Strukturen (MRAM-Strukturen). Die vorliegende Erfindung betrifft insbesondere Arrays von Spin-Orbit-Torque-MRAM-Zellen; wobei jede Zelle mit einer Diode integriert ist.

[0002] Ein MRAM ist eine Art eines nicht-flüchtigen Festkörperspeichers, welcher den Tunnelmagnetwiderstand (Tunneling Magnetoresistance, TMR) zum Speichern von Informationen nutzt. Ein MRAM ist aus einem elektrisch verbundenen Array von magnetoresistiven Speicherelementen aufgebaut, die als Magnettunnelübergänge (Magnetic Tunnel Junctions, MTJs) bezeichnet werden. Jeder MTJ umfasst eine freie Schicht und eine fixierte Schicht, welche jeweils eine Schicht eines magnetischen Materials umfassen und welche durch eine nicht-magnetische isolierende Tunnelbarriere getrennt sind. Die freie Schicht ist in Nachbarschaft zu einer Spin-Orbit-Torque-Schicht angeordnet, die manchmal als eine Spin-Hall-Effekt-Schicht bezeichnet wird. Die freie Schicht weist eine veränderliche Magnetisierungsrichtung auf und die fixierte Schicht weist eine unveränderliche Magnetisierungsrichtung auf. Ein MTJ speichert Informationen durch Umschalten des Magnetisierungszustands der freien Schicht. Wenn die Magnetisierungsrichtung der freien Schicht parallel zu der Magnetisierungsrichtung der fixierten Schicht verläuft, befindet sich der MTJ in einem Zustand mit niedrigem Widerstand. Wenn umgekehrt die Magnetisierungsrichtung der freien Schicht antiparallel zu der Magnetisierungsrichtung der fixierten Schicht verläuft, befindet sich der MTJ in einem Zustand mit hohem Widerstand. Der Unterschied im Widerstand des MTJ kann genutzt werden, um eine logische ‚1‘ oder ‚0‘ anzuzeigen, wodurch ein Informations-Bit gespeichert wird. Der TMR eines MTJ bestimmt den Widerstandsunterschied zwischen den Zuständen mit hohem und niedrigem Widerstand. Ein relativ hoher Unterschied zwischen den Zuständen mit hohem und niedrigem Widerstand vereinfacht Leseoperationen in dem MRAM. MRAM-Zellen können als ein vertikaler Stapel gebildet werden, welcher Entwurfsoptionen von Einheiten zum Erhöhen der Speicherzellen-Elementdichte von Einheiten ermöglicht, während die Größe der Einheiten beibehalten oder sogar verringert wird.

[0003] Spin-Orbit-Torque-MRAM-Zellen (SOT-MRAM-Zellen) umfassen eine Spin-Orbit-Torque-Schicht oder Spin-Hall-Effekt-Schicht (SHE-Schicht) in Kontakt mit der Magnettunnelübergang-Struktur (MTJ-Struktur) des MRAM. Bei der SHE handelt es sich typischerweise um ein schweres leitfähiges Metall wie Platin oder Tantal. Strom wird durch die

SHE-Schicht, aber nicht durch die MTJ-Struktur geführt, um in die Zelle zu schreiben, und Strom wird durch den MTJ geführt, um die Zelle zu lesen. Da durch den MTJ der MRAM-Zelle keine Schreibenergien mit hoher Spannung geführt werden, sind SOT-MRAM gewöhnlich zuverlässiger und weisen eine längere Lebensdauer auf. Da die Schreibenergie nicht durch den MTJ geführt wird, wird beim Beschreiben des SOT-MRAM weniger Energie verbraucht. Das Führen des Schreibstroms durch die SHE-Schicht und nicht durch die MTJ-Struktur führt außerdem zu weniger Schreibfehlern und zu höheren Schreibgeschwindigkeiten - was die je Schreiboperation benötigte Energie weiter verringert.

[0004] Das Steuern der Lese- und Schreibfunktionen für eine Standard-SOT-MRAM-Zelle umfasst typischerweise, dass ein erster Transistor den Lese-Strom durch die Zelle steuert und ein zweiter Transistor den Schreibstrom durch die SHE-Leitung der Zelle steuert. Die relevante Schaltungs-Die-Fläche für solche SOT-MRAM-Zellen umfasst deswegen die SOT-MRAM-Zelle und die zwei Steuertransistoren. Über Milliarden von MRAM-Zellen-Einheiten wird durch den zusätzlichen Raum, der von dem zweiten Transistor benötigt wird, ein bedeutender Die-Raum verbraucht.

KURZDARSTELLUNG

[0005] Im Folgenden wird eine Kurzdarstellung gegeben, um für ein Grundverständnis einer oder mehrerer Ausführungsformen der Erfindung zu sorgen. Diese Kurzdarstellung soll nicht Schlüsselemente oder wichtige Elemente identifizieren oder einen Umfang der speziellen Ausführungsformen oder einen Umfang der Ansprüche umreißen. Ihr einziger Zweck ist es, als eine Einleitung zu der detaillierteren Beschreibung, die später präsentiert wird, Konzepte in einer vereinfachten Form vorzustellen.

[0006] In einer Erscheinungsform eine magnetoresistive Spin-Orbit-Torque-Direktzugriffsspeicher-Einheit, die durch Bilden eines Arrays von Transistoren, wobei eine Spalte des Arrays eine Source-Leitung umfasst, welche den Source-Kontakt jedes Transistors der Spalte kontaktiert, Bilden einer Spin-Orbit-Torque-Leitung (SOT-Leitung), welche die Drain-Kontakte der Transistoren der Reihe kontaktieren, und Bilden eines Arrays von Einheitszellen gebildet wird, wobei jede Einheitszelle einen magnetoresistiven Spin-Orbit-Torque-Direktzugriffsspeicher-Zellenstapel (SOT-MRAM-Zellenstapel) umfasst, der über und in elektrischem Kontakt mit der SOT-Leitung angeordnet ist, wobei der SOT-MRAM-Zellenstapel eine freie Schicht, eine Tunnelübergangsschicht und eine Referenzschicht umfasst, eine Diodenstruktur über und in elektrischem Kontakt mit dem SOT-MRAM-Zellenstapel, eine obere Elektrode, die über und in elektrischem Kontakt mit der Diodenstruktur

angeordnet ist. Diese SOT-MRAM-Struktur sorgt für eine erhöhte Die-Dichte für die SOT-Zellen, sie verringert auch die Strukturkomplexität des SOT-MRAM-Zellen-Arrays durch die Verwendung von Leitungsstrukturen entlang den Reihen des Arrays. Die offenbarten Ausführungsformen sind mit aktuellen FinFET- und Nanosheet-Technologien sowie mit allen Niedertemperatur-Herstellungstechnologien kompatibel.

[0007] In einer Erscheinungsform umfasst eine MRAM-Struktur (magnetoresistive Direktzugriffsspeicher-Struktur) ein Array von magnetoresistiven Spin-Orbit-Torque-Direktzugriffsspeicher-Zellen (SOT-MRAM-Zellen), wobei eine SOT-MRAM-Zelle des Arrays einen Magnettunnelübergang (MTJ), eine über dem MTJ angeordnete Diode und einen einzelnen Transistor umfasst, eine Spalte des Arrays eine Source-Leitung umfasst, welche den Source-Kontakt jedes Transistors der Spalte kontaktiert, wobei die Source-Leitung an einer ersten Metallschicht der MRAM-Struktur angeordnet ist, und eine Reihe des Arrays eine SOT-Leitung umfasst, welche die Drain-Kontakte jedes Transistors der Reihe kontaktiert, wobei die SOT-Leitung an einer zweiten Metallschicht der MRAM-Struktur angeordnet ist. Diese SOT-MRAM-Struktur sorgt für eine erhöhte Die-Dichte für die SOT-Zellen, sie verringert außerdem die Strukturkomplexität des SOT-MRAM-Zellen-Arrays durch die Verwendung von Leitungsstrukturen entlang den Reihen des Arrays. Die offenbarten Ausführungsformen sind mit aktuellen FinFET- und Nanosheet-Technologien sowie mit allen Niedertemperatur-Herstellungstechnologien kompatibel.

[0008] In einer Erscheinungsform umfasst eine MRAM-Struktur (magnetoresistive Direktzugriffsspeicher-Struktur) ein Array von magnetoresistiven Spin-Orbit-Torque-Direktzugriffsspeicher-Zellen (SOT-MRAM-Zellen), wobei eine SOT-MRAM-Zelle des Arrays einen Magnettunnelübergang (MTJ), eine über dem MTJ angeordnete Diode und einen einzelnen Transistor umfasst, eine Spalte des Arrays eine Source-Leitung umfasst, welche den Source-Kontakt jedes Transistors der Spalte kontaktiert, wobei die Source-Leitung an einer ersten Metallschicht der MRAM-Struktur angeordnet ist, die Spalte eine Bitleitung in Kontakt mit jeder Diode der Spalte umfasst, wobei die Bitleitung an einer dritten Metallschicht der MRAM-Struktur angeordnet ist, und eine Reihe des Arrays eine SOT-Leitung umfasst, welche die Drain-Kontakte jedes Transistors der Reihe kontaktiert, wobei die SOT-Leitung an einer zweiten Metallschicht der MRAM-Struktur angeordnet ist. Diese SOT-MRAM-Struktur sorgt für eine erhöhte Die-Dichte für die SOT-Zellen, sie verringert außerdem die Strukturkomplexität des SOT-MRAM-Zellen-Arrays durch die Verwendung von Leitungsstrukturen entlang den Reihen des Arrays. Die offenbarten Ausführungsformen sind mit aktuellen

FinFET- und Nanosheet-Technologien sowie mit allen Niedertemperatur-Herstellungstechnologien kompatibel.

[0009] In einer Erscheinungsform umfasst eine MRAM-Struktur (magnetoresistive Direktzugriffsspeicher-Struktur) ein Array von magnetoresistiven Spin-Orbit-Torque-Direktzugriffsspeicher-Zellen (SOT-MRAM-Zellen), wobei eine SOT-MRAM-Zelle des Arrays einen Magnettunnelübergang (MTJ), eine über dem MTJ angeordnete Diode und einen einzelnen Transistor umfasst, eine Spalte des Arrays eine Source-Leitung umfasst, welche den Source-Kontakt jedes Transistors der Spalte kontaktiert, wobei die Source-Leitung an einer ersten Metallschicht der MRAM-Struktur angeordnet ist, eine Reihe des Arrays eine SOT-Leitung umfasst, welche die Drain-Kontakte jedes Transistors der Reihe kontaktiert, wobei die SOT-Leitung an einer zweiten Metallschicht der MRAM-Struktur angeordnet ist, und die Reihe des Arrays eine Wortleitung in Kontakt mit den Gates jedes Transistors der Reihe umfasst. Diese SOT-MRAM-Struktur sorgt für eine erhöhte Die-Dichte für die SOT-Zellen, sie verringert außerdem die Strukturkomplexität des SOT-MRAM-Zellen-Arrays durch die Verwendung von Leitungsstrukturen entlang den Reihen des Arrays. Die offenbarten Ausführungsformen sind mit aktuellen FinFET- und Nanosheet-Technologien sowie mit allen Niedertemperatur-Herstellungstechnologien kompatibel.

[0010] In einer Erscheinungsform umfasst eine MRAM-Struktur (magnetoresistive Direktzugriffsspeicher-Struktur) ein Array von magnetoresistiven Spin-Orbit-Torque-Direktzugriffsspeicher-Zellen (SOT-MRAM-Zellen), wobei eine SOT-MRAM-Zelle des Arrays einen Magnettunnelübergang (MTJ), eine über dem MTJ angeordnete Diode und einen einzelnen Transistor umfasst, eine Spalte des Arrays eine Source-Leitung umfasst, welche den Source-Kontakt jedes Transistors der Spalte kontaktiert, wobei die Source-Leitung an einer ersten Metallschicht der MRAM-Struktur angeordnet ist, die Spalte des Arrays eine Bitleitung in Kontakt mit jeder Diode der Spalte umfasst, wobei die Bitleitung an einer dritten Metallschicht der MRAM-Struktur angeordnet ist, eine Reihe des Arrays eine SOT-Leitung umfasst, welche die Drain-Kontakte jedes Transistors der Reihe kontaktiert, wobei die SOT-Leitung an einer zweiten Metallschicht der MRAM-Struktur angeordnet ist, und die Reihe des Arrays eine Wortleitung in Kontakt mit den Gates jedes Transistors der Reihe umfasst. Diese SOT-MRAM-Struktur sorgt für eine erhöhte Die-Dichte für die SOT-Zellen, sie verringert außerdem die Strukturkomplexität des SOT-MRAM-Zellen-Arrays durch die Verwendung von Leitungsstrukturen entlang den Reihen des Arrays. Die offenbarten Ausführungsformen sind mit aktuellen FinFET- und Nanosheet-Technologien

sowie mit allen Niedertemperatur-Herstellungstechnologien kompatibel.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0011] Durch die detailliertere Beschreibung einiger Ausführungsformen der vorliegenden Erfindung in den begleitenden Zeichnungen werden die obigen und andere Aufgaben, Merkmale und Vorteile der vorliegenden Erfindung besser ersichtlich, wobei sich die gleiche Bezugszahl im Allgemeinen auf die gleichen Komponenten in den Ausführungsformen der vorliegenden Erfindung bezieht.

Fig. 1 zeigt eine Querschnittsansicht eines Schrittes bei der Herstellung einer Halbleitereinheit gemäß einer Ausführungsform der Erfindung. Die Figur veranschaulicht den MTJ, welcher eine obere Elektrode und eine obere Hartmaske sowie eine SHE-Schienen-Schicht in Kontakt mit einer unteren Elektrode und einen Transistorkontakt der Einheit umfasst.

Fig. 2 zeigt eine Querschnittsansicht eines Schrittes bei der Herstellung einer Halbleitereinheit gemäß einer Ausführungsform der Erfindung. Die Figur veranschaulicht die Einheit nach Verkapselung des MTJ-Stapels, der oberen Elektrode und der Hartmaske.

Fig. 3 zeigt eine Querschnittsansicht eines Schrittes bei der Herstellung einer Halbleitereinheit gemäß einer Ausführungsform der Erfindung. Die Figur veranschaulicht die Einheit nach dem Hinzufügen einer strukturierten Hartmaske.

Fig. 4 zeigt eine Querschnittsansicht eines Schrittes bei der Herstellung einer Halbleitereinheit gemäß einer Ausführungsform der Erfindung. Die Figur veranschaulicht die Einheit nach dem strukturierten Ätzen der SHE-Schiene.

Fig. 5 zeigt eine Querschnittsansicht eines Schrittes bei der Herstellung einer Halbleitereinheit gemäß einer Ausführungsform der Erfindung. Die Figur veranschaulicht die Einheit nach der Entfernung der Hartmaske zum Freilegen der oberen Elektrode der SOT-MRAM-Zelle.

Fig. 6 zeigt eine Querschnittsansicht eines Schrittes bei der Herstellung einer Halbleitereinheit gemäß einer Ausführungsform der Erfindung. Die Figur veranschaulicht die Einheit nach Abscheidung der Diodenschichten und der oberen Diodenelektrode.

Fig. 7 zeigt eine Querschnittsansicht eines Schrittes bei der Herstellung einer Halbleitereinheit gemäß einer Ausführungsform der Erfindung. Die Figur veranschaulicht die Einheit nach einem strukturierten Maskieren und

einem selektiven Ätzen zum Bilden der Diode der SOT-MRAM-Zelle.

Fig. 8 zeigt eine Querschnittsansicht eines Schrittes bei der Herstellung einer Halbleitereinheit gemäß einer Ausführungsform der Erfindung. Die Figur veranschaulicht die Einheit nach Verkapseln der Diode und der oberen Diodenelektrode.

Fig. 9 zeigt eine Querschnittsansicht eines Schrittes bei der Herstellung einer Halbleitereinheit gemäß einer Ausführungsform der Erfindung. Die Figur veranschaulicht die Einheit nach Herstellung der Bit-Leitung oder Leseleitung des SOT-MRAM.

Fig. 10 zeigt eine Querschnittsansicht eines Schrittes bei der Herstellung einer Halbleitereinheit gemäß einer Ausführungsform der Erfindung. Die Figur zeigt eine andere Ansicht der Einheit nach Herstellung der Bitleitung oder Leseleitung des SOT-MRAM.

Fig. 11 zeigt eine schematische perspektivische Ansicht des Arrays von SOT-MRAM-Zellen.

Fig. 12 zeigt eine Draufsicht eines Schrittes bei der Herstellung einer Halbleitereinheit gemäß einer Ausführungsform der Erfindung. Die Figur veranschaulicht die Einheit vor der Bildung der SOT-Leitung, des MTJ, der Diode und der Bitleitungen.

Fig. 13 zeigt eine Draufsicht eines Schrittes bei der Herstellung einer Halbleitereinheit gemäß einer Ausführungsform der Erfindung. Die Figur veranschaulicht die Einheit nach Bildung der SOT-Leitung, des MTJ, der Diode und der Bitleitung.

Fig. 14 ist ein Ablaufplan, welcher Betriebschritte zum Bilden einer Halbleitereinheit gemäß einer Ausführungsform der Erfindung zeigt.

DETAILLIERTE BESCHREIBUNG

[0012] Einige Ausführungsformen werden detaillierter unter Bezugnahme auf die begleitenden Zeichnungen beschrieben, in welchen die Ausführungsformen der vorliegenden Erfindung veranschaulicht worden sind. Die vorliegende Erfindung kann jedoch auf verschiedene Weisen realisiert werden und sollte daher nicht so ausgelegt werden, dass sie auf die hierin offenbarten Ausführungsformen beschränkt ist.

[0013] Es versteht sich, dass Erscheinungsformen der vorliegenden Erfindung in Form einer gegebenen veranschaulichenden Architektur beschrieben werden; innerhalb des Umfangs der Erscheinungsformen der vorliegenden Erfindung können jedoch als Variation andere Architekturen, Strukturen, Substrat-

materialien und Verfahrensmerkmale und -schritte angewendet werden.

[0014] Es versteht sich außerdem, dass, wenn ein Element wie eine Schicht, eine Region oder ein Substrat als „auf“ oder „über“ einem anderen Element befindlich bezeichnet wird, es sich direkt auf dem anderen Element befinden kann oder außerdem dazwischen angeordnete Elemente vorhanden sein können. Wenn hingegen ein Element als „direkt auf“ oder „direkt über“ einem anderen Element befindlich bezeichnet wird, sind keine dazwischen angeordneten Elemente vorhanden. Es versteht sich ferner, dass, wenn ein Element als mit einem anderen Element „verbunden“ oder „gekoppelt“ bezeichnet wird, es direkt mit dem anderen Element verbunden oder gekoppelt sein kann oder dazwischen angeordnete Elemente vorhanden sein können. Wenn hingegen ein Element als mit einem anderen Element „direkt verbunden“ oder „direkt gekoppelt“ bezeichnet wird, sind keine dazwischen angeordneten Elemente vorhanden.

[0015] Die vorliegenden Ausführungsformen können einen Entwurf für einen IC-Chip umfassen, welcher in einer graphischen Computerprogrammiersprache erzeugt und in einem Computerspeichermedium (wie einer Platte, einem Band, einem physischen Festplattenlaufwerk, einem virtuellen Festplattenlaufwerk, z.B. in einem Speicherzugriffs-Netzwerk) gespeichert werden kann. Wenn der Entwerfende keine Chips oder photolithographischen Masken herstellt, die verwendet werden, um Chips herzustellen, kann der Entwerfende den resultierenden Entwurf durch physische Mittel (z.B. durch Bereitstellen einer Kopie des Speichermediums, auf welcher der Entwurf gespeichert ist) oder elektronisch (z.B. über das Internet) direkt oder indirekt an solche Einheiten senden. Der gespeicherte Entwurf wird dann in das geeignete Format (z.B. GDSII) für die Herstellung photolithographischer Masken umgewandelt, welche typischerweise mehrere Kopien des betreffenden Chipentwurfs umfassen, die auf einem Wafer zu bilden sind. Die photolithographischen Masken werden verwendet, um Flächen des Wafers (und/oder der Schichten darauf) zu definieren, die zu ätzen oder auf andere Weise zu verarbeiten sind.

[0016] Verfahren wie hierin beschrieben können bei der Herstellung von IC-Chips angewendet werden. Die resultierenden IC-Chips können vom Hersteller in unbehandelter Wafer-Form (also als einzelner Wafer, der mehrere Chips ohne Gehäuse aufweist), als bloßer Chip oder in einer Form mit Gehäuse vertrieben werden. Im letzteren Fall ist der Chip in einem Gehäuse für einen Chip (z.B. einem Kunststoffträger mit Zuleitungen, die an einer Hauptplatine oder einem anderen übergeordneten Träger befestigt sind) oder in einem Gehäuse für mehrere Chips

(z.B. einem Keramikträger, der Oberflächenverbindungen und/oder vergrabene Verbindungen aufweist) montiert. In jedem Fall wird der Chip dann als Teil (a) eines Zwischenprodukts, z.B. einer Hauptplatine, oder (b) eines Endprodukts mit anderen Chips, diskreten Schaltungselementen und/oder anderen Signalverarbeitungseinheiten integriert. Bei dem Endprodukt kann es sich um ein beliebiges Produkt handeln, welches IC-Chips umfasst, was von Spielzeugen und anderen einfachen Anwendungen bis zu hoch entwickelten Computerprodukten reicht, die eine Anzeigevorrichtung, eine Tastatur oder andere Eingabeeinheit und einen Zentralprozessor aufweisen.

[0017] Es versteht sich außerdem, dass Materialverbindungen in Form von aufgelisteten Elementen beschrieben werden, z.B. SiGe. Diese Verbindungen umfassen verschiedene Anteile der Elemente innerhalb der Verbindung, z.B. umfasst SiGe SixGe1-x, wobei x kleiner oder gleich 1 ist, usw. Außerdem können andere Elemente in der Verbindung enthalten sein und immer noch gemäß den vorliegenden Prinzipien wirken. Die Verbindungen mit zusätzlichen Elementen werden hierin als Legierungen bezeichnet.

[0018] Eine Bezugnahme in der Beschreibung auf „eine Ausführungsform“ sowie auf Variationen davon bedeutet, dass ein bestimmtes Merkmal, eine bestimmte Struktur, eine bestimmte Eigenschaft usw., das/die in Verbindung mit der Ausführungsform beschrieben wird, in mindestens einer Ausführungsform enthalten ist. Somit bezieht sich das Auftreten des Ausdrucks „in einer Ausführungsform“ sowie Variationen davon an verschiedenen Stellen überall in der Beschreibung nicht notwendigerweise jeweils auf die gleiche Ausführungsform.

[0019] Es versteht sich, dass die Verwendung von einem aus „/“, „und/oder“ und „mindestens eines aus“, zum Beispiel in den Fällen von „A/B“, „A und/oder B“ und „mindestens eines aus A und B“ die Auswahl nur der ersten aufgelisteten Möglichkeit (A) oder die Auswahl nur der zweiten aufgelisteten Möglichkeit (B) oder die Auswahl beider Möglichkeiten (A und B) umfassen soll. Als ein weiteres Beispiel soll in den Fällen von „A, B und/oder C“ und „mindestens eines aus A, B und C“ eine solche Bezeichnung die Auswahl nur der ersten aufgelisteten Möglichkeit (A), die Auswahl nur der zweiten aufgelisteten Möglichkeit (B) oder die Auswahl nur der dritten aufgelisteten Möglichkeit (C) oder die Auswahl nur der ersten und der zweiten aufgelisteten Option (A und B) oder die Auswahl nur der ersten und der dritten aufgelisteten Option (A und C) oder die Auswahl nur der zweiten und der dritten aufgelisteten Möglichkeit (B und C) oder die Auswahl aller drei Möglichkeiten (A und B und C) umfassen. Dies kann, wie dem Fachmann auf diesem und verwandten Fachgebieten schnell

ersichtlich ist auf so viele Elemente wie aufgelistet ausgeweitet werden.

[0020] Die hierin verwendete Terminologie dient nur der Beschreibung spezieller Ausführungsformen und soll die beispielhaften Ausführungsformen nicht beschränken. Wie hierin verwendet, sollen die Singularformen „ein“, „eine“ und „der“, „die“, „das“ ebenso die Pluralformen umfassen, sofern dies nicht durch den Kontext eindeutig anders angezeigt ist. Es versteht sich ferner, dass mit den Begriffen „weist auf“, „aufweisen“, „umfasst“ und/oder „umfassen“, wenn sie hierin verwendet werden, das Vorliegen angegebener Merkmale, ganzer Zahlen, Schritte, Operationen, Elemente und/oder Komponenten beschrieben ist, jedoch nicht das Vorliegen oder das Hinzufügen eines/einer oder mehrerer anderer Merkmale, ganzer Zahlen, Schritte, Operationen, Elemente, Komponenten und/oder Gruppen derselben ausgeschlossen wird.

[0021] Begriffe der räumlichen Beziehung wie „unterhalb“, „unter“, „untere“, „über“, „obere“ und dergleichen können hierin zur Vereinfachung der Beschreibung verwendet werden, um die Beziehung eines Elements oder Merkmals zu einem anderen Element (anderen Elementen) oder einem anderen Merkmal (anderen Merkmalen) zu beschreiben, wie in den FIG. veranschaulicht. Es versteht sich jedoch, dass die Begriffe der räumlichen Beziehung zusätzlich zu der in den FIG. abgebildeten Orientierung andere Orientierungen der im Gebrauch oder Betrieb befindlichen Einheit umfassen sollen. Wenn zum Beispiel die Einheit in den FIG. umgedreht wird, wären Elemente, die als „unterhalb“ anderer Elemente oder Merkmale oder „unter“ anderen Elementen oder Merkmalen befindlich beschrieben werden, dann „über“ den anderen Elementen oder Merkmalen orientiert. Somit kann der Begriff „unter“ eine Orientierung von sowohl über als auch unter umfassen. Die Einheit kann anders orientiert sein (um 90 Grad gedreht sein oder andere Orientierungen aufweisen) und die hierin verwendeten Deskriptoren der räumlichen Beziehung können entsprechend interpretiert werden. Außerdem versteht es sich, dass, wenn eine Schicht als „zwischen“ zwei Schichten angeordnet bezeichnet wird, sie die einzige Schicht zwischen den zwei Schichten sein kann oder außerdem eine oder mehrere dazwischen angeordnete Schichten vorhanden sein können.

[0022] Es versteht sich, dass, obwohl hierin die Begriffe erste, zweite usw. verwendet werden können, um verschiedene Elemente zu beschreiben, diese Elemente nicht auf diese Begriffe beschränkt sein sollten. Diese Begriffe werden lediglich verwendet, um ein Element von einem anderen Element zu unterscheiden. Daher könnte ein nachstehend beschriebenes erstes Element als ein zweites Ele-

ment bezeichnet werden, ohne vom Umfang des vorliegenden Konzepts abzuweichen.

[0023] Bei einem magnetoresistiven Spin-Transfer-Torque-Direktzugriffsspeicher (STT-MRAM) wird während jeder der Lese- und Schreiboperationen Strom durch den Magnettunnelübergang der Speicherzelle geführt. Hohe Schreibenergien können die Langlebigkeit der Einheiten durch Verschlechtern der Materialien der Einheiten verringern. Spin-Orbit-Torque-MRAM-Einheiten (SOT-MRAM-Einheiten) lösen dieses Problem, indem nur relativ niedrige Leseoperationsenergien direkt durch den Magnettunnelübergang der MRAM-Zelle geführt werden. Die SOT- oder Spin-Hall-Effekt-Platte (SHE-Platte) der SOT-MRAM-Zelle muss eine Querschnittsfläche größer oder gleich dem Rest des MRAM-Zellenstapels aufweisen, um die freie Schicht effektiv zu verändern und in die Zelle zu schreiben. Das Schreiben in eine SOT-MRAM-Zelle erfordert nicht, Energie durch den SOT-MRAM-Zellenstapel zu führen. Typische SOT-MRAM-Zellenstrukturen umfassen zwei Transistoren, einen in Verbindung mit dem Schreiben eines Wertes in die Zelle und einen in Verbindung mit dem Auslesen des Wertes der Zelle. Strukturen, welche zwei Transistoren umfassen, benötigen eine zusätzliche Die-Fläche für jede Zelle. Offenbarte Ausführungsformen umfassen eine zylindrische Diode um den SOT-MRAM-Zellenstapel herum und ermöglichen die Steuerung sowohl von Lese- als auch von Schreiboperationen für die Zelle durch einen einzelnen Transistor.

[0024] Offenbarte Ausführungsformen sorgen für Arrays von SOT-MRAM-Zellen, die in Reihen und Spalten angeordnet sind. Jede SOT-MRAM-Einheit zelle umfasst einen einzelnen Transistor, der unter der SHE-Schiene der SOT-MRAM-Zelle angeordnet ist, wobei der Drain-Kontakt des Transistors mit der SHE-Schiene in elektrischem Kontakt steht, wobei der MTJ der Zelle mit der SHE-Schiene in Kontakt steht, eine Diode, die über dem MTJ und in Kontakt mit einer oberen Elektrode der SOT-MRAM-Zelle angeordnet ist, und eine obere Elektrode in Kontakt mit der Diode und einer Leseleitung für die SOT-MRAM-Zelle.

[0025] Die Verwendung eines einzelnen Transistors für jede Zelle ermöglicht höhere Zellendichten und unterstützt eine weitere Integration der Elemente der Einheiten. Der Einbau einer Diode, die zwischen dem MTJ und der oberen Elektrode des SOT-MRAM-Zellenstapels ausgebildet ist, ermöglicht die Steuerung von Lese- und Schreibfunktionen für die SOT-MRAM-Zelle unter Verwendung eines einzelnen Transistors. Die Schreibstruktur für Arrays von SOT-MRAM-Zellen umfasst Transistor-Source-Leitungen, die unter und parallel zu den Spalten der SOT-MRAM-Zellen des Arrays angeordnet sind, in Kontakt mit dem Source-Kontakt jedes Transistors der

Spalte, Wortleitungen, die in Kontakt unter und parallel zu den Reihen der SOT-MRAM-Zellen des Arrays sowie in Kontakt mit den Gate-Kontakten der Transistoren der Einheitszellen der Reihe angeordnet sind, die SHE-Schiene (SOT-Schiene) der SOT-MRAM-Zellen der Reihe, die parallel zu der Wortleitung und in Kontakt mit den Drain-Kontakten der Transistoren der Reihe angeordnet ist, und eine Bitleitung oder Leseleitung, die über und in elektrischem Kontakt mit der Diode der Zelle angeordnet ist. Die Bitleitungen für das Array sind parallel zu den Source-Leitungen und Spalten der SOT-MRAM-Zellen des Arrays angeordnet.

[0026] In einer Ausführungsform wird ein vertikaler SOT-MRAM-Zellenstapel aus Materialschichten geätzt, die auf eine darunter liegende Halbleitereinheit abgeschieden sind. Offenbarte Einheiten umfassen Reihen von SOT-MRAM-Zellen, wobei jede Zelle mittels einer gemeinsamen SOT-Leitung oder SHE-Schiene, die durch die Reihe von SOT-MRAM-Zellen gemeinsam genutzt wird, mit dem Drain-Kontakt eines (nicht dargestellten) Front-End-Of-Line-Transistors (FEOL-Transistors) in Kontakt steht.

[0027] Wie in **Fig. 1** dargestellt, umfasst die Einheit 100 eine SHE-Schicht 120, die auf (nicht dargestellten) unteren Elektroden und dielektrischem Material 125 angeordnet ist. In einer Ausführungsform besteht die SHE-Schicht 120 aus einem oder mehreren schweren leitfähigen Metallen wie β -Ta, β -W, $\text{Cu}_x\text{Pt}_{1-x}$, $\text{Cu}_{1-x}\text{Ta}_x$, $\text{Pd}_x\text{Pt}_{1-x}$, $\text{Au}_x\text{Pt}_{1-x}$, Pt, Bi_2Se_3 , WTe_2 , PtTe_2 , TaS_2 , $\text{Pt}_x\text{Rh}_{1-x}$ oder einer beliebigen metallischen Legierung mit einem mittleren Atomgewicht über 80 oder ähnlichen leitfähigen Metallen und Kombinationen davon. In einer Ausführungsform weist die SHE-Schicht 120 eine Dicke von etwa 1 nm bis etwa 50 nm auf. In einer Ausführungsform besteht die SHE-Schicht 120 aus Wolfram. In einer Ausführungsform besteht die SHE-Schicht 120 aus mehreren Schichten von Schwermetallen wie Ta und Pt, die nacheinander abgeschieden werden. Das Abscheiden der SHE-Schicht 120 erfolgt durch Abscheidungsverfahren, umfassend z.B. chemische Abscheidung aus der Gasphase (Chemical Vapor Deposition, CVD), physikalische Abscheidung aus der Gasphase (Physical Vapor Deposition, PVD), Atomschichtabscheidung (Atomic Layer Deposition, ALD) oder ähnliche Verfahren.

[0028] **Fig. 1** veranschaulicht die Einheit nach der Abscheidung einer Folge von Materialschichten. Durch die Folge von Schichten werden die SOT-MRAM-Zellen gebildet, umfassend einen Magnetunnelübergang (MTJ), eine obere Elektrode und eine obere Hartmaske. Wie in **Fig. 1** dargestellt, umfassen die Schichten für die MTJ-Stapel einen vereinfacht abgebildeten MTJ 130, der aus einer freien magnetischen Schicht 132 (einer Schicht, die ein umschaltbares magnetisches Dipolmoment auf-

weist), einer Tunnelbarrierenschicht 134 und einer magnetischen Referenzschicht 136 (einer Schicht, die ein fixiertes magnetisches Dipolmoment aufweist) aufgebaut ist. Der SOT-MRAM-Zellenstapel umfasst ferner eine obere Elektrode 140 und eine Hartmaskenschicht 150. In dieser Ausführungsform umfasst der MTJ 130 eine (nicht dargestellte) Keimschicht mit einer darauf angewachsenen freien Schicht 132. Die Keimschicht kann in einigen Ausführungsformen zum Beispiel Tantal (Ta) oder Tantal-magnesium (TaMg) umfassen. Die freie Schicht 132 kann zum Beispiel Kobalt-Eisen-Bor (CoFeB) umfassen. Die jeweiligen Schichten können durch PVD gebildet werden. Als Nächstes wird auf der freien Schicht 132 eine Tunnelbarrierenschicht 134 gebildet. Die Tunnelbarrierenschicht 134 kann ein nicht-magnetisches isolierendes Material wie Magnesiumoxid (MgO) umfassen. In einer Ausführungsform beträgt die Dicke der Tunnelbarrierenschicht 134 etwa 0,3 nm bis etwa 2 nm. Nach der Bildung der Tunnelbarrierenschicht 134 wird oben auf der Tunnelbarrierenschicht 134 die Referenzschicht 136 gebildet. Die Referenzschicht 136 kann zum Beispiel eine oder mehrere Grenzschichten oder Abstandhalter und Ruthenium, Kobalt, Palladium, Tantal, Eisen, Bor, Kobalt-Platin (CoPt) oder Kobalt-Palladium (CoPd) in Multischichten oder einem Gemisch umfassen. In einer Ausführungsform beträgt die Dicke der Referenzschicht 136 etwa 3 nm bis etwa 10 nm. Die jeweiligen Schichten können durch PVD gebildet werden. Die freie Schicht 132 und die Referenzschicht 136 weisen eine senkrechte magnetische Anisotropie auf.

[0029] Die obere Elektrodenschicht 140 kann TiN, TaN, W oder andere leitfähige Metalle oder Legierungen aufweisen. Die Hartmaskenschicht 150 kann SiN, SiO_x , $\text{Si}_x\text{B}_y\text{C}_z\text{N}_t$ usw. aufweisen. In einer Ausführungsform besteht die Hartmaskenschicht 150 aus TaN oder TiN, abgeschieden durch CVD oder PVD zu einer Dicke von etwa 20 nm bis etwa 60 nm. In einer Ausführungsform besteht die Hartmaskenschicht 150 aus einem Nitrid, einem Oxid, einer Oxid-Nitrid-Bischicht oder einem anderen geeigneten Material. In einigen Ausführungsformen kann die Hartmaskenschicht 150 ein Oxid wie Siliciumoxid (SiO), ein Nitrid wie Siliciumnitrid (SiN), ein Oxynitrid wie Siliciumoxynitrid (SiON), Kombinationen davon usw. umfassen. In einigen Ausführungsformen ist die Hartmaskenschicht 150 ein Siliciumnitrid wie Si_3N_4 .

[0030] **Fig. 1** veranschaulicht die Einheit 100 nach Abscheidung und strukturiertem Ätzen des MTJ 130, der oberen Elektrode 140 und der dielektrischen Hartmaske 150 aus einem Stapel von Schichten der betreffenden Materialien, die nacheinander über die Fläche des Die der Einheit abgeschieden werden. Es kann strukturierte Lithographie angewendet werden, um die gestapelten Schichten vor dem Anwenden

des selektiven Ätzens, z.B. reaktiven Ionenätzens, zu maskieren, um die unmaskierten Abschnitte der Schichten zu entfernen. Das selektive Ätzen endet an der oberen Fläche der SHE-Schienen-Schicht 120.

[0031] Fig. 2 veranschaulicht die Einheit 100 nach der Abscheidung einer verkapselnden Dielektrikums-materialschicht 210 wie SiN, SiOx, Si_xB_yC_zN_t usw. um den SOT-MRAM-Zellenstapel herum, gefolgt von CMP-Verfahren zum Zurücknehmen des Dielektrikums-materials bis zur oberen Fläche der Hartmas-kenschicht 150. Die CMP-Verfahren führen zu einer polierten oberen Fläche als Vorbereitung für die nächsten Herstellungsschritte.

[0032] Fig. 3 veranschaulicht die Einheit 100 nach der Abscheidung, lithographischer Maskierung und selektiver Entfernung einer SHE-Schienen-Maske 310, z.B. einer organischen Planarisierungsschicht (OPL) oder einer Hartmaskenschicht (TiN, TaN usw.). Die strukturierte Maske 310 stellt die gewünschte Querschnittsmaske für die SHE-Schiene bereit, gebildet aus der SHE-Schicht 120.

[0033] Fig. 4 veranschaulicht die Einheit 100 nach selektiver Entfernung des verkapselnden Dielektri-kums-materials 210, von Abschnitten der SHE-Schicht 120 und der strukturierten Maske 310. Beim Entfernen der Materialien kann ein reaktives Ionenätzen angewendet werden. Das Ätzen endet an der Dielektrikumsschicht 125 der darunter liegenden FEOL-Einheit.

[0034] Fig. 5 veranschaulicht die Einheit 100 nach erneutem Auffüllen des Verkapselungsdielektrikums 210 und CMP der Hartmaske 150 und des schützen-den Dielektrikums 210 bis zur oberen Fläche der oberen Elektrode 140.

[0035] Fig. 6 veranschaulicht die Einheit 100 nach Abscheidung von Diodenübergangsmaterial(ien) 610, z.B. 2D-Materialien, welche WSe, SnSe₂, Graphen usw. umfassen, Poly-Ge (P/N) (abgeschieden bei Niedrigtemperaturen und lasergetempert) und einer Folge von W/TiOx/Ni-Schichten, wodurch eine Schottky-Diode gebildet wird, und einer oberen Hartmaske/oberen Diodenelektrodenschicht 620. Gebil-dete Dioden können kreisförmige oder quadratische Querschnitte umfassen. In einer Ausführungsform erfolgt die Bildung der Diode durch Abscheidung des Diodenübergangsmaterials bei Back-End-Of-Linekompatiblen Temperaturen, z.B. Temperaturen unter etwa 420 °C.

[0036] Fig. 7 veranschaulicht die Einheit 100 nach Strukturmaskierung und selektivem Entfernen von Diodenübergangsmaterial(ien) 610 und oberen Elektrodenmaterialien 620 mittels RIE, anisotropen Ätzens oder anderer selektiver Ätzverfahren.

[0037] Fig. 8 veranschaulicht die Einheit 100 nach Verkapselung des Diodenübergangs 610 und der oberen Elektrode 620 durch eine Schicht von Dielekt-rikums-material 210, z.B. SiOx, SiON usw., und CMP der Verkapselungsschicht bis zur oberen Fläche der oberen Elektrode 620.

[0038] Fig. 9 veranschaulicht die Einheit 100 durch eine Spalte des Arrays nach Bildung einer oberen Bitleitung/Leseleitung 910. Die Bitleitung 910 kann durch die Abscheidung einer Schicht von leitfähigem metallischem Elektrodenmaterial gebildet werden, gefolgt von lithographischem Maskieren und selektivem Entfernen des Elektrodenmaterials zum Bilden der Bitleitungen für das Array. Jede Bitleitung ent-spricht einer Spalte von SOT-MRAM-Zellen des Arrays. Jede Bitleitung kontaktiert die oberen Elekt-rodenelemente der Dioden jeder SOT-MRAM-Zelle der Spalte des Arrays.

[0039] Fig. 10 veranschaulicht die Einheit 100 durch eine Reihe des Arrays nach Bildung einer oberen Bit-leitung/Leseleitung 910. Wie in der Figur dargestellt, kontaktiert die SHE-Schiene 120 den Drain-Kontakt 1010 des zugehörigen FEOL-Transistors auf der SOT-MRAM-Einheitszelle.

[0040] Fig. 11 veranschaulicht die Verdrahtungs-struktur für die SOT-MRAM-Zellen des Arrays. Wie in der Figur dargestellt, sind Source-Leitungen (SL_{i-1} - SL_{i+3}) parallel zu Spalten der SOT-MRAM-Zellen angeordnet und kontaktieren die Source-Kon-takte der FEOL-Transistoren, die zu den Zellen der jeweiligen Spalten des Arrays gehören. Eine Wortlei-tung WL_i ist parallel zu der Reihe i des Arrays ange-ordnet und kontaktiert die Gates der FEOL-Transis-toren der Reihe i. Eine gemeinsame SOT-Schiene ist entlang der Reihe I des Arrays in Kontakt mit sowohl den Drains der zugehörigen FEOL-Transistoren als auch den MTJs der SOT-MRAM-Zellen der Reihe angeordnet. Bitleitungen (BL_{i-1}-BL_{i+2}) sind parallel zu den Spalten und Source-Leitungen des Arrays und in elektrischem Kontakt mit den oberen Diodenelektroden jeder SOT-MRAM-Zelle der jeweiligen Array-Spalte angeordnet.

[0041] Das Lesen einer SOT-MRAM-Zelle umfasst Anlegen einer bekannten Spannung an die Diode und den MTJ-Zellenstapel zwischen der Leseelektrode/Bitleitung und der Masse durch den FEOL-Transistor und Messen des Stroms durch den Stapel. Als ein Beispiel umfasst das Lesen des Wertes der SOT-MRAM-Zelle, die MTJ_{i,j} umfasst, Setzen von BL_i auf 1, während alle anderen BL auf 0 gesetzt sind, WL_i auf 1 gesetzt ist und alle SL auf 0 gesetzt sind. Strom fließt von BL_i durch die Diode und MTJ_{i,j}, durch den SOT und die Transistoren zu SL_i und SL_{i+1}. Aus der Spannung und dem Strom wird der Widerstand des Stapels bestimmt. Der Widerstand zeigt entweder einen Zellenwert „0“ oder „1“ an. Durch die Gegen-

wart der in Vorwärtsrichtung vorgespannten Diode in der SOT-MRAM-Zelle wird ermöglicht, dass Strom von der Bitleitung zu der Source-Leitung fließt, aber nicht von der SOT- oder Source-Leitung zu der Bitleitung.

[0042] Jede Zelle weist zwei Schreibbefehle auf. Bei einem ersten Schreibbefehl wird zwischen dem Transistor und der Schreibelektrode eine negative Spannung an die SHE-Schiene der Zelle angelegt, durch diesen Schreibbefehl wird die freie Schicht des SOT-MRAM aus einem parallelen Zustand in einen antiparallelen Zustand in Bezug auf die Referenzschicht des Stapels umgeschaltet. Als ein Beispiel für eine SOT-MRAM-Zelle, welche $MTJ_{i,j}$ umfasst, wird dieser Schreibbefehl ausgeführt durch Setzen von WL_i auf 1, Vorspannen von $SL_{i+1...}$ auf 1, SL_{i-1} , SL_i auf 0 und allen BL auf 0. Strom fließt von SL_{i+1} durch die Transistoren und SOT zu SL_i , wodurch der Zustand von $MTJ_{i,j}$ auf 1 geändert wird. Beim zweiten Schreibbefehl wird zwischen dem Transistor und der Schreibelektrode eine positive Spannung an die SHE-Schiene der Zelle angelegt, durch diesen Schreibbefehl wird die freie Schicht des SOT-MRAM aus einem antiparallelen Zustand in einen parallelen Zustand in Bezug auf die Referenzschicht des Stapels umgeschaltet. Als ein Beispiel für eine SOT-MRAM-Zelle, welche $MTJ_{i,j}$ umfasst, wird dieser Schreibbefehl ausgeführt durch Setzen von WL_i auf 1, Vorspannen von $SL_{i+1...}$ auf 0, SL_{i-1} , SL_i auf 1 und allen BL auf 0. Strom fließt von SL_i durch die Transistoren und SOT zu SL_{i+1} , wodurch der Zustand von $MTJ_{i,j}$ auf 0 geändert wird.

[0043] Der Einbau einer Diode in den SOT-MRAM-Zellenstapel beschränkt die Richtung eines Stromflusses durch den Stapel auf die Richtung von der Leselektrode durch den Stapel zur Masse durch den Transistor. Diese Beschränkung ermöglicht eine Steuerung sowohl von Schreibbefehlen als auch des Lesebefehls für die Zelle durch einen einzelnen Transistor. Die Position, das Übergangsmaterial, die Übergangshöhe und -dicke der Diode offener Ausführungsformen können geändert werden, um den Spannungsabfall an der Diode der SOT-MRAM-Zellen einzustellen.

[0044] Fig. 12 zeigt eine Draufsicht auf die Einheit 100 in einer frühen Stufe der Herstellung vor der Bildung der SOT-Schiene. Die Figur veranschaulicht einen Abschnitt eines Arrays von MRAM-Zellen einer Einheit 100. Wie in der Figur dargestellt, ist ein Array von Transistoren 1210 durch Wortleitungen 1220 und Source-Leitungen 1230 verbunden. Jede Wortleitung 1220 verbindet mit den (nicht dargestellten) Gate-Kontakten der Transistoren 1210 in einer jeweiligen Reihe des Arrays. Jede Source-Leitung 1230 ist über den Transistoren 1210 einer Array-Spalte parallel zu den Spalten des Arrays senkrecht zu und über den Wortleitungen 1220 angeordnet und

mit den Source-Kontakten 1240 der Transistoren 1210 der Spalten verbunden. In einer Ausführungsform sind Source-Leitungen an einer ersten Metallschicht (M1) der Einheit 100 ausgebildet. Fig. 12 veranschaulicht ferner die Position von Drain-Kontakten 1250 der Transistoren 1210.

[0045] Fig. 13 zeigt eine Draufsicht auf die Einheit 100 in einer Zwischenstufe der Herstellung. Die Figur veranschaulicht einen Abschnitt eines Arrays von MRAM-Zellen einer Einheit 100. Wie in der Figur dargestellt, sind parallel zu den Reihen des Arrays über den Transistoren 1210 und den Source-Leitungen 1220 SOT-Leitungen 1310 gebildet und mit den Drain-Kontakten 1250 der Transistoren 1210 der Reihen des Arrays verbunden worden. In einer Ausführungsform werden die SOT-Leitungen 1310 an einer zweiten Metalleitung (M2) der Einheit 100 gebildet. MTJ-Stapel und Dioden 1320 sind über den SOT-Schienen 1310 angeordnet und damit verbunden. Der MTJ-Stapel und die Dioden 1320 werden zwischen der M2 und einer dritten Metallschicht (M3) der Einheit 100 hergestellt. Die Bitleitungen 1330 sind parallel zu den Source-Leitungen über den Dioden angeordnet und mit oberen Diodenelektroden der Dioden 1320 verbunden. Jede Bitleitung 1330 ist mit den oberen Diodenelektroden der Dioden 1320 einer jeweiligen Spalte des Arrays verbunden. In einer Ausführungsform sind die Bitleitungen 1330 an M3 der Einheit 100 ausgebildet.

[0046] Fig. 14 zeigt einen Ablaufplan 1400, welcher Betriebsschritte in Verbindung mit der Herstellung der offenbaren SOT-MRAM-Einheiten zeigt. Gemäß der Figur wird im Block 1410 ein Array von FEOL-Transistoren gebildet. Das Array umfasst Source-Leitungen parallel zu Spalten des Arrays und in Kontakt mit den Sources der Transistoren der jeweiligen Spalten. Das Array umfasst außerdem Wortleitungen, die parallel zu Reihen des Arrays und in Kontakt mit den Gates der Transistoren der jeweiligen Reihen ausgebildet sind.

[0047] Im Block 1420 wird auf dem darunter liegenden Array von FEOL-Transistoren in Kontakt mit den Drains der Transistoren in jeder Reihe des Arrays von Transistoren eine Spin-Hall-Effekt-Schicht (SHE-Schicht) gebildet. Die SHE-Schicht umfasst eine leitfähige Metallschicht, die auf die darunter liegende Halbleitereinheit abgeschieden und selektiv strukturiert und geätzt wird. Die darunter liegende Halbleitereinheit umfasst Transistoren, die schließlich verwendet werden, um Lese- und Schreiboperationen der SOT-MRAM-Zellen zu steuern. Die obere Fläche der darunter liegenden Halbleitereinheit umfasst frei liegende Metall-Drain-Kontakte der jeweiligen Transistoren der Einheiten.

[0048] Im Block 1430 wird der SOT-MRAM-Stapel gebildet. Der Stapel umfasst eine Folge von Material-

schichten, eine freie Schicht in Kontakt mit der SHE-Schicht und mit einem umschaltbaren magnetischen Dipolmoment, eine Tunnelübergangsschicht, eine Referenzschicht mit einem fixierten magnetischen Dipolmoment, eine obere Elektroden-schicht für die SOT-MRAM-Zellen und eine schützende Hartmasken-Materialschicht. Jede Schicht wird über den gesamten Querschnitt der Einheit gebildet.

[0049] Im Block 1430 wird dann die Hartmaskenschicht strukturiert und selektiv geätzt, um ein Array von Hartmaskenabschnitten in der Struktur des gewünschten Arrays von SOT-MRAM-Zellen der Einheit zu bilden. Die verbleibenden Schichten des SOT-MRAM-Zellenstapels werden dann selektiv zurückgeätzt, wobei der SOT-MRAM-Stapel mit der SHE-Schiene in Kontakt gelassen wird.

[0050] Im Block 1440 werden die SHE-Schienen der Einheit gebildet. Die SOT-MRAM-Zellen werden mit einem schützenden Dielektrikum verkapselt und es wird eine obere Hartmaskenschicht abgeschieden, maskiert und selektiv entfernt. Anschließend werden das verkapselnde Dielektrikum und Abschnitte der SHE-Schicht weggeätzt, wobei die SHE-Schienen parallel zu den Reihen von Transistoren des darunter liegenden Arrays und in Kontakt mit den Drains der Transistoren jeder entsprechenden Reihe angeordnet zurückgelassen werden.

[0051] Im Block 1450 werden die Diodenstrukturen für die SOT-MRAM-Zellen auf oberen Elektroden der SOT-MRAM-Zellen gebildet. Auf der Einheit werden Diodenübergangsschichten und obere Diodenelektroden-/Hartmaskenschichten angeordnet, strukturiert und selektiv geätzt, um eine Diode für jede SOT-MRAM-Einheitszelle des Arrays zu erhalten. Dioden können kreisförmige oder quadratische Querschnitte aufweisen.

[0052] Im Block 1460 wird aus einer metallischen Schicht, die über der Hartmaske und der oberen Elektrode der Diodenstruktur abgeschieden ist, die Bitleitung/Leseleitung für die SOT-MRAM-Zelle gebildet. Die Schicht wird strukturiert und selektiv geätzt, wodurch obere Leseelektroden in Kontakt mit den oberen Schichten der Diodenstapel des Arrays von SOT-MRAM-Zellen erhalten werden. Die Leseelektrode wird in einem schützenden Zwischenschicht-Dielektrikumsmaterial verkapselt.

[0053] Nach den oben ausgeführten Herstellungsschritten werden bekannte Back-End-Of-Line-Herstellungprozesse abgeschlossen, um die Herstellung der fertigen Halbleitereinheit einschließlich der externen Verkapselung der Einheit zu beenden.

[0054] Bezugnahmen in der Beschreibung auf „eine Ausführungsform“, eine beispielhafte Ausführungsform usw. zeigen an, dass die beschriebene Ausführungsform ein bestimmtes Merkmal, eine bestimmte Struktur oder eine bestimmte Eigenschaft umfassen kann, aber nicht notwendigerweise jede Ausführungsform das bestimmte Merkmal, die bestimmte Struktur oder die bestimmte Eigenschaft umfassen muss. Außerdem beziehen sich solche Ausdrücke nicht notwendigerweise auf die gleiche Ausführungsform. Ferner sei angemerkt, dass, wenn ein bestimmtes Merkmal, eine bestimmte Struktur oder eine bestimmte Eigenschaft in Verbindung mit einer Ausführungsform beschrieben wird, es zum Wissen des Fachmanns gehört, ein solches Merkmal, eine solche Struktur oder eine solche Eigenschaft in Verbindung mit anderen Ausführungsformen in Wirkung zu setzen, ob ausdrücklich beschrieben oder nicht.

[0055] Die Beschreibungen der verschiedenen Ausführungsformen der vorliegenden Erfindung wurden zu Veranschaulichungszwecken gegeben, sollen aber nicht erschöpfend oder auf die offenbarten Ausführungsformen beschränkt sein. Dem Fachmann werden viele Modifikationen und Variationen ersichtlich sein, die vorgenommen werden können, ohne vom Umfang der Erfindung abzuweichen. Die hierin verwendete Terminologie wurde gewählt, um die Prinzipien der Ausführungsform, die praktische Anwendung oder die technische Verbesserung gegenüber marktüblichen Technologien bestmöglich zu erläutern oder anderen Fachleuten zu ermöglichen, die hierin offenbarten Ausführungsformen zu verstehen.

Patentansprüche

1. Magneto-resistive Direktzugriffsspeicher-Struktur (MRAM-Struktur), aufweisend: ein Array von Spin-Orbit-Torque-MRAM-Zellen (SOT-MRAM-Zellen), wobei: eine SOT-MRAM-Zelle des Arrays einen Transistor, einen Magnettunnelübergang (MTJ) und eine über dem MTJ angeordnete Diode aufweist; eine Spalte des Arrays eine Source-Leitung aufweist, welche einen Source-Kontakt jedes Transistors der Spalte kontaktiert, wobei die Source-Leitung an einer ersten Metallschicht der MRAM-Struktur angeordnet ist; und eine Reihe des Arrays eine SOT-Leitung aufweist, welche einen Drain-Kontakt jedes Transistors der Reihe kontaktiert, wobei die SOT-Leitung an einer zweiten Metallschicht der MRAM-Struktur angeordnet ist.
2. MRAM-Struktur nach Anspruch 1, wobei die Spalte eine Bitleitung in Kontakt mit jeder Diode der Spalte aufweist, wobei die Bitleitung parallel zu der Source-Leitung und an einer dritten Metallschicht der MRAM-Struktur angeordnet ist.

3. MRAM-Struktur nach Anspruch 1 oder Anspruch 3, wobei der MTJ eine freie Schicht in Nachbarschaft zu der SOT-Leitung aufweist.

4. MRAM-Struktur nach Anspruch 2, wobei die Diodenstruktur eine kreisförmige Struktur aufweist.

5. MRAM-Struktur nach Anspruch 2, wobei die Diodenstruktur eine quadratische Struktur aufweist.

6. MRAM-Struktur nach Anspruch 2, wobei die Diodenstruktur in Kontakt mit einer oberen Elektrode des SOT-MRAM-Stapels angeordnet ist.

7. MRAM-Struktur nach Anspruch 1, wobei die Reihe des Arrays eine Wortleitung in Kontakt mit einem Gate jedes Transistors der Reihe aufweist, wobei die Wortleitung senkrecht zu der Source-Leitung angeordnet ist.

8. MRAM-Struktur nach Anspruch 7, wobei der MTJ über der SOT-Leitung angeordnet ist und eine freie Schicht in Nachbarschaft zu der SOT-Leitung aufweist.

9. MRAM-Struktur nach Anspruch 1 oder Anspruch 7, wobei der MTJ über dem Transistor angeordnet ist.

10. MRAM-Struktur nach Anspruch 1 oder Anspruch 7, wobei die SOT-Leitung senkrecht zu der Source-Leitung angeordnet ist.

11. MRAM-Struktur nach Anspruch 1 oder Anspruch 7, wobei die Diodenstruktur in Kontakt mit einer oberen Elektrode des SOT-MRAM-Stapels angeordnet ist.

12. MRAM-Struktur nach Anspruch 1, wobei die Spalte des Arrays eine Bitleitung in Kontakt mit jeder Diode der Spalte aufweist, wobei die Bitleitung an einer dritten Metallschicht der MRAM-Strukturen angeordnet ist; und die Reihe des Arrays eine Wortleitung in Kontakt mit einem Gate jedes Transistors der Reihe aufweist.

13. MRAM-Struktur nach Anspruch 12, wobei die Source-Leitung und die Bitleitung parallel angeordnet sind.

14. MRAM-Struktur nach Anspruch 12, wobei die SOT-Leitung senkrecht zu der Source-Leitung angeordnet ist.

15. MRAM-Struktur nach Anspruch 12, wobei die Wortleitung senkrecht zu der Source-Leitung angeordnet ist.

16. MRAM-Struktur nach Anspruch 12, wobei die Source-Leitung auf einer ersten Höhe der Ein-

heit angeordnet ist, die SOT-Leitung auf einer zweiten Höhe der Einheit über der ersten Höhe angeordnet ist und die Bitleitung auf einer dritten Höhe der Einheit über der zweiten Höhe angeordnet ist.

17. Verfahren zur Herstellung einer Halbleitereinheit, wobei das Verfahren umfasst:

Bilden eines Arrays von Transistoren, wobei:

eine Spalte des Arrays eine Source-Leitung aufweist, welche einen Source-Kontakt jedes Transistors der Spalte kontaktiert;

Bilden einer Spin-Orbit-Torque-Leitung (SOT-Leitung), welche einen Drain-Kontakt der Transistoren einer Reihe des Arrays kontaktiert; und

Bilden eines Arrays von Einheitszellen, wobei jede Einheitszelle einen magnetoresistiven Spin-Orbit-Torque-Direktzugriffsspeicher-Zellenstapel (SOT-MRAM-Zellenstapel) aufweist, der über und in elektrischem Kontakt mit der SOT-Leitung angeordnet ist, wobei der SOT-MRAM-Zellenstapel eine freie Schicht, eine Tunnelübergangsschicht und eine Referenzschicht aufweist, eine Diodenstruktur über und in elektrischem Kontakt mit dem SOT-MRAM-Zellenstapel, eine obere Elektrode, die über und in elektrischem Kontakt mit der Diodenstruktur angeordnet ist.

18. Verfahren nach Anspruch 17, wobei die freie Schicht in Nachbarschaft zu der SOT-Leitung angeordnet ist.

19. Verfahren nach Anspruch 17, ferner umfassend Bilden einer Wortleitung, welche einen Gate-Kontakt jedes der Transistoren der Reihe kontaktiert, wobei die Wortleitung parallel zu der SOT-Leitung angeordnet ist.

20. Verfahren nach Anspruch 17, ferner umfassend Bilden einer Bitleitung, welche über und in elektrischem Kontakt mit den oberen Elektroden der Einheitszellen einer Spalte angeordnet ist, wobei die Bitleitung parallel zu der Source-Leitung angeordnet ist.

21. Verfahren nach Anspruch 17, ferner umfassend Bilden der Diodenstruktur bei Prozesstemperaturen von weniger als 420 °C.

Es folgen 14 Seiten Zeichnungen

Anhängende Zeichnungen

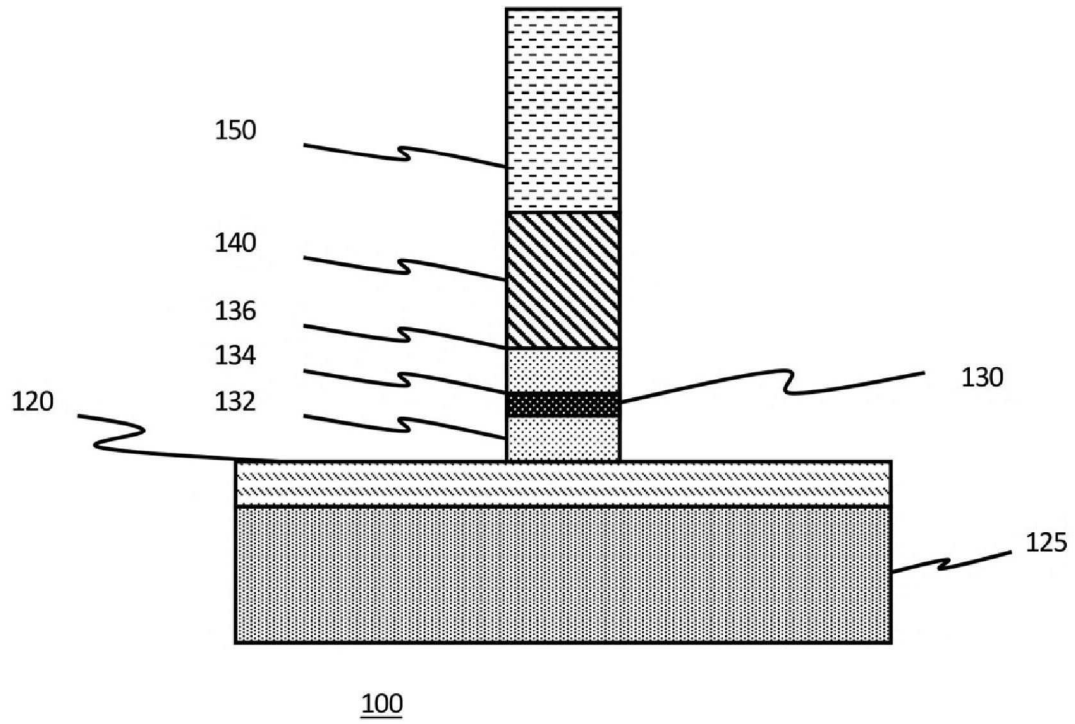


FIG. 1

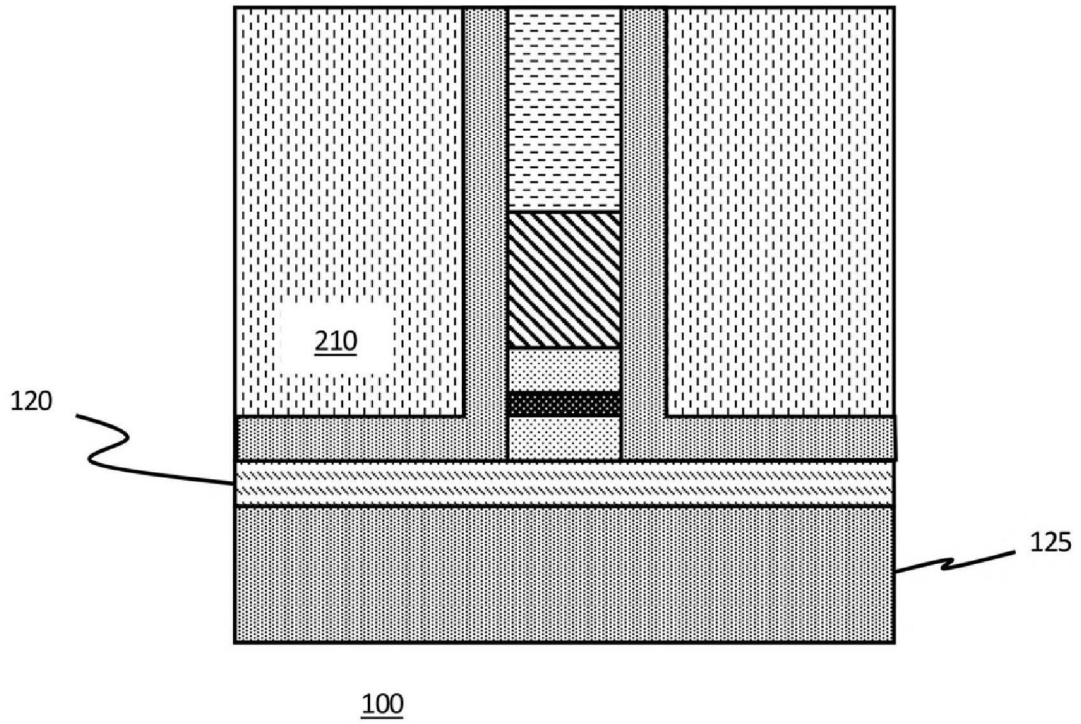


FIG. 2

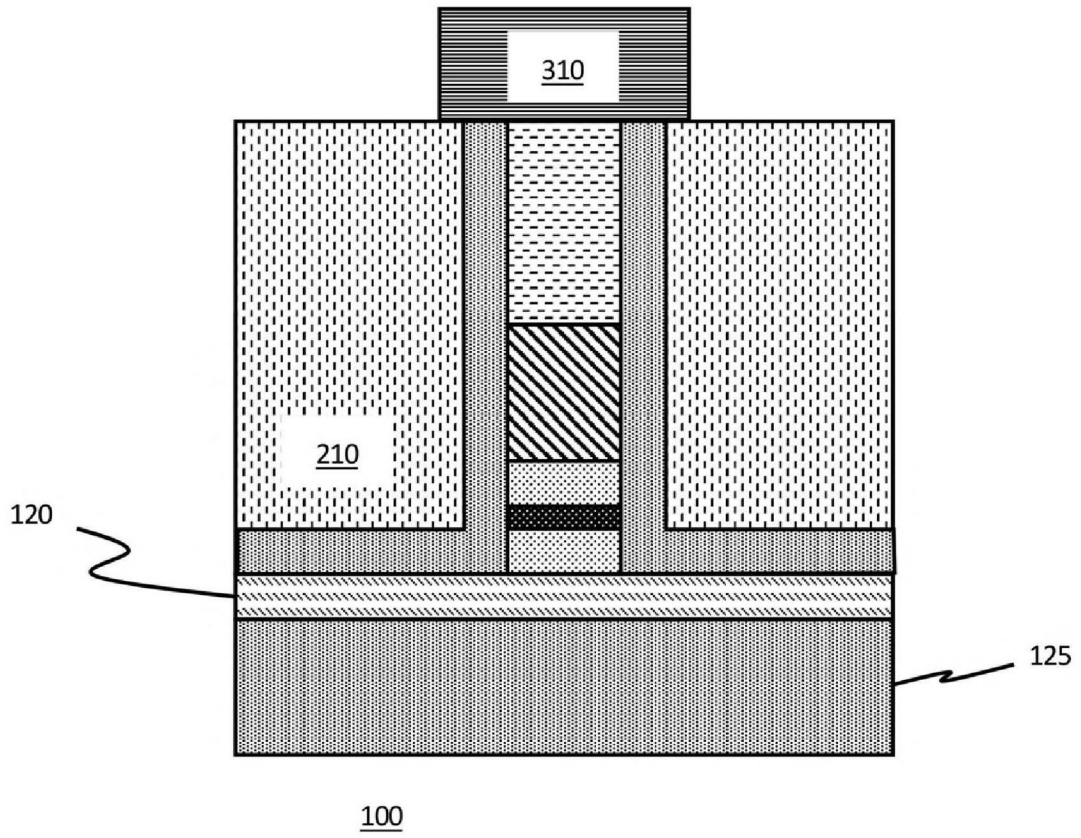


FIG. 3

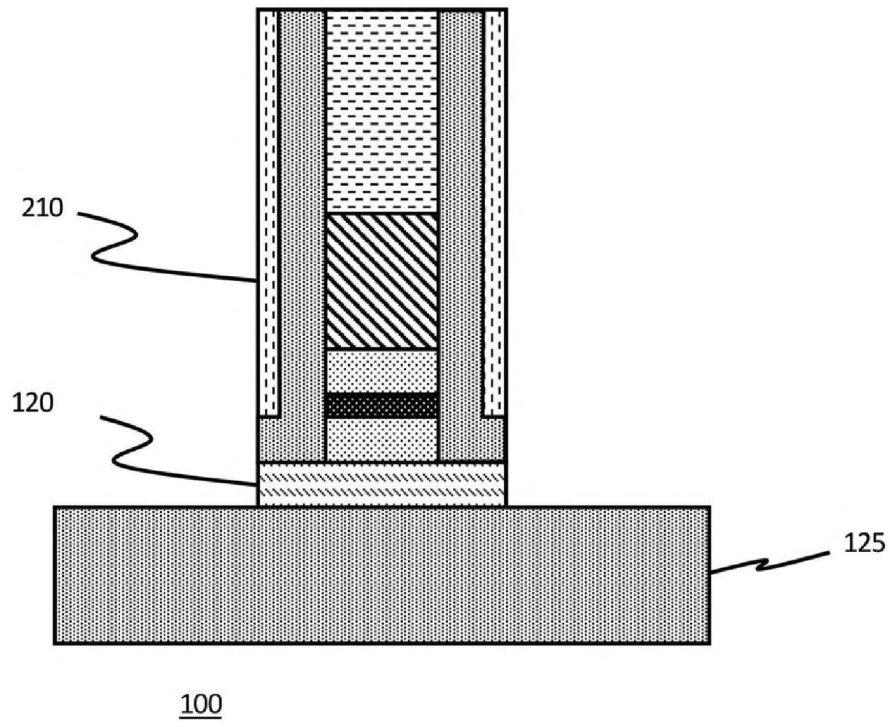


FIG. 4

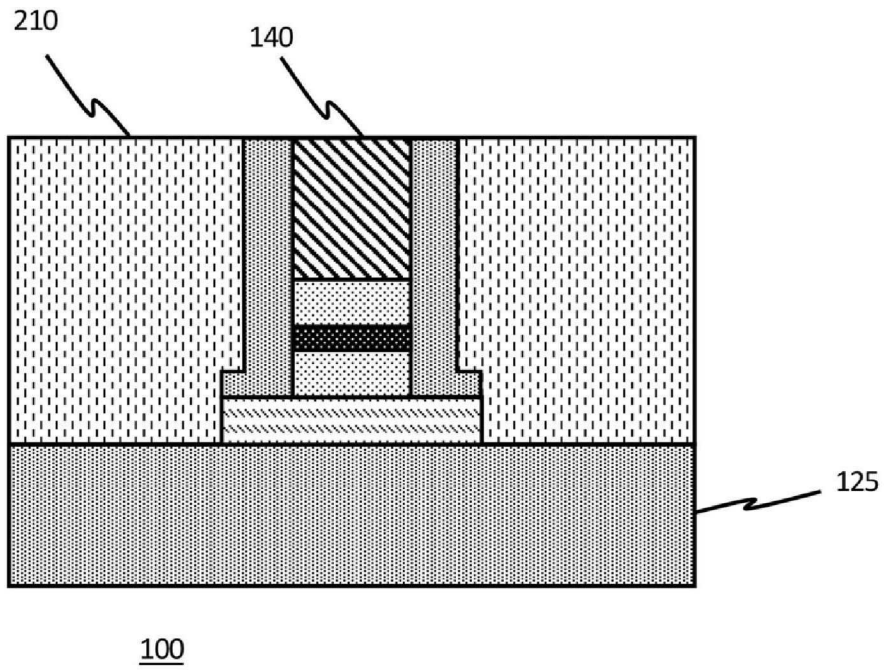


FIG. 5

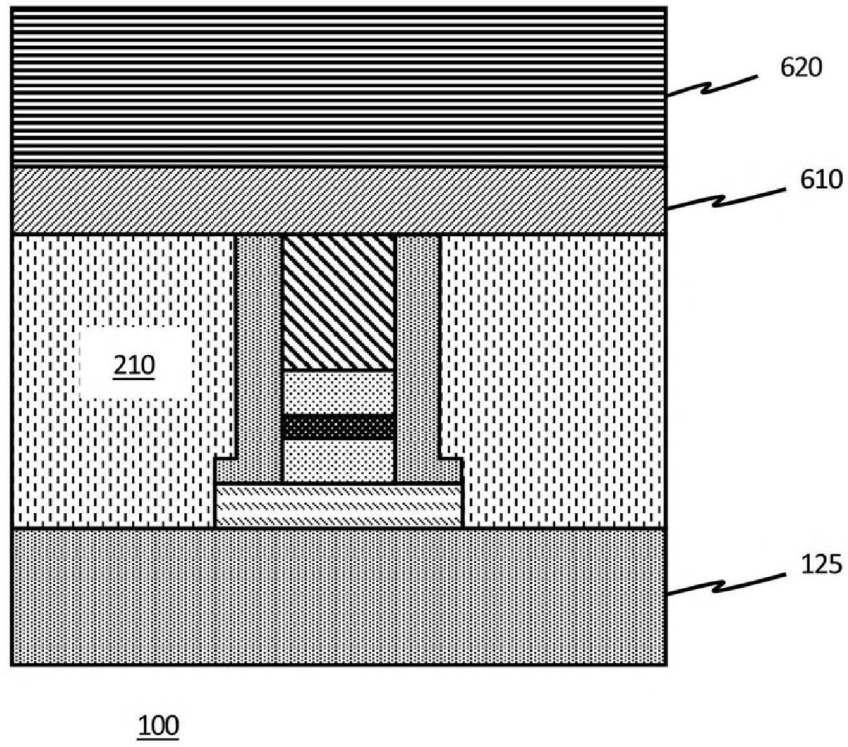


FIG. 6

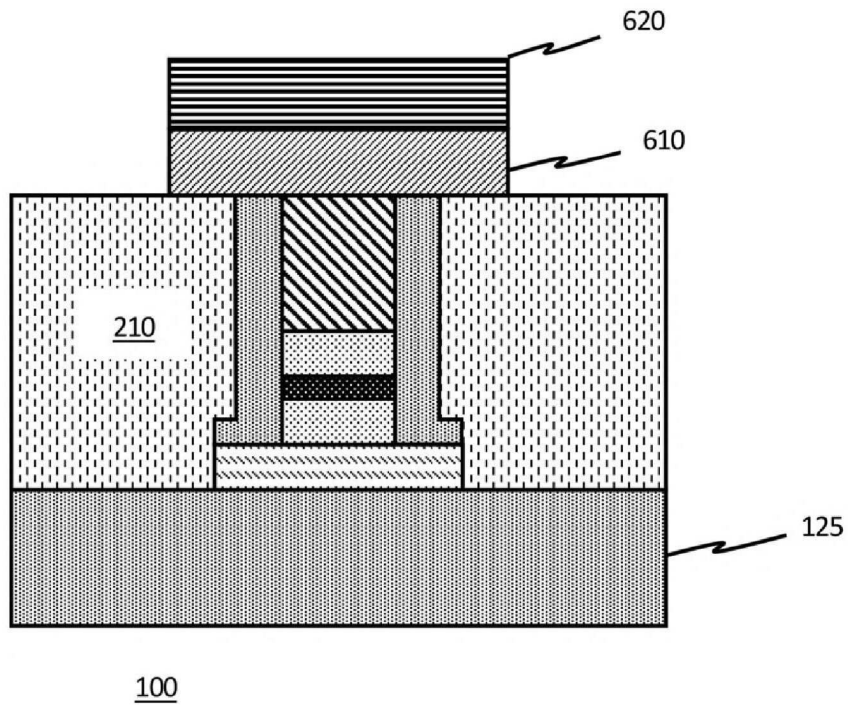


FIG. 7

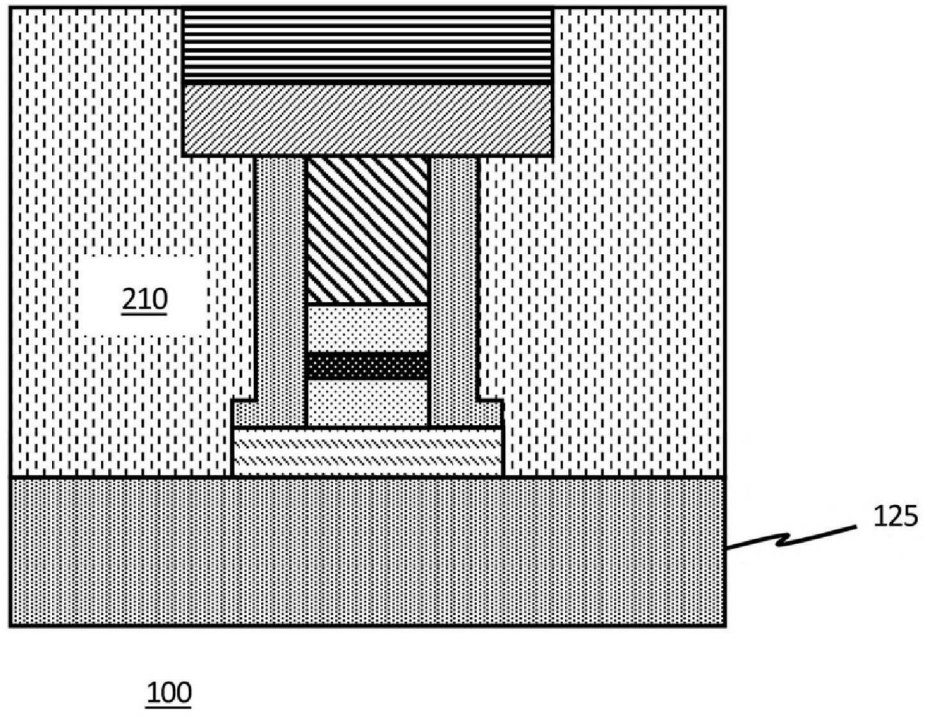


FIG. 8

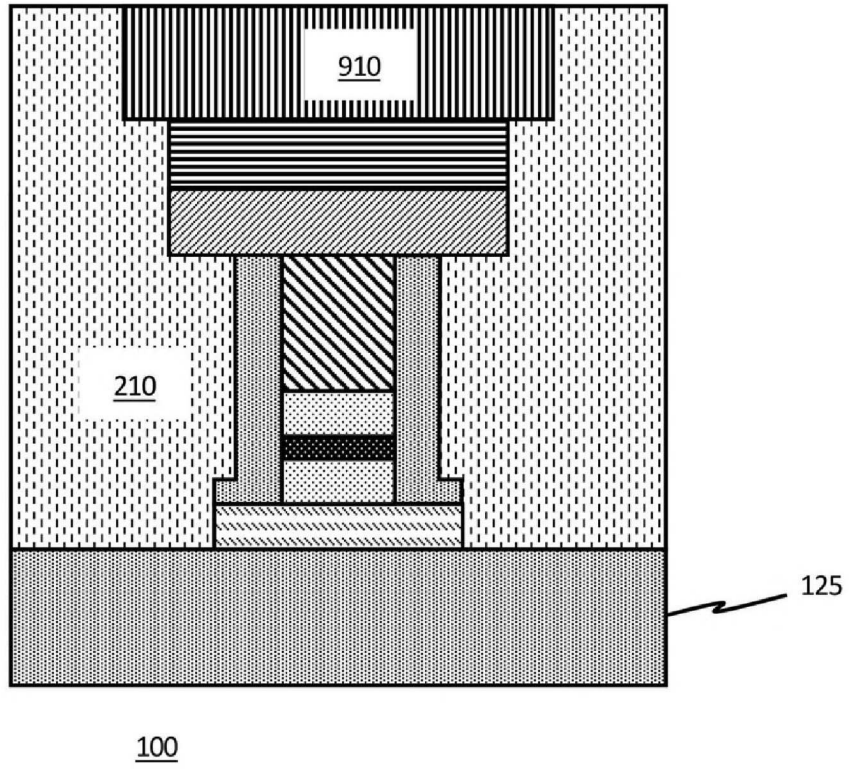


FIG. 9

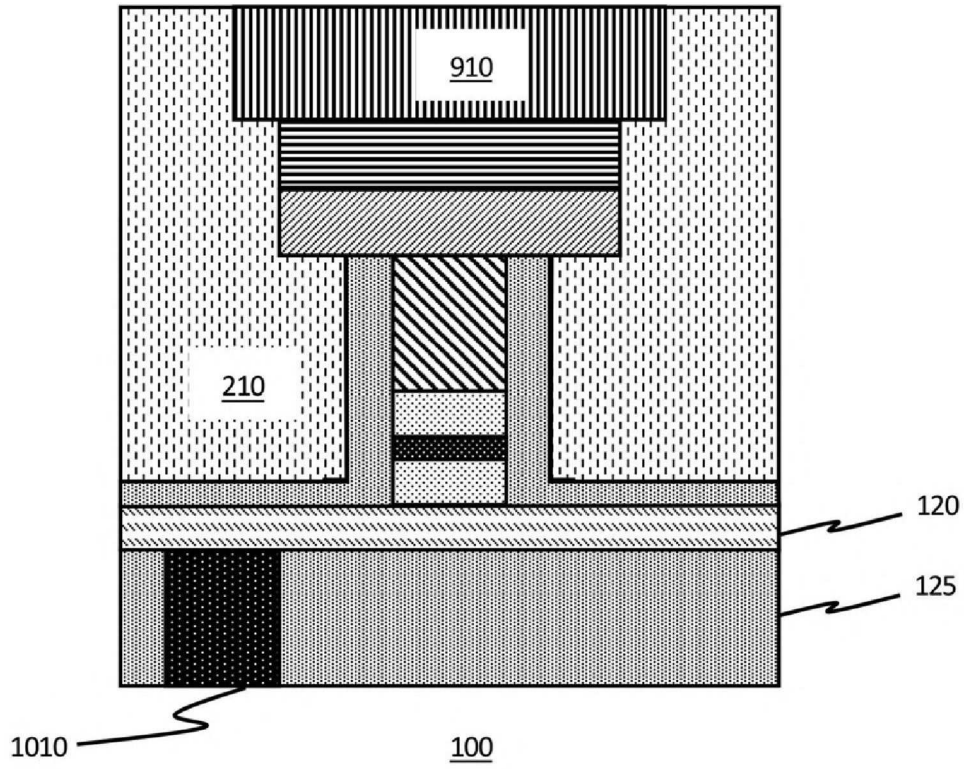


FIG. 10

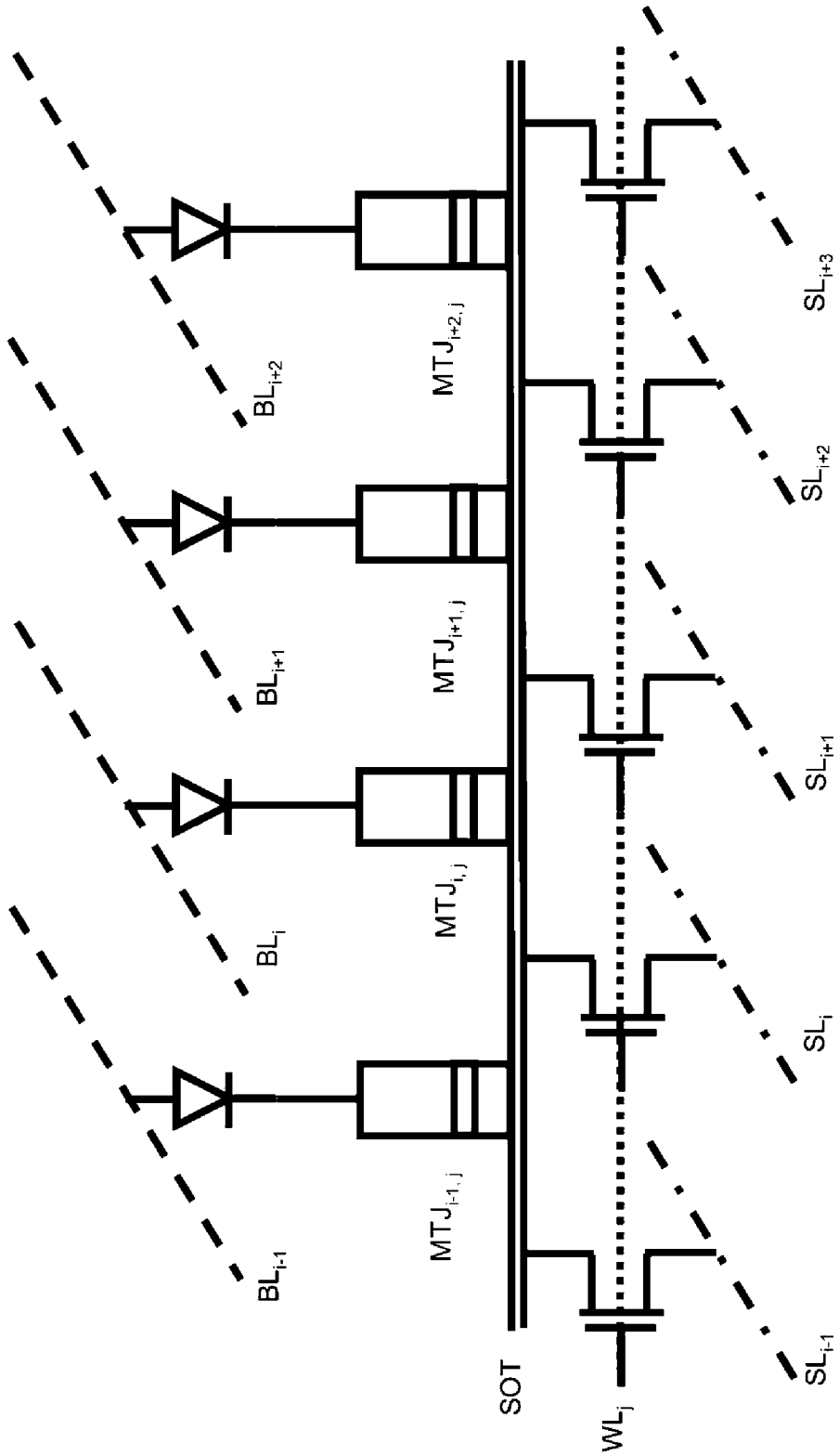


Fig. 11

FIG. 11

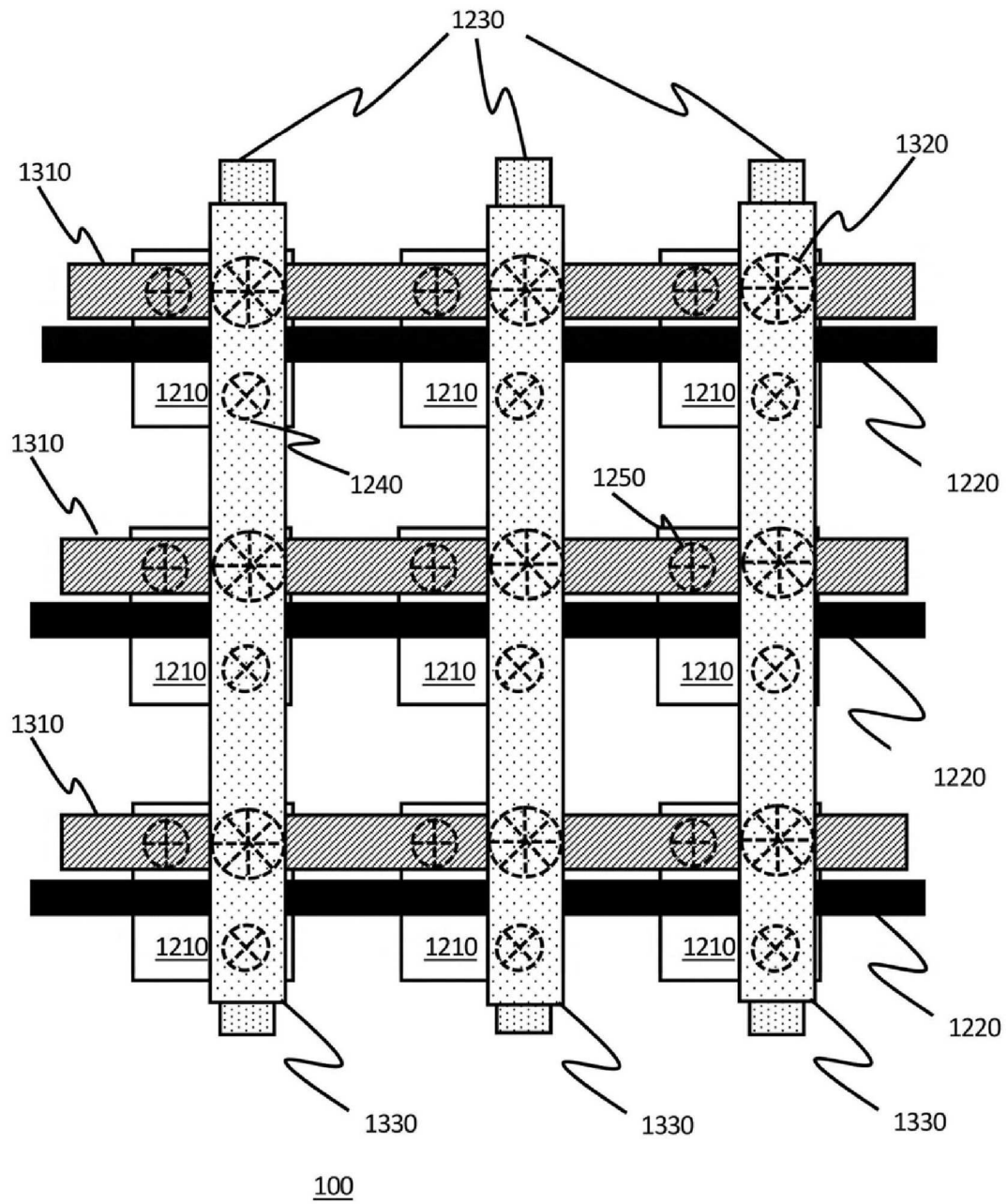
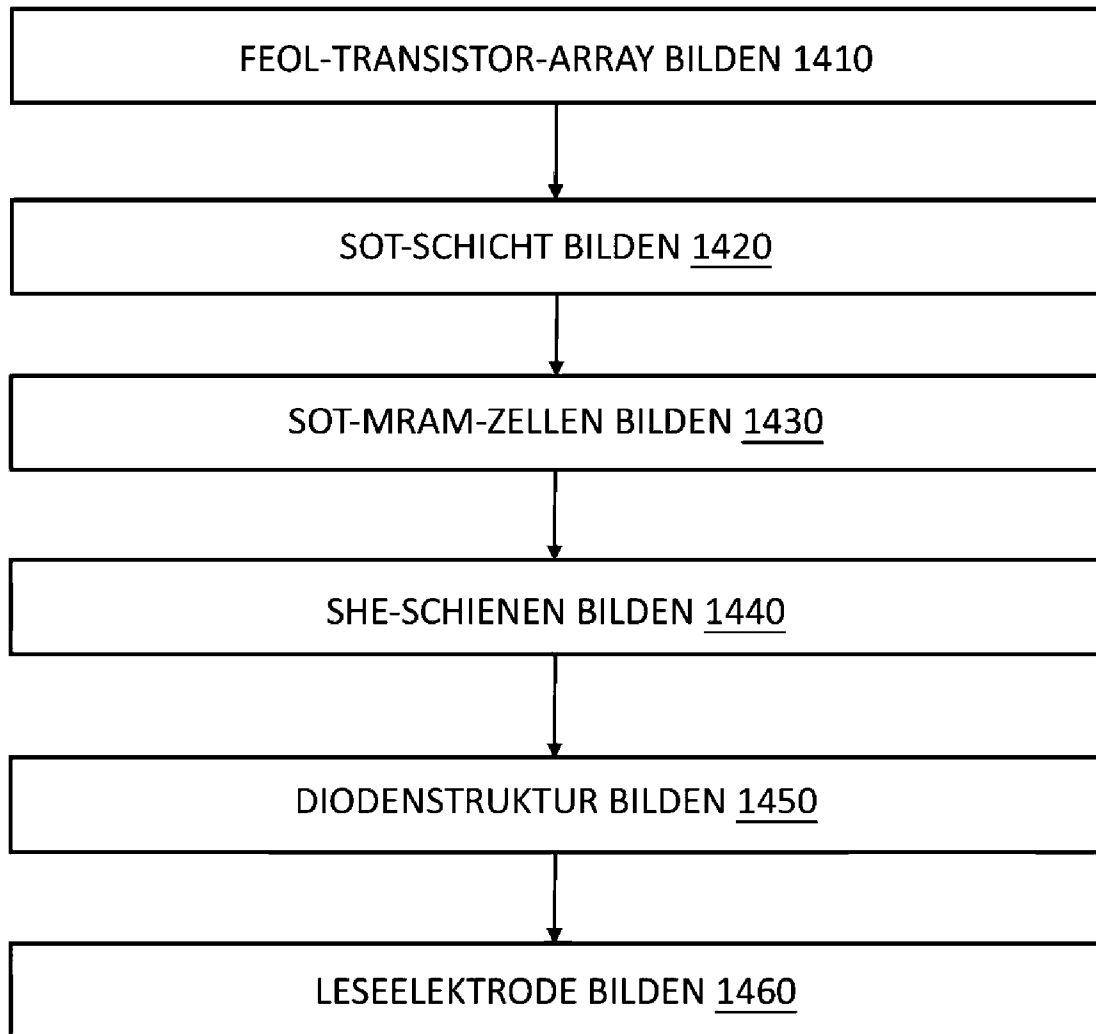


FIG. 13



1400

FIG. 14