



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201303865 A1

(43)公開日：中華民國 102 (2013) 年 01 月 16 日

(21)申請案號：101113498

(22)申請日：中華民國 101 (2012) 年 04 月 16 日

(51)Int. Cl. : **G11C11/06 (2006.01)**

(30)優先權：2011/04/22 日本 2011-096609

2011/05/19 日本 2011-112693

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：王丸拓郎 OHMARU, TAKURO (JP)；前橋幸男 MAEHASHI, YUKIO (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：10 項 圖式數：28 共 124 頁

(54)名稱

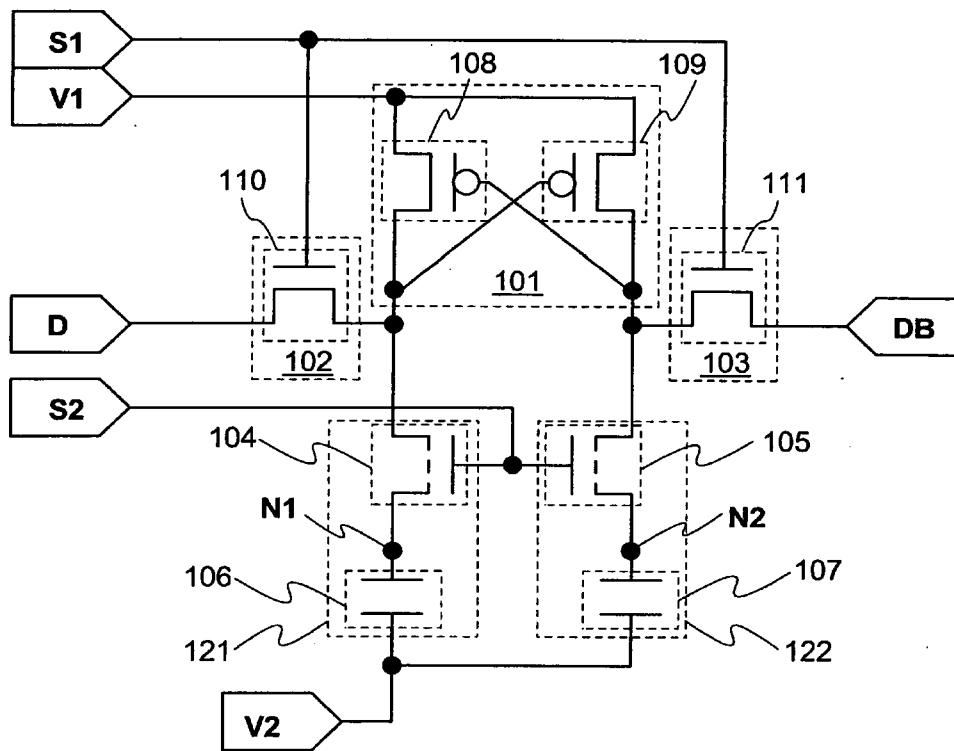
儲存元件及儲存裝置

MEMORY ELEMENT AND MEMORY DEVICE

(57)摘要

本發明是提供一種在停止電力的供應之後也可以保持資料的新結構的儲存元件。該儲存元件包括：鎖存器電路；第一選擇電路；第二選擇電路；第一非揮發性儲存電路；及第二非揮發性儲存電路。此外，第一非揮發性儲存電路及第二非揮發性儲存電路分別具有電晶體及電容元件。第一非揮發性儲存電路及第二非揮發性儲存電路分別具有的電晶體是其通道形成在氧化物半導體膜中的電晶體。由於該電晶體的截止電流極低，所以在將資料輸入到電晶體與電容元件的連接點的節點之後，電晶體成為截止狀態，從而即使電源電壓的供應停止也可以在較長的時間保持資料。

100



100：儲存元件

101：鎖存器電路

102：選擇電路

103：選擇電路

104：電晶體

105：電晶體

106：電容元件

107：電容元件

108：電晶體

109：電晶體

110：電晶體

111：電晶體

121：非揮發性儲存電
路

122：非揮發性儲存電
路



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201303865 A1

(43)公開日：中華民國 102 (2013) 年 01 月 16 日

(21)申請案號：101113498

(22)申請日：中華民國 101 (2012) 年 04 月 16 日

(51)Int. Cl. : **G11C11/06 (2006.01)**

(30)優先權：2011/04/22 日本 2011-096609

2011/05/19 日本 2011-112693

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：王丸拓郎 OHMARU, TAKURO (JP)；前橋幸男 MAEHASHI, YUKIO (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：10 項 圖式數：28 共 124 頁

(54)名稱

儲存元件及儲存裝置

MEMORY ELEMENT AND MEMORY DEVICE

(57)摘要

本發明是提供一種在停止電力的供應之後也可以保持資料的新結構的儲存元件。該儲存元件包括：鎖存器電路；第一選擇電路；第二選擇電路；第一非揮發性儲存電路；及第二非揮發性儲存電路。此外，第一非揮發性儲存電路及第二非揮發性儲存電路分別具有電晶體及電容元件。第一非揮發性儲存電路及第二非揮發性儲存電路分別具有的電晶體是其通道形成在氧化物半導體膜中的電晶體。由於該電晶體的截止電流極低，所以在將資料輸入到電晶體與電容元件的連接點的節點之後，電晶體成為截止狀態，從而即使電源電壓的供應停止也可以在較長的時間保持資料。

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101113498

※申請日：101 年 04 月 16 日

※IPC 分類：G11C 11/06 2006.01

一、發明名稱：(中文／英文)

儲存元件及儲存裝置

Memory element and memory device

二、中文發明摘要：

本發明是提供一種在停止電力的供應之後也可以保持資料的新結構的儲存元件。該儲存元件包括：鎖存器電路；第一選擇電路；第二選擇電路；第一非揮發性儲存電路；及第二非揮發性儲存電路。此外，第一非揮發性儲存電路及第二非揮發性儲存電路分別具有電晶體及電容元件。第一非揮發性儲存電路及第二非揮發性儲存電路分別具有的電晶體是其通道形成在氧化物半導體膜中的電晶體。由於該電晶體的截止電流極低，所以在將資料輸入到電晶體與電容元件的連接點的節點之後，電晶體成為截止狀態，從而即使電源電壓的供應停止也可以在較長的時間保持資料。

三、英文發明摘要：

An object is to provide a memory element having a novel structure where data can be held even after power supply is stopped. The memory element includes a latch circuit, a first selection circuit, a second selection circuit, a first nonvolatile memory circuit, and a second nonvolatile memory circuit. The first nonvolatile memory circuit and the second nonvolatile memory circuit each include a transistor and a capacitor. The transistor included in each of the first nonvolatile memory circuit and the second nonvolatile memory circuit is a transistor in which a channel is formed in an oxide semiconductor film. The off-state current of such a transistor is extremely small. The transistor is turned off after data is input to a node where the transistor and the capacitor are connected to each other, and data can be held for a long time even after supply of power supply voltage is stopped.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

100：儲存元件

101：鎖存器電路

102：選擇電路

103：選擇電路

104：電晶體

105：電晶體

106：電容元件

107：電容元件

108：電晶體

109：電晶體

110：電晶體

111：電晶體

121：非揮發性儲存電路

122：非揮發性儲存電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明

【發明所屬之技術領域】

本發明係關於一種利用儲存元件的儲存裝置及該儲存裝置的製造方法。

【先前技術】

近年來，隨著個人電腦、行動電話等電子裝置的普及，對於電子裝置的高性能化的要求提高。為了實現這種電子裝置的高性能化，可採用存儲器的高速化、介面的高速化、外部設備的處理性能的提高等的方法，尤其需要存儲器的高集體化及大容量化。

在此所示的存儲器除了用來儲存資料或程式的主存儲器以外還包括包含在微處理器單元(MPU: MicroProcessor Unit)中的暫存器或高速緩衝存儲器等。暫存器為了保持運算處理或程式執行狀態等暫時保持資料而設置。另外，高速緩衝存儲器介於運算電路與主存儲器之間，並為了減少對低速的主存儲器進行存取來實現運算處理的高速化而設置。暫存器或高速緩衝存儲器等儲存裝置需要比主存儲器更高速地寫入資料。因此，通常，使用正反器作為暫存器，並使用 SRAM(Static Random Access Memory，即靜態隨機存取存儲器)等作為高速緩衝存儲器。

SRAM 的儲存單元(也記為儲存元件)由儲存 1 位元的資訊的鎖存器電路和兩個存取電晶體(nMOSFET)構成。而且，鎖存器電路由一對驅動電晶體(nMOSFET)和一對負載

電晶體 (pMOSFET) 構成。SRAM 是這種儲存單元配置為矩陣狀的，藉由控制字線及位元線的電位，進行特定的儲存單元的讀出、寫入、擦除的工作。

SRAM 根據電力一直供應的狀態的鎖存器的工作狀態 (一對交叉連接電晶體中的任一方處於導通/截止狀態) 保持其儲存狀態。SRAM 不需要如 DRAM 那樣的刷新工作而只消耗在維持鎖存器電路的工作狀態時需要的最低的電源電流，但是隨著 SRAM 的微型化，發生因洩漏電流而導致的耗電量增大的問題。例如，已公開了藉由使用一對電容元件代替一對負載電晶體實現耗電量的降低的實例 (專利文獻 1)。然而，當進一步進行大容量化時，有因洩漏電流而導致的耗電量增大的擔憂。

此外，SRAM 由於具有揮發性即如果沒有電力供應資料就消失，所以需要利用磁性材料或光學材料的其他儲存裝置以實現較長期間的儲存保持。近年來，作為節能對策之一，關掉電源資料也不消失，開電源就高速地恢復原本的工作的常截止型電腦受到關注。非揮發性邏輯及非揮發性存儲器的高性能化是必須要實現的目標。

[專利文獻 1] 日本專利申請公開第平 9-186251 號公報

【發明內容】

於是，鑒於上述問題，本發明的一個方式的目的之一是提供一種因洩漏電流導致的耗電量被降低的儲存元件。或者，本發明的一個方式的目的之一是提供一種在電力供

應停止之後也能夠保持資料的儲存元件。或者，本發明的一個方式的目的之一是提供一種藉由停止電力供應可抑制耗電量的儲存元件。

有關本發明的一個方式的儲存元件包括鎖存器電路、第一選擇電路、第二選擇電路、第一非揮發性儲存電路以及第二非揮發性儲存電路。

明確而言，本發明的一個方式是一種儲存元件，該儲存元件包括：根據第一控制信號輸出第一資料信號的第一選擇電路；根據第一控制信號輸出第一資料信號的反相信號的第二資料信號的第二選擇電路；被輸入第一資料信號及第二資料信號，且只在電源電壓被供應的期間保持第一資料信號及第二資料信號的鎖存器電路；根據第二控制信號被輸入保持在鎖存器電路中的第一資料信號的第一非揮發性儲存電路；以及根據第二控制信號被輸入保持在鎖存器電路中的第二資料信號的第二非揮發性儲存電路，其中，第一非揮發性儲存電路及第二非揮發性儲存電路在電源電壓的供應停止之後也保持第一資料信號及第二資料信號。

第一非揮發性儲存電路包括第一電晶體及第一電容元件，並且第二非揮發性儲存電路包括第二電晶體及第二電容元件。

在此，作為第一電晶體及第二電晶體使用其通道形成在氧化物半導體膜中的電晶體。該電晶體具有與其通道形成在結晶矽膜中的電晶體相比截止電流極低的特徵。因

此，在將資料輸入到第一電晶體與第一電容元件的連接點的節點之後，第一電晶體成為截止狀態，從而電源電壓的供應停止也可以在較長的時間保持資料。換言之，可以使儲存元件為非揮發性。同樣地，在將資料輸入到第二電晶體與第二電容元件的連接點的節點之後，第二電晶體成為截止狀態，從而電源電壓的供應停止也可以在較長的時間保持資料。

為了從儲存元件讀出資料，對鎖存器電路開始電源電位的供應，將資料從第一非揮發性儲存電路藉由鎖存器電路讀出到第一選擇電路，而將資料從第二非揮發性儲存電路藉由鎖存器電路讀出到第二選擇電路。

鎖存器電路可以由至少兩個電晶體構成。此外，第一選擇電路及第二選擇電路可以由至少一個電晶體構成。作為用於鎖存器電路、第一選擇電路及第二選擇電路的電晶體，可以使用其通道形成在氧化物半導體以外的半導體膜中的電晶體。作為氧化物半導體以外的半導體材料，例如可以使用屬於元素週期表中第 14 族的半導體材料。

用於鎖存器電路、第一選擇電路及第二選擇電路的電晶體可以是 n 通道電晶體或 p 通道電晶體。在本發明的一個方式中，用於鎖存器電路的電晶體為 p 通道電晶體。當在第一選擇電路及第二選擇電路中分別使用一個電晶體時，用於第一選擇電路及第二選擇電路的電晶體為 n 通道電晶體。當在第一選擇電路及第二選擇電路中均使用兩個電晶體時，用於第一選擇電路及第二選擇電路的電晶體由

n 通道電晶體和 p 通道電晶體組合而構成。

藉由使用一個或多個有關本發明的一個方式的儲存元件，可以製造儲存裝置。

根據本發明的一個方式，可以提供一種因洩漏電流而導致的耗電量被降低的儲存元件。或者，可以提供一種在電力供應停止之後也能夠保持資料的儲存元件。或者，可以提供一種藉由停止電力供應可抑制耗電量的儲存元件。

【實施方式】

下面，參照圖式對本發明的實施方式進行詳細說明。但是，本發明不侷限於以下說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限在以下所示的實施方式所記載的內容中。

注意，“源極電極”和“汲極電極”的功能在使用極性不同的電晶體的情況或電路工作的電流方向變化的情況等下，有時互相調換。因此，在本說明書中，“源極電極”和“汲極電極”的用語可以互相調換。

圖式等所示的每個結構的位置、大小、範圍等為了容易理解而有時不表示為實際上的位置、大小、範圍等。因此，所公開的發明不一定侷限於圖式等所公開的位置、大小、範圍等。

“第一”、“第二”、“第三”等的序數詞是為了避

免構成要素的混淆而附記的。

實施方式 1

在本實施方式中，參照圖 1 至圖 4 說明有關本發明的一個方式的儲存元件。

〈儲存元件的結構〉

圖 1 示出有關本發明的一個方式的儲存元件的一個例子。圖 1 所示的儲存元件 100 包括：鎖存器電路 101；選擇電路 102；選擇電路 103；第一非揮發性儲存電路 121；第二非揮發性儲存電路 122。

鎖存器電路 101 包括電晶體 108、電晶體 109。鎖存器電路 101 的第一端子相當於電晶體 108 的源極電極和汲極電極中的一方，第二端子相當於電晶體 109 的源極電極和汲極電極中的一方，第三端子相當於電晶體 108 的源極電極和汲極電極中的另一方(或者電晶體 109 的源極電極和汲極電極中的另一方)。此外，電晶體 108 的閘極與電晶體 109 的源極電極和汲極電極中的一方連接，電晶體 109 的閘極與電晶體 108 的源極電極和汲極電極中的一方連接，電晶體 108 的源極電極和汲極電極中的另一方與電晶體 109 的源極電極和汲極電極中的另一方連接。對鎖存器電路 101 的第三端子施加電位 V_1 。

選擇電路 102 使用電晶體 110 構成。選擇電路 102 的第一端子相當於電晶體 110 的源極電極和汲極電極中的一

方，第二端子相當於電晶體 110 的源極電極和汲極電極中的另一方，第三端子相當於電晶體 110 的閘極。選擇電路 102 的第一端子與鎖存器電路 101 的第一端子連接。此外，選擇電路 102 的第二端子與資料線 D 連接。輸入到該資料線 D 的信號既可以為高電平電位又可以為低電平電位。

選擇電路 103 使用電晶體 111 構成。選擇電路 103 的第一端子相當於電晶體 111 的源極電極和汲極電極中的一方，第二端子相當於電晶體 111 的源極電極和汲極電極中的另一方，第三端子相當於電晶體 111 的閘極。選擇電路 103 的第一端子與鎖存器電路 101 的第一端子連接。此外，選擇電路 103 的第二端子與資料線 DB 連接。輸入到該資料線 DB 的信號既可以為高電平電位又可以為低電平電位。此外，對資料線 DB 輸入資料線 D 的反相信號。

對選擇電路 102 的第三端子及選擇電路 103 的第三端子輸入控制信號 S1。藉由對選擇電路 102 的第三端子輸入控制信號 S1，第一端子與第二端子之間的導通或非導通(電晶體 110 的導通狀態或截止狀態)被選擇。同樣地，藉由對選擇電路 103 的第三端子輸入控制信號 S1，第一端子與第二端子之間的導通或非導通(電晶體 111 的導通狀態或截止狀態)被選擇。

第一非揮發性儲存電路 121 具有電晶體 104、電容元件 106。第一非揮發性儲存電路 121 的第一端子相當於電晶體 104 的源極電極和汲極電極中的一方，第二端子相當

於電容元件 106 的一對電極中的一方，第三端子相當於電晶體 104 的閘極。在此，電晶體 104 的源極電極和汲極電極中的一方與鎖存器電路 101 的第一端子連接，電晶體 104 的源極電極和汲極電極中的另一方與電容元件 106 的一對電極中的另一方連接。在此，電晶體 104 與電容元件 106 的連接點為節點 N1。

第二非揮發性儲存電路 122 具有電晶體 105、電容元件 107。第二非揮發性儲存電路 122 的第一端子相當於電晶體 105 的源極電極和汲極電極中的一方，第二端子相當於電容元件 107 的一對電極中的一方，第三端子相當於電晶體 105 的閘極。在此，電晶體 105 的源極電極和汲極電極中的一方與鎖存器電路 101 的第二端子連接，電晶體 105 的源極電極和汲極電極中的另一方與電容元件 107 的一對電極中的另一方連接。在此，電晶體 105 與電容元件 107 的連接點為節點 N2。

此外，第一非揮發性儲存電路 121 的第二端子與第二非揮發性儲存電路 122 的第二端子連接。換言之，電容元件 106 的一對電極中的一方與電容元件 107 的一對電極中的一方連接。此外，對電容元件 106 的一對電極中的一方及電容元件 107 的一對電極中的一方施加電位 V2。

第一非揮發性儲存電路 121 的第三端子與第二非揮發性儲存電路 122 的第三端子連接。換言之，電晶體 104 的閘極與電晶體 105 的閘極連接。此外，對電晶體 104 的閘極及電晶體 105 的閘極輸入控制信號 S2。

在此，電晶體 104 及電晶體 105 是其通道形成在氧化物半導體膜中的電晶體。作為氧化物半導體材料，例如可以使用 In-Ga-Zn-O 類氧化物半導體材料。此外，藉由減少氫或水等雜質，可以將在高純度化的氧化物半導體膜中形成通道的電晶體的截止電流密度降低到 $100\text{ zA}/\mu\text{m}$ 以下，較佳為 $10\text{ zA}/\mu\text{m}$ 以下。與在具有結晶性的矽膜中形成通道的電晶體的截止電流密度相比，該截止電流密度極低。其結果是，在電晶體 104 處於截止狀態時，可以在較長期間保持節點 N1 的電位。同樣地，在電晶體 105 處於截止狀態時，可以在較長期間保持節點 N2 的電位。再者，可以減少儲存元件 100 的耗電量。

此外，電晶體 108、電晶體 109、電晶體 110 以及電晶體 111 是其通道形成在氧化物半導體以外的半導體膜中的電晶體。作為氧化物半導體以外的半導體材料，例如，可以使用屬於元素週期表中第 14 族的半導體材料。此外，電晶體 108、電晶體 109、電晶體 110 以及電晶體 111 既可以是 n 通道電晶體又可以是 p 通道電晶體。在本實施方式中，電晶體 108 及電晶體 109 是 p 通道電晶體，並且電晶體 110 及電晶體 111 是 n 通道電晶體。

〈儲存元件的驅動方法〉

接著，參照圖 2 說明圖 1 所示的儲存元件的驅動方法。圖 2 是圖 1 所示的儲存元件的時序圖。

參照圖 1 及圖 2 說明對儲存元件的寫入、電源電壓的

供應的停止、讀出的方法。在圖 2 的時序圖中，D 示出資料線 D 的電位，DB 示出資料線 DB 的電位，S1 示出控制信號 S1 的電位，S2 示出控制信號 S2 的電位，N1 示出節點 N1 的電位，N2 示出節點 N2 的電位，V1 示出電位 V1，並且 V2 示出電位 V2。

期間 1 是儲存元件的非活動期間。在期間 1 中，對鎖存器電路 101 的第三端子(電晶體 108 的源極電極和汲極電極中的另一方及電晶體 109 的源極電極和汲極電極中的另一方)輸入高電平電位(例如 VDD)作為電位 V1。此外，對電容元件 106 的一對電極中的一方及電容元件 107 的一對電極中的一方輸入低電平電位(例如 VSS)作為電位 V2。此時，對選擇電路 102 的第二端子輸入 DataA。對選擇電路 103 的第二端子輸入 DataAB。在此，對 DataA 是高電平電位(例如 VDD)，DataAB 是低電平電位(例如 VSS)的情況進行說明。

接著，藉由對選擇電路 102 的第三端子及選擇電路 103 的第三端子輸入高電平電位(例如 VDD)作為控制信號 S1，在選擇電路 102 的第一端子與第二端子之間成為導通狀態，在選擇電路 103 的第一端子與第二端子之間成為導通狀態。

由於選擇電路 102 的第一端子與第二端子之間成為導通狀態，使得從選擇電路 102 的第一端子輸出 DataA。由此，對電晶體 109 的閘極輸入高電平電位(VDD)，而電晶體 109 成為截止狀態。此外，由於選擇電路 103 的第一端

子與第二端子之間成為導通狀態，使得從選擇電路 103 的第一端子輸出 DataAB。由此，對電晶體 108 的閘極輸入低電平電位 (VSS)，而電晶體 108 成為導通狀態。

藉由在選擇電路 102 的第一端子與第二端子之間成為導通狀態及電晶體 108 成為導通狀態，對鎖存器電路 101 的第一端子輸入高電平電位。換言之，成為在鎖存器電路 101 的第一端子中保持 DataA 的狀態。此外，藉由在選擇電路 103 的第一端子與第二端子之間成為導通狀態及電晶體 109 成為截止狀態，對鎖存器電路 101 的第二端子輸入低電平電位。換言之，成為在鎖存器電路 101 的第二端子中保持 DataAB 的狀態。

藉由在選擇電路 102 的第一端子與第二端子之間成為導通狀態及電晶體 108 成為導通狀態，可以迅速確定鎖存器電路 101 的第一端子的電位。同樣地，藉由在選擇電路 103 的第一端子與第二端子之間成為導通狀態及電晶體 109 成為導通狀態，可以迅速確定鎖存器電路 101 的第二端子的電位。換言之，可以向鎖存器電路 101 中寫入資料。

期間 2 是儲存元件的寫入期間。在期間 2 中，藉由對電晶體 104 的閘極及電晶體 105 的閘極輸入高電平電位 (例如，VDDH。VDDH 表示比 VDD 高的電壓，該 VDDH 與 VDD 之間的差等於電晶體 104 或電晶體 105 的臨界電壓)作為控制信號 S2，使電晶體 104 及電晶體 105 成為導通狀態。由此，將輸入到鎖存器電路 101 的第一端子的電

位(VDD)輸入到節點 N1，將輸入到鎖存器電路 101 的第二端子的電位(VSS)輸入到節點 N2。換言之，將保持在鎖存器電路 101 的第一端子的 DataA 輸入到節點 N1，將保持在第二端子的 DataAB 輸入到節點 N2。

期間 3 是儲存元件的停止電源電壓的供應的期間。在期間 3 中，首先，藉由對電晶體 104 的閘極及電晶體 105 的閘極輸入低電平電位(例如 VSS)作為控制信號 S2，使電晶體 104 及電晶體 105 成為截止狀態。接著，藉由對鎖存器電路 101 的第三端子輸入低電平電位(例如 VSS)作為電位 V1。由此，對儲存元件的電源電壓的供應停止。此外，藉由對選擇電路 102 的第三端子及選擇電路 103 的第三端子輸入 VSS 作為控制信號 S1，在選擇電路 102 的第一端子與第二端子之間成為非導通狀態，在選擇電路 103 的第一端子與第二端子之間成為非導通狀態。

在此，當在使電晶體 104 及電晶體 105 成為截止狀態之前將電位 V1 設定為 VSS 或將控制信號 S1 設定為 VSS 時，有保持在節點 N1 的電位(DataA)或保持在節點 N2 的電位(DataAB)變動的擔憂。此外，被保持的資料消失的原因是如下：藉由選擇電路 102 或選擇電路 103 資料被讀出；電晶體 108 及電晶體 109 的導通狀態或截止狀態變動。從而，較佳的是在使電晶體 104 及電晶體 105 成為截止狀態之後，將電位 V1 設定為低電平電位且將控制信號 S1 設定為低電平電位。

當將電位 V1 及控制信號 S1 設定為低電平電位時，

不能保持鎖存器電路 101 的第一端子的電位及第二端子的電位。就是說，不能保持保持在鎖存器電路 101 的第一端子中的 DataA 及保持在第二端子中的 DataAB。

在本發明的一個方式中，作為電晶體 104 及電晶體 105，使用其通道形成在氧化物半導體膜中的電晶體。該電晶體具有截止電流極低的特徵。從而，即使電晶體 104 及電晶體 105 成為截止狀態，也可以在較長期間保持由電容元件 106 保持的電位(節點 N1 的電位)及由電容元件 107 保持的電位(節點 N2 的電位)。換言之，在電源電壓的供應停止之後，鎖存器電路 101 的第一端子所保持的電位(DataA)可保持在節點 N1 中，並且鎖存器電路 101 的第二端子所保持的電位(DataAB)可保持在節點 N2 中。

接著，藉由對鎖存器電路 101 的第三端子輸入高電平電位(VDD)作為電位 V1，開始電源電壓的供應。

期間 4 是儲存元件的讀出期間。在期間 4 中，藉由對電晶體 104 的閘極及電晶體 105 的閘極輸入高電平電位(VDDH)作為控制信號 S2，使電晶體 104 及電晶體 105 成為導通狀態。接著，藉由對選擇電路 102 的第三端子及選擇電路 103 的第三端子輸入高電平電位(VDD)作為控制信號 S1，在選擇電路 102 的第一端子與第二端子之間成為導通狀態，在選擇電路 103 的第一端子與第二端子之間成為導通狀態。

由此，可以使鎖存器電路 101 的第一端子的電位設定為節點 N1 所保持的電位(DataA)，並且可以使鎖存器電路

101 的第二端子的電位設定為節點 N2 所保持的電位 (DataAB)。此外，節點 N1 所保持的 DataA 及節點 N2 所保持的 DataAB 可以分別藉由選擇電路 102 及選擇電路 103 而讀出。

〈儲存元件的其他結構〉

下面，參照圖 3 說明有關本發明的一個方式的儲存元件的其他例子。

圖 3 所示的儲存元件 150 包括：鎖存器電路 101；選擇電路 102；選擇電路 103；電晶體 104；電晶體 105；電容元件 106；電容元件 107；以及反相器 114。

在圖 3 所示的儲存元件中，選擇電路 102 具有電晶體 110、電晶體 112。選擇電路 102 的第一端子相當於電晶體 110 的源極電極和汲極電極中的一方及電晶體 112 的源極電極和汲極電極中的一方，第二端子相當於電晶體 110 的源極電極和汲極電極中的另一方及電晶體 112 的源極電極和汲極電極中的另一方，第三端子相當於電晶體 110 的閘極，並且第四端子相當於電晶體 112 的閘極。電晶體 110 的源極電極和汲極電極中的一方及電晶體 112 的源極電極和汲極電極中的一方與鎖存器電路 101 的第一端子連接。此外，電晶體 110 的源極電極和汲極電極中的另一方與電晶體 112 的源極電極和汲極電極中的另一方連接。

選擇電路 103 具有電晶體 111、電晶體 113。選擇電路 103 的第一端子相當於電晶體 111 的源極電極和汲極電

極中的一方及電晶體 113 的源極電極和汲極電極中的一方，第二端子相當於電晶體 111 的源極電極和汲極電極中的另一方及電晶體 113 的源極電極和汲極電極中的另一方，第三端子相當於電晶體 111 的閘極，並且第四端子相當於電晶體 113 的閘極。電晶體 111 的源極電極和汲極電極中的一方及電晶體 113 的源極電極和汲極電極中的一方與鎖存器電路 101 的第二端子連接。此外，電晶體 111 的源極電極和汲極電極中的另一方與電晶體 113 的源極電極和汲極電極中的另一方連接。

對電晶體 110 的閘極及電晶體 111 的閘極輸入控制信號 S1。此外，對電晶體 112 的閘極及電晶體 113 的閘極從反相器 114 的輸出端子輸入控制信號 S1 的反相信號。藉由對電晶體 110 的閘極輸入控制信號 S1，選擇電晶體 110 的導通狀態或截止狀態，藉由對電晶體 111 的閘極輸入控制信號 S1，選擇電晶體 111 的導通狀態或截止狀態。同樣地，藉由對電晶體 112 的閘極輸入控制信號 S1 的反相信號，選擇電晶體 112 的導通狀態或截止狀態，藉由對電晶體 113 的閘極輸入控制信號 S1 的反相信號，選擇電晶體 113 的導通狀態或截止狀態。

在此，電晶體 112 及電晶體 113 與電晶體 110 等相同地是其通道形成在氧化物半導體以外的半導體膜中的電晶體。此外，電晶體 112 及電晶體 113 既可以是 n 通道電晶體又可以是 p 通道電晶體。在本實施方式中，電晶體 112 及電晶體 113 是 p 通道電晶體。

〈儲存元件的驅動方法〉

下面，參照圖 2 說明圖 3 所示的儲存元件 150 的驅動方法。

在期間 1 中，對鎖存器電路 101 的第三端子(電晶體 108 的源極電極和汲極電極中的另一方及電晶體 109 的源極電極和汲極電極中的另一方)輸入高電平電位作為電位 V1。此外，對電容元件 106 的一對電極中的一方及電容元件 107 的一對電極中的一方輸入低電平電位作為電位 V2。此時，對選擇電路 102 的第二端子(電晶體 110 的源極電極和汲極電極中的另一方及電晶體 112 的源極電極和汲極電極中的另一方)輸入 DataA，對選擇電路 103 的第二端子(電晶體 111 的源極電極和汲極電極中的另一方及電晶體 113 的源極電極和汲極電極中的另一方)輸入 DataAB。在此，對 DataA 是高電平電位，DataAB 是低電平電位的情況進行說明。

接著，藉由對選擇電路 102 的第三端子(電晶體 110 的閘極)及選擇電路 103 的第三端子(電晶體 111 的閘極)輸入高電平電位作為控制信號 S1，使電晶體 110 及電晶體 111 成為導通狀態。此外，由於反相器 114 使控制信號 S1 反相，所以藉由對選擇電路 102 的第四端子(電晶體 112 的閘極)及選擇電路 103 的第四端子(電晶體 113 的閘極)輸入控制信號 S1 的反相信號(低電平電位)，電晶體 112 及電晶體 113 成為導通狀態。

藉由使電晶體 110 及電晶體 112 成為導通狀態，對電晶體 109 的閘極輸入高電平電位，從而電晶體 109 成為截止狀態。此外，藉由使電晶體 111 及電晶體 113 成為導通狀態，對電晶體 108 的閘極輸入低電平電位，從而電晶體 108 成為導通狀態。

此時，鎖存器電路 101 的第一端子的電位根據電晶體 110 或電晶體 112，其中在選擇電路 102 中成為導通狀態的速度快的電晶體來決定。同樣地，鎖存器電路 101 的第二端子的電位根據電晶體 111 或電晶體 113，其中在選擇電路 103 中成為導通狀態的速度快的電晶體來決定。由此，可以向鎖存器電路 101 中迅速寫入資料。

在期間 2 中，藉由對電晶體 104 的閘極及電晶體 105 的閘極輸入高電平電位作為控制信號 S2，使電晶體 104 及電晶體 105 成為導通狀態。由此，將輸入到鎖存器電路 101 的第一端子的電位輸入到節點 N1，將輸入到鎖存器電路 101 的第二端子的電位輸入到節點 N2。

在期間 3 中，藉由對電晶體 104 的閘極及電晶體 105 的閘極輸入低電平電位作為控制信號 S2，使電晶體 104 及電晶體 105 成為截止狀態。接著，藉由對鎖存器電路 101 的第三端子輸入低電平電位作為電位 V1。由此，對儲存元件的電源電壓的供應停止。此外，藉由對電晶體 110 的閘極及電晶體 111 的閘極輸入低電平電位作為控制信號 S2，使電晶體 110 及電晶體 111 成為截止狀態。此外，藉由對電晶體 112 的閘極及電晶體 113 的閘極輸入控

制信號 S2 的反相信號，使電晶體 112 及電晶體 113 成為截止狀態。

當將電位 V1 及控制信號 S1 設定為低電平電位時，不能保持鎖存器電路 101 的第一端子的電位及第二端子的電位。然而，藉由作為電晶體 104 及電晶體 105 使用其通道形成在氧化物半導體膜中的電晶體，即使電晶體 104 及電晶體 105 成為截止狀態也可以在較長期間保持由電容元件 106 保持的電位(節點 N1 的電位)及由電容元件 107 保持的電位(節點 N2 的電位)。換言之，在電源電壓的供應停止之後，鎖存器電路 101 的第一端子所保持的電位(DataA)可保持在節點 N1 中，並且鎖存器電路 101 的第二端子所保持的電位(DataB)可保持在節點 N2 中。

接著，藉由對鎖存器電路 101 的第三端子輸入高電平電位作為電位 V1，開始電源電壓的供應。

在期間 4 中，藉由對電晶體 104 的閘極及電晶體 105 的閘極輸入高電平電位作為控制信號 S2，使電晶體 104 及電晶體 105 成為導通狀態。

接著，藉由對電晶體 110 的閘極及電晶體 111 的閘極輸入高電平電位作為控制信號 S1，使電晶體 110 及電晶體 111 成為導通狀態。此外，由於反相器 114 使控制信號 S1 反相，所以藉由對電晶體 112 的閘極及電晶體 113 的閘極輸入控制信號 S1 的反相信號，電晶體 112 及電晶體 113 成為導通狀態。

藉由使電晶體 110 及電晶體 112 成為導通狀態，對電

晶體 109 的閘極輸入高電平電位，從而電晶體 109 成為截止狀態。此外，藉由使電晶體 111 及電晶體 113 成為導通狀態，對電晶體 108 的閘極輸入低電平電位，從而電晶體 108 成為導通狀態。

此時，鎖存器電路 101 的第一端子的電位根據電晶體 110 或電晶體 112，其中在選擇電路 102 中成為導通狀態的速度快的電晶體來決定。同樣地，鎖存器電路 101 的第二端子的電位根據電晶體 111 或電晶體 113，其中在選擇電路 103 中成為導通狀態的速度快的電晶體來決定。由此，與圖 1 所示的儲存元件相比可以向鎖存器電路 101 中迅速讀出資料。

如上所說明，在有關本發明的一個方式的儲存元件中，作為電晶體 104 及電晶體 105 使用其通道形成在氧化物半導體中的電晶體。該電晶體具有截止電流極小的特徵。從而，在不對儲存元件中供應電源電壓的期間(在電晶體 104 及電晶體 105 處於截止狀態的期間)也可以在較長期間保持保持在節點 N1 及節點 N2 的電位。由此，儲存元件在電源電壓的供應停止的期間也可以保持資料(DataA 及 DataAB)。再者，也可以降低儲存元件的耗電量。

〈儲存元件的應用例〉

下面，參照圖 4 說明圖 1 及圖 3 所示的儲存元件的應用例。藉由使圖 1 及圖 3 所示的儲存元件 100 及儲存元件

150 集體化，可以製造儲存裝置 200。

圖 4 是具有 $(m \times n)$ 個儲存元件 100 的儲存裝置的方塊圖的一個例子。作為圖 4 中的儲存元件 100 的結構說明採用圖 1 的結構，但是作為儲存元件 100 的結構也可以是採用圖 3 的結構。

圖 4 所示的儲存裝置 200 包括： m 個 (m 是 2 以上的整數) 信號線 S1； m 個信號線 S2； n 個 (n 是 2 以上的整數) 資料線 D； n 個資料線 DB；電源線 V1；電源線 V2；儲存元件 100 配置為縱 m 個 (行) $\times$ 橫 n 個 (列) 的矩陣狀的儲存單元陳列 210；第一驅動電路 211；以及第二驅動電路 212。第一驅動電路 211 與 n 個資料線 D 及資料線 DB 連接，第二驅動電路 212 與 m 個信號線 S1 及信號線 S2 連接。

由信號線 S1 及信號線 S2 進行對儲存元件 100(1, 1) 至 100(m , n) 的存取，各資料線 D 及資料線 DB 對連接於各資料線 D 及資料線 DB 的儲存單元進行資料的讀出及寫入。

第一驅動電路 211 控制對列方向的儲存單元的資料線 D 及資料線 DB 的存取。另一方面，第二驅動電路 212 控制對行方向的儲存單元的信號線 S1 及信號線 S2 的存取。

藉由進行上述工作，可以對圖 4 中的儲存單元陳列 210 進行隨機存取。

藉由將有關本發明的一個方式的儲存元件用於 MPU 等所具有的暫存器或高速緩衝存儲器等的儲存裝置，可以

降低耗電量。此外，可以防止因電源電壓的供應停止而消失儲存裝置內的資料。再者，在再次開始電源電壓的供應之後，在短時間內回復到電源供應停止之前的狀態。因此，由於在 MPU 整體或構成 MPU 的一種或多種邏輯電路中，即使在短時間內也可以進行電源的停止，所以可以抑制耗電量。

從而，藉由本發明的一個方式，可以提供在電力供應停止之後也能夠保持資料的新結構的儲存元件。此外，由於可以縮小該儲存元件的面積，可以實現儲存裝置的高集體化。

實施方式 2

在本實施方式中，參照圖 5A 至圖 8B 說明實施方式 1 所示的儲存元件的製造方法的一個例子。首先，說明形成在儲存元件的下部的電晶體 108 的製造方法，然後說明形成在上部的電晶體 104 及電容元件 106 的製造方法。此外，電晶體 109、電晶體 110、電晶體 111、電晶體 112 以及電晶體 113 可以與電晶體 108 同樣地製造，電晶體 105 及電容元件 107 可以與電晶體 104 及電容元件 106 同樣地製造。

〈下部電晶體的製造方法〉

首先，準備基板 300(參照圖 5A)。作為基板 300，可以使用氧化物半導體以外的半導體材料。例如，作為基板

300，可以使用由矽、碳化矽等而成的單晶半導體基板；多晶半導體基板；以及矽銻、銻砷、磷化銻等的化合物半導體基板。另外，作為基板 300，也可以使用 SOI 基板。注意，一般而言，“SOI 基板”是指具有在絕緣表面上設置有矽的結構的基板，但是在本說明書等中，還包括具有在絕緣表面上設置有由矽以外的材料構成的半導體膜的結構的基板。也就是說，“SOI 基板”所具有半導體膜不侷限於矽層。另外，SOI 基板還包括在玻璃基板等的絕緣基板上隔著絕緣膜而設置有半導體膜的基板。注意，基板 300 不包含氧化物半導體材料，因此也記為含氧化物半導體以外的半導體材料的基板 300。在此示出當作基板 300 使用單晶矽基板的情況。

作為基板 300，尤其當使用矽等的單晶半導體基板時，可以使實施方式 1 所示的鎖存器電路 101、選擇電路 102、選擇電路 103 等工作高速化，所以是較佳的。

接著，在基板 300 上形成保護層 302，保護層 302 是成為用來形成元件分離絕緣膜的掩模的保護層（參照圖 5A）。作為保護層 302，例如可以使用將氧化矽、氮化矽或氧氮化矽等用作材料的絕緣膜。另外，在該製程的前後，為了控制電晶體的臨界電壓，也可以將賦予 n 型導電性的雜質元素或賦予 p 型導電性的雜質元素添加到基板 300。在基板 300 為矽時，作為賦予 n 型導電性的雜質元素，例如可以使用磷、砷等。另外，作為賦予 p 型導電性的雜質元素，例如可以使用硼、鋁、銻等。

接著，將上述保護層 302 用作掩模進行蝕刻來去除不被保護層 302 覆蓋的區域(露出的區域)的基板 300 的一部分。由此，形成從其他半導體區分離的半導體區 304(參照圖 5B)。作為該蝕刻較佳為採用乾蝕刻，但是也可以採用濕蝕刻。可以根據被蝕刻材料適當地選擇蝕刻氣體或蝕刻液。

接著，藉由覆蓋半導體區 304 地形成絕緣膜，並選擇性地去除與半導體區 304 重疊的區域的絕緣膜，來形成元件分離絕緣膜 306(參照圖 5C)。作為該絕緣膜，可以使用氧化矽、氮化矽或氧氮化矽等的材料而成的絕緣膜。作為絕緣膜的去除方法，有化學機械拋光(CMP: Chemical Mechanical Polishing, 以下稱為 CMP 處理)等的拋光處理或蝕刻處理等，而可以使用其中任何方法。另外，在形成半導體區 304 之後或在形成元件分離絕緣膜 306 之後去除上述保護層 302。

在此，CMP 處理是指以被加工物的表面為標準而根據該標準藉由化學、機械的複合作用使表面平坦化的方法。更明確而言，CMP 處理是一種方法，其中在拋光臺上貼附拋光布，且一邊在被加工物和拋光布之間供應漿料(拋光劑)，一邊將拋光台和被加工物分別旋轉或搖動，來由漿料和被拋光物之間的化學反應以及拋光布和被拋光物的機械拋光的作用對被加工物的表面進行拋光。

另外，作為元件分離絕緣膜 306 的形成方法，除了選擇性地去除絕緣膜的方法以外，還可以使用藉由導入氧或

氮來形成絕緣區的方法等。

接著，在半導體區 304 的表面上形成絕緣膜，並且在該絕緣膜上形成含有導電材料的層。

絕緣膜在後面成為閘極絕緣膜，例如可以藉由對半導體區 304 的表面進行熱處理(熱氧化處理或熱氮化處理等)形成。也可以採用高密度電漿處理代替熱處理。例如使用 He、Ar、Kr、Xe 等稀有氣體、氧、氧化氮、氨、氮、氫等中的任何氣體的混合氣體進行高密度電漿處理。當然，也可以利用 CVD 法或濺射法等形成絕緣膜。該絕緣膜較佳為採用含有氧化矽、氧氮化矽、氮化矽、氧化鋁、氧化鋁、氧化鋁、氧化鋁、矽酸鋁($\text{HfSi}_x\text{O}_y(x>0, y>0)$)、添加有氮的矽酸鋁($\text{HfSi}_x\text{O}_y\text{N}_z(x>0, y>0, z>0)$)、添加有氮的鋁酸鋁($\text{HfAl}_x\text{O}_y\text{N}_z(x>0, y>0, z>0)$)等的單層結構或疊層結構。此外，例如可以將絕緣膜的厚度設定為 1nm 以上且 100nm 以下，較佳的是設定為 10nm 以上且 50nm 以下。

含有導電材料的層在後面成為閘極電極，例如可以使用鋁、銅、鈦、鉭、鎢等的金屬材料形成。此外，也可以使用多晶矽等的半導體材料形成含有導電材料的層。對其形成方法也沒有特別的限制，可以採用蒸鍍法、CVD 法、濺射法、旋塗法等各種成膜方法。另外，在本實施方式中示出使用金屬材料形成含有導電材料的層時的一個例子。

接著，對絕緣膜及含有導電材料的層選擇性地進行蝕

刻，形成閘極絕緣膜 308 及閘極電極 310(參照圖 5C)。

接著，對半導體區 304 添加雜質元素形成通道形成區 316 及雜質區 320(參照圖 5D)。在此，當形成 n 型電晶體時，對半導體區 304 添加磷或砷，當形成 p 型電晶體時，對半導體區 304 添加硼或鋁等雜質元素即可。在此可以適當地設定所添加的雜質元素的濃度，並且當使半導體元件高度微型化時，較佳為提高其濃度。

另外，也可以在閘極電極 310 的周圍形成側壁絕緣膜，並形成以不同濃度添加有雜質元素的雜質區。

接著，覆蓋閘極電極 310 及雜質區 320 等地形成金屬層 322(參照圖 5E)。該金屬層 322 可以利用真空蒸鍍法、濺射法或旋塗法等各種成膜方法形成。金屬層 322 較佳為使用與構成半導體區 304 的半導體材料起反應而成為低電阻金屬化合物的金屬材料形成。作為這種金屬材料，例如有鈦、鋇、鎢、鎳、鈷、鉑等。

接著，進行熱處理來使上述金屬層 322 與半導體材料起反應。由此，形成與雜質區 320 接觸的金屬化合物區 324(參照圖 5E)。另外，當使用多晶矽等作為閘極電極 310 時，還在閘極電極 310 的與金屬層 322 接觸的部分中形成金屬化合物區。

作為上述熱處理，可以採用利用閃光燈的照射的熱處理。當然，也可以採用其他熱處理方法，但是，為了提高形成金屬化合物時的化學反應的控制性，較佳為採用可以在極短時間內完成熱處理的方法。另外，上述金屬化合物

區是因金屬材料與半導體材料起反應而形成的區域，因此是導電性充分得到提高的區域。藉由形成該金屬化合物區，可以充分降低電阻，而可以提高元件特性。另外，在形成金屬化合物區 324 之後，去除金屬層 322。

接著，覆蓋藉由上述步驟形成的各結構地形成絕緣膜 328(參照圖 6A)。絕緣膜 328 可以使用含有如氧化矽、氮化矽、氮化矽、氧化鋁等的無機絕緣材料的材料形成。尤其是，較佳的是將低介電常數(low-k)材料用於絕緣膜 328，因為這樣可以充分降低由於各種電極或佈線重疊而產生的電容。另外，作為絕緣膜 328 也可以採用使用上述材料的多孔絕緣膜。因為多孔絕緣膜的介電常數比高密度的絕緣膜的介電常數低，所以若採用多孔絕緣膜，則可以進一步降低起因於電極或佈線的電容。此外，絕緣膜 328 也可以使用聚醯亞胺、丙烯酸樹脂等有機絕緣材料形成。注意，在圖 6A 中，示出單層結構的絕緣膜 328，但是也可以作為絕緣膜 328 採用兩層以上的疊層結構。

接著，在絕緣膜 328 中形成到達金屬化合物區 324 的開口，將含有導電材料的層形成為嵌入該開口中。含有導電材料的層可以使用鋁、銅、鈦、鉭、鎢等的金屬材料形成。此外，也可以使用多晶矽等的半導體材料形成含有導電材料的層。對其形成方法也沒有特別的限制，可以採用蒸鍍法、CVD 法、濺射法、旋塗法等各種成膜方法。選擇性地蝕刻含有該導電材料的層，來形成源極電極或汲極電極 330a、330b(參照圖 6B)。

接著，在絕緣膜 328 上形成含有導電材料的層。該含有導電材料的層可以使用與用於源極電極或汲極電極 330a、330b 的導電材料同樣的材料形成。對該含有導電材料的層進行蝕刻處理，而形成導電層 336a、336b 及 336c(參照圖 6C)。

藉由上述製程，可以製造使用含有氧化物半導體以外的半導體材料的基板 300 的電晶體 108(參照圖 6C)。這種電晶體 108 具有能夠進行高速工作的特徵。因此，藉由將電晶體 108 應用於鎖存器電路 101、選擇電路 102、選擇電路 103 等，可以實現鎖存器電路 101、選擇電路 102、選擇電路 103 等的工作高速化，所以是較佳的。

接著，以覆蓋藉由上述製程形成的各結構的方式形成絕緣膜 340(參照圖 6D)。可以使用絕緣膜 328 所示的材料及形成方法形成絕緣膜 340。

接著，在絕緣膜 340 中形成到達導電層 336c 的開口，將含有導電材料的層形成為嵌入該開口中。可以使用當形成閘極電極 310、導電層 336a、336b、336c 時示出的材料及形成方法，形成含有導電材料的層。對該含有導電材料的層進行蝕刻處理，而形成電極 329(參照圖 6D)。

然後，作為形成電晶體 104 及電容元件 106 之前的處理，對絕緣膜 340 進行 CMP 處理，以使絕緣膜 340 的表面平坦化。此時，較佳為使電極 329 的頂面露出(參照圖 6D)。作為使絕緣膜 340 平坦化的處理，除了 CMP 處理以外還可以採用蝕刻處理等，但是為了提高電晶體 104 的特

性，較佳為使絕緣膜 340 的表面盡可能地平坦。藉由將絕緣膜 340 的表面的平均表面粗糙度 (Ra) 設定為 0.1nm 以上且小於 0.5nm，可以實現形成在絕緣膜 340 上的非結晶部分中結晶部分所占的比率多的氧化物半導體膜。在此，平均表面粗糙度 (Ra) 是指對由 JISB0601:2001

(ISO4287:1997) 定義的中心線平均表面粗糙度 Ra 進行三維擴展，以可以應用於測定表面而得到的，它可用將從基準面到指定面的偏差的絕對值平均而得的值表示。下述算式 1 可以表示平均表面粗糙度 (Ra)。

[算式 1]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

另外，在上述算式中， S_0 表示測定面 (由以座標 $(x_1, y_1)(x_1, y_2)(x_2, y_1)(x_2, y_2)$ 表示的四個點圍繞的長方形的區域) 的面積， Z_0 表示測定面的平均高度。Ra 可以藉由利用原子力顯微鏡 (AFM: Atomic Force Microscope) 來評價。

另外，也可以在上述各製程前後還包括形成電極、佈線、半導體膜、絕緣膜的製程。例如，作為佈線的結構也可以採用由絕緣膜及導電層的疊層結構構成的多層佈線結構，來實現高度集體化的儲存裝置。

〈上部電晶體的製造方法〉

首先，在絕緣膜 340、電極 329 等上形成氧化物半導體膜。

這裏使用的氧化物半導體較佳的是至少包含銦(In)或鋅(Zn)。尤其是，較佳為包含 In 和 Zn。另外，除了上述元素以外，較佳的是還具有鎵(Ga)作為穩定劑(stabilizer)，該穩定劑用來減小上述使用氧化物半導體的電晶體的電特性偏差。另外，作為穩定劑較佳為具有錫(Sn)。另外，作為穩定劑較佳為具有鈦(Hf)。另外，作為穩定劑較佳為具有鋁(Al)。

另外，作為其他穩定劑，可以具有鑷系元素的鑷(La)、鈰(Ce)、鐑(Pr)、釹(Nd)、釷(Sm)、鈾(Eu)、鈾(Gd)、鉕(Tb)、鐳(Dy)、釹(Ho)、鉕(Er)、釷(Tm)、鐳(Yb)、鐳(Lu)中的一種或多種。

例如，作為氧化物半導體，可以使用：氧化銦、氧化錫、氧化鋅；二元金屬氧化物的 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物的 In-Ga-Zn 類氧化物(也稱為 IGZO)、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化

物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

注意，在此，例如 In-Ga-Zn 類氧化物是指作為主要成分具有 In、Ga 和 Zn 的氧化物，對 In、Ga、Zn 的比率沒有限制。另外，也可以包含 In、Ga、Zn 以外的金屬元素。

另外，作為氧化物半導體，可以使用由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ ，且 m 不是整數) 表示的材料。這裏，M 表示選自 Ga、Fe、Mn 和 Co 中的一種金屬元素或多種金屬元素。另外，作為氧化物半導體，也可以使用由 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ ，且 n 是整數) 表示的材料。

例如，可以使用其原子數比為 $\text{In}:\text{Ga}:\text{Zn}=1:1:1 (=1/3:1/3:1/3)$ 或 $\text{In}:\text{Ga}:\text{Zn}=2:2:1 (=2/5:2/5:1/5)$ 的 In-Ga-Zn 類氧化物或具有與其組成的近旁的氧化物。或者，也可以使用其原子數比為 $\text{In}:\text{Sn}:\text{Zn}=1:1:1 (=1/3:1/3:1/3)$ 、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3 (=1/3:1/6:1/2)$ 或 $\text{In}:\text{Sn}:\text{Zn}=2:1:5 (=1/4:1/8:5/8)$ 的 In-Sn-Zn 類氧化物或具有與其組成的近旁的氧化物。

但是，不侷限於上述材料，根據所需要的半導體特性(遷移率、臨界值、偏差等)可以使用適當的組成的材料。

另外，爲了獲得所需要的半導體特性，較佳的是適當地設定載子濃度、雜質濃度、缺陷密度、金屬元素與氧的原子數比、原子間接合距離、密度等的條件。

例如，使用 In-Sn-Zn 類氧化物可以較容易獲得較高的遷移率。但是，當使用 In-Ga-Zn 類氧化物時也可以藉由減小塊內缺陷密度來提高遷移率。

在此，例如 In、Ga、Zn 的原子數比爲 $\text{In}:\text{Ga}:\text{Zn}=\text{a}:\text{b}:\text{c}(\text{a}+\text{b}+\text{c}=1)$ 的氧化物的組成在原子數比爲 $\text{In}:\text{Ga}:\text{Zn}=\text{A}:\text{B}:\text{C}(\text{A}+\text{B}+\text{C}=1)$ 的氧化物的組成的近旁是指 a、b、c 滿足如下算式： $(\text{a}-\text{A})^2+(\text{b}-\text{B})^2+(\text{c}-\text{C})^2\leq r^2$ 。r 例如可以爲 0.05。其他氧化物也是同樣的。

氧化物半導體既可以爲單晶又可以爲非單晶。在後一種的情況下，可以爲非晶或多晶。另外，也可以利用在非晶體中含有具有結晶性的部分的結構或非非晶結構。

非晶態的氧化物半導體可以較容易形成平坦的表面，因此當使用該非晶態的氧化物半導體形成電晶體時，可以減小介面散射而較容易實現較高的遷移率。

另外，當利用具有結晶性的氧化物半導體時，可以進一步減小塊內缺陷，並藉由提高表面的平坦性可以獲得比非晶態的氧化物半導體更高的遷移率。爲了提高表面的平坦性，較佳的是在平坦的表面上形成氧化物半導體。

當作爲氧化物半導體膜使用 In-Ga-Zn-O 類材料時，作爲所使用的靶材，例如可以使用其組成比爲 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [莫耳數比] 的氧化物靶材。另外，不

侷限於該靶材及組成，例如，還可以使用 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:$

$\text{ZnO}=1:1:2$ [莫耳數比]的氧化物靶材。

另外，作為 In-Sn-Zn 類氧化物使用 In:Sn:Zn 的原子數比為 $1:2:2$ 、 $2:1:3$ 、 $1:1:1$ 或 $20:45:35$ 等的氧化物靶材。

此外，當作為氧化物半導體膜使用 In-Zn-O 類材料時，將所使用的靶材的組成比的原子數比設定為 $\text{In:Zn}=50:1$ 至 $1:2$ (換算為莫耳數比則為 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 至 $1:4$)，較佳為 $\text{In:Zn}=20:1$ 至 $1:1$ (換算為莫耳數比則為 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至 $1:2$)，更佳為 $\text{In:Zn}=15:1$ 至 $1.5:1$ (換算為莫耳數比則為 $\text{In}_2\text{O}_3:\text{ZnO}=15:2$ 至 $3:4$)。例如，作為用於 In-Zn-O 類氧化物半導體的形成的靶材，當原子數比為 $\text{In}:\text{Zn}:\text{O}=\text{X}:\text{Y}:\text{Z}$ 時，滿足 $\text{Z}>1.5\text{X}+\text{Y}$ 的關係。

此外，靶材的相對密度為 90%以上且 100%以下，較佳為 95%以上且 99.9%以下。藉由使用高相對密度的靶材，可以將氧化物半導體膜形成得緻密。

氧化物半導體膜可以藉由濺射法、分子束外延法、原子層沉積法或者脈衝雷射沉積法形成。此外，將氧化物半導體膜的厚度設定為 5nm 以上且 100nm 以下，較佳為 10nm 以上且 30nm 以下。

在本實施方式中，說明包含一種結晶(CAAC: C Axis Aligned Crystal: c 軸配向結晶)的氧化物，該結晶進行 c 軸配向，並且在從 ab 面、表面或介面的方向看時具有三角形狀或六角形狀的原子排列，在 c 軸上金屬原子排列為

層狀或者金屬原子和氧原子排列為層狀，而在 ab 面上 a 軸或 b 軸的方向不同(即，以 c 軸為中心回轉)。

從廣義來理解，含有 CAAC 的氧化物是指非單晶，並是指包括如下相的氧化物，在該相中，在從垂直於 ab 面的方向看時具有三角形狀、六角形狀、正三角形狀或正六角形狀的原子排列，並且從垂直於 c 軸方向的方向看時金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。

雖然 CAAC 不是單晶，但是也不只由非晶形成。另外，雖然 CAAC 包括晶化部分(結晶部分)，但是有時不能明確辨別一個結晶部分與其他結晶部分的邊界。

當 CAAC 包含氧時，也可以用氮取代氧的一部分。另外，構成 CAAC 的各結晶部分的 c 軸也可以在固定的方向上(例如，垂直於形成 CAAC 的基板面或 CAAC 的表面等的方向)一致。或者，構成 CAAC 的各結晶部分的 ab 面的法線也可以朝向固定的方向(例如，垂直於形成 CAAC 的基板面或 CAAC 的表面等的方向)。

CAAC 根據其組成等成為導體、半導體或絕緣體。另外，CAAC 根據其組成等呈現對可見光的透明性或不透明性。

作為上述 CAAC 的例子，也可以舉出一種結晶，該結晶被形成為膜狀，並且在該結晶中，在從垂直於膜表面或所支撐的基板面的方向觀察時確認到三角形或六角形的原子排列，並且在觀察其膜剖面時確認到金屬原子或金屬原子及氧原子(或氮原子)的層狀排列。

此外，藉由作為電晶體 104(及電晶體 105)的通道形成區採用 CAAC，可以抑制因可見光或紫外光的照射及熱或偏壓等的施加而導致的電晶體 104(及電晶體 105)的電特性的變動，而可以提高電晶體的可靠性。

當作為包含 CAAC 的氧化物半導體膜的形成方法，例如有如下兩種方法。一種方法是邊加熱基板邊形成氧化物半導體膜的方法。另一種方法是分兩次形成氧化物半導體膜，在第一次進行成膜之後及在第二次進行成膜之後都進行熱處理的方法。

當在加熱基板的同時進行一次氧化物半導體膜的成膜時，將基板溫度設定為 150°C 以上且 450°C 以下即可，較佳為 250°C 以上且 350°C 以下。此外，在形成氧化物半導體膜時，藉由將基板的加熱溫度設得較高，可以實現非晶部分中的結晶部分所占的比率多的 CAAC。

此外，在分兩次形成氧化物半導體膜時，在將基板溫度保持為 100°C 以上且 450°C 以下的同時，在絕緣膜 340 上形成第一層氧化物半導體膜，在氮、氧、稀有氣體或乾燥空氣氛圍下進行 550°C 以上且低於基板的應變點的熱處理。藉由進行該熱處理，在包含第一層氧化物半導體膜的表面的區域形成結晶區(包含板狀結晶)。接著，將第二層氧化物半導體膜形成得比第一層氧化物半導體膜厚。然後，再次進行 550°C 以上且低於基板的應變點的熱處理，由此在包含表面的區域以形成有結晶區(包含板狀結晶)的第一層氧化物半導體膜為結晶生長的晶種向上進行結晶生

長，從而使第二層氧化物半導體膜的整體晶化。此外，較佳的是將第一層氧化物半導體膜的厚度設定為 1nm 以上且 10nm 以下。

藉由上述成膜方法，即使氧化物半導體膜 344 的厚度為 5nm 左右也可以抑制短通道效果，所以是較佳的。

在利用濺射法形成的氧化物半導體膜中有時包含氫或水(含羥基的化合物)。氫或水由於容易形成施體能階所以對氧化物半導體來說是雜質。從而，較佳的是在利用濺射法形成氧化物半導體膜時，盡可能降低包含在氧化物半導體膜中的氫濃度。

為了降低氫濃度，當形成氧化物半導體膜時，藉由將濺射裝置的處理室的洩漏率設定為 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下，可以減少在利用濺射法進行成膜的中途混入到氧化物半導體膜中的雜質諸如鹼金屬、氫化物等。另外，藉由作為排氣系統使用吸附真空泵(例如，低溫泵等)，可以降低鹼金屬、氫原子、氫分子、水、羥基或氫化物等雜質從排氣系統倒流。

作為供應到濺射裝置的處理室內的氛圍氣體，適當地使用去除了含氫、水、羥基的化合物或氫化物等雜質的高純度稀有氣體(典型為氬)、氧以及稀有氣體和氧的混合氣體。例如，氬的純度為 9N(99.9999999%)以上(H_2O 為 0.1ppb, H_2 為 0.5ppb)，且露點為 -121°C 。此外，氧的濃度為 8N(99.9999999%)以上(H_2O 為 1ppb, H_2 為 1ppb)，且露點為 -112°C 。此外，在使用稀有氣體和氧的混合氣體

時，較佳為增大氧的流量比率。

作為成膜條件的一個例子，可以採用如下條件：基板與靶材之間的距離為 100mm；壓力為 0.6Pa；直流(DC)功率為 0.5kW；氧(氧流量比率為 100%)氛圍。另外，脈衝直流(DC)電源是較佳的，因為可以減少在成膜時發生的灰塵並可以實現均勻的膜厚度分佈。

由於 CAAC 的結晶性受到被形成面的粗糙度的影響，所以較佳為使絕緣膜 340 的表面盡可能平坦。藉由使絕緣膜 340 表面平坦化，可以提高 CAAC 的連續性。絕緣膜 340 的表面的平均表面粗糙度例如較佳為 0.1nm 以上且小於 0.5nm。

藉由上述步驟，可以形成減少氫的混入的氧化物半導體膜。注意，即使當使用上述濺射裝置時，氧化物半導體膜仍包含氮。例如，藉由二次離子質譜測定技術(SIMS: Secondary Ion Mass Spectrometry)測量的氧化物半導體膜的氮濃度低於 $5 \times 10^{18} \text{cm}^{-3}$ 。

在形成氧化物半導體膜時或者之後，有時，因氧化物半導體膜中的氧缺陷而產生電荷。一般而言，當氧化物半導體膜中發生氧缺陷時，氧缺陷的一部分成為施體而產生作為載子的電子。由於產生作為載子的電子，所以電晶體 104 的臨界電壓向負值偏移。

為了減少氧化物半導體膜中的水分或氫等雜質(脫水化或脫氫化)，較佳的是對氧化物半導體膜進行第一熱處理。例如，在減壓氛圍、氮或稀有氣體等惰性氣體氛圍、

氧氣體氛圍或超乾燥空氣(使用 CRDS(cavity ring-down laser spectroscopy：光腔衰蕩光譜法)方式的露點計進行測量時的水分量是 20ppm(露點換算為 -55°C)以下，較佳的是 1ppm 以下，更佳的是 10ppb 以下的空氣)氛圍下對氧化物半導體膜進行加熱處理。

在氧化氛圍或者惰性氛圍中將第一熱處理的溫度例如設定為 150°C 以上且低於基板的應變點，較佳為 250°C 以上且 450°C 以下，更佳為 300°C 以上且 450°C 以下。在此，氧化氛圍是指包含 10ppm 以上的氧化氣體諸如氧、臭氧或氮化氧的氛圍。此外，惰性氛圍是指上述氧化氣體小於 10ppm，還填充有氮或稀有氣體的氛圍。處理時間是 3 分鐘至 24 小時。超過 24 小時的熱處理因降低生產率而不是較佳的。

對用於第一熱處理的加熱裝置沒有特別的限制，也可以具備利用來自電阻發熱體等發熱體的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用電爐或如 LRTA(Lamp Rapid Thermal Anneal：燈快速熱退火)裝置、GRTA(Gas Rapid Thermal Anneal：氣體快速熱退火)裝置等的 RTA(Rapid Thermal Anneal：快速熱退火)裝置。LRTA 裝置是利用從燈如鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等發射的光(電磁波)的輻射加熱被處理物的裝置。GRTA 裝置是使用高溫氣體進行熱處理的裝置。

藉由進行第一熱處理，可以從氧化物半導體膜釋放氫

(包含水、羥基的化合物)。此外，藉由進行第一熱處理減少雜質，可以形成 i 型(本質半導體)或實質上 i 型的氧化物半導體膜。

此外，由於藉由第一熱處理可以從氧化物半導體膜解吸不穩定的載子源的氫，所以可以抑制電晶體 104 的臨界電壓向負值變動。再者，可以提高電晶體 104 的可靠性。

接著，藉由光刻製程在氧化物半導體膜上形成抗蝕劑掩模，使用該抗蝕劑掩模將氧化物半導體膜蝕刻為所希望的形狀，而形成島狀的氧化物半導體膜 344(參照圖 7A)。此外，該抗蝕劑掩模除了光刻製程之外還可以適當地使用噴墨法、印刷法等而形成。較佳為進行該蝕刻以使島狀的氧化物半導體膜的端部成為錐形形狀。藉由使島狀的氧化物半導體膜的端部形成為錐形形狀，在本製程以後的電晶體 104 的製造中，可以提高所形成的膜的覆蓋性，而可以防止該膜的斷開。錐形形狀可以邊使上述抗蝕劑掩模縮小邊進行蝕刻來形成。

接著，在氧化物半導體膜 344 等上形成含有導電材料的層。

含有導電材料的層是後面成為源極電極及汲極電極的層，並且可以使用鋁、鉻、銅、鈦、鉭、鉬、鎢等的金屬材料形成。此外，也可以使用以上述金屬材料為成分的合金等形成。而且，還可以使用選自錳、鎂、鋅、鈹、釹、釷中的一種或多種材料。

含有導電材料的層既可以採用單層結構又可以採用兩

層以上的疊層結構。例如，可以舉出：鈦膜或氮化鈦膜的單層結構；含有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；在氮化鈦膜上層疊鈦膜的雙層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，當作爲含有導電材料的層採用鈦膜或氮化鈦膜的單層結構時，有容易將該含有導電材料的層加工成具有錐形形狀的源極電極或汲極電極 342a、342b 的優點。

此外，作爲含有導電材料的層，也可以使用氧化銦、氧化銦氧化錫(也稱爲 ITO)、氧化銦氧化鋅、氧化鋅、添加鎳的氧化鋅、石墨烯(graphene)等。

藉由選擇性地蝕刻含有導電材料的層形成源極電極或汲極電極 342a、342b 及電極 342c(參照圖 7B)。在此，源極電極或汲極電極 342a 用作電容元件的電極。此外，藉由電極 329 連接導電層 336c 與電極 342c，可以使形成在半導體裝置的下層中的電晶體與形成在上層中的電晶體連接。

較佳的是以使所形成的源極電極或汲極電極 342a、342b 及電極 342c 的端部具有錐形形狀的方式進行含有導電材料的層的蝕刻。這裏，較佳的是將錐形角設定爲 30° 以上且 60° 以下。藉由以使源極電極或汲極電極 342a、342b 的端部具有錐形形狀的方式進行蝕刻，可以提高後面形成的閘極絕緣膜的覆蓋性，且防止斷開。

電晶體的通道長度(L)取決於源極電極或汲極電極 342a 的下端部與源極電極或汲極電極 342b 的下端部之間

的間隔。另外，在形成通道長度(L)短於 25nm 的電晶體的情況下，較佳為利用波長短即幾 nm 至幾十 nm 的超紫外線 (Extreme Ultraviolet) 進行形成掩模時的曝光。利用超紫外線的曝光的解析度高且景深大。因此，可以將後面形成的電晶體的通道長度(L)設定為 10nm 以上且 1000nm(1 μ m)以下，而可以提高電路的工作速度。此外，藉由微型化，可以降低儲存元件的耗電量。

接著，以覆蓋源極電極或汲極電極 342a、342b 及電極 342c 並與氧化物半導體膜 344 的一部分接觸的方式形成閘極絕緣膜 346(參照圖 7C)。

閘極絕緣膜 346 可以利用 CVD 法或濺射法等形成。此外，作為閘極絕緣膜 346 可以使用氧化矽、氮化矽、氧氮化矽、氧化鎵、氧化鋁、氧化鋇等。此外，作為閘極絕緣膜 346 可以使用氧化鈣、氧化釷、矽酸鈣($\text{HfSi}_x\text{O}_y(x>0, y>0)$)、添加有氮的矽酸鈣($\text{HfSi}_x\text{O}_y\text{N}_z(x>0, y>0, z>0)$)、添加有氮的鋁酸鈣($\text{HfAl}_x\text{O}_y\text{N}_z(x>0, y>0, z>0)$)等高介電常數(high-k)材料。閘極絕緣膜 346 既可以採用單層結構又可以採用組合上述材料的疊層結構。此外，雖然對閘極絕緣膜 346 的厚度沒有特別的限制，但是當使儲存元件微型化時，較佳的是將閘極絕緣膜 346 形成為較薄，以確保電晶體的工作。例如，當使用氧化矽時，可以將閘極絕緣膜 346 形成為 1nm 以上且 100nm 以下，較佳的是形成為 10nm 以上且 50nm 以下。

但是，當如上所述那樣將閘極絕緣膜形成為較薄時，有發生因隧道效應等而引起的閘極洩漏的問題。為了解決閘極洩漏的問題，較佳的是作為閘極絕緣膜 346 使用上述 high-k 材料。藉由將 high-k 材料用於閘極絕緣膜 346，不但可以確保電特性，而且還可以將閘極絕緣膜 346 形成為較厚以抑制閘極洩漏。另外，還可以採用含有 high-k 材料的膜與含有氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁等中的任一種的膜的疊層結構。

另外，閘極絕緣膜 346 也可以使用包含第 13 族元素及氧的絕緣材料形成。較多的氧化物半導體材料包含第 13 族元素，包含第 13 族元素的絕緣材料與氧化物半導體材料的搭配良好。從而，藉由將包含第 13 族元素及氧的絕緣材料用於與氧化物半導體膜接觸的絕緣膜，可以保持與氧化物半導體膜之間的介面的良好的狀態。

在此，包含第 13 族元素的絕緣材料是指包含一種或多種第 13 族元素的絕緣材料。作為包含第 13 族元素的絕緣材料，例如有氧化鎵、氧化鋁、氧化鋁鎵、氧化鎵鋁等。在此，氧化鋁鎵是指含鋁量 (at.%) 多於含鎵量 (at.%) 的物質，氧化鎵鋁是指含鎵量 (at.%) 等於或多於含鋁量 (at.%) 的物質。

例如，當以與包含鎵的氧化物半導體膜接觸的方式形成閘極絕緣膜 346 時，藉由將包含氧化鎵的材料用於閘極絕緣膜，可以保持氧化物半導體膜和閘極絕緣膜之間的良好的介面特性。另外，藉由使氧化物半導體膜與包含氧化

錄的絕緣膜接觸地設置，可以減少氧化物半導體膜與絕緣膜的介面中的氫的聚積。另外，在將與氧化物半導體的成分元素同一族的元素用於絕緣膜時，可以得到與上述同樣的效果。例如，使用包含氧化鋁的材料形成絕緣膜也是有效的。另外，由於氧化鋁具有不容易透過水的特性，因此從防止水侵入到氧化物半導體膜中的角度來看，使用該材料是較佳的。

此外，在對氧化物半導體膜 344 進行第一熱處理時，在釋放氫等的同時也釋放包含在氧化物半導體膜 344 中的氧。由於釋放氧，在氧化物半導體膜 344 中會發生氧缺陷。由於氧缺陷的一部分成為施體，這成為在氧化物半導體膜 344 中產生載子的原因，所以會影響到電晶體的特性。

於是，作為接觸於氧化物半導體膜 344 的閘極絕緣膜 346，較佳為使用藉由熱處理使氧解吸的絕緣膜。

在本說明書等中，“藉由熱處理使氧解吸”是指：在進行 TDS (Thermal Desorption Spectroscopy：熱脫附譜) 分析時，換算為氧原子的氧的解吸量（或釋放量）為 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上，較佳為 $3.0 \times 10^{20} \text{ cm}^{-3}$ 以上的情況。此外，“藉由熱處理不使氧解吸”是指：在進行 TDS 分析時，換算為氧原子的氧的解吸量（或釋放量）為低於 $1.0 \times 10^{18} \text{ cm}^{-3}$ 的情況。

以下，說明藉由 TDS 分析將氧的釋放量換算為氧原子而定量的方法。

進行 TDS 分析時的氣體的解吸量與離子強度的積分值成比例。因此，能夠根據絕緣膜的離子強度的積分值與標準樣品的基準值比例來計算出氣體的解吸量。標準樣品的基準值是指在含有規定密度的原子的樣品中該原子密度對離子強度的積分值的比率，離子強度相當於該原子。

例如，根據對作為標準樣品的含有規定密度的氫的矽晶片進行 TDS 分析的結果以及對於絕緣膜的 TDS 分析結果，可以藉由下述算式得到絕緣膜中的氧分子的解吸量 (N_{O_2})。在此，假定藉由 TDS 分析得到的質量數為 32 的氣體都來源於氧分子。作為質量數為 32 的氣體有 CH_3OH ，但是 CH_3OH 存在的可能性很低，所以這裏不加考慮。此外，因為含有氧原子的同位素的質量數為 17 的氧原子及質量數為 18 的氧原子的氧分子也在自然界的存在比例極低，所以不加考慮。

[算式 2]

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha$$

N_{H_2} 是將從標準樣品中解吸的氫分子換算為密度而得到的值。 S_{H_2} 是對標準樣品進行 TDS 分析而得到的離子強度的積分值。在此，將標準樣品的基準值設定為 N_{H_2}/S_{H_2} 。 S_{O_2} 是對絕緣膜進行 TDS 分析而得到的離子強度的積分值。 α 是影響到 TDS 分析中的離子強度的係數。至於上述算式的細節，請參考日本專利申請公開平

6-275697 號公報。注意，上述氧的解吸量的數值是藉由使用由電子科學株式會社製造的熱解吸分析儀 EMD-WA1000S/W 並將含有 $1 \times 10^{16} \text{cm}^{-3}$ 的氫原子的矽晶片用作標準樣品來測量的數值。

此外，在 TDS 分析中，氧的一部分作為氧原子被檢測出。氧分子與氧原子的比率可以從氧分子的離子化率算出。另外，因為上述 α 包括氧分子的離子化率，所以藉由對氧分子的解吸量進行評價，可以估算出氧原子的解吸量。

另外， NO_2 是氧分子的解吸量。在絕緣膜中，換算為氧原子的氧的解吸量成為氧分子的解吸量的 2 倍。

作為藉由熱處理使氧解吸的膜的一個例子，有含過量氧的氧化矽 ($\text{SiO}_x (x > 2)$)。含過量氧的氧化矽 ($\text{SiO}_x (x > 2)$) 是指每個單位體積中的氧原子數多於矽原子數的 2 倍的氧化矽。每單位體積的矽原子數及氧原子數為藉由盧瑟福背散射法測量的值。

作為與氧化物半導體膜 344 接觸的絕緣膜 (例如，絕緣膜 340、閘極絕緣膜 346)，使用藉由熱處理使氧解吸的絕緣膜。在形成閘極絕緣膜 346 之後的任一個製程之後，藉由進行第二熱處理，可以使氧從絕緣膜 340 及閘極絕緣膜 346 解吸，而可以對氧化物半導體膜 344 供應氧。由此，可以填補產生在氧化物半導體膜 344 中的氧缺陷。因此，由於可以抑制氧化物半導體膜 344 中的載子的生成，所以可以抑制電晶體的特性的變動。

接著，以覆蓋藉由上述製程形成的各結構的方式形成含有導電材料的層。作為含有導電材料的層，可以使用鉬、鈦、鉭、鎢、鋁、銅、鈹、釷等金屬材料或以該金屬材料為主要成分的合金材料來形成。選擇性地蝕刻含有導電材料的層，來形成閘極電極 348a 及導電層 348b。將導電層 348b 用作電容元件的電極。另外，閘極電極 348a 及導電層 348b 可以採用單層結構或疊層結構。

接著，在形成閘極電極 348a 及導電層 348b 之後，將閘極電極 348a、源極電極或汲極電極 342a、342b 用作掩模對氧化物半導體膜 344 添加賦予 n 型導電性的摻雜劑，而形成一對摻雜區 349a、349b。此外，氧化物半導體膜 344 中的夾在摻雜區 349a 與摻雜區 349b 之間的區域成為通道形成區。此外，通道形成區形成在氧化物半導體膜 344 中的隔著閘極絕緣膜 346 而重疊於閘極電極 348a 的區域中。

當為了形成摻雜區 349a、349b 添加摻雜劑時，可以使用離子植入法。作為摻雜劑，例如可以使用氦、氬、氙等稀有氣體或氮、磷、砷、銻等第 15 族原子等。例如，在將氮用作摻雜劑的情況下，摻雜區 349a、349b 中的氮原子的濃度較佳為 $5 \times 10^{19}/\text{cm}^3$ 以上且 $1 \times 10^{22}/\text{cm}^3$ 以下。添加有賦予 n 型導電性的摻雜劑的摻雜區 349a、349b 的導電性比氧化物半導體膜 344 中的其他區域的導電性高。因此，藉由在氧化物半導體膜 344 中設置摻雜區 349a、349b，可以降低源極電極或汲極電極 342a 與源極電極或

汲極電極 342b 之間的電阻。

接著，在閘極絕緣膜 346、閘極電極 348a 及導電層 348b 上形成絕緣膜 350 及絕緣膜 352(參照圖 8A)。絕緣膜 350 及絕緣膜 352 可以利用 PVD 法或 CVD 法等形式。另外，還可以使用含有氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鎵、氧化鋁等的無機絕緣材料的材料；以及含有醯亞胺、丙烯酸樹脂等有機絕緣材料的材料形成。另外，作為絕緣膜 350 及絕緣膜 352 較佳為使用介電常數低的材料或介電常數低的結構(多孔結構等)。這是因為藉由使絕緣膜 350 及絕緣膜 352 的介電常數減少，可以降低產生在佈線、電極等之間的電容，從而實現工作的高速化的緣故。例如，可以作為絕緣膜 350 使用含有無機材料的材料，作為絕緣膜 352 使用含有有機材料的材料。

此外，氧化鋁膜由於對氫或水等具有阻擋作用，所以藉由用作絕緣膜 350，可以防止從半導體裝置的外部侵入的氫或水等混入在氧化物半導體膜 344 中，因此是較佳的。此外，氧化鋁膜由於也對氧具有阻擋作用，所以可以抑制含在氧化物半導體膜 344 中的氧的外擴散。藉由作為絕緣膜 350 使用氧化鋁膜，可以在防止氫或水等混入在氧化物半導體膜 344 中的同時，可以抑制包含在氧化物半導體膜 344 中的氧的外擴散，所以可以抑制電晶體的電特性的變動。

接著，在閘極絕緣膜 346、絕緣膜 350 及絕緣膜 352 中形成到達源極電極或汲極電極 342b 及電極 342c 的開

口。藉由使用掩模等選擇性地進行蝕刻來形成該開口。然後，形成含有接觸於源極電極或汲極電極 342b 及電極 342c 的導電材料的層。接著，藉由對含有導電材料的層進行蝕刻或 CMP 處理，形成電極 354a、電極 354b(參照圖 8A)。

接著，以覆蓋絕緣膜 352 且接觸於電極 354a 及電極 354b 的方式形成佈線 356(參照圖 8B)。在使用 PVD 法或 CVD 法形成含有導電材料的層之後，對該含有導電材料的層進行構圖來形成佈線 356。另外，作為含有導電材料的層的材料，可以使用選自鋁、鉻、銅、鈮、鈦、鉬和鎢中的元素或以上述元素為成分的合金等。作為含有導電材料的層的材料，也可以使用選自錳、鎂、鋅、鈹、釷、釷中的一種或多種材料。

另外，也可以不使用電極 354a、電極 354b 而形成佈線 356。例如，可以在包括絕緣膜 350 的開口的區域中藉由 PVD 法形成薄的鈦膜，然後埋入開口地形成鋁膜。在此藉由 PVD 法形成的鈦膜具有將被形成面的氧化膜(自然氧化膜等)還原並降低與下部電極等(在此源極電極或汲極電極 342b、電極 342c)的接觸電阻的功能。另外，可以防止鋁膜的小丘的產生。另外，也可以在形成使用鈦或氮化鈦等的障壁膜之後藉由鍍敷法形成銅膜。

藉由形成佈線 356，可以連接形成在下層的電晶體與電晶體 104 的源極電極或汲極電極 342b(參照圖 8B)。

由此，完成使用被高純度化的氧化物半導體膜 344 的

電晶體 104 及具有電容元件 106 的儲存元件 (參照圖 8B)。

藉由上述製程，可以在使用氧化物半導體以外的半導體材料而成的電晶體上製造形成有電晶體的儲存元件。

藉由使用上述製造方法，可以獲得使氫及鹼金屬的雜質極低的氧化物半導體膜 344。像這樣可以使包含在氧化物半導體膜 344 中的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下，更佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下。此外，較佳的是降低包含在氧化物半導體膜 344 中的 Li、Na 等鹼金屬及 Ca 等鹼土金屬等雜質。明確而言，使用 SIMS 檢測出的數值是如下值，Li 是 $5 \times 10^{15} \text{ cm}^{-3}$ 以下，較佳是 $1 \times 10^{15} \text{ cm}^{-3}$ 以下；Na 是 $5 \times 10^{15} \text{ cm}^{-3}$ 以下，較佳是 $1 \times 10^{15} \text{ cm}^{-3}$ 以下；並且 K 是 $5 \times 10^{15} \text{ cm}^{-3}$ 以下，較佳是 $1 \times 10^{15} \text{ cm}^{-3}$ 以下。

藉由使用這樣氧化物半導體膜 344 製造電晶體 104，可以製造截止電流極小的電晶體。明確而言，可以將截止電流密度設定為 $100 \text{ zA}/\mu\text{m}$ 以下，較佳為 $10 \text{ zA}/\mu\text{m}$ 以下。該截止電流密度比在具有結晶性的矽膜中形成通道的電晶體的截止電流密度低得多。像這樣，由於可以使電晶體 104 的截止電流極小，所以藉由將其用作儲存元件，可以在較長期間保持儲存內容。

在有關本發明的一個方式的儲存元件中，在由其通道形成在氧化物半導體以外的半導體膜中的電晶體構成的鎖存器電路 101、選擇電路 102 及選擇電路 103 上可以形成

其通道形成在氧化物半導體膜中的電晶體 104、電晶體 105、電容元件 106 及電容元件 107。像這樣，由於其通道形成在氧化物半導體膜中的電晶體 104 及電晶體 105 可以層疊在其通道形成在氧化物半導體以外的半導體膜中的電晶體上，所以可以以三維方式構成儲存元件。從而，可以大幅度地縮減儲存元件的二維平面的面積。

作為非揮發性隨機存取存儲器，已知有磁隧道結元件 (MTJ(Magnetic Tunneling Junction)元件)。在 MTJ 元件中，如果隔著絕緣膜配置在其上下的膜中的自旋為平行，則 MTJ 元件成為低電阻狀態，而如果隔著絕緣膜配置在其上下的膜中的自旋為反平行，則 MTJ 元件成為高電阻狀態，來儲存資訊。另一方面，有關本發明的一個方式的儲存元件所具有的第一及第二非揮發性儲存電路利用其通道形成在氧化物半導體膜中的電晶體，而其原理與 MTJ 元件完全不同。表 1 示出 MTJ 元件(在表中，以“自旋電子學(Spintronics)(MTJ 元件)”表示)與上述實施方式所示的使用氧化物半導體的第一及第二非揮發性儲存電路(在表中，以“OS/Si”表示)的對比。

[表 1]

	自旋電子學(MTJ 元件)	氧化物半導體/Si
耐熱性	居裏溫度 (Curie Temperature)	製程溫度 500°C (可靠性 150°C)
驅動方式	電流驅動	電壓驅動
寫入原理	改變磁性體的自旋方向	FET 的導通/截止
Si LSI	適合於雙極 LSI (由於雙極 LSI 不適合於高集 體化，所以在高集體化電路 中較佳為使用 MOSLSI。但 是，W 變大。)	適合於 MOSLSI
系統開銷 (Overhead)	大 (起因於大焦耳熱)	比 MTJ 元件小 2 位至 3 位以上 (起因於寄生電容的充電和放電)
非揮發性	利用自旋	利用小截止電流
讀出次數	沒有限制	沒有限制
3D 化	困難(至多兩層)	容易(對層的個數沒有限制)
集體化度(F^2)	$4F^2$ 至 $15F^2$	根據 3D 化的疊層數決定(需要確保 上層 OSFET 製程的製程耐熱性)
材料	具有磁性的稀土元件	氧化物半導體材料
每位成本	昂貴	低廉 (根據氧化物半導體材料(In 等)，成 本有可能稍微昂貴)
磁場耐受性	弱	強

MTJ 元件有如下缺點：由於使用磁性材料，所以在居裏溫度 (Curie Temperature) 以上的溫度下失去磁性。另外，MTJ 元件由於利用電流而驅動，所以與使用矽的雙極裝置搭配良好，但是雙極裝置不適於集體化。而且，有如

下問題：雖然 MTJ 元件的寫入電流微小，但是因存儲器的大電容化導致耗電量的增大。

在原理上 MTJ 元件的磁場耐受性弱，所以在暴露於強磁場時，自旋方向容揮發常。另外，需要控制因用於 MTJ 元件的磁性體的奈米尺寸化而發生的磁漲落 (magnetic fluctuation)。

再者，由於 MTJ 元件使用稀土元素，所以在將形成 MTJ 元件的製程合併到形成對金屬污染敏感的矽半導體的製程時，需要相當注意。MTJ 元件從每位的材料成本的觀點來看也被認為昂貴。

另一方面，除了作為形成通道的半導體材料使用金屬氧化物之外，上述實施方式所示的第一及第二非揮發性儲存電路所具有的使用氧化物半導體的電晶體的元件結構或工作原理與矽 MOSFET 同樣。另外，使用氧化物半導體的電晶體具有如下特徵：不受到磁場的影響，且軟差錯也不會發生。從此可知，上述電晶體與矽積體電路的匹配性非常好。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

實施方式 3

在本實施方式中，參照圖 12A 至圖 15 說明適用於 CPU 等信號處理電路等的氧化物材料。

有時要求用於 CPU 等的電晶體在高頻帶上也能夠工

作。作為該電晶體，較佳為使用場效應遷移率高的電晶體。例如，該電晶體的場效應遷移率較佳為 $1\text{cm}^2/\text{V}\cdot\text{s}$ 以上或 $30\text{cm}^2/\text{V}\cdot\text{s}$ 以上。這樣具有高場效應遷移率的電晶體藉由在形成有通道的氧化物膜中具有 CAAC(C Axis Aligned Crystal)可以實現。

以下，參照圖 12A 至圖 14C 詳細說明包括在 CAAC 中的結晶結構的一個例子。另外，在沒有特別的說明時，在圖 12A 至圖 14C 中，以垂直方向為 c 軸方向，並以與 c 軸方向正交的面為 ab 面。另外，在只說“上一半”或“下一半”時，其是指以 ab 面為邊界時的上一半或下一半。另外，在圖 12A 至圖 12E 中，使用圓圈圈上的 O 示出四配位 O，而使用雙重圓圈圈上的 O 示出三配位 O。

圖 12A 示出具有有一個六配位 In 以及靠近 In 的六個四配位氧原子(以下稱為四配位 O)的結構。這裏，將對於一個金屬原子只示出靠近其的氧原子的結構稱為小組。雖然圖 12A 所示的結構採用八面體結構，但是為了容易理解示出平面結構。另外，在圖 12A 的上一半及下一半中分別具有三個四配位 O。圖 12A 所示的小組的電荷為 0。

圖 12B 示出具有有一個五配位 Ga、靠近 Ga 的三個三配位氧原子(以下稱為三配位 O)以及靠近 Ga 的兩個四配位 O 的結構。三配位 O 都存在於 ab 面上。在圖 12B 的上一半及下一半分別具有有一個四配位 O。另外，因為 In 也採用五配位，所以也有可能採用圖 12B 所示的結構。圖 12B 所示的小組的電荷為 0。

圖 12C 示出具有有一個四配位 Zn 以及靠近 Zn 的四個四配位 O 的結構。在圖 12C 的上一半具有有一個四配位 O，並且在下一半具有有三個四配位 O。或者，也可以在圖 12C 的上一半具有有三個四配位 O，並且在下一半具有有一個四配位 O。圖 12C 所示的小組的電荷為 0。

圖 12D 示出具有有一個六配位 Sn 以及靠近 Sn 的六個四配位 O 的結構。在圖 12D 的上一半具有有三個四配位 O，並且在下一半具有有三個四配位 O。圖 12D 所示的小組的電荷為 +1。

圖 12E 示出包括兩個 Zn 的小組。在圖 12E 的上一半具有有一個四配位 O，並且在下一半具有有一個四配位 O。圖 12E 所示的小組的電荷為 -1。

在此，將多個小組的集合體稱為中組，而將多個中組的集合體稱為大組（也稱為單元元件）。

這裏，說明這些小組彼此接合的規則。圖 12A 所示的六配位 In 的上一半的三個 O 在下方向上分別具有有三個靠近的 In，而 In 的下一半的三個 O 在上方向上分別具有有三個靠近的 In。圖 12B 所示的五配位 Ga 的上一半的一個 O 在下方向上具有一個靠近的 Ga，而 Ga 的下一半的一個 O 在上方向上具有一個靠近的 Ga。圖 12C 所示的四配位 Zn 的上一半的一個 O 在下方向上具有一個靠近的 Zn，而 Zn 的下一半的三個 O 在上方向上分別具有有三個靠近的 Zn。像這樣，金屬原子的上方向上的四配位 O 的個數與位於該 O 的下方向上的靠近的金屬原子的個數相等。與

此同樣，金屬原子的下方向的四配位 O 的個數與位於該 O 的上方向上的靠近的金屬原子的個數相等。因為 O 為四配位，所以位於下方向上的靠近的金屬原子的個數和位於上方向上的靠近的金屬原子的個數的總和成為 4。因此，在位於一金屬原子的上方向上的四配位 O 的個數和位於另一金屬原子的下方向上的四配位 O 的個數的總和為 4 時，具有金屬原子的兩種小組可以彼此接合。例如，在六配位金屬原子(In 或 Sn)藉由下一半的四配位 O 接合時，因為四配位 O 的個數為 3，所以其與五配位金屬原子(Ga 或 In)和四配位金屬原子(Zn)中的任何一種接合。

具有這些配位數的金屬原子在 c 軸方向上藉由四配位 O 接合。另外，除此以外，以使層結構的總和電荷成為 0 的方式使多個小組接合構成中組。

圖 13A 示出構成 In-Sn-Zn-O 類層結構的中組的模型圖。圖 13B 示出由三個中組構成的大組。另外，圖 13C 示出從 c 軸方向上觀察圖 13B 的層結構時的原子排列。

在圖 13A 中，為了容易理解，省略三配位 O，關於四配位 O 只示出其個數，例如，以 ③ 表示 Sn 的上一半及下一半分別具有三個四配位 O。與此同樣，在圖 13A 中，以 ① 表示 In 的上一半及下一半分別具有一個四配位 O。與此同樣，在圖 13A 中示出：下一半具有一個四配位 O 而上一半具有三個四配位 O 的 Zn；以及上一半具有一個四配位 O 而下一半具有三個四配位 O 的 Zn。

在圖 13A 中，構成 In-Sn-Zn-O 類層結構的中組具有

如下結構：在從上面按順序說明時，上一半及下一半分別具有三個四配位 O 的 Sn 與上一半及下一半分別具有一個四配位 O 的 In 接合；該 In 與上一半具有三個四配位 O 的 Zn 接合；藉由該 Zn 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合；該 In 與上一半具有一個四配位 O 的由兩個 Zn 構成的小組接合；藉由該小組的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 Sn 接合。多個上述中組彼此接合而構成大組。

這裏，三配位 O 及四配位 O 的一個接合的電荷分別可以被認為是 -0.667 及 -0.5 。例如，In(六配位或五配位)、Zn(四配位)以及 Sn(五配位或六配位)的電荷分別為 $+3$ 、 $+2$ 以及 $+4$ 。因此，包含 Sn 的小組的電荷為 $+1$ 。因此，為了形成包含 Sn 的層結構，需要消除電荷 $+1$ 的電荷 -1 。作為具有電荷 -1 的結構，可以舉出圖 12E 所示的包含兩個 Zn 的小組。例如，因為如果對於一個包含 Sn 的小組有一個包含兩個 Zn 的小組則電荷被消除，而可以使層結構的總電荷為 0。

明確而言，藉由反復圖 13B 所示的大組來可以得到 In-Sn-Zn-O 類結晶 ($\text{In}_2\text{SnZn}_3\text{O}_8$)。注意，可以得到的 In-Sn-Zn-O 類的層結構可以由組成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 是 0 或自然數)表示。

此外，使用如下材料時也與上述相同：四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物；三元金屬氧化物的 In-Ga-Zn

類氧化物(也表示為 IGZO)、In-Al-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；二元金屬氧化物的 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物等。

例如，圖 14A 示出構成 In-Ga-Zn-O 類的層結構的中組的模型圖。

在圖 14A 中，構成 In-Ga-Zn-O 類層結構的中組具有如下結構：在從上面按順序說明時，上一半和下一半分別有三個四配位 O 的 In 與上一半具有一個四配位的 O 的 Zn 接合；藉由該 Zn 的下一半的三個四配位 O 與上一半及下一半分別具有一個四配位 O 的 Ga 接合；藉由該 Ga 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合。多個上述中組彼此接合而構成大組。

圖 14B 示出由三個中組構成的大組。另外，圖 14C 示出從 c 軸方向上觀察圖 14B 的層結構時的原子排列。

在此，因為 In(六配位或五配位)、Zn(四配位)、Ga(五配位)的電荷分別是 +3、+2、+3，所以包含 In、Zn

及 Ga 中的任一個的小組的電荷為 0。因此，組合這些小組而成的中組的總電荷一直為 0。

此外，構成 In-Ga-Zn-O 類層結構的中組不侷限於圖 14A 所示的中組，而有可能是組合 In、Ga、Zn 的排列不同的中組而成的大組。

有時要求用於 CPU 等的電晶體在高頻帶上也能夠工作。此時的電晶體的場效應遷移率較佳為 $30\text{ cm}^2/\text{Vs}$ 以上。具有這樣的場效應遷移率的電晶體藉由使氧化物半導體膜為 CAAC 來可以實現。

藉由將這樣的 CAAC 用於形成有通道的氧化物膜，可以製造具有 $30\text{ cm}^2/\text{V}\cdot\text{s}$ 以上的場效應遷移率的電晶體。該電晶體由於可以在高頻率上也能夠工作，所以適當地用作 CPU 等以高頻帶工作的裝置中的電晶體。

實施方式 4

在本實施方式中，說明使用圖 1 所示的儲存元件 100、圖 4 所示的儲存裝置 200 的信號處理電路的結構。

圖 9 示出有關本發明的一個方式的信號處理電路的一個例子。信號處理電路至少具有一個或多個運算電路和一個或多個儲存裝置。明確地說，圖 9 所示的信號處理電路 400 具有運算電路 401、運算電路 402、儲存裝置 403、儲存裝置 404、儲存裝置 405、控制裝置 406、電源控制電路 407 以及儲存裝置 408。

運算電路 401 及運算電路 402 包括進行簡單的邏輯運

算的邏輯電路、加法器、乘法器以及各種運算電路等。另外，儲存裝置 403 起到當在運算電路 401 中進行運算處理時暫時保持資料的暫存器的作用。儲存裝置 404 起到當在運算電路 402 中進行運算處理時暫時保持資料的暫存器的作用。

另外，儲存裝置 405 可以用作主存儲器，而可以將控制裝置 406 所執行的程式以資料的形式儲存，或者，可以儲存來自運算電路 401 和運算電路 402 的資料。

控制裝置 406 是對信號處理電路 400 所具有的運算電路 401、運算電路 402、儲存裝置 403、儲存裝置 404 以及儲存裝置 405 的工作進行總括控制的電路。另外，在圖 9 中示出將控制裝置 406 作為信號處理電路 400 的一部分的結構，但是也可以將控制裝置 406 設置在信號處理電路 400 的外部。

另外，也可以在停止對儲存裝置進行電源電壓的供應的同時，停止對在與該儲存裝置之間進行資料交換的運算電路或控制電路進行電源電壓的供應。例如，也可以在運算電路 401 和儲存裝置 403 不進行工作時停止對運算電路 401 及儲存裝置 403 進行電源電壓的供應。

另外，電源控制電路 407 控制供應到信號處理電路 400 所具有的運算電路 401、運算電路 402、儲存裝置 403、儲存裝置 404、儲存裝置 405、控制裝置 406 以及儲存裝置 408 的電源電壓的大小。另外，在停止電源電壓的供應時，用來停止電源電壓的供應的切換元件既可設置在

電源控制電路 407 中，又可設置在運算電路 401、運算電路 402、儲存裝置 403、儲存裝置 404、儲存裝置 405、控制裝置 406 以及儲存裝置 408 的每一個中。在採用後者的結構的情況下，電源控制電路 407 不一定需要設置在本發明的信號處理電路中。

另外，較佳的是在作為主存儲器的儲存裝置 405 與控制裝置 406 之間設置用作高速緩衝存儲器的儲存裝置 408。藉由設置高速緩衝存儲器，可以減少對低速主存儲器的存取次數，以實現運算處理等的信號處理的高速化。藉由在用作高速緩衝存儲器的儲存裝置 408 中使用有關本發明的一個方式的儲存裝置 200，可以抑制信號處理電路 400 的耗電量。另外，在再次開始電源電壓的供應之後，可以在短時間內恢復到電源供應停止之前的狀態。此外，有關本發明的一個方式的儲存元件可以實現小面積化。藉由將該儲存元件用於儲存裝置，可以使儲存裝置高集體化。

本實施方式可以與上述實施方式適當地組合而實施。

實施方式 5

藉由使用有關本發明的一個方式的儲存裝置，可以提供耗電量低的電子裝置。尤其是在難以經常被供應電力的攜帶用的電子裝置中，藉由追加有關本發明的一個方式的低耗電量的儲存裝置作為該電子裝置的結構要素，可以獲得連續使用時間變長的優點。另外，藉由使用截止電流低

的電晶體，不需要用來彌補高截止電流的冗長的電路設計，所以可以提高儲存裝置的集體度，從而可以實現高功能的儲存裝置。

有關本發明的一個方式的儲存裝置可以應用於顯示裝置、個人電腦、具備記錄媒體的影像再現裝置(典型的是，能夠再現記錄媒體如數位通用磁片(DVD: Digital Versatile Disc)等並具有可以顯示其影像的顯示器的裝置)。除了上述以外，作為可以應用有關本發明的一個方式的儲存裝置的電子裝置，可以舉出：行動電話、包括便攜型的遊戲機、便攜資訊終端、電子書閱讀器、攝像機、數位照相機、眼鏡式顯示器(頭戴式顯示器)、導航系統、音頻再現裝置(例如汽車音頻部件和數位音頻播放器)、影印機、傳真機、印表機、多功能印表機、自動櫃員機(ATM)、售貨機等。

以下，說明將有關本發明的一個方式的儲存裝置應用於行動電話、智慧手機或電子書閱讀器等的可攜式電子裝置的情況。

圖 10 是可攜式電子裝置的方塊圖。圖 10 所示的可攜式電子裝置包括：RF 電路 421；類比基帶電路 422；數字基帶電路 423；電池 424；電源電路 425；應用處理器 426；快閃存儲器 430；顯示控制器 431；儲存電路 432；顯示器 433；觸摸感測器 439；音頻電路 437；以及鍵盤 438 等。顯示器 433 由顯示部 434、源極電極驅動器 435 以及閘極驅動器 436 構成。應用處理器 426 具有

CPU427、DSP428、介面 429 以及高速緩衝存儲器 440。

藉由將有關本發明的一個方式的儲存裝置應用於高速緩衝存儲器 440，可以降低應用處理器 426 的耗電量。另外，在再次開始電源電壓的供應之後，可以在短時間內恢復到電源供應停止之前的狀態。此外，有關本發明的一個方式的儲存元件可以實現小面積化。藉由將該儲存元件用於儲存裝置，可以使儲存裝置高集體化。此外，儲存電路 432 由 DRAM 構成。

圖 11 是電子書閱讀器的方塊圖。電子書閱讀器包括：電池 451；電源電路 452；微處理器 453；快閃存儲器 454；音頻電路 455；鍵盤 456；儲存電路 457；觸摸面板 458；顯示器 459；以及顯示控制器 460。在微處理器 453 中包括高速緩衝存儲器 461。藉由將有關本發明的一個方式的儲存裝置應用於高速緩衝存儲器 461，可以降低應用處理器 453 的耗電量。另外，在再次開始電源電壓的供應之後，可以在短時間內恢復到電源供應停止之前的狀態。此外，有關本發明的一個方式的儲存元件可以實現小面積化。藉由將該儲存元件用於儲存裝置，可以使儲存裝置高集體化。

例如，在使用者對書籍資料中的特定部分改變顯示顏色，在字下劃線，使文字變粗或者改變字體等，以利用明確區別該部分與除此以外的部分的高亮功能時，需要儲存資料中的使用者所指定的部分的資料。儲存電路 457 具有暫時儲存上述資料的功能。另外，在長期儲存上述資料

時，也可以將上述資料複製在快閃存儲器 454 中。

本實施方式可以與上述實施方式適當地組合而實施。

實施方式 6

除了氧化物半導體之外，實際測量的絕緣閘極型電晶體的場效應遷移率因各種原因而比本來的遷移率低。作為使遷移率降低的原因，有半導體內部的缺陷或半導體和絕緣膜之間的介面的缺陷，但是當使用 Levinson 模型時，可以理論性地導出假定在半導體內部沒有缺陷時的場效應遷移率。

當以半導體本來的遷移率為 μ_0 ，以所測量的場效應遷移率為 μ ，且假定在半導體中存在某種位能障壁（晶界等）時，可以由下述算式表示其關係。

[算式 3]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

在此，E 是位能障壁的高度，k 是玻爾茲曼常數，T 是絕對溫度。此外，當假定位能障壁由於缺陷而發生時，在 Levinson 模型中可以由下述算式表示其關係。

[算式 4]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

在此， e 是基本電荷， N 是通道內的每單位面積的平均缺陷密度， ε 是半導體的介電常數， n 是包括在每單位面積的通道中的載子數， C_{ox} 是每單位面積的電容， V_g 是閘電壓， t 是通道的厚度。注意，在採用厚度為 30 nm 以下的半導體膜的情況下，通道的厚度可以與半導體膜的厚度相同。線性區中的汲極電流 I_d 可以由下述算式表示。

[算式 5]

$$I_d = \frac{W\mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

在此， L 是通道長度， W 是通道寬度，並且 $L=W=10\text{ }\mu\text{m}$ 。此外， V_d 是汲極電壓。當將上述算式的雙邊用 V_g 除，且對雙邊取對數時，成為下述算式。

[算式 6]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \varepsilon C_{ox} V_g}$$

上述算式的右邊是 V_g 的函數。由上述算式可知，可以根據以縱軸為 $\ln(I_d/V_g)$ 以橫軸為 $1/V_g$ 來標繪出測量值而得到的圖表的直線的傾斜度求得缺陷密度 N 。也就是說，根據電晶體的 I_d-V_g 特性可以對缺陷密度進行評價。在銦(In)、錫(Sn)、鋅(Zn)的比率為 $\text{In:Sn:Zn}=1:1:1$ 的氧化物半導體中，缺陷密度 N 是 $1 \times 10^{12}/\text{cm}^2$ 左右。

根據如上所述那樣求得的缺陷密度等，根據算式 3 及

算式 4 可以導出 $\mu_0 = 120 \text{ cm}^2/\text{Vs}$ 。在有缺陷的 In-Sn-Zn 氧化物中測量出來的遷移率為 $35 \text{ cm}^2/\text{Vs}$ 左右。但是，可以估計在半導體內部及半導體和絕緣膜之間的介面沒有缺陷的氧化物半導體的遷移率 μ_0 成為 $120 \text{ cm}^2/\text{Vs}$ 。

然而，即使在半導體內部沒有缺陷，電晶體的傳輸特性也受通道和閘極絕緣膜之間的介面中的散射的影響。換言之，離通道和閘極絕緣膜之間的介面有 x 的距離的位置上的遷移率 μ_1 可以由下述算式表示。

[算式 7]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

在此， D 是閘極方向上的電場，且 B 、 G 是常數。 B 及 G 可以根據實際的測量結果求得。根據上述測量結果， $B = 4.75 \times 10^7 \text{ cm/s}$ ， $G = 10 \text{ nm}$ (介面散射到達的深度)。可知當 D 增加 (即，閘極電壓得到提高) 時，算式 7 的第二項也增加，所以遷移率 μ_1 降低。

圖 15 示出對一種電晶體的遷移率 μ_2 進行計算而得到的結果，在該電晶體中將沒有半導體內部的缺陷的理想的氧化物半導體用於通道。另外，在計算中，使用 Synopsys 公司製造的裝置類比軟體 Sentaurus Device，並且將氧化物半導體的能隙、電子親和力、相對介電常數以及厚度分別設定為 2.8 電子伏特、4.7 電子伏特、15 以及 15 nm。上述值藉由測量利用濺射法形成的薄膜而得到。

再者，將閘極的功函數、源極電極的功函數以及汲極電極的功函數分別設定為 5.5 電子伏特、4.6 電子伏特以及 4.6 電子伏特。此外，將閘極絕緣膜的厚度設定為 100nm，並將相對介電常數設定為 4.1。通道長度及通道幅度都為 10 μ m，而汲極電壓 V_d 為 0.1V。

如圖 15 所示，當閘極電壓為 1V 多時遷移率示出 100cm²/Vs 以上的峰值，但是當閘極電壓更高時，介面散射變大，所以遷移率下降。另外，為了降低介面散射，較佳為使半導體膜的表面在原子級上具有平坦性 (Atomic Layer Flatness)。

圖 16A 至圖 18C 示出對使用具有上述遷移率的氧化物半導體形成微型電晶體時的特性進行計算而得到的結果。另外，圖 19A 和圖 19B 示出用於計算的電晶體的剖面結構。圖 19A 和圖 19B 所示的電晶體在氧化物半導體膜中具有呈現 n⁺導電型的半導體區 2103a 及半導體區 2103c。半導體區 2103a 及半導體區 2103c 的電阻率為 2 $\times 10^{-3}$ Ωcm。

圖 19A 所示的電晶體形成在基底絕緣膜 2101 及以埋入在基底絕緣膜 2101 中的方式形成的由氧化鋁形成的埋入絕緣物 2102 上。電晶體包括半導體區 2103a、半導體區 2103c、夾在它們之間且成為通道形成區的本質半導體區 2103b 以及閘極 2105。閘極 2105 的寬度為 33nm。

電晶體在閘極 2105 和半導體區 2103b 之間具有閘極絕緣膜 2104，在閘極 2105 的雙側面具有側壁絕緣物

2106a 及側壁絕緣物 2106b，並且在閘極 2105 的上部具有用來防止閘極 2105 與其他佈線的短路的絕緣物 2107。側壁絕緣物的寬度為 5nm。此外，以接觸於半導體區 2103a 及半導體區 2103c 的方式具有源極電極 2108a 及汲極電極 2108b。另外，該電晶體的通道寬度為 40nm。

圖 19B 所示的電晶體與圖 19A 所示的電晶體的相同之處為：形成在基底絕緣膜 2101 及由氧化鋁形成的埋入絕緣物 2102 上；包括半導體區 2103a、半導體區 2103c、夾在它們之間的本質半導體區 2103b、寬度為 33nm 的閘極 2105、閘極絕緣膜 2104、側壁絕緣物 2106a 及側壁絕緣物 2106b、絕緣物 2107 以及源極電極 2108a 及汲極電極 2108b。

圖 19A 所示的電晶體與圖 19B 所示的電晶體的不同之處為側壁絕緣物 2106a 及側壁絕緣物 2106b 下的半導體區的導電型。雖然在圖 19A 所示的電晶體中側壁絕緣物 2106a 及側壁絕緣物 2106b 下的半導體區為呈現 n^+ 導電型的半導體區 2103a 及半導體區 2103c，但是在圖 19B 所示的電晶體中側壁絕緣物 2106a 及側壁絕緣物 2106b 下的半導體區為本質半導體區 2103b。換言之，在圖 19B 所示的半導體層中，設置有既不與半導體區 2103a(半導體區 2103c)也不與閘極 2105 重疊的具有 L_{off} 的寬度的區域。將該區域稱為偏置(offset)區，並且將其寬度 L_{off} 稱為偏置長度。如圖式所示，偏置長度與側壁絕緣物 2106a(側壁絕緣物 2106b)的寬度相同。

用於計算的其他參數為上述參數。在計算中，使用 Synopsys 公司製造的裝置類比軟體 Sentaurus Device。圖 16A 至圖 16C 示出圖 19A 所示的結構的電晶體的汲極電流 (I_d ，實線)及遷移率 (μ ，虛線)的閘極電壓 (V_g ，閘極與源極電極的電位差)依賴性。將汲極電壓(汲極電極與源極電極的電位差)設定為 +1V 來計算汲極電流 I_d ，並且將汲極電壓設定為 +0.1V 來計算遷移率 μ 。

圖 16A 為閘極絕緣膜的厚度為 15nm 時的圖，圖 16B 為閘極絕緣層的厚度為 10nm 時的圖，並且圖 16C 為閘極絕緣層的厚度為 5nm 時的圖。閘極絕緣膜越薄，尤其是截止狀態下的汲極電流 I_d (截止電流)越顯著降低。另一方面，遷移率 μ 的峰值或導通狀態下的汲極電流 I_d (導通電流)沒有顯著的變化。可知當閘極電壓為 1V 左右時汲極電流超過儲存元件等所需要的 $10\mu A$ 。

圖 17A 至圖 17C 示出在圖 19B 所示的結構的電晶體中當偏置長度 L_{off} 為 5nm 時的汲極電流 I_d (實線)及遷移率 μ (虛線)的閘極電壓 V_g 依賴性。將汲極電壓設定為 +1V 來計算汲極電流 I_d ，並且將汲極電壓設定為 +0.1V 來計算遷移率 μ 。圖 17A 為閘極絕緣膜的厚度為 15nm 時的圖，圖 17B 為閘極絕緣層的厚度為 10nm 時的圖，並且圖 17C 為閘極絕緣層的厚度為 5nm 時的圖。

另外，圖 18A 至圖 18C 示出在圖 19B 所示的結構的電晶體中當偏置長度 L_{off} 為 15nm 時的汲極電流 I_d (實線)及遷移率 μ (虛線)的閘極電壓依賴性。將汲極電壓設定為

+1V 來計算汲極電流 I_d ，並且將汲極電壓設定為 +0.1V 來計算遷移率 μ 。圖 18A 為閘極絕緣膜的厚度為 15nm 時的圖，圖 18B 為閘極絕緣層的厚度為 10nm 時的圖，並且圖 18C 為閘極絕緣層的厚度為 5nm 時的圖。

無論是哪一種結構，閘極絕緣膜越薄，截止電流越顯著降低，但是遷移率 μ 的峰值以及導通電流沒有顯著的變化。

另外，偏置長度 L_{off} 越增加，遷移率 μ 的峰值越低，即在圖 16A 至圖 16C 中遷移率 μ 的峰值為 $80\text{ cm}^2/\text{Vs}$ 左右，在圖 17A 至圖 17C 中遷移率 μ 的峰值為 $60\text{ cm}^2/\text{Vs}$ 左右，並且在圖 18A 至圖 18C 中遷移率 μ 的峰值為 $40\text{ cm}^2/\text{Vs}$ 左右。此外，截止電流也有同樣的趨勢。另一方面，雖然導通電流隨著偏置長度 L_{off} 的增加而降低，但是其降低要比截止電流的降低平緩得多。此外，可知當閘極電壓為 1V 左右時汲極電流超過儲存元件等所需要的 $10\mu\text{A}$ 。

實施例 1

將以 In、Sn、Zn 為主要成分的氧化物半導體膜用於通道形成區的電晶體藉由當形成該氧化物半導體膜時加熱基板進行成膜或在形成氧化物半導體膜之後進行熱處理來可以得到良好的特性。另外，主要成分是指在組成比上有 5atomic% 以上的元素。

藉由在形成以 In、Sn、Zn 為主要成分的氧化物半導

體膜之後意圖性地加熱基板，可以提高電晶體的場效應遷移率。此外，藉由使電晶體的臨界電壓向正方向漂移來可以實現常關閉化。

例如，圖 20A 至圖 20C 示出使用以 In、Sn、Zn 為主要成分的通道長度 L 為 $3\mu\text{m}$ 且通道寬度 W 為 $10\mu\text{m}$ 的氧化物半導體膜及厚度為 100nm 的閘極絕緣膜的電晶體的特性。另外， V_d 為 10V 。

圖 20A 示出不意圖性地加熱基板藉由濺射法形成以 In、Sn、Zn 為主要成分的氧化物半導體膜時的電晶體特性。此時場效應遷移率為 $18.8\text{cm}^2/\text{Vsec}$ 。另一方面，當藉由意圖性地加熱基板形成以 In、Sn、Zn 為主要成分的氧化物半導體膜時，可以提高場效應遷移率。圖 20B 示出將基板加熱到 200°C 來形成以 In、Sn、Zn 為主要成分的氧化物半導體膜時的電晶體特性。此時的場效應遷移率為 $32.2\text{cm}^2/\text{Vsec}$ 。

藉由在形成以 In、Sn、Zn 為主要成分的氧化物半導體膜之後進行熱處理，可以進一步提高場效應遷移率。圖 20C 示出在 200°C 下藉由濺射形成以 In、Sn、Zn 為主要成分的氧化物半導體膜之後進行 650°C 的熱處理時的電晶體特性。此時的場效應遷移率為 $34.5\text{cm}^2/\text{Vsec}$ 。

藉由意圖性地加熱基板，可以期待減少在進行濺射成膜時引入到氧化物半導體膜中的水分的效果。此外，藉由在成膜後進行熱處理，還可以從氧化物半導體膜中釋放氫、羥基或水分而去除它們，由此，可以如上述那樣提高

場效應遷移率。上述場效應遷移率的提高可以估計不僅是因為藉由脫水化或脫氫化去除雜質，而且是因為藉由高密度化使原子間距離變短的緣故。此外，藉由從氧化物半導體去除雜質而使其高純度化，可以實現結晶化。像這樣被高純度化的非單晶氧化物半導體可以估計實現理想的超過 $100\text{cm}^2/\text{Vsec}$ 的場效應遷移率。

也可以對以 In、Sn、Zn 為主要成分的氧化物半導體注入氧離子，藉由熱處理釋放該氧化物半導體所含有的氫、羥基或水分，藉由在該熱處理的同時或在該熱處理之後的熱處理使氧化物半導體晶化。藉由上述晶化或再晶化的處理可以得到結晶性良好的非單晶氧化物半導體。

藉由意圖性地加熱基板進行成膜及/或在成膜後進行熱處理，不僅可以提高場效應遷移率，而且還可以有助於實現電晶體的常關閉化。將不意圖性地加熱基板來形成的以 In、Sn、Zn 為主要成分的氧化物半導體膜用作通道形成區的電晶體有臨界電壓漂移到負一側的傾向。然而，在採用意圖性地加熱基板來形成的氧化物半導體膜時，可以解決該臨界電壓的負漂移化的問題。換言之，臨界電壓向電晶體成為常關閉的方向漂移，並且從圖 20A 和圖 20B 的對比也可以確認到該傾向。

另外，也可以藉由改變 In、Sn 及 Zn 的比率來控制臨界電壓，作為組成比採用 In:Sn:Zn=2:1:3 來可以實現電晶體的常關閉化。此外，藉由作為靶材的組成比採用 In:Sn:Zn=2:1:3，可以獲得結晶性高的氧化物半導體膜。

將意圖性的基板加熱溫度或熱處理溫度設定為 150°C 以上，較佳的是設定為 200°C 以上，更佳的是設定為 400°C 以上。藉由在更高的溫度下進行成膜或進行熱處理，可以實現電晶體的常關閉化。

此外，藉由意圖性地加熱基板來形成膜及/或在成膜後進行熱處理，可以提高穩定性，而不受閘極偏壓-應力的影響。例如，在 $2\text{MV}/\text{cm}$ ， 150°C 且一小時施加的條件下，可以使漂移分別為小於 $\pm 1.5\text{V}$ ，較佳為小於 1.0V 。

實際上，對在形成氧化物半導體膜後不進行加熱處理的樣品 1 和進行了 650°C 的加熱處理的樣品 2 的電晶體進行 BT 測試。

首先，將基板溫度設定為 25°C ，將 V_d 設定為 10V ，而對電晶體的 V_g-I_d 特性進行測量。另外， V_d 示出汲極電壓（汲極電極和源極電極的電位差）。接著，將基板溫度設定為 150°C ，將 V_d 設定為 0.1V 。然後，以使施加到閘極絕緣膜的電場強度成為 $2\text{MV}/\text{cm}$ 的方式對 V_g 施加 20V ，並保持該狀態一個小時。接著，將 V_g 設定為 0V 。接著，將基板溫度設定為 25°C ，將 V_d 設定為 10V ，對電晶體的 V_g-I_d 進行測量。將該測試稱為正 BT 測試。

與此同樣，首先將基板溫度設定為 25°C ，將 V_d 設定為 10V ，對電晶體的 V_g-I_d 特性進行測量。接著，將基板溫度設定為 150°C ，將 V_d 設定為 0.1V 。然後，以使施加到閘極絕緣膜的電場強度成為 $-2\text{MV}/\text{cm}$ 的方式將 V_g 設定為 -20V ，並保持該狀態一個小時。接著，將 V_g 設定為

0V。接著，將基板溫度設定為 25℃，將 V_d 設定為 10V，對電晶體的 V_g - I_d 進行測量。將該測試稱為負 BT 測試。

圖 21A 示出樣品 1 的正 BT 測試的結果，而圖 21B 示出負 BT 測試的結果。另外，圖 22A 示出樣品 2 的正 BT 測試的結果，而圖 22B 示出負 BT 測試的結果。

樣品 1 的因正 BT 測試及負 BT 測試而發生的臨界電壓變動分別為 1.80V 及 -0.42V。此外，樣品 2 的因正 BT 測試及負 BT 測試而發生的臨界電壓變動分別為 0.79V 及 0.76V。樣品 1 及樣品 2 的 BT 測試前後的臨界電壓變動都小，由此可知其可靠性高。

熱處理可以在氧氛圍中進行，但是也可以首先在氮、惰性氣體或減壓下進行熱處理，然後在含氧的氛圍中進行熱處理。藉由在首先進行脫水化或脫氫化之後將氧添加到氧化物半導體，可以進一步提高熱處理的效果。此外，作為在完成脫水化或脫氫化之後添加氧的方法，也可以採用以電場加速氧離子並將其注入到氧化物半導體膜中的方法。

雖然在氧化物半導體中及該氧化物半導體與層疊的膜的介面容易產生起因於氧缺損的缺陷，但是藉由上述熱處理使氧化物半導體中含有過剩的氧，可以利用過剩的氧補充不斷產生的氧缺損。過剩的氧是主要存在於晶格間的氧，並且藉由將該氧濃度設定為 $1 \times 10^{16}/\text{cm}^3$ 以上且 $2 \times 10^{20}/\text{cm}^3$ 以下，可以在不使結晶變歪等的狀態下使氧化物半導體中含有氧。

此外，藉由熱處理至少使氧化物半導體的一部分含有結晶，可以獲得更穩定的氧化物半導體膜。例如，在使用組成比為 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ 的靶材，不意圖性地加熱基板而進行濺射成膜來形成的氧化物半導體膜中，藉由利用 X 線繞射 (XRD: X-Ray Diffraction) 觀察到光暈圖案 (halo pattern)。藉由對該所形成的氧化物半導體膜進行熱處理，可以使其結晶化。雖然熱處理溫度是任意的溫度，但是例如藉由進行 650°C 的熱處理，可以利用 X 線繞射觀察到明確的繞射峰值。

實際上，進行了 In-Sn-Zn-O 膜的 XRD 分析。作為 XRD 分析，使用 Bruker AXS 公司製造的 X 線繞射裝置 D8 ADVANCE 並利用平面外 (Out-of-Plane) 法來進行測量。

作為進行 XRD 分析的樣品，準備樣品 A 及樣品 B。以下說明樣品 A 及樣品 B 的製造方法。

在已受過脫氫化處理的石英基板上形成厚度為 100nm 的 In-Sn-Zn-O 膜。

在氧氛圍下使用濺射裝置並利用 $100\text{W}(\text{DC})$ 的功率來形成 In-Sn-Zn-O 膜。作為靶材使用 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ [原子數比] 的 In-Sn-Zn-O 靶材。另外，將成膜時的基板加熱溫度設定為 200°C 。藉由上述步驟製造的樣品為樣品 A。

接著，對以與樣品 A 同樣的方法製造的樣品以 650°C 的溫度進行加熱處理。首先，在氮氛圍下進行一個小時的加熱處理，然後不降低溫度地在氧氛圍下繼續進行一個小

時的加熱處理。藉由上述步驟製造的樣品為樣品 B。

圖 23 示出樣品 A 及樣品 B 的 XRD 光譜。在樣品 A 中沒有觀察到起因於結晶的峰值，但是在樣品 B 中當 2θ 為 35deg 附近及 37deg 至 38deg 時觀察到起因於結晶的峰值。

像這樣，藉由對以 In、Sn、Zn 為主要成分的氧化物半導體進行成膜時的意圖性的加熱及/或成膜後的熱處理，可以提高電晶體特性。

上述基板加熱或熱處理起到不使膜含有對於氧化物半導體來說是惡性雜質的氫或羥基或者從膜中去除該雜質的作用。換言之，藉由去除在氧化物半導體中成為施體雜質的氫來可以實現高純度化，由此可以實現電晶體的常關閉化，並且藉由使氧化物半導體實現高純度化來可以使截止電流為 $1\text{aA}/\mu\text{m}$ 以下。在此，作為上述截止電流值的單位，示出每通道寬度 $1\mu\text{m}$ 的電流值。

圖 24 示出電晶體的截止電流與測量時的基板溫度(絕對溫度)的倒數的關係。在此，為了方便起見，橫軸表示測量時的基板溫度的倒數乘以 1000 而得到的數值 ($1000/T$)。

明確而言，如圖 24 所示那樣，當基板溫度為 125°C 時，截止電流可以為 $1\text{aA}/\mu\text{m}$ ($1 \times 10^{-18}\text{A}/\mu\text{m}$) 以下，當基板溫度為 85°C 時，截止電流可以為 $100\text{zA}/\mu\text{m}$ ($1 \times 10^{-19}\text{A}/\mu\text{m}$) 以下，當基板溫度為室溫 (27°C) 時，截止電流可以為 $1\text{zA}/\mu\text{m}$ ($1 \times 10^{-21}\text{A}/\mu\text{m}$) 以下。較佳的是，當基板溫度為 125

℃時，截止電流可以為 $0.1 \text{ aA}/\mu\text{m}$ ($1 \times 10^{-19} \text{ A}/\mu\text{m}$) 以下，當基板溫度為 85°C 時，截止電流可以為 $10 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-20} \text{ A}/\mu\text{m}$) 以下，當基板溫度為室溫時，截止電流可以為 $0.1 \text{ zA}/\mu\text{m}$ ($1 \times 10^{-22} \text{ A}/\mu\text{m}$) 以下。上述截止電流值比使用 Si 作為半導體膜的電晶體顯著低。

當然，為了防止當形成氧化物半導體膜時氫或水分混入到膜中，較佳的是充分抑制來自沉積室外部的洩漏或來自沉積室內壁的脫氣來實現濺射氣體的高純度化。例如，為了防止在膜中含有水分，作為濺射氣體較佳為使用其露點為 -70°C 以下的氣體。另外，較佳為使用靶材本身不含有氫或水分等雜質的高純度化的靶材。以 In、Sn、Zn 為主要成分的氧化物半導體可以藉由熱處理去除膜中的水分，但是與以 In、Ga、Zn 為主要成分的氧化物半導體相比水分的釋放溫度高，所以較佳的是預先形成不含有水分的膜。

此外，在藉由在形成氧化物半導體膜之後進行 650°C 的加熱處理而得到的樣品 B 的電晶體中，對基板溫度與電特性的關係進行評價。

用於測量的電晶體的通道長度 L 為 $3 \mu\text{m}$ ，通道寬度 W 為 $10 \mu\text{m}$ ， L_{ov} 為 $0 \mu\text{m}$ ， dW 為 $0 \mu\text{m}$ 。另外，將 V_d 設定為 10 V 。另外，在基板溫度為 -40°C ， -25°C ， 25°C ， 75°C ， 125°C 及 150°C 下進行測量。在此，在電晶體中，將閘極電極與一對電極重疊的寬度稱為 L_{ov} ，並且將一對電極的從氧化物半導體膜超出的部分稱為 dW 。

圖 25 示出 I_d (實線)及場效應遷移率(虛線)的 V_g 依賴性。另外，圖 26A 示出基板溫度與臨界電壓的關係，而圖 26B 示出基板溫度與場效應遷移率的關係。

根據圖 26A 可知基板溫度越高臨界電壓越低。另外，作為其範圍，在 -40°C 至 150°C 的基板溫度下，臨界電壓為 1.09V 至 -0.23V 。

此外，根據圖 26B 可知基板溫度越高場效應遷移率越低。另外，作為其範圍，在 -40°C 至 150°C 的基板溫度下，場效應遷移率為 $36\text{cm}^2/\text{Vs}$ 至 $32\text{cm}^2/\text{Vs}$ 。由此，可知在上述溫度範圍內電特性變動較小。

在將上述那樣的以 In 、 Sn 、 Zn 為主要成分的氧化物半導體用於通道形成區的電晶體中，可以在將截止電流保持為 $1\text{aA}/\mu\text{m}$ 以下的狀態下，將場效應遷移率設定為 $30\text{cm}^2/\text{Vsec}$ 以上，較佳的是設定為 $40\text{cm}^2/\text{Vsec}$ 以上，更佳的是設定為 $60\text{cm}^2/\text{Vsec}$ 以上，而滿足 LSI 所要求的導通電流值。例如，在 $L/W=33\text{nm}/40\text{nm}$ 的 FET 中，當閘極電壓為 2.7V ，汲極電壓為 1.0V 時，可以流過 $12\mu\text{A}$ 以上的導通電流。此外，在電晶體的工作所需要的溫度範圍內也可以確保足夠的電特性。當具有這種特性時，即使在使用 Si 半導體製造的積體電路中混合裝有使用氧化物半導體形成的電晶體，也可以實現具有新的功能的積體電路而不犧牲工作速度。

實施例 2

在本實施例中，參照圖 27A 及圖 27B 對將 In-Sn-Zn-O 膜用作氧化物半導體膜的電晶體的一個例子進行說明。

圖 27A 及圖 27B 是共面型的頂閘極頂接觸結構的電晶體的俯視圖以及剖面圖。圖 27A 示出電晶體的俯視圖。另外，在圖 27B 中示出對應於圖 27A 的點劃線 A1-A2 的剖面 A1-A2。

圖 27B 所示的電晶體包括：基板 3100；設置在基板 3100 上的基底絕緣膜 3102；設置在基底絕緣膜 3102 周圍的保護絕緣膜 3104；設置在基底絕緣膜 3102 及保護絕緣膜 3104 上的具有高電阻區 3106a 及低電阻區 3106b 的氧化物半導體膜 3106；設置在氧化物半導體膜 3106 上的閘極絕緣膜 3108；以隔著閘極絕緣膜 3108 與氧化物半導體膜 3106 重疊的方式設置的閘極電極 3110；以與閘極電極 3110 的側面接觸的方式設置的側壁絕緣膜 3112；以至少與低電阻區 3106b 接觸的方式設置的一對電極 3114；以至少覆蓋氧化物半導體膜 3106、閘極電極 3110 及一對電極 3114 的方式設置的層間絕緣膜 3116；以及以藉由設置在層間絕緣膜 3116 中的開口部至少與一對電極 3114 中的一方連接的方式設置的佈線 3118。

另外，雖然未圖示，但是還可以包括以覆蓋層間絕緣膜 3116 及佈線 3118 的方式設置的保護膜。藉由設置該保護膜，可以降低由於層間絕緣膜 3116 的表面傳導而產生的微小洩漏電流，而可以降低電晶體的截止電流。

實施例 3

在本實施例中，示出與上述不同的將 In-Sn-Zn-O 膜用作氧化物半導體膜的電晶體的另一個例子。

圖 28A 及圖 28B 是示出在本實施例中製造的電晶體的結構的俯視圖以及剖面圖。圖 28A 是電晶體的俯視圖。此外，圖 28B 是對應於沿圖 28A 的點劃線 B1-B2 的剖面圖。

圖 28B 所示的電晶體包括：基板 3600；設置在基板 3600 上的基底絕緣膜 3602；設置在基底絕緣膜 3602 上的氧化物半導體膜 3606；與氧化物半導體膜 3606 接觸的一對電極 3614；設置在氧化物半導體膜 3606 及一對電極 3614 上的閘極絕緣膜 3608；以隔著閘極絕緣膜 3608 與氧化物半導體膜 3606 重疊的方式設置的閘極電極 3610；以覆蓋閘極絕緣膜 3608 及閘極電極 3610 的方式設置的層間絕緣膜 3616；藉由設置在層間絕緣膜 3616 中的開口部與一對電極 3614 連接的佈線 3618；以及以覆蓋層間絕緣膜 3616 及佈線 3618 的方式設置的保護膜 3620。

作為基板 3600 使用玻璃基板，作為基底絕緣膜 3602 使用氧化矽膜，作為氧化物半導體膜 3606 使用 In-Sn-Zn-O 膜，作為一對電極 3614 使用鎢膜，作為閘極絕緣膜 3608 使用氧化矽膜，作為閘極電極 3610 使用氮化鉭膜和鎢膜的疊層結構，作為層間絕緣膜 3616 使用氧氮化矽膜和聚醯亞胺膜的疊層結構，作為佈線 3618 使用按順序層疊有鈦膜、鋁膜、鈦膜的疊層結構，作為保護膜 3620 使

用聚醯亞胺膜。

另外，在具有圖 28A 所示的結構的電晶體中，將閘極電極 3610 與一對電極 3614 重疊的寬度稱為 L_{ov} 。與此相同，將一對電極 3614 從氧化物半導體膜 3606 超出的部分稱為 dW 。

【圖式簡單說明】

在圖式中：

圖 1 是儲存元件的電路圖；

圖 2 是示出儲存元件的工作的時序圖；

圖 3 是儲存元件的電路圖；

圖 4 是儲存裝置的方塊圖；

圖 5A 至圖 5E 是示出儲存裝置的製造製程的圖；

圖 6A 至圖 6D 是示出儲存裝置的製造製程的圖；

圖 7A 至圖 7C 是示出儲存裝置的製造製程的圖；

圖 8A 和圖 8B 是示出儲存裝置的製造製程的圖；

圖 9 是信號處理電路的方塊圖；

圖 10 是可攜式電子裝置的方塊圖；

圖 11 是儲存電路的方塊圖；

圖 12A 至圖 12E 是說明有關本發明的一個方式的氧化物材料的結構的圖；

圖 13A 至圖 13C 是說明有關本發明的一個方式的氧化物材料的結構的圖；

圖 14A 至圖 14C 是說明有關本發明的一個方式的氧

化物材料的結構的圖；

圖 15 是說明藉由計算獲得的遷移率的閘極電壓依賴性的圖；

圖 16A 至圖 16C 是說明藉由計算獲得的汲極電流和遷移率的閘極電壓依賴性的圖；

圖 17A 至圖 17C 是說明藉由計算獲得的汲極電流和遷移率的閘極電壓依賴性的圖；

圖 18A 至圖 18C 是說明藉由計算獲得的汲極電流和遷移率的閘極電壓依賴性的圖；

圖 19A 和圖 19B 是說明用於計算的電晶體的剖面結構的圖；

圖 20A 至圖 20C 是使用氧化物半導體膜的電晶體特性的圖；

圖 21A 和 21B 是示出樣品 1 的電晶體的 BT 測試後的 V_g - I_d 特性的圖；

圖 22A 和 22B 是示出樣品 2 的電晶體的 BT 測試後的 V_g - I_d 特性的圖；

圖 23 是示出樣品 A 及樣品 B 的 XRD 光譜的圖；

圖 24 是示出電晶體的截止電流和測量時的基板溫度之間的關係的圖；

圖 25 是示出 I_d 及場效應遷移率的 V_g 依賴性的圖；

圖 26A 和圖 26B 是示出基板溫度和臨界電壓之間的關係以及基板溫度和場效應遷移率之間的關係的圖；

圖 27A 和圖 27B 是半導體裝置的俯視圖及剖面圖；

圖 28A 和圖 28B 是半導體裝置的俯視圖及剖面圖。

【主要元件符號說明】

- 100：儲存元件
- 101：鎖存器電路
- 102：選擇電路
- 103：選擇電路
- 104：電晶體
- 105：電晶體
- 106：電容元件
- 107：電容元件
- 108：電晶體
- 109：電晶體
- 110：電晶體
- 111：電晶體
- 112：電晶體
- 113：電晶體
- 114：反相器
- 121：非揮發性儲存電路
- 122：非揮發性儲存電路
- 150：儲存元件
- 200：儲存裝置
- 210：儲存單元陳列
- 211：驅動電路

- 212 : 驅動電路
- 300 : 基板
- 302 : 保護層
- 304 : 半導體區
- 306 : 元件分離絕緣膜
- 308 : 閘極絕緣膜
- 310 : 閘極電極
- 316 : 通道形成區
- 320 : 雜質區
- 322 : 金屬層
- 324 : 金屬化合物區
- 328 : 絕緣膜
- 329 : 電極
- 330a : 源極電極或汲極電極
- 330b : 源極電極或汲極電極
- 336a : 導電層
- 336b : 導電層
- 336c : 導電層
- 340 : 絕緣膜
- 342a : 源極電極或汲極電極
- 342b : 源極電極或汲極電極
- 342c : 電極
- 354a : 電極
- 354b : 電極

344：氧化物半導體膜

346：閘極絕緣膜

348a：閘極電極

348b：導電層

350：絕緣膜

352：絕緣膜

356：佈線

400：信號處理電路

401：運算電路

402：運算電路

403：儲存裝置

404：儲存裝置

405：儲存裝置

406：控制裝置

407：電源控制電路

408：儲存裝置

421：RF電路

422：類比基帶電路

423：數字基帶電路

424：電池

425：電源電路

426：應用處理器

427：CPU

428：DSP

- 429：介面
- 430：快閃存儲器
- 431：顯示控制器
- 432：儲存電路
- 433：顯示器
- 434：顯示部
- 435：源極電極驅動器
- 436：閘極驅動器
- 437：音頻電路
- 438：鍵盤
- 439：觸摸感測器
- 451：電池
- 452：電源電路
- 453：微處理器
- 454：快閃存儲器
- 455：音頻電路
- 456：鍵盤
- 457：儲存電路
- 458：觸摸面板
- 459：顯示器
- 460：顯示控制器
- 2101：基底絕緣膜
- 2102：埋入絕緣物
- 2103a：半導體區

2103b：半 導 體 區

2103c：半 導 體 區

2104：閘 極 絕 緣 膜

2105：閘 極

2106a：側 壁 絕 緣 物

2106b：側 壁 絕 緣 物

2107：絕 緣 物

2108a：源 極 電 極

2108b：汲 極 電 極

3100：基 板

3102：基 底 絕 緣 膜

3104：保 護 絕 緣 膜

3106：氧 化 物 半 導 體 膜

3106a：高 電 阻 區

3106b：低 電 阻 區

3108：閘 極 絕 緣 膜

3110：閘 極 電 極

3112：側 壁 絕 緣 膜

3114：電 極

3116：層 間 絕 緣 膜

3118：佈 線

3600：基 板

3602：基 底 絕 緣 膜

3606：氧 化 物 半 導 體 膜

3608：閘極絕緣膜

3610：閘極電極

3614：電極

3616：層間絕緣膜

3618：佈線

3620：保護膜

七、申請專利範圍

1.一種儲存元件，包括：

根據第一控制信號輸出第一資料信號的第一選擇電路；

根據該第一控制信號輸出該第一資料信號的反相信號的第二資料信號的第二選擇電路；

該第一資料信號及該第二資料信號被輸入，且只在電源電壓被供應的期間保持該第一資料信號及該第二資料信號的鎖存器電路；

根據第二控制信號被輸入保持在該鎖存器電路中的該第一資料信號的第一非揮發性儲存電路；以及

根據該第二控制信號被輸入保持在該鎖存器電路中的該第二資料信號的第二非揮發性儲存電路，

其中，在該電源電壓的供應停止之後該第一非揮發性儲存電路保持該第一資料信號且該第二非揮發性儲存電路保持該第二資料信號。

2.根據申請專利範圍第 1 項之儲存元件，

其中，該第一非揮發性儲存電路包括第一電晶體及第一電容元件，

該第二非揮發性儲存電路包括第二電晶體及第二電容元件，

並且，該第一電晶體及該第二電晶體的每個通道形成在氧化物半導體膜中。

3.根據申請專利範圍第 1 項之儲存元件，

其中，該鎖存器電路包括至少兩個電晶體，

並且，該至少兩個電晶體的每個通道形成在氧化物半導體以外的半導體中。

4.根據申請專利範圍第1項之儲存元件，

其中，該第一選擇電路及該第二選擇電路分別包括至少一個電晶體，

並且，該至少一個電晶體的通道形成在氧化物半導體以外的半導體中。

5.一種包括根據申請專利範圍第1項之儲存元件的儲存裝置。

6.一種儲存元件，包括：

根據第一控制信號輸出第一資料信號的第一選擇電路，其中該第一選擇電路包括兩個電晶體；

根據該第一控制信號輸出該第一資料信號的反相信號的第二資料信號的第二選擇電路，其中該第二選擇電路包括兩個電晶體；

該第一資料信號及該第二資料信號被輸入，且只在電源電壓被供應的期間保持該第一資料信號及該第二資料信號的鎖存器電路；

根據第二控制信號被輸入保持在該鎖存器電路中的該第一資料信號的第一非揮發性儲存電路；以及

根據該第二控制信號被輸入保持在該鎖存器電路中的該第二資料信號的第二非揮發性儲存電路，

其中，即使在該電源電壓的供應停止之後該第一非揮

發性儲存電路也保持該第一資料信號且該第二非揮發性儲存電路也保持該第二資料信號。

7.根據申請專利範圍第 6 項之儲存元件，

其中，該第一非揮發性儲存電路包括第一電晶體及第一電容元件，

該第二非揮發性儲存電路包括第二電晶體及第二電容元件，

並且，該第一電晶體及該第二電晶體的每個通道形成在氧化物半導體膜中。

8.根據申請專利範圍第 6 項之儲存元件，

其中，該鎖存器電路包括至少兩個電晶體，

並且，該至少兩個電晶體的每個通道形成在氧化物半導體以外的半導體中。

9.根據申請專利範圍第 6 項之儲存元件，

其中，該第一選擇電路及該第二選擇電路中的該兩個電晶體的每個通道形成在氧化物半導體以外的半導體中。

10.一種包括根據申請專利範圍第 6 項之儲存元件的儲存裝置。

圖 1

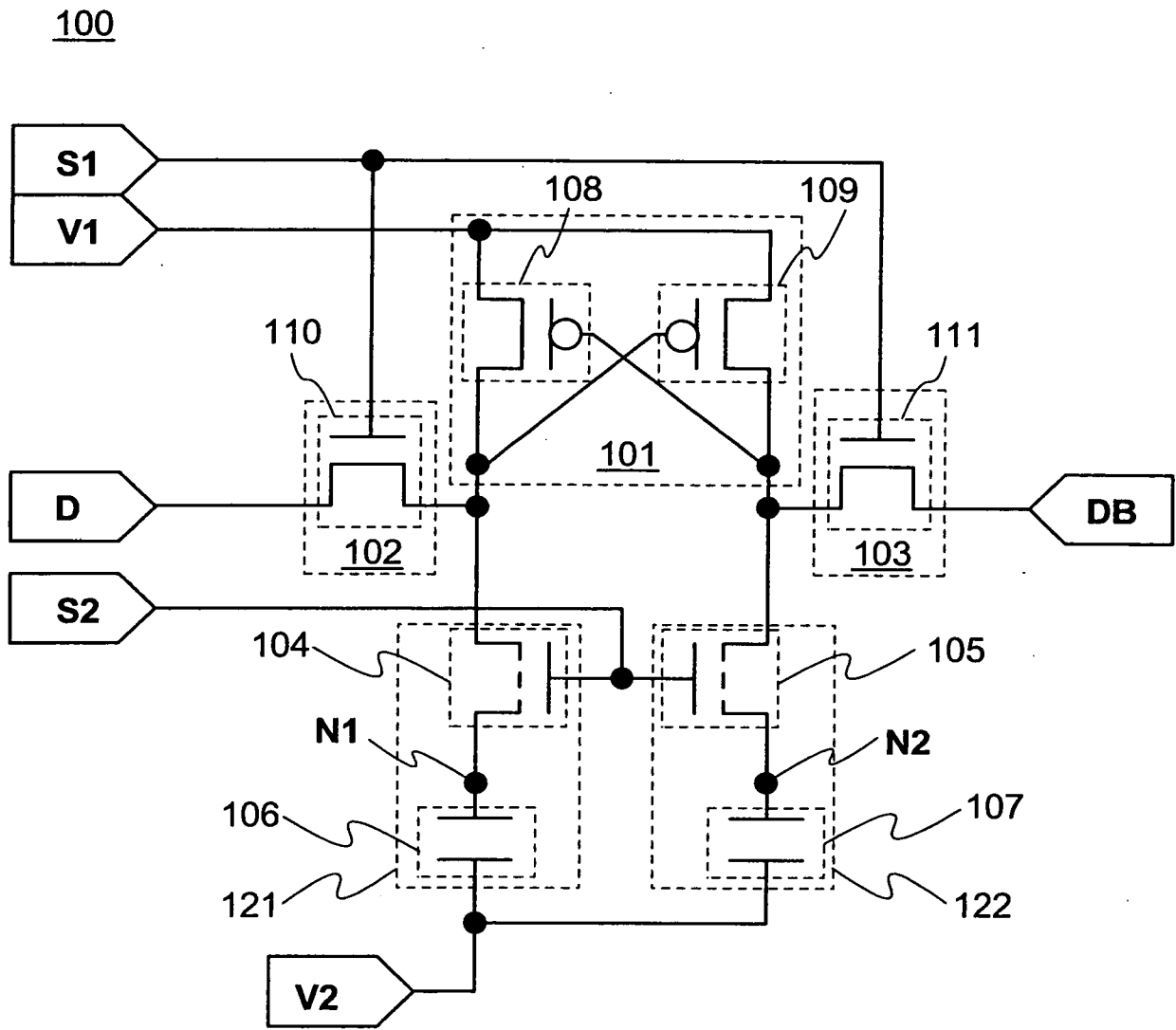


圖 2

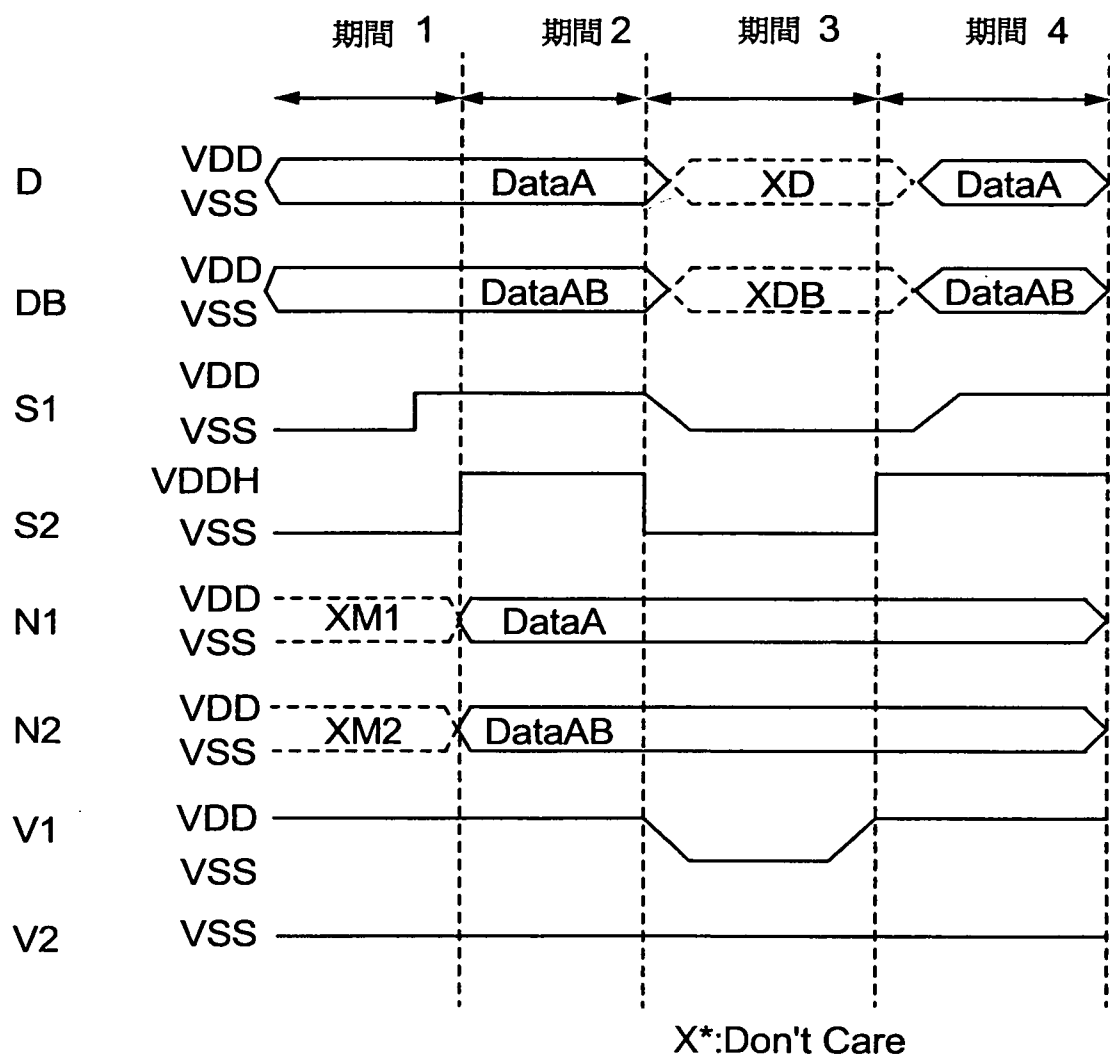


圖 3

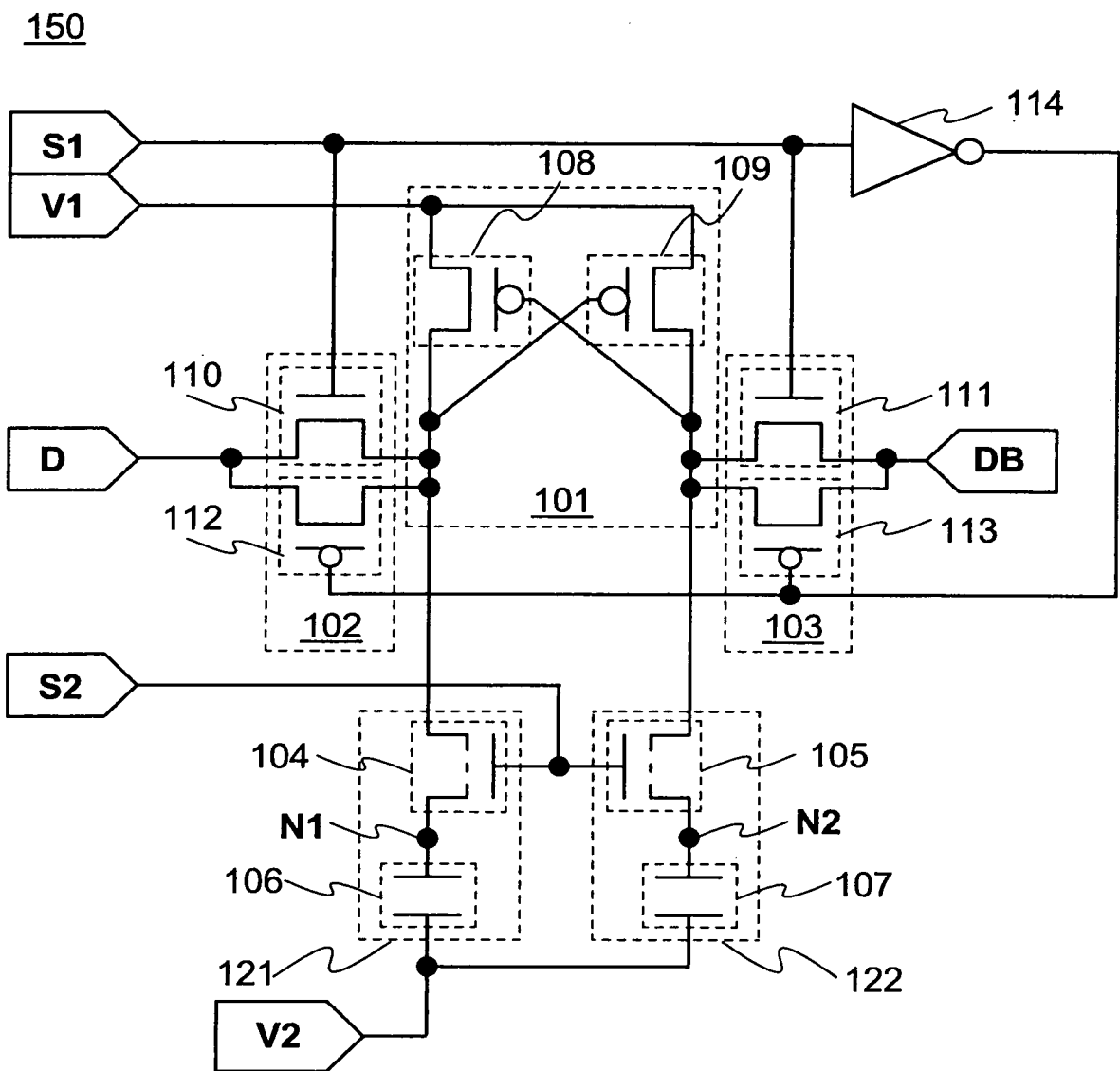


圖 4

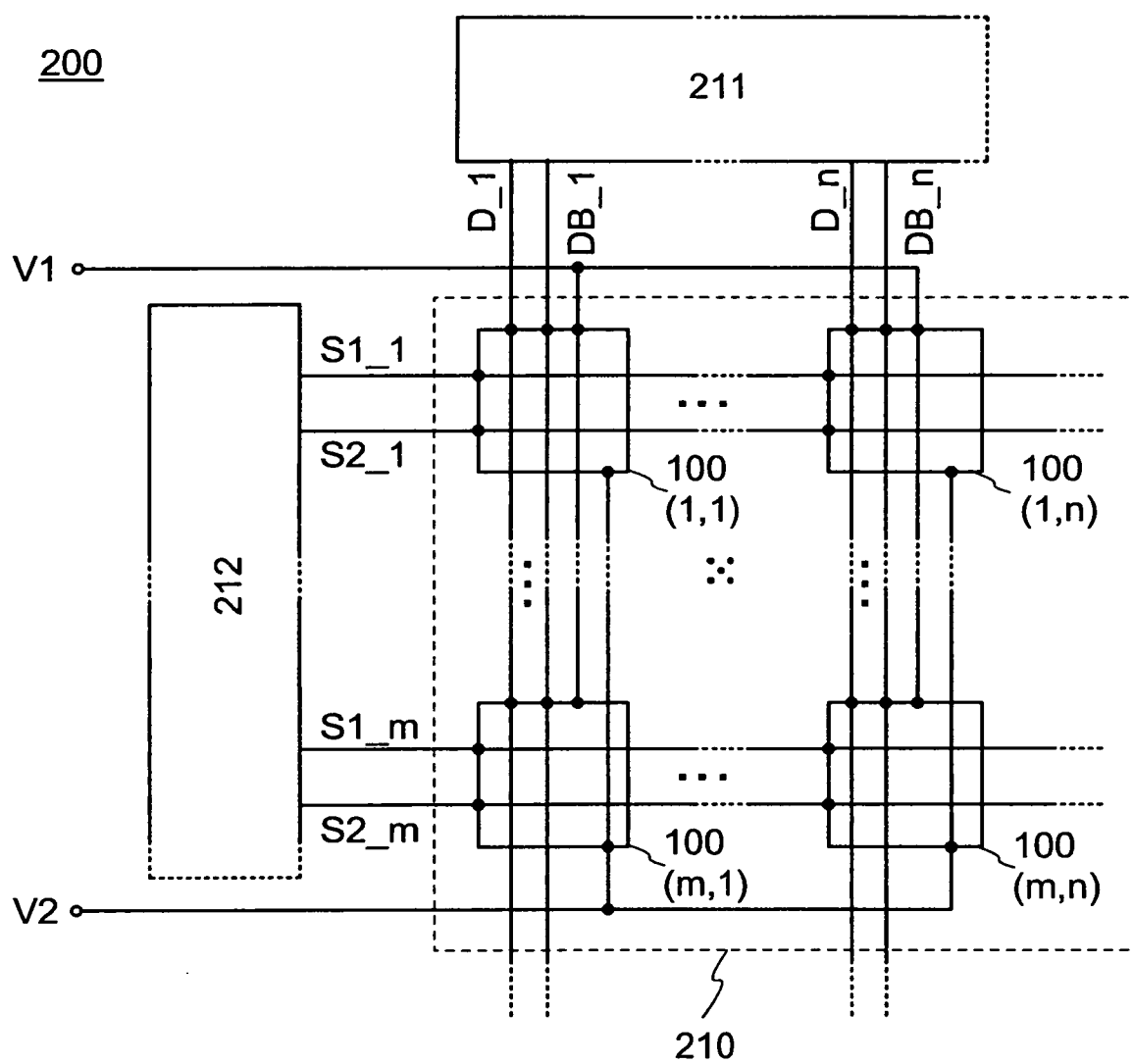


圖 5A

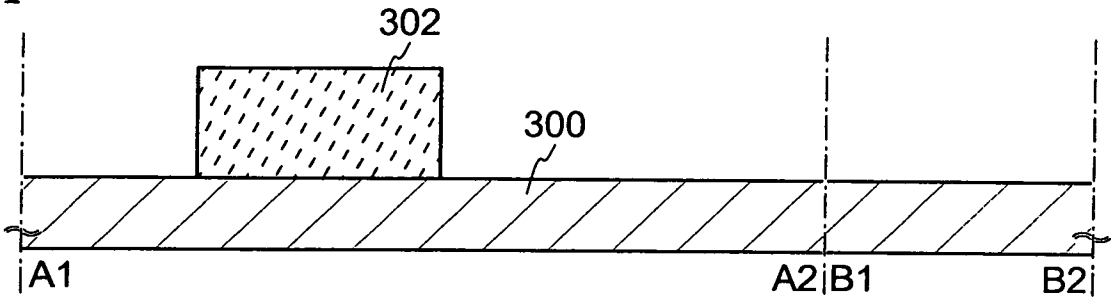


圖 5B

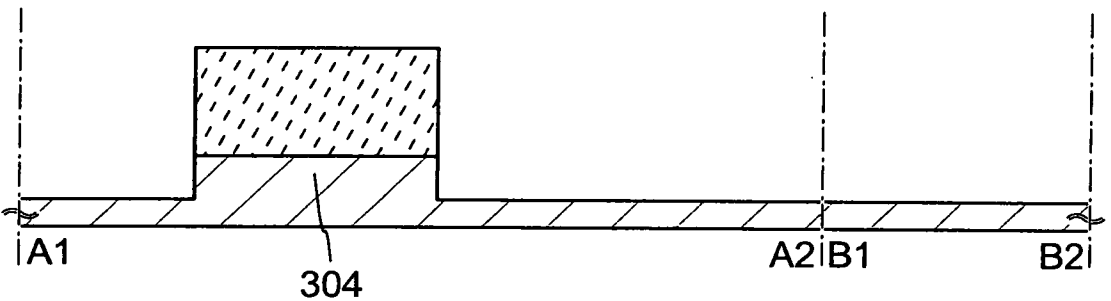


圖 5C

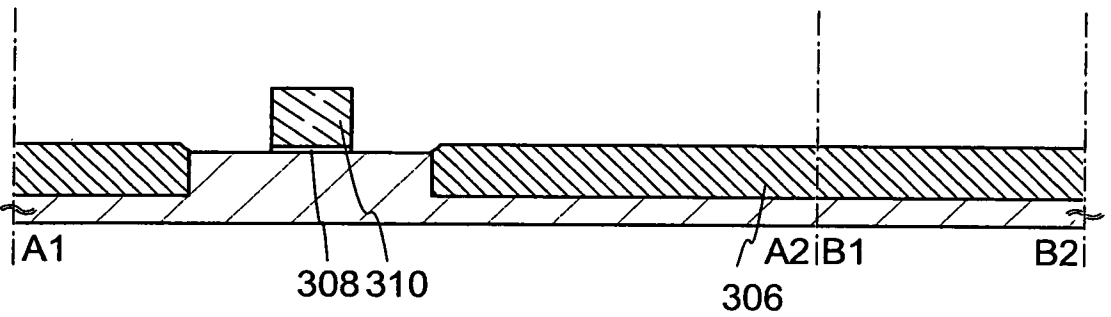


圖 5D

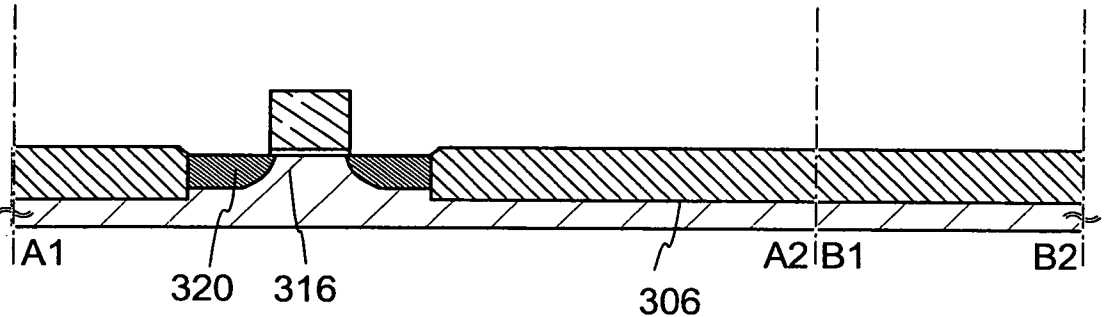


圖 5E

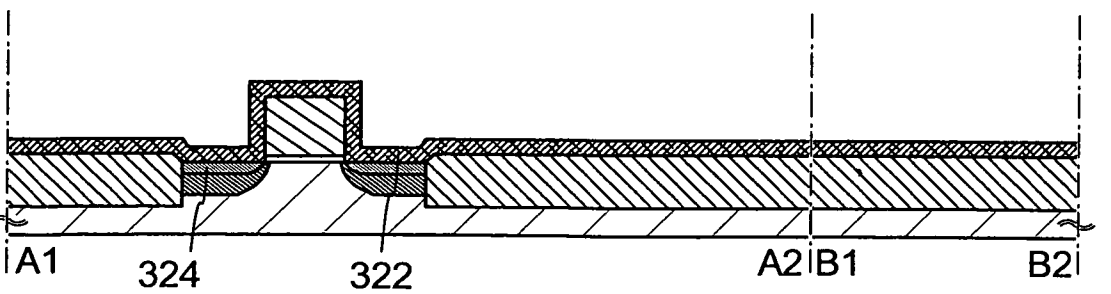


圖 6A

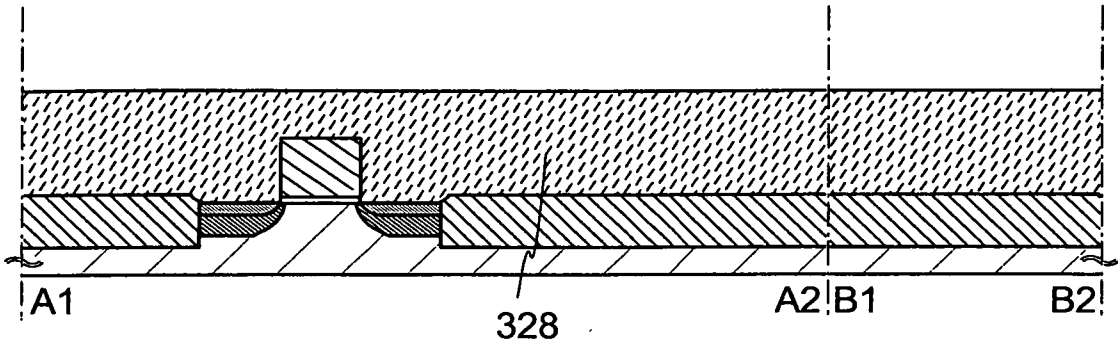


圖 6B

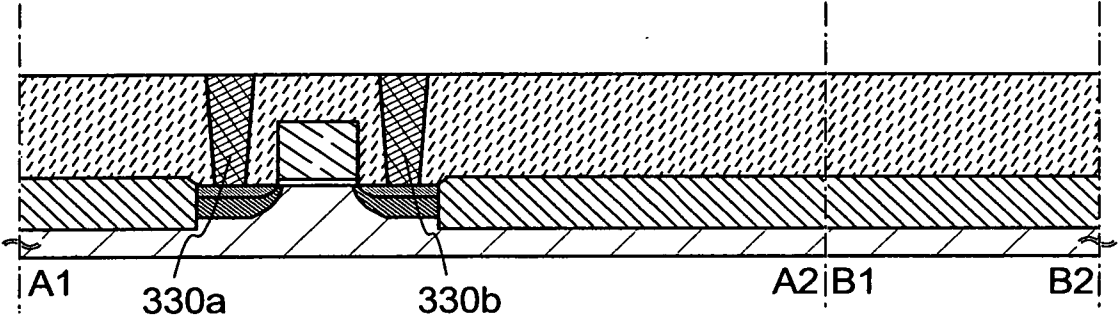


圖 6C

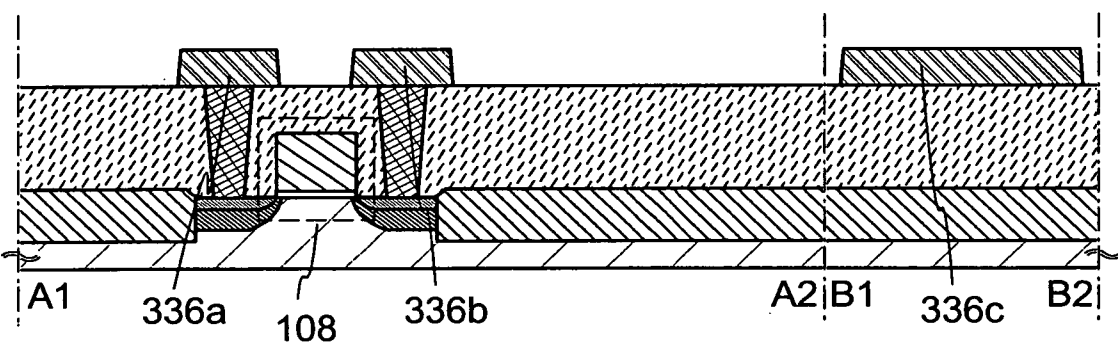


圖 6D

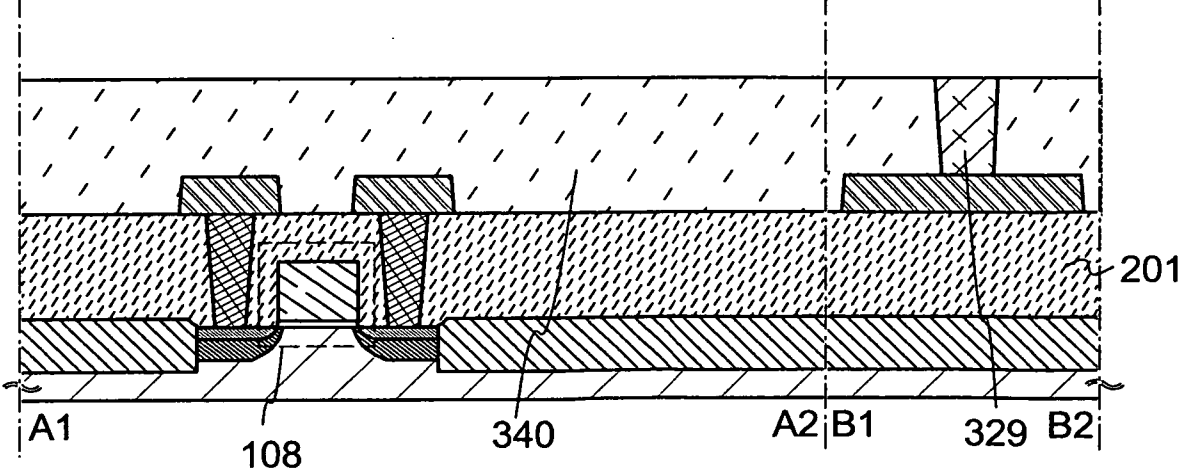


圖 7A

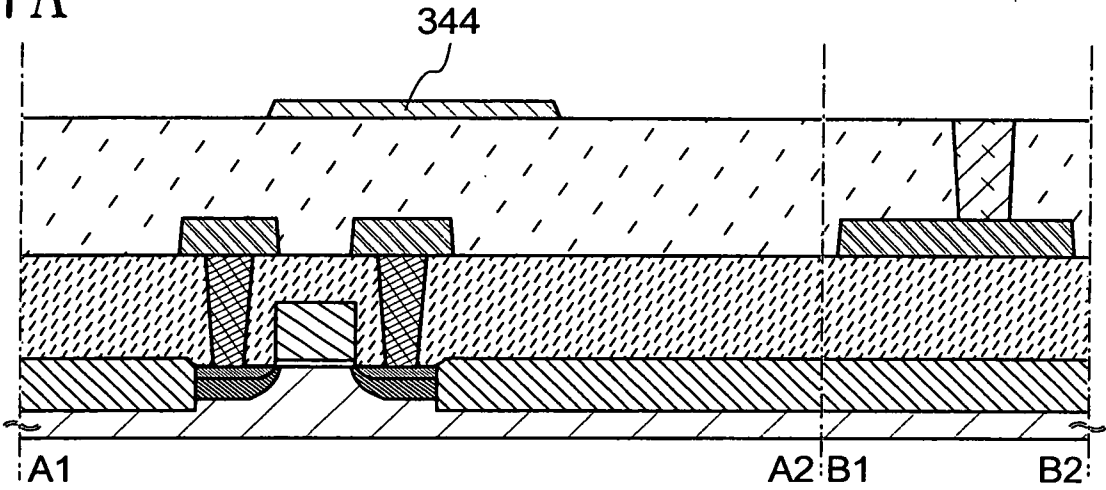


圖 7B

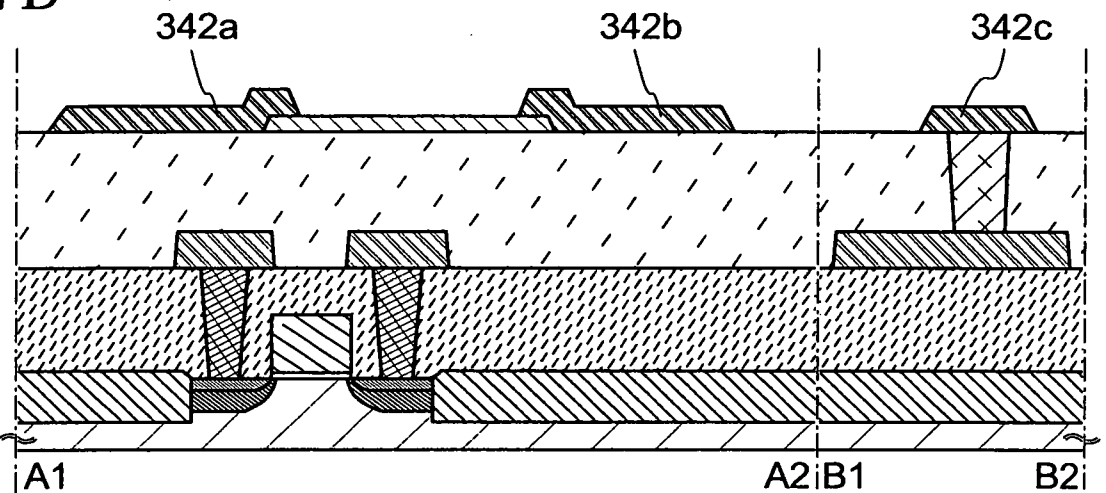


圖 7C

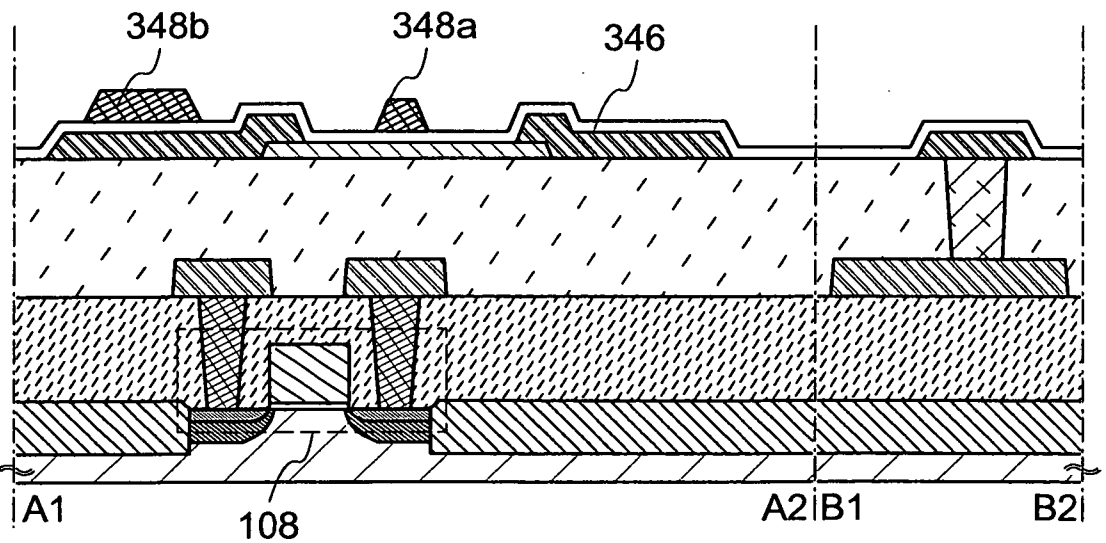


圖 8A

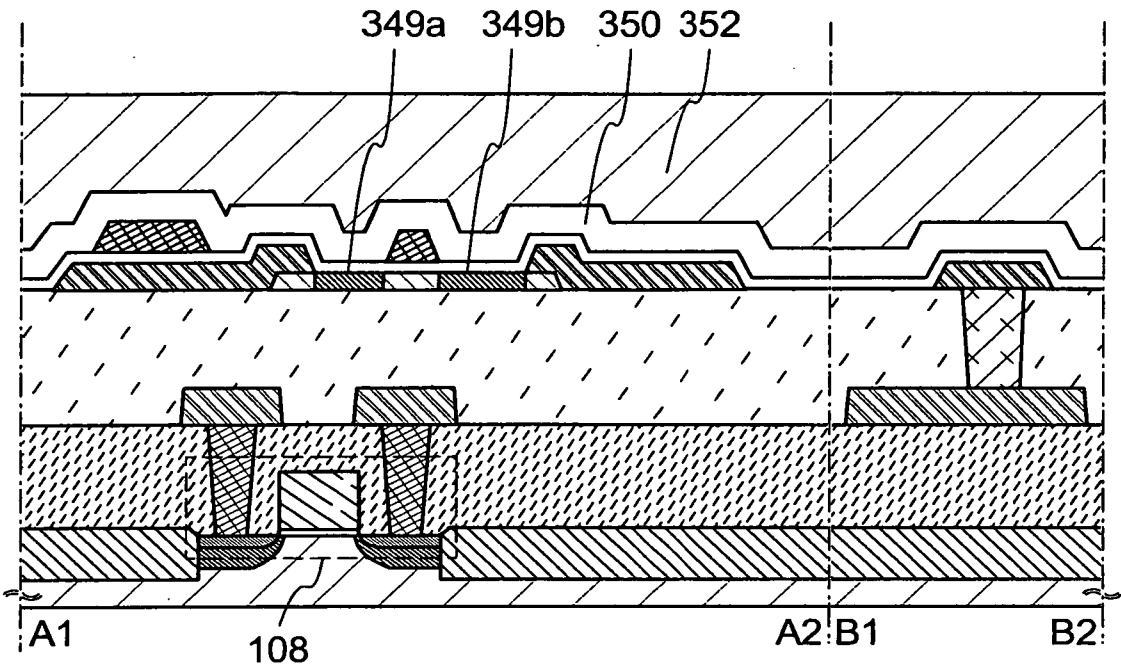


圖 8B

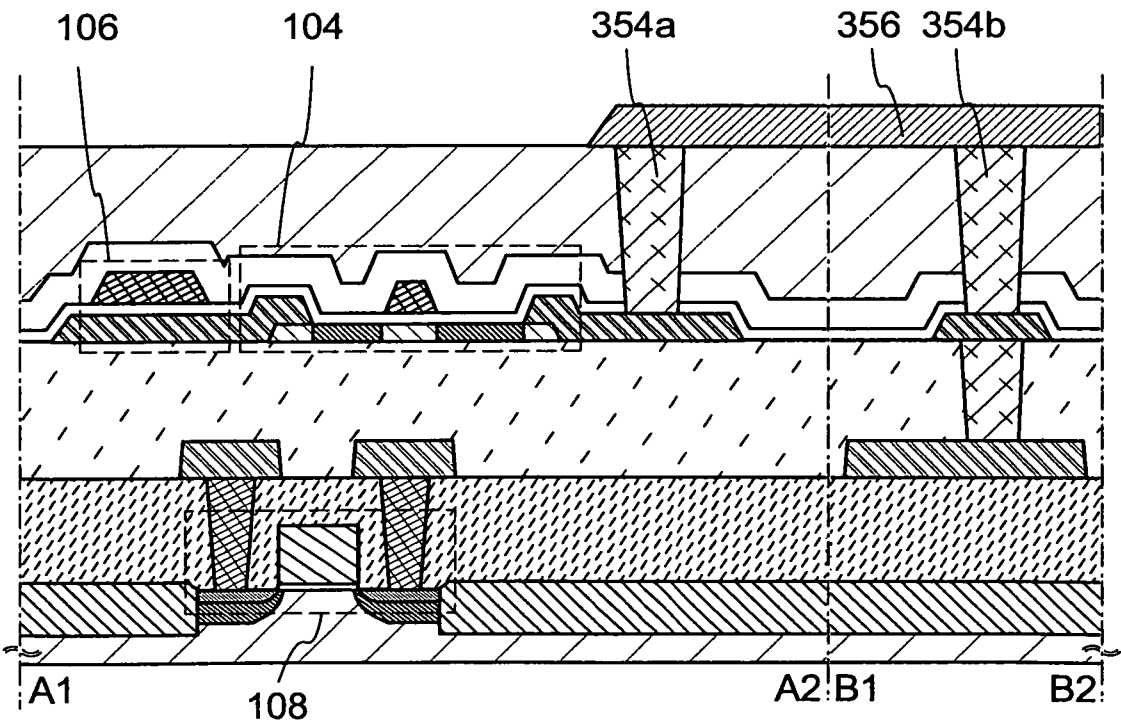


圖 9

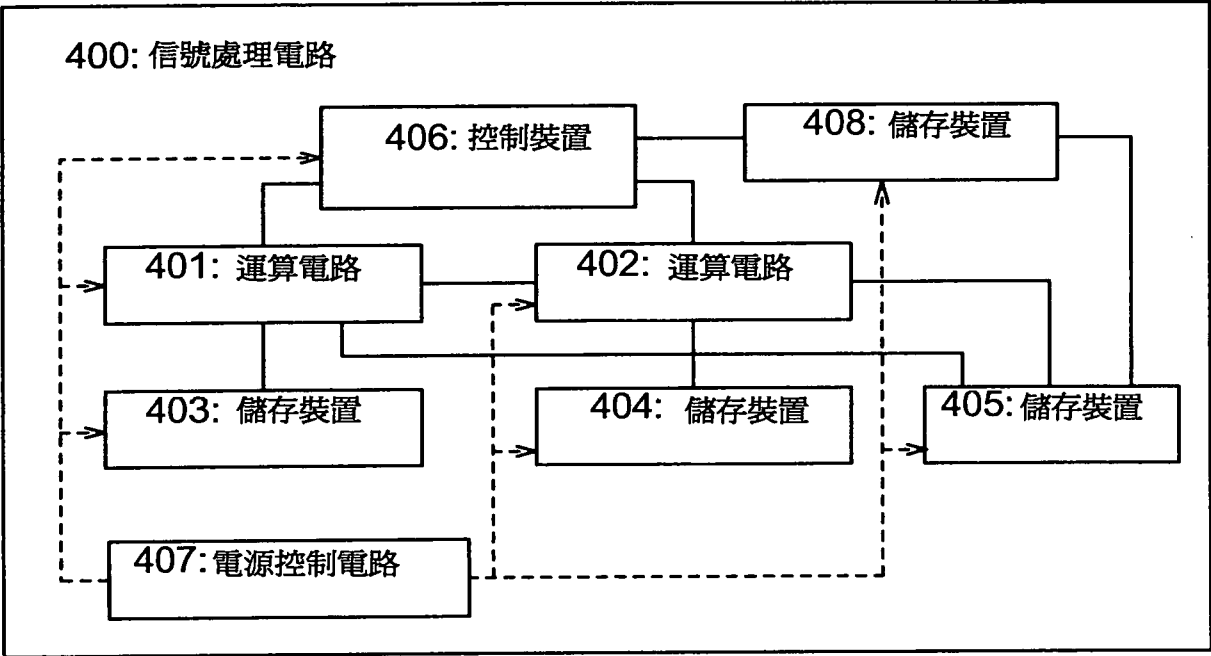


圖 10

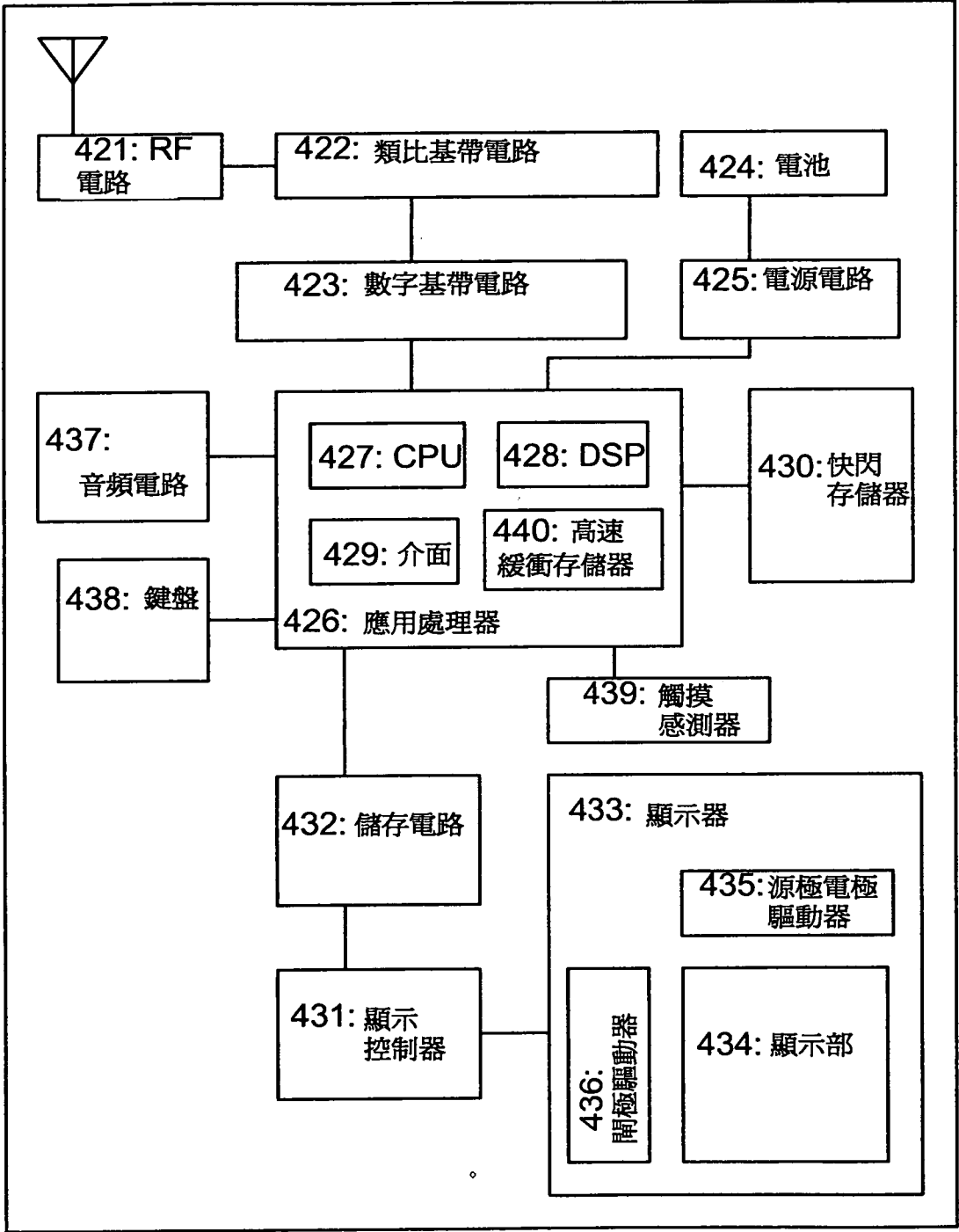


圖 11

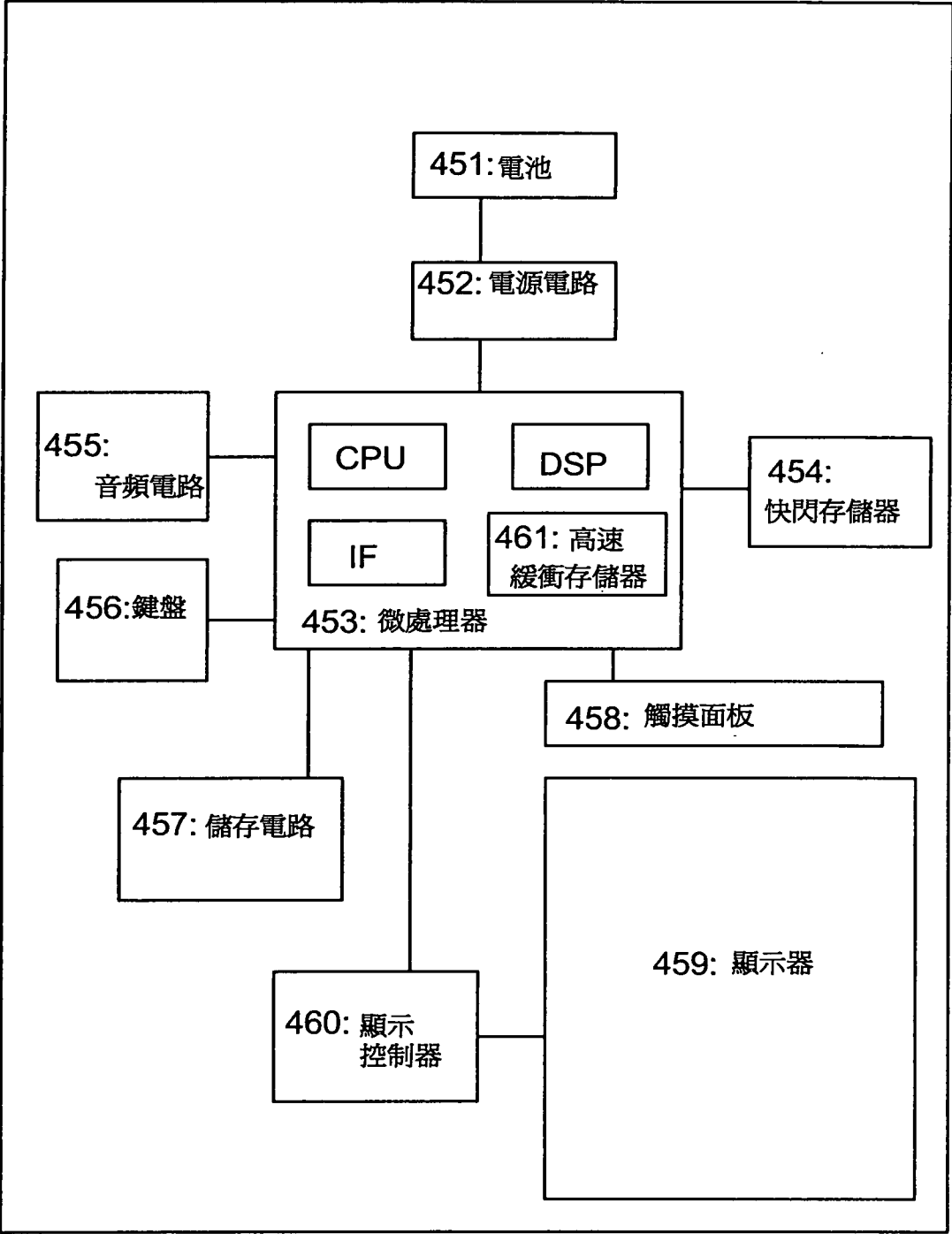


圖 12A

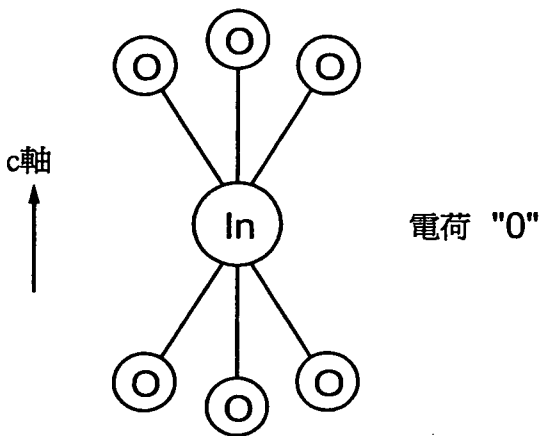


圖 12D

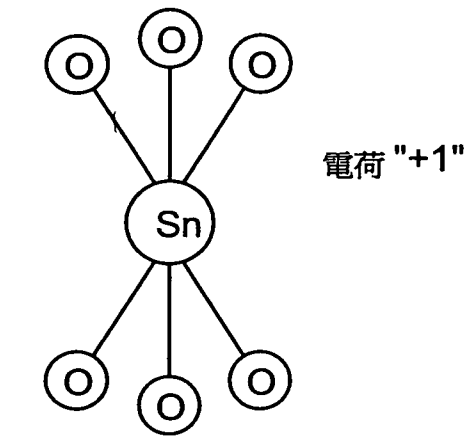


圖 12B

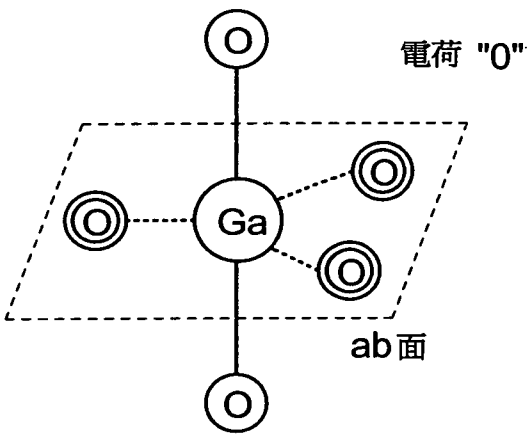


圖 12E

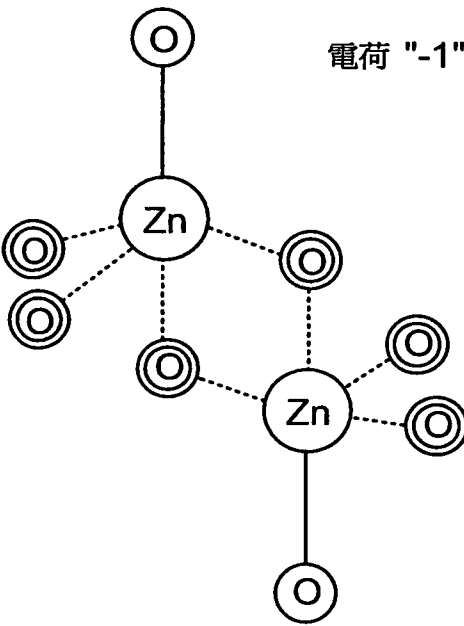


圖 12C

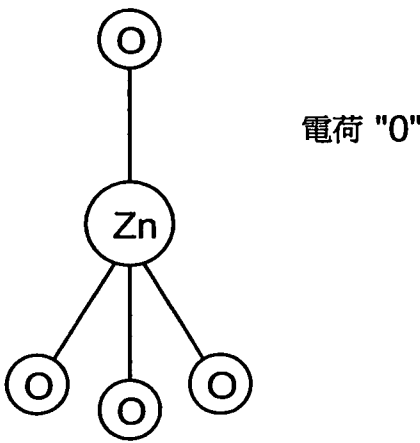


圖 13A

圖 13B

圖 13C

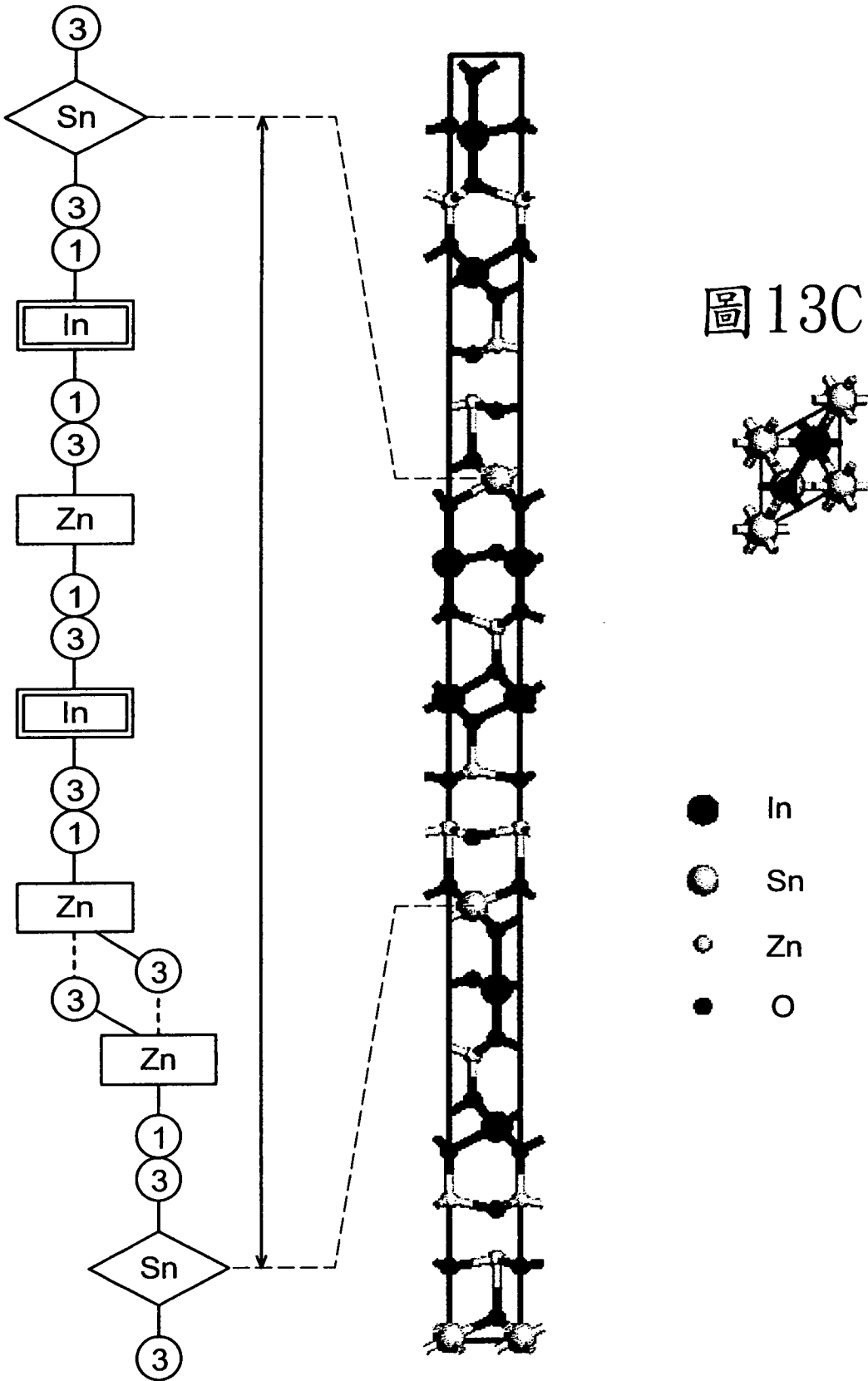


圖 14B

圖 14A

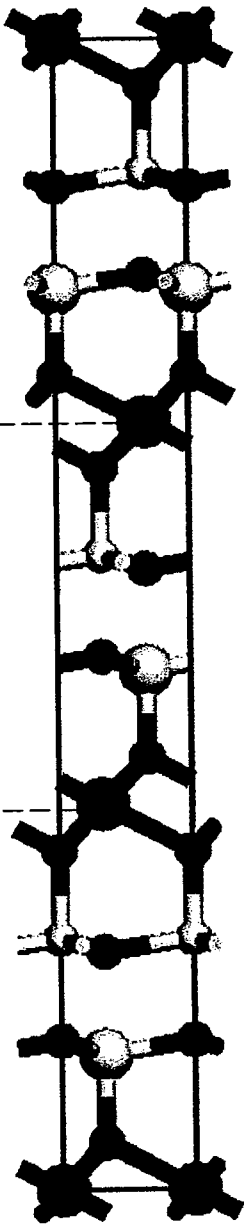
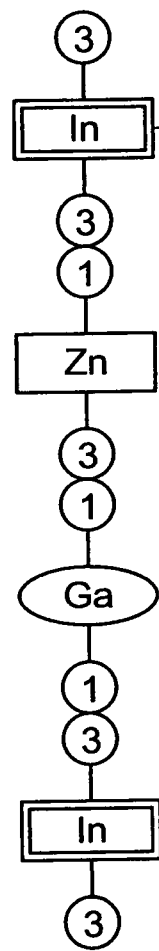


圖 14C

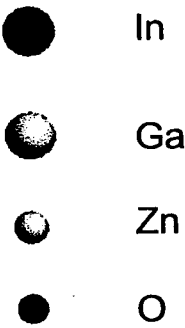
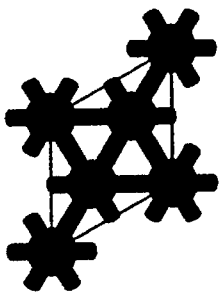


圖 15

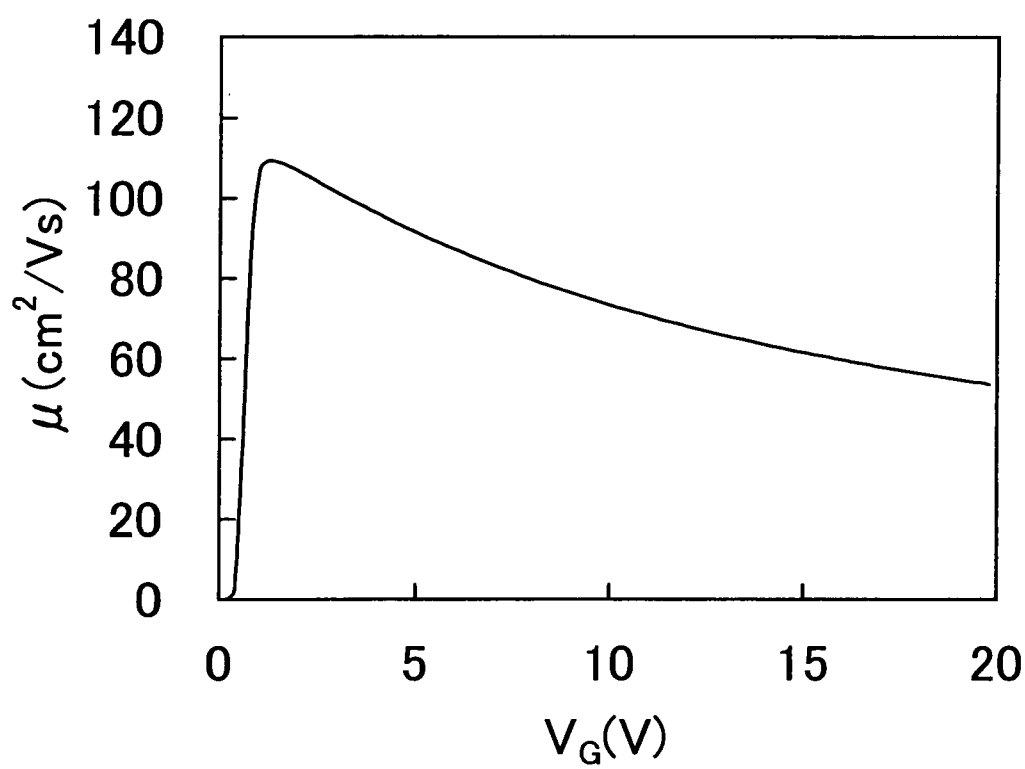


圖 16A

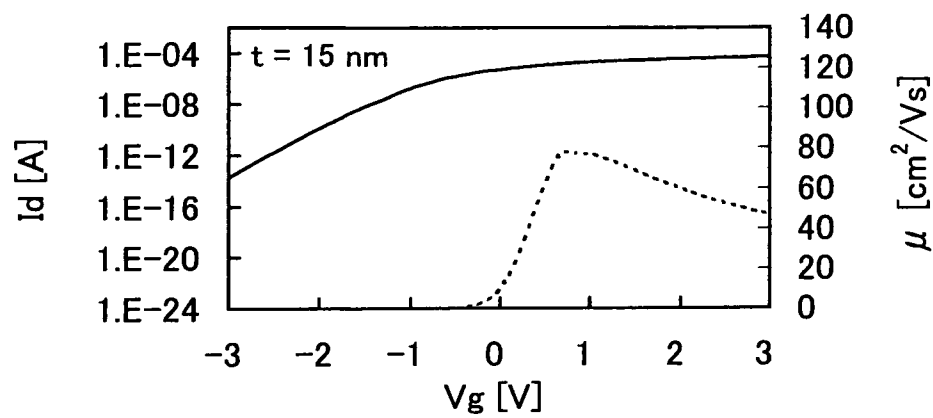


圖 16B

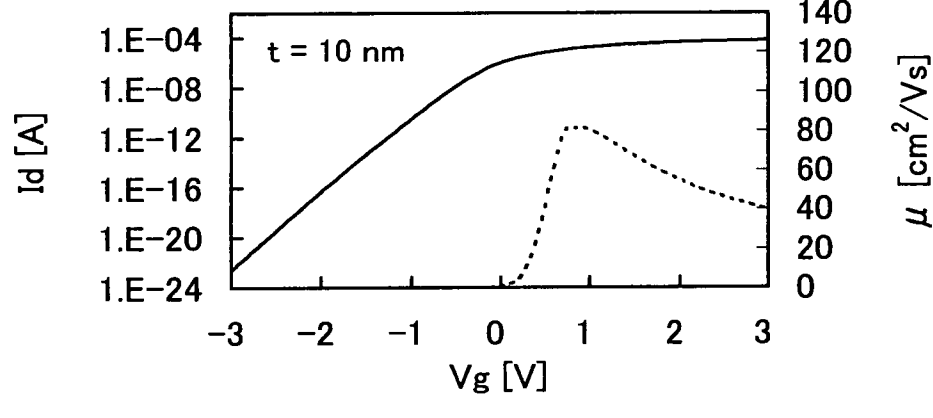


圖 16C

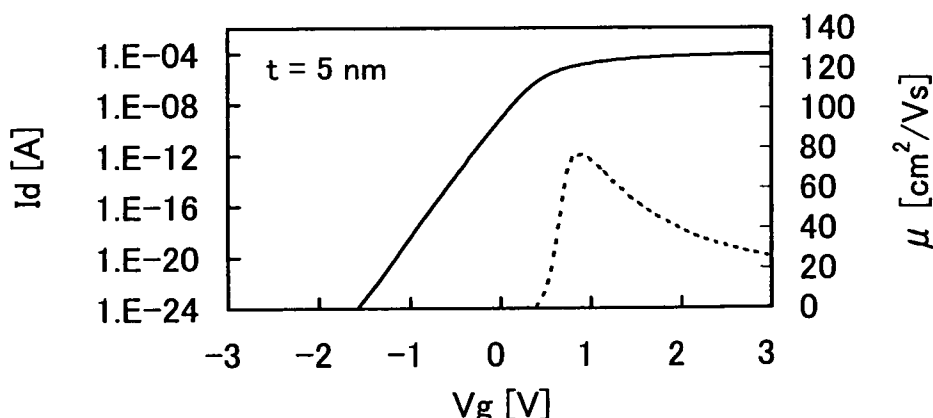


圖 17A

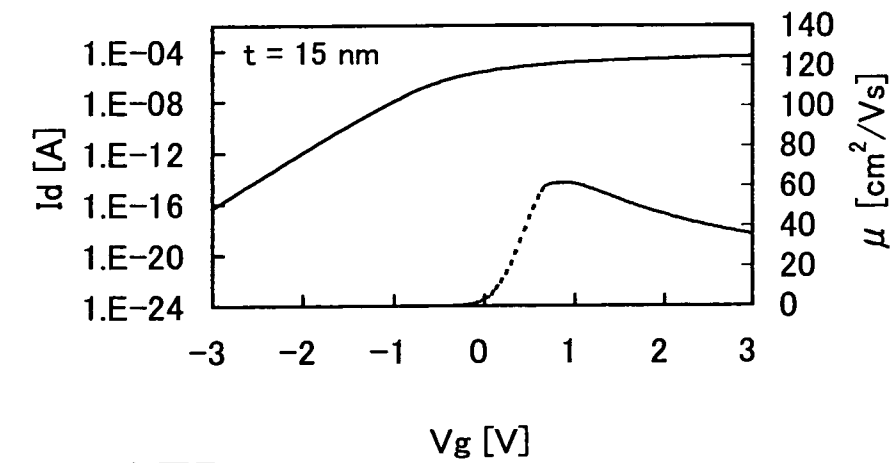


圖 17B

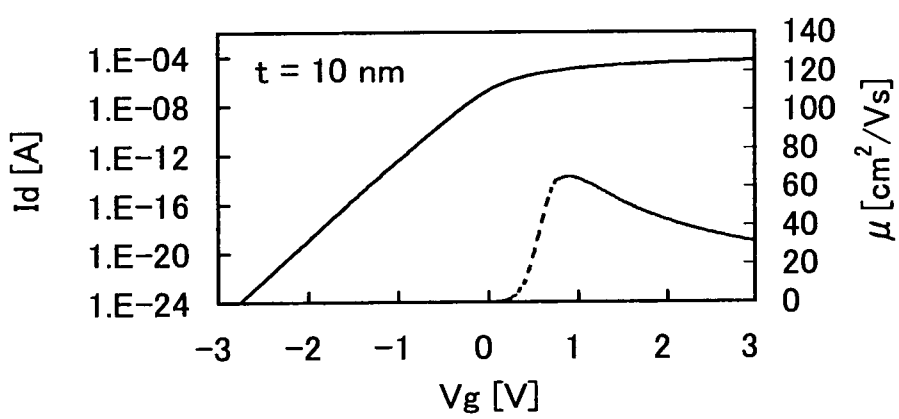


圖 17C

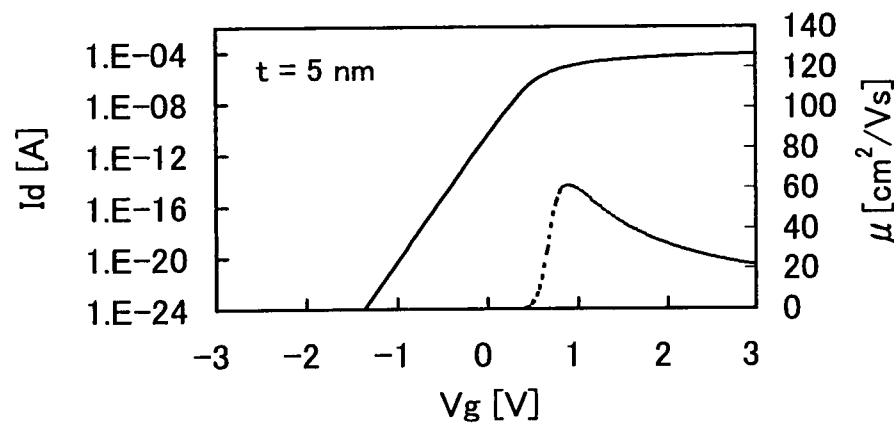


圖 18A

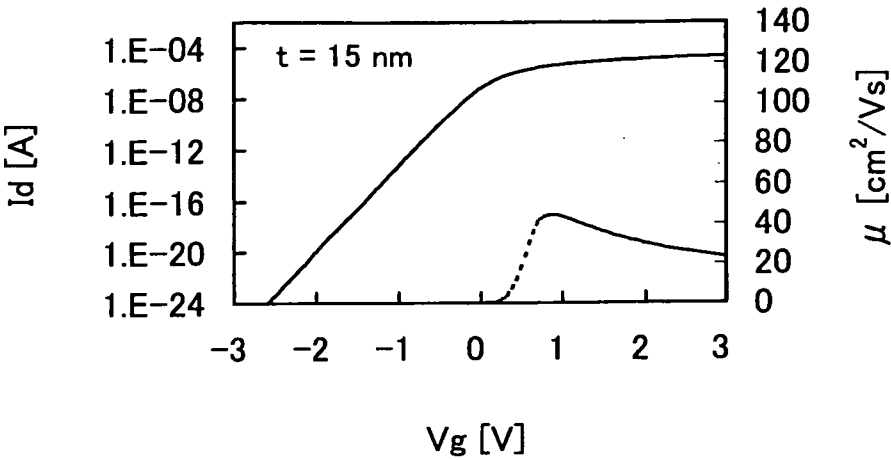


圖 18B

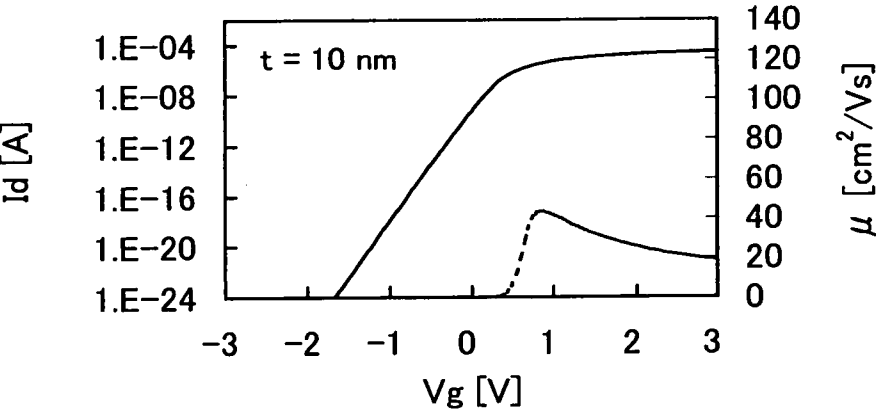


圖 18C

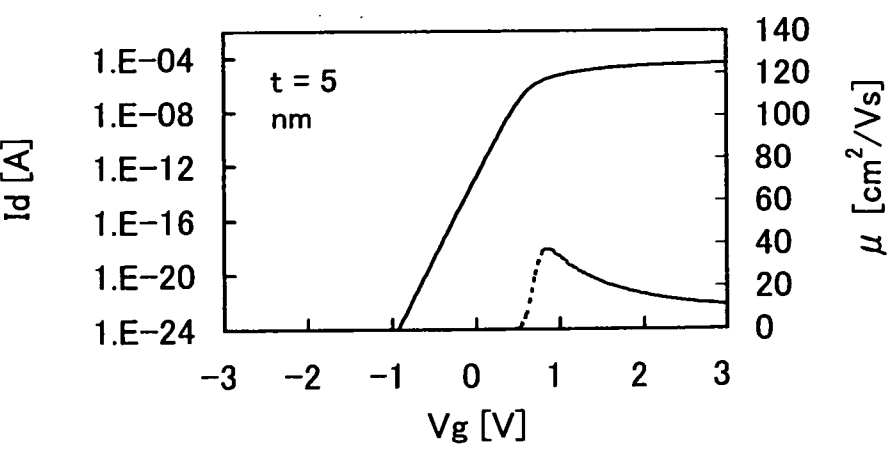


圖 19A

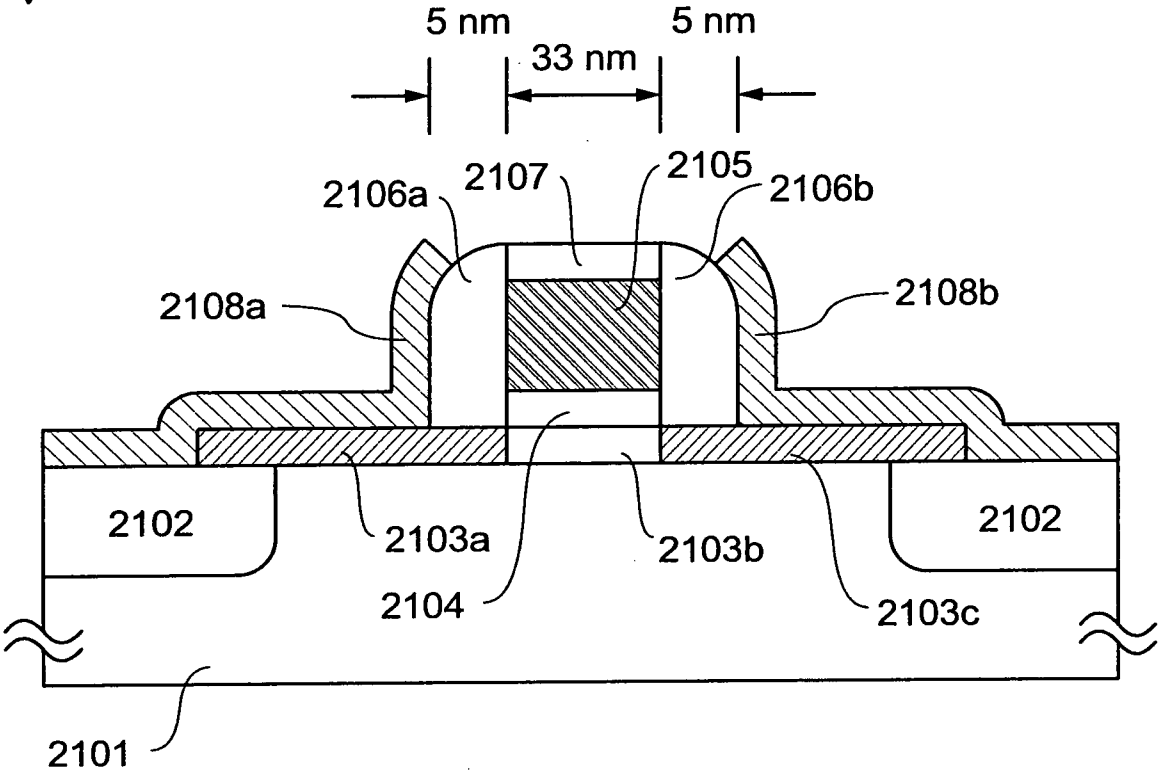


圖 19B

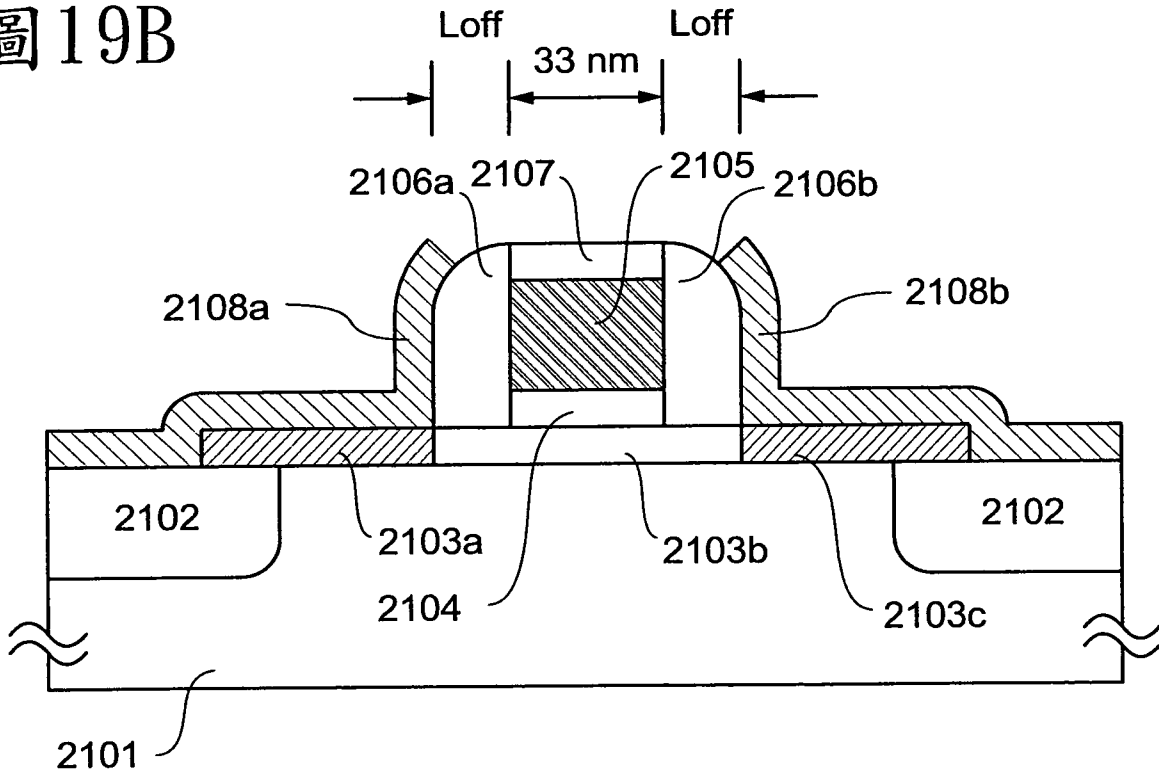


圖 20A

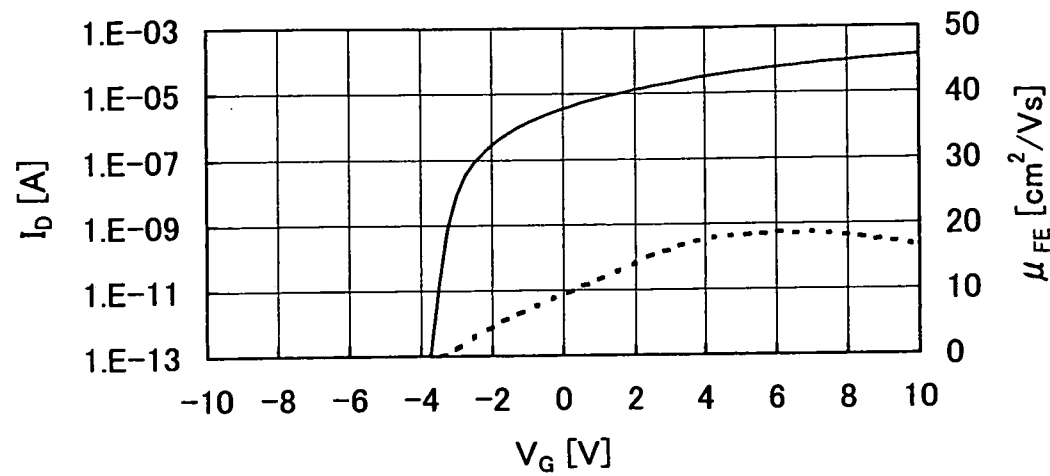


圖 20B

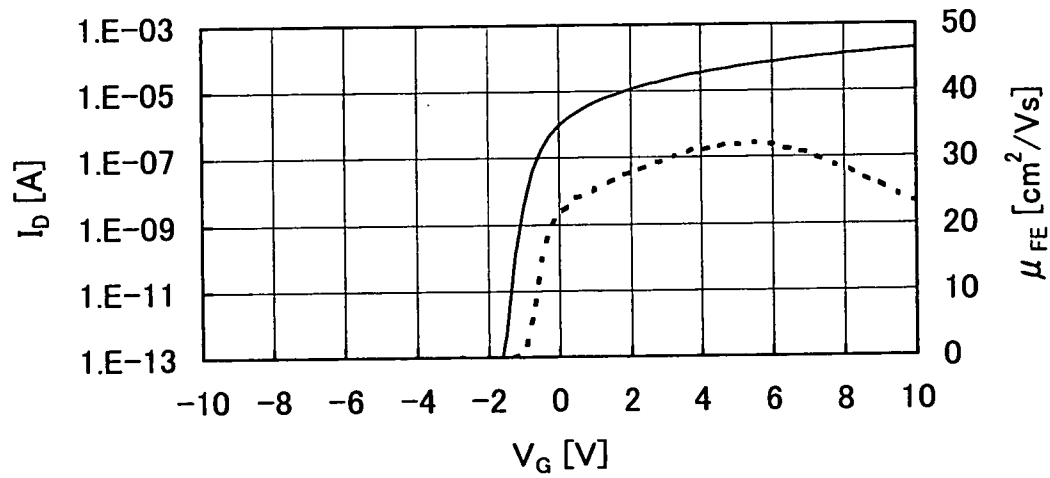


圖 20C

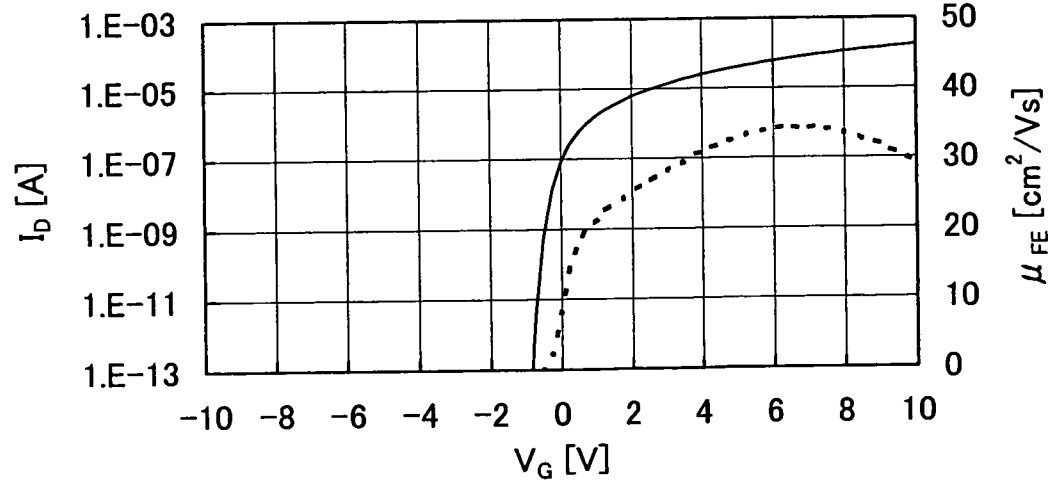


圖21A

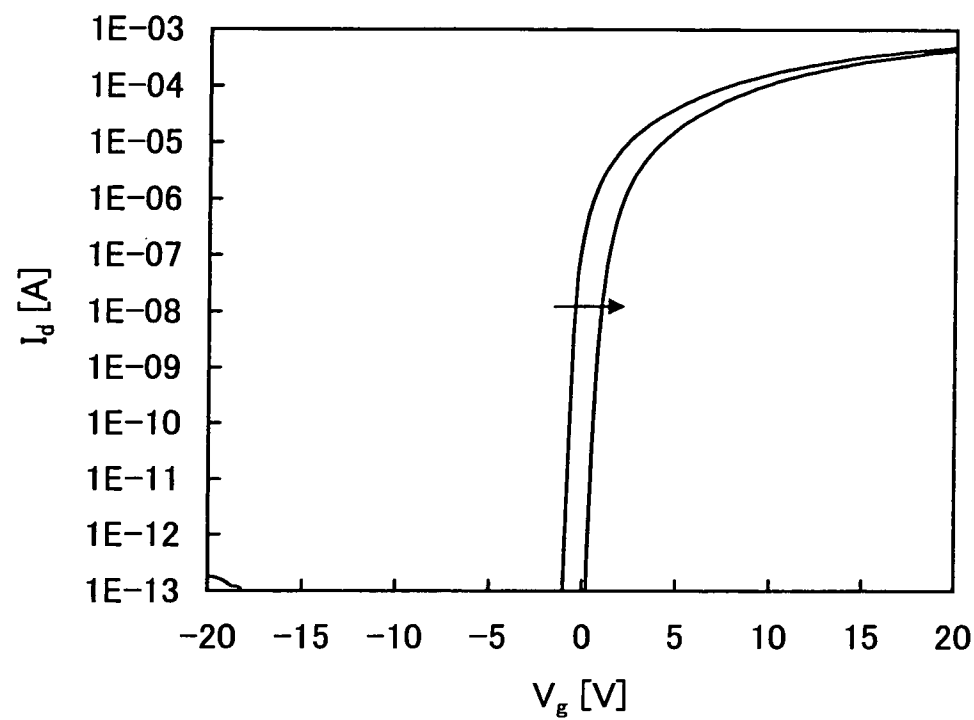


圖21B

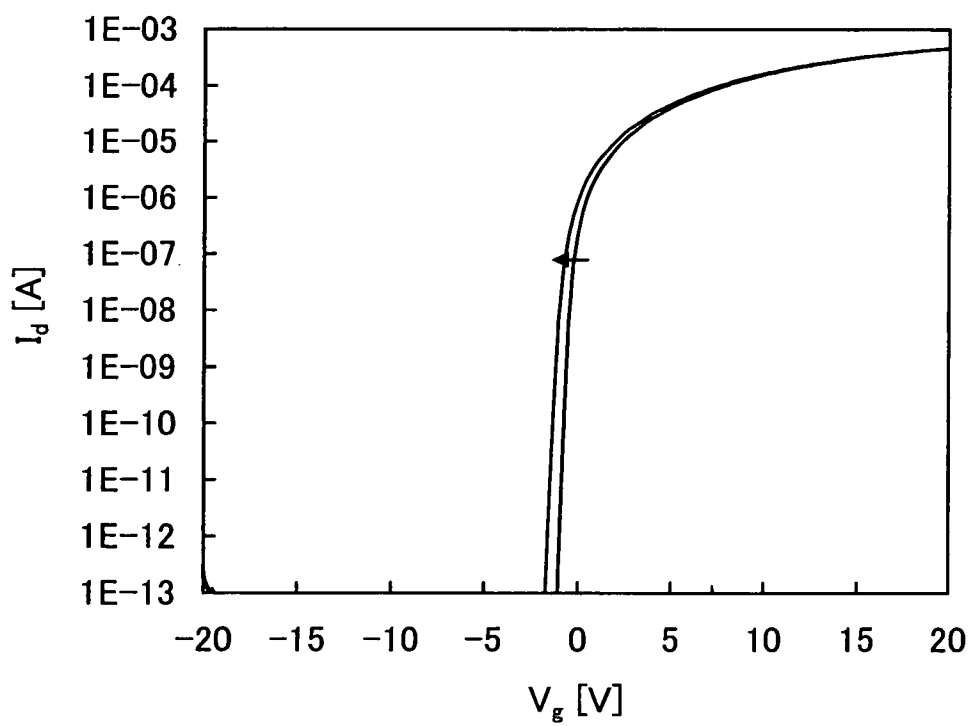


圖 22A

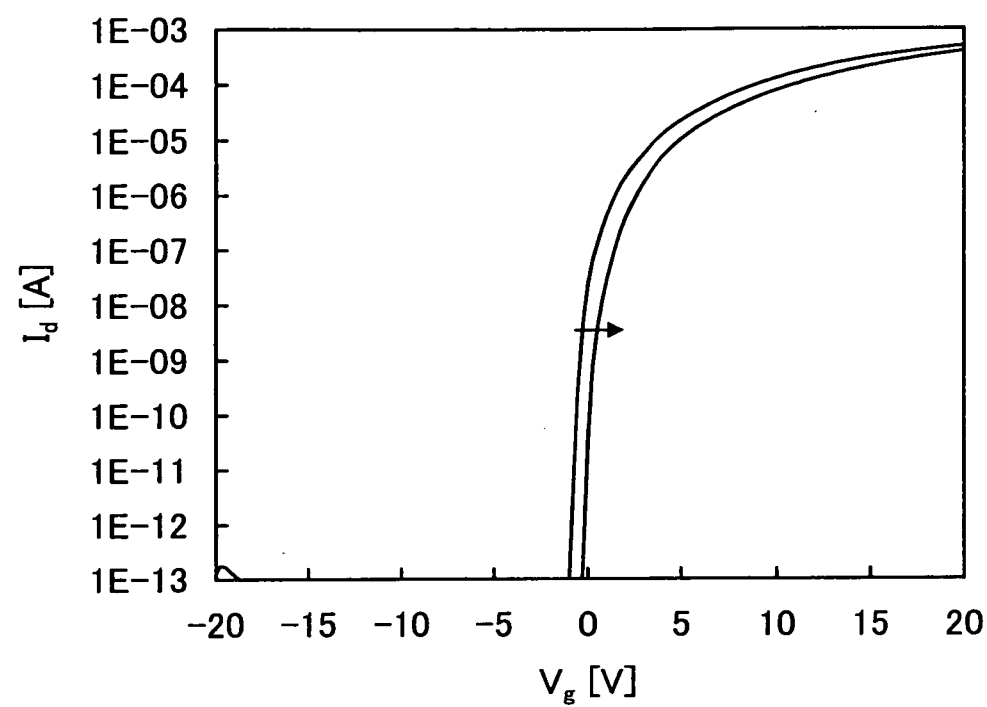


圖 22B

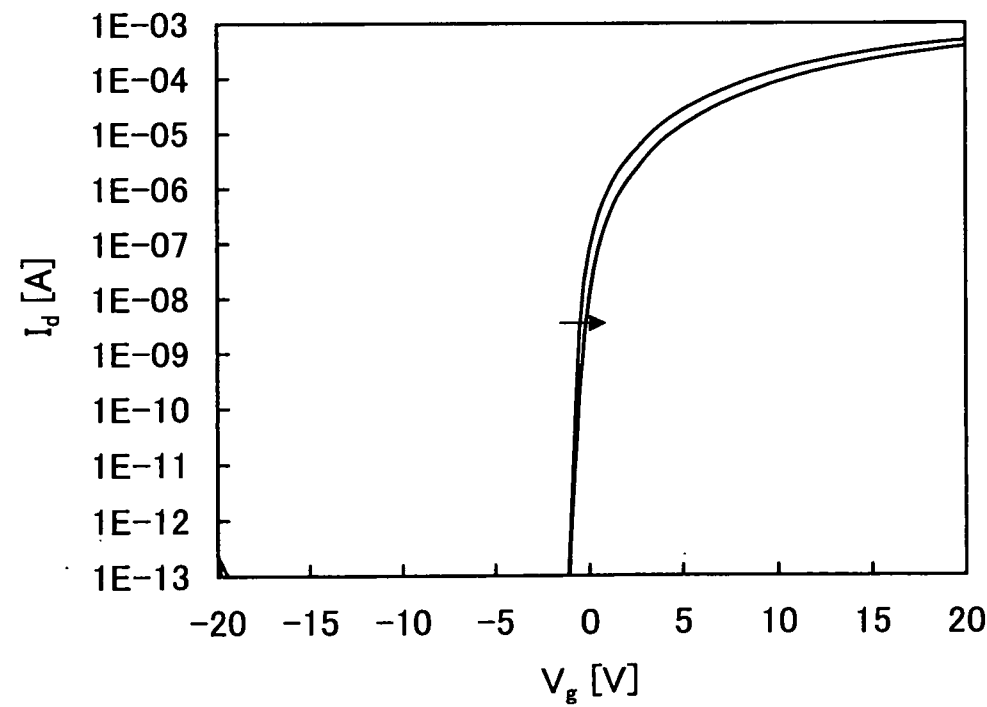


圖 23

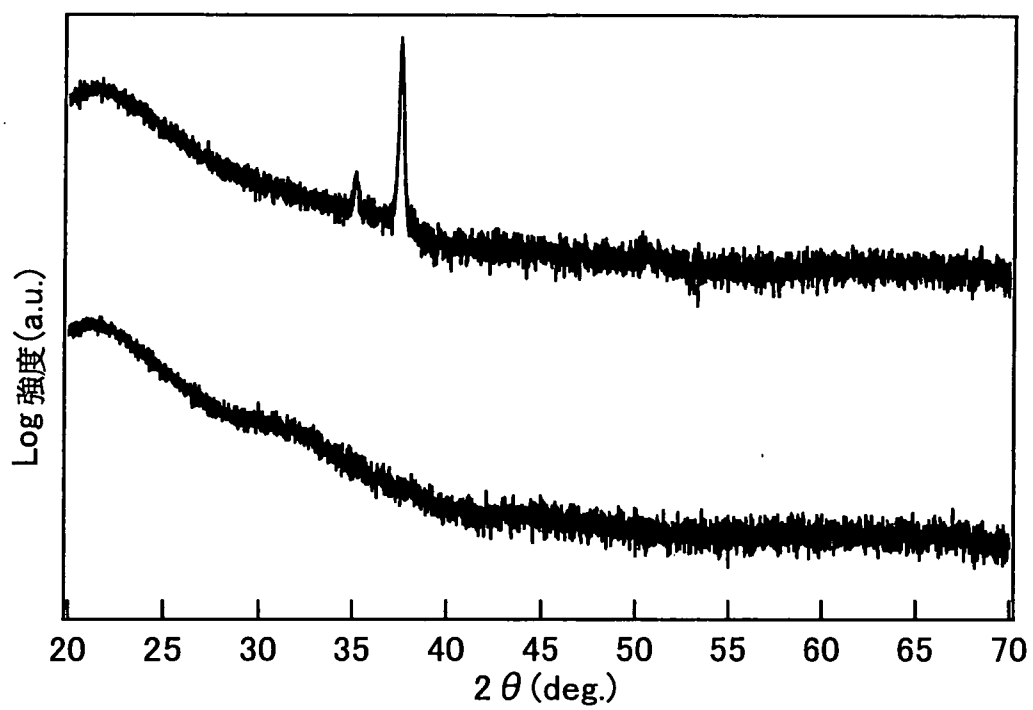


圖24

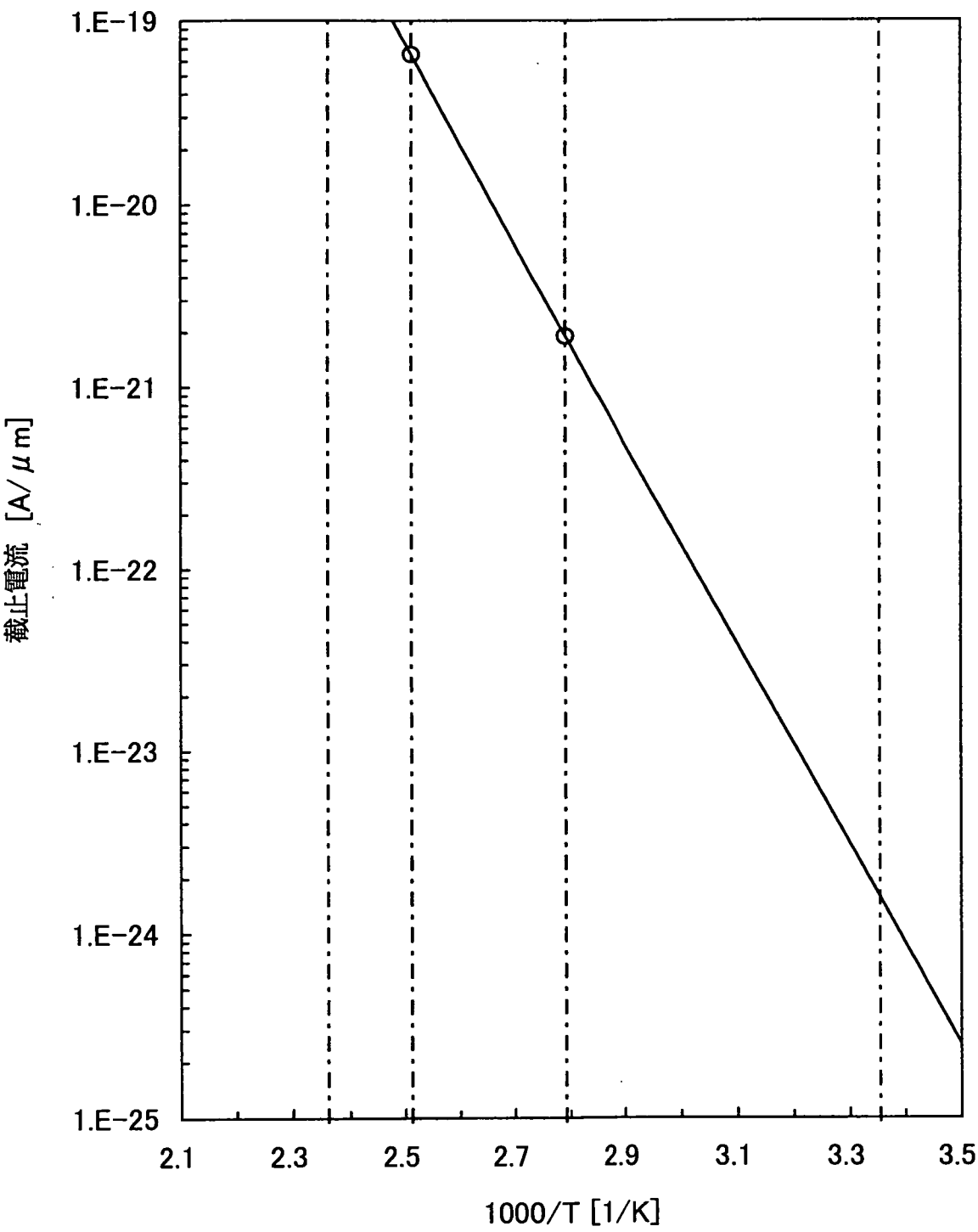


圖 25

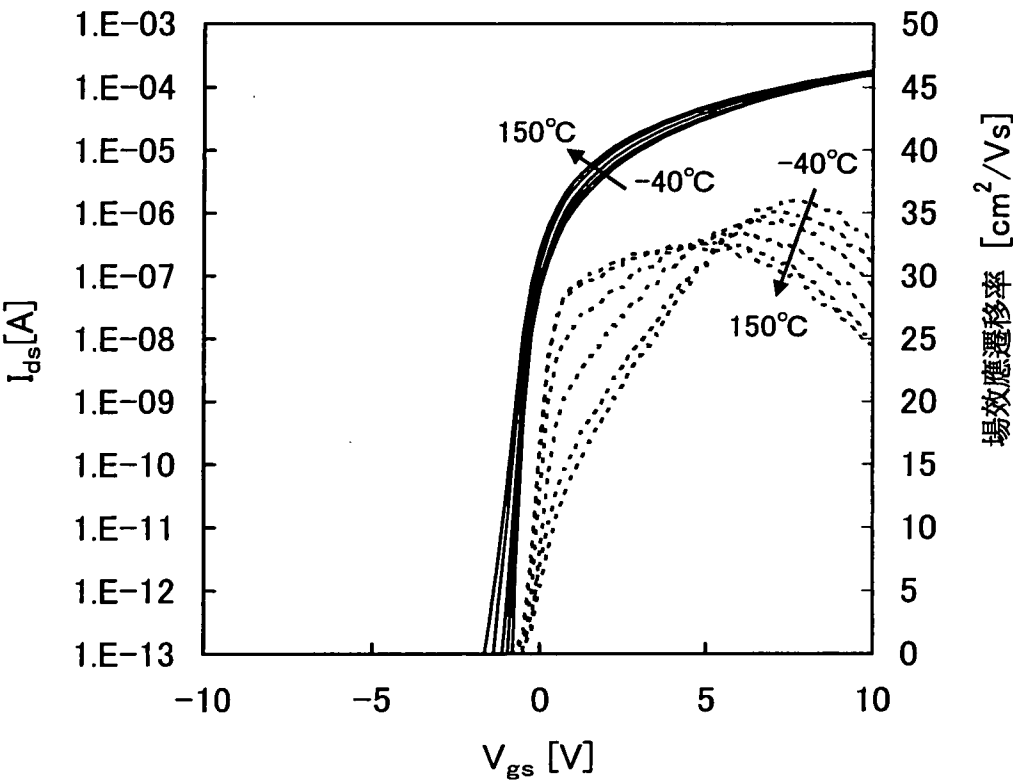


圖 26A

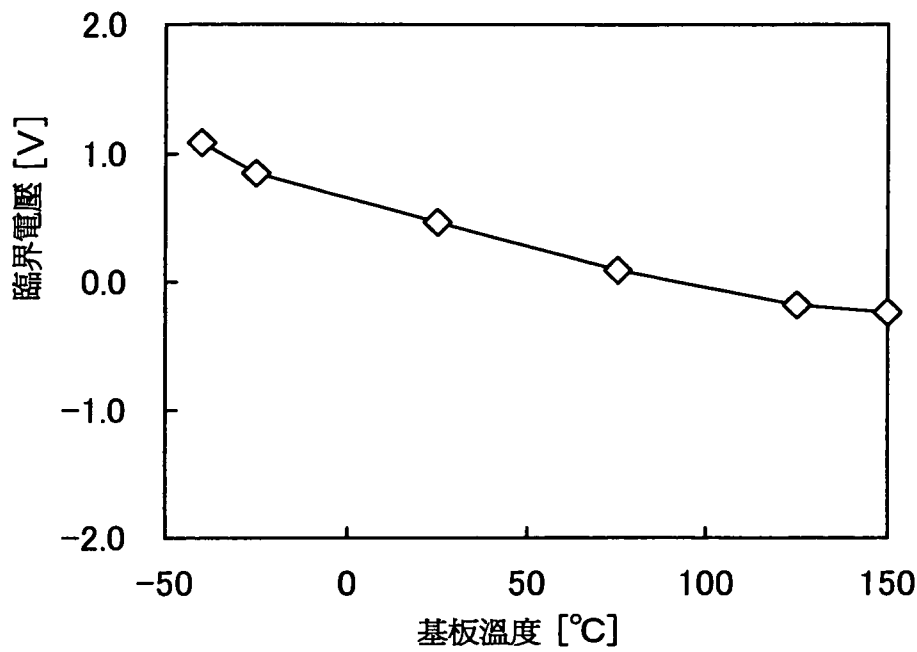


圖 26B

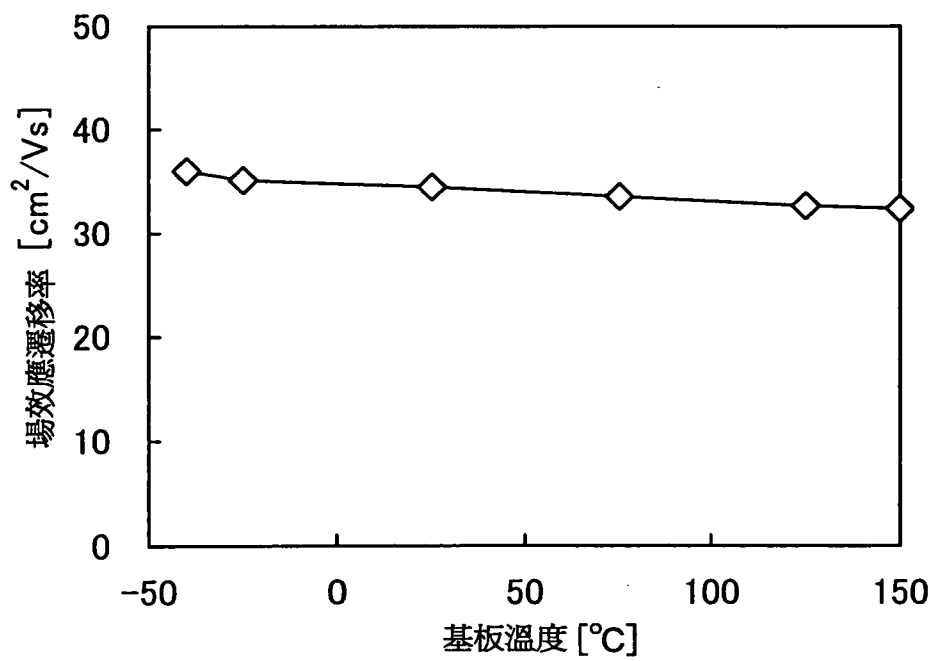


圖 27A

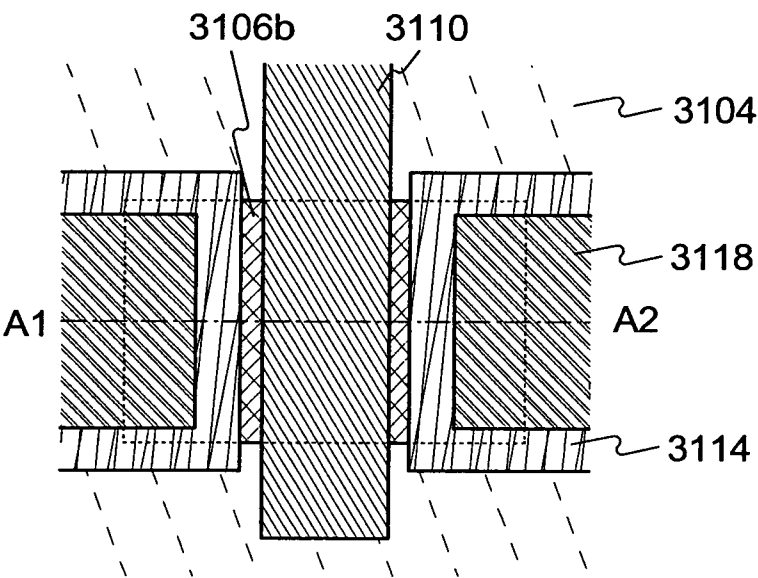


圖 27B

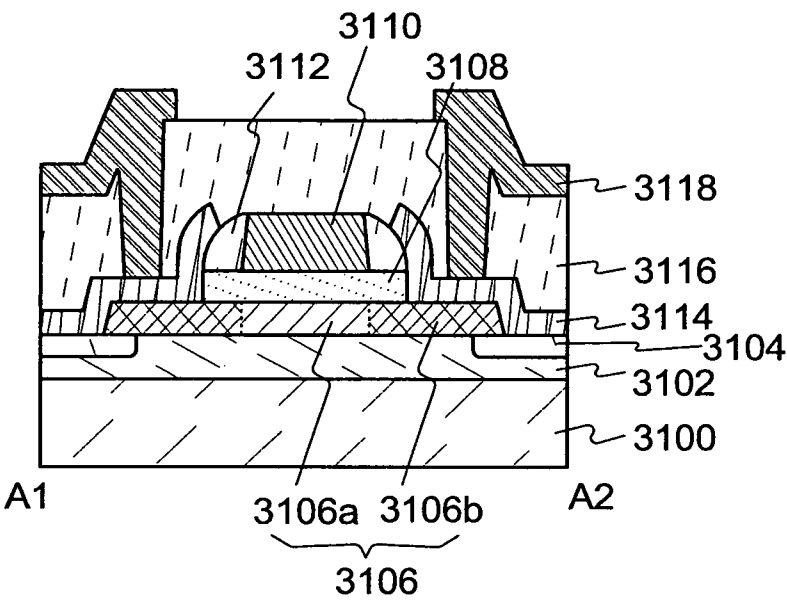


圖 28A

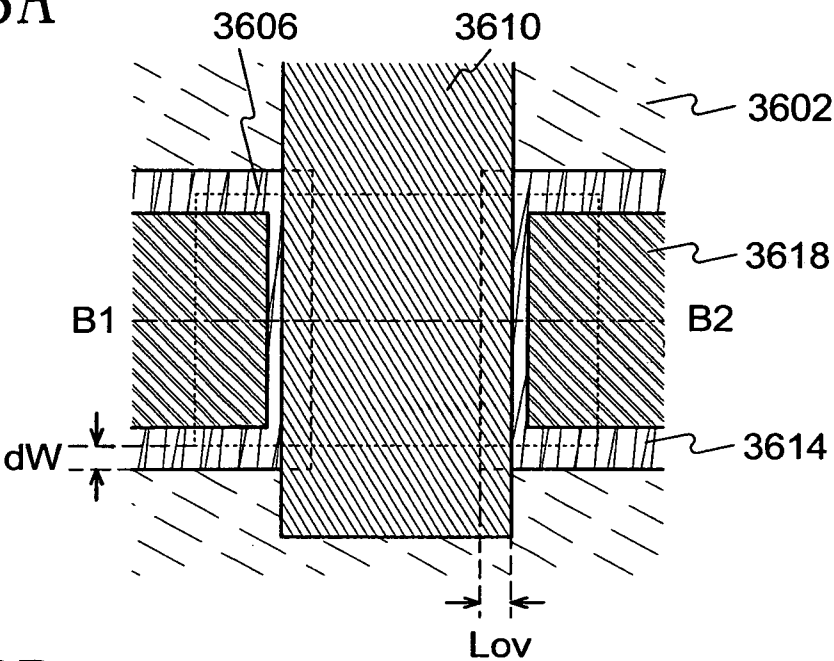


圖 28B

