

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 17 年 11 月 10 日 (2005.11.10)

【公表番号】特表 2001-526808 (P2001-526808A)

【公表日】平成 13 年 12 月 18 日 (2001.12.18)

【出願番号】特願 平 10-543961

【国際特許分類第 7 版】

G 0 6 F 13/36

【 F I 】

G 0 6 F 13/36 3 1 0 A

【手続補正書】

【提出日】平成 17 年 3 月 16 日 (2005.3.16)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】補正の内容のとおり

【補正方法】変更

【補正の内容】

手続補正書

平成17年 3月16日



特許庁長官殿

1. 事件の表示

平成10年特許願第543961号



2. 補正をする者

名称 アドバンスト・マイクロ・デバイス・インコーポレイテッド

3. 代理人

住所 〒530-0054
大阪府大阪市北区南森町2丁目1番29号
三井住友銀行南森町ビル
深見特許事務所
電話 06-6361-2021
FAX 06-6361-1731

氏名 弁理士 (6474) 深見 久郎



4. 補正対象書類名

請求の範囲

5. 補正対象項目名

請求の範囲

6. 補正の内容

- (1) 請求の範囲を別紙のとおり補正する。

以上

請求の範囲

1. 中央処理装置（CPU）と、

第1のデータバスに結合されたグラフィックコントローラと、

前記第1のデータバスに結合されたシステムメモリとを含み、前記CPUによってアクセスされたデータおよび前記グラフィックコントローラによってアクセスされたデータは両者とも前記システムメモリにストアされ、さらに、

前記第1のデータバスと前記第2のデータバスと前記CPUとに結合されたデータステアリング論理を含み、前記データステアリング論理は前記CPUを前記第1のデータバスおよび前記第2のデータバスから選択されたデータバスに選択的に結合するように構成され、前記データステアリング論理は前記CPUと前記第2のデータバスに接続された装置との間のデータ転送と前記グラフィックコントローラと前記システムメモリとの間のデータ転送とに同時に対処し、前記第2のデータバスは拡張データバスを含み、前記装置は拡張バス装置を含み、さらに、

前記グラフィックコントローラおよび前記CPUに結合されたメモリアービトレーション論理を含み、前記メモリアービトレーション論理は前記システムメモリに対するアクセスを調停するように構成される、コンピュータシステム。

2. 前記メモリアービトレーション論理に動作可能に結合された直接メモリアクセス（DMA）コントローラをさらに含み、前記メモリアービトレーション論理および前記データステアリング論理は、前記第2のデータバスで前記装置にアクセスする前記DMAコントローラと、前記システムメモリにアクセスする前記グラフィックコントローラとに同時に対処するように構成される、請求項1に記載のコンピュータシステム。

3. 前記CPUおよび前記DMAコントローラに結合されたシステムアービトレーション論理をさらに含み、前記システムアービトレーション論理が、前記メモリアービトレーション論理に対して前記CPUと前記DMAコントローラとの間のアービトレーションの勝者を示し、前記メモリアービトレーション論理が前記システムメモリへのアクセスについて前記勝者と前記グラフィックコントローラとの間を調停する、請求項2に記載のコンピュータシステム。

4. 前記システムアービトレーション論理が前記CPUをデフォルト勝者として

前記CPUと前記DMAコントローラとの間を調停するように構成される、請求項3に記載のコンピュータシステム。

5. 前記メモリアービトレーション論理は、前記グラフィックコントローラが前記勝者に対してアービトレーション優先権を有するように構成される、請求項3に記載のコンピュータシステム。

6. 前記CPUが、キャッシュメモリを含み、キャッシュメモリが、前記CPUと前記キャッシュメモリとの間のデータ転送と、前記グラフィックコントローラと前記システムメモリとの間のデータ転送とに同時に対処するように構成される、請求項3に記載のコンピュータシステム。

7. 前記システムアービトレーション論理が、DMAコントローラの前記システムメモリへのアクセスの間、前記キャッシュメモリのスヌープに対処するように構成される、請求項6に記載のコンピュータシステム。

8. 前記CPUが、キャッシュメモリを含み、キャッシュメモリが、前記CPUと前記キャッシュメモリとの間のデータ転送と、前記グラフィックコントローラと前記システムメモリとの間のデータ転送とに同時に対処するように構成される、請求項1に記載のコンピュータシステム。

9. 前記グラフィックコントローラがFIFOメモリを含み、FIFOメモリが、前記グラフィックコントローラと前記FIFOメモリとのデータ転送と、前記CPUと前記システムメモリとの間のデータ転送とに同時に対処するように構成される、請求項1に記載のコンピュータシステム。

10. 前記第1のデータバスが前記第2のデータバスより高いデータ転送帯域に対処する、請求項1に記載のコンピュータシステム。

11. 中央処理装置（CPU）と、

第1のデータバスに結合されたグラフィックコントローラとを含み、前記第1のデータバスは集積回路外部のシステムメモリに結合するように構成され、前記CPUがアクセスしたデータおよび前記グラフィックコントローラがアクセスしたデータは両者とも前記システムメモリにストアされ、さらに、

前記第1のデータバスと前記第2のデータバスと前記CPUとに結合されたデータステアリング論理を含み、前記データステアリング論理は前記第1のデータ

バスおよび前記第2のデータバスから選択されたデータバスに前記CPUを選択的に結合するように構成され、前記データステアリング論理は、前記CPUと前記第2のデータバスに結合された外部装置との間のデータ転送と、前記グラフィックコントローラと前記システムメモリとの間のデータ転送とに同時に対処し、前記第2のデータバスは拡張データバスを含み、前記装置は拡張バス装置を含み、さらに、

前記グラフィックコントローラおよび前記CPUに結合されたメモリアービトレーション論理を含み、前記メモリアービトレーション論理は前記システムメモリへのアクセスを調停するように構成される、集積回路装置。

12. 前記メモリアービトレーション論理に動作可能に結合された直接メモリアクセス(DMA)コントローラをさらに含み、前記メモリアービトレーション論理および前記データステアリング論理は、前記第2のデータバスで前記外部装置にアクセスする前記DMAコントローラと、前記システムメモリにアクセスする前記グラフィックコントローラとに同時に対処するように構成される、請求項11に記載の集積回路装置。

13. 前記CPUおよび前記DMAコントローラに結合されたシステムアービトレーション論理をさらに含み、前記システムアービトレーション論理が前記メモリアービトレーション論理に対して前記CPUと前記DMAコントローラとの間でのアービトレーションの勝者を示し、前記メモリアービトレーション論理が前記システムメモリへのアクセスに関して前記勝者と前記グラフィックコントローラとの間で調停する、請求項12に記載の集積回路装置。

14. 前記システムアービトレーション論理が、前記CPUをデフォルト勝者として前記CPUと前記DMAコントローラとの間を調停するように構成される、請求項13に記載の集積回路装置。

15. 前記メモリアービトレーション論理が、前記グラフィックコントローラが前記勝者に対してアービトレーション優先権を有するように構成される、請求項13に記載の集積回路装置。

16. CPUがキャッシュメモリを含み、キャッシュメモリは、前記CPUと前記キャッシュメモリとの間のデータ転送と、前記グラフィックコントローラと前

記システムメモリとの間のデータ転送とに同時に対処するように構成される、請求項 11 に記載の集積回路装置。

17. 前記グラフィックコントローラが F I F O メモリを含み、F I F O メモリは、前記グラフィックコントローラと前記 F I F O メモリとの間のデータ転送と、前記 C P U と前記システムメモリとの間のデータ転送とに同時に対処するように構成される、請求項 11 に記載の集積回路装置。

18. 前記データステアリング論理に結合された複数の内部レジスタをさらに含み、前記データステアリング論理は、前記 C P U と前記複数の内部レジスタとの間のデータ転送と、前記グラフィックコントローラと前記システムメモリとの間のデータ転送とに同時に対処するようにさらに構成される、請求項 11 に記載の集積回路装置。

19. 前記データステアリング論理に結合された複数の内部レジスタをさらに含み、前記データステアリング論理が、前記 C P U と前記複数の内部レジスタとの間のデータ転送と、前記グラフィックコントローラと前記システムメモリとの間のデータ転送とに同時に対処するようにさらに構成される、請求項 13 に記載の集積回路装置。

20. I S A バスおよび P C M C I A バスをサポートする制御信号を与えるように構成されたバスコントローラ論理をさらに含み、前記第 2 のデータバスが前記 I S A バスおよび前記 P C M C I A バスにデータ信号を与える、請求項 13 に記載の集積回路装置。

21. 第 1 のデータバスと第 2 のデータバスと C P U とに結合するように適合されたデータステアリング論理を含み、前記データステアリング論理は、第 1 のモードで、前記第 1 のデータバスおよび前記第 2 のデータバスから選択されたデータバスに前記 C P U を選択的に結合するよう構成され、前記データステアリング論理は、前記 C P U と前記第 2 のデータバスに接続された第 2 の装置との間のデータ転送と、第 1 の装置とシステムメモリとの間のデータ転送とに同時に対処し、前記第 1 の装置および前記システムメモリは前記第 1 のデータバスに接続され、前記第 1 のモードで前記第 2 のデータバスは拡張データバスを含み、前記装置は拡張バス装置を含み、さらに、

前記第1のモードで前記第1の装置および前記CPUに結合するよう適合されているメモリアービトレーション論理を含み、前記メモリアービトレーション論理は前記システムメモリへのアクセスを調停するように構成される、集積回路。

22. 前記メモリアービトレーション論理に結合された直接メモリアクセス(DMA)コントローラをさらに含み、前記メモリアービトレーション論理およびデータステアリング論理は、前記第1のモードで、前記第2の装置にアクセスする前記DMAコントローラと、前記システムメモリにアクセスする前記第1の装置とに同時に対処するように構成される、請求項21に記載の集積回路。

23. 前記データステアリング論理が、第2のモードで、前記CPUを前記第1のデータベースおよび前記第2のデータベースに結合するように構成され、前記データステアリング論理が前記CPUと前記システムメモリとの間のデータ転送に対処し、前記システムメモリが前記第1のデータベースおよび前記第2のデータベースに接続される、請求項21に記載の集積回路。

24. 前記メモリアービトレーション論理に結合された直接メモリアクセス(DMA)コントローラをさらに含み、前記メモリアービトレーション論理が前記第2のモードで、前記システムメモリへのアクセスについて前記CPUと前記DMAコントローラとの間で調停するように構成される、請求項23に記載の集積回路。

25. 前記データステアリング論理が前記CPUと前記システムメモリとの間での第1のデータ幅を有するデータ転送に対処し、前記データステアリング論理が前記CPUと前記システムメモリとの間での第2のデータ幅を有するデータ転送に対処し、前記第2のデータ幅が前記第1のデータ幅の2倍である、請求項23に記載の集積回路。

26. コンピュータシステムにおけるバス同時実行性を改良するための方法であって、

中央処理装置(CPU)を提供するステップと、

第1のデータベースに結合されたグラフィックコントローラを提供するステップと、

前記第1のデータベースに結合された一体化システムメモリを提供するステップ

と、

拡張データバスに結合された拡張バス装置を提供するステップと、

前記CPUと前記バス装置との間でデータをステアリングするステップとを含み、データ転送は、前記CPUと前記拡張バス装置との間で、前記グラフィックコントローラと前記一体化システムメモリとの間のデータ転送と同時に対処され、前記方法はさらに、

前記一体化システムメモリへのアクセスについて前記CPUと前記グラフィックコントローラとの間で調停するステップとを含む、方法。