

F12-950-57W01
(51429-76-01)本

申請日期	88.12.17
案 號	88/22211
類 別	H01L 27/2

A4
C4

(以上各欄由本局填註)

465102

發明專利說明書

一、發明 名稱	中 文	半導體裝置
	英 文	SEMICONDUCTOR DEVICE
二、發明人 創作	姓 名	1. 山口泰男 2. 前川繁登 3. 一法師隆志 4. 岩松俊明 5. 前田茂伸 6. 平野有一 7. 松本拓治 8. 宮本昭一
	國 籍	日本國
三、申請人	住、居所	1. 至 8. 地址同 日本國東京都千代田區丸之內二丁目 2 番 3 號 三菱電機股份有限公司內
	姓 名 (名稱)	三菱電機股份有限公司
	國 籍	日本國
	住、居所 (事務所)	日本國東京都千代田區丸之內二丁目 2 番 3 號
	代 表 人 姓 名	谷口一郎

裝

訂

線

經濟部中央標準局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權

1998 年 12 月 24 日 特願平 10-367265(主張優先權)

1999 年 6 月 23 日 特願平 11-177091(主張優先權)

(請先閱讀背面之注意事項再填寫本頁各欄)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

裝

訂

線

五、發明說明(1)

[發明所屬的技術領域]

本發明為關於 SOI 構造之半導體裝置。

[習用的技術]

如第 102 圖所示，由矽基板 1、埋設氧化膜(buried oxide film)2 及 SOI(Silicon On Insulator)層形成之習用的 SOI 構造之半導體裝置中，SOI 層 3 中之電晶體形成區域是由完全氧化膜 32 使之完全的隔離。例如形成在 NMOS 電晶體形成區域之一單位的 NMOS 電晶體是由完全氧化膜 32 使之完全的與其他電晶體隔離。第 102 圖的例之 SOI 層 3 上面為以層間絕緣膜 4 被覆。

第 102 圖所示之由完全氧化膜 32 使之與其他的電晶體完全隔離的一單位之 NMOS 電晶體係由形成在 SOI 層 3 中之汲極區域 5、源極區域 6、通道形成區域 7、形成在通道形成區域 7 上之閘極氧化膜 8 及形成在閘極氧化膜 8 上之閘極 9 所構成。又形成在層間絕緣膜 4 上之配線層 22 則為經由設在層間絕緣膜 4 中之接觸部 21 電氣的連接於汲極區域 5 或源極區域 6。

如上述，習用之 SOI 構造的半導體裝置係以元件(電晶體)為單位在 SOI 層中被完全隔離，因此於 PMOS 及 NMOS 各電晶體之間為完全隔離而在原理上形成不會發生鎖住(latch up)的構造。

[發明所欲解決的課題]

然而以 SOI 構造製造含有 CMOS 電晶體的半導體裝置時，能使用以微細加工技術所決定的最小隔離寬度而在

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (2)

縮小晶片面積上有其價值。但由於因衝突電離(impact ionization)現象所發生的載子(於 NMOS 時為電洞(hole))滯留於通道形成區域，因而發生轉折(kink)、動作耐壓劣化、以及因通道形成區域之電位不安定而發生遲延時間對於頻率之依存性等由於基板浮動效果(floating-substrate effect)造成之種種的問題。

本發明為解決上述的問題，以提供能減低基板浮動效果之 SOI 構造的半導體裝置為目的。

[解決課題的手段]

本發明之半導體裝置，是由半導體基板、埋設絕緣層及 SOI 層 3 所形成的 SOI 構造，並為具備設在前述 SOI 層之各形成有預定之元件的複數之元件形成區域，設在前述 SOI 層之將前述複數的元件形成區域間予以絕緣隔離的元件隔離區域，以及設在前述 SOI 層之能由外部固定電位之基體區域，而以前述元件隔離區域中之至少一部分的區域含有由設於上層部之部分絕緣區域與存在於下層部之前述 SOI 層之一部分的半導體區域所構成的部分隔離區域(partial isolation region)，又前述半導體區域係與前述複數之前述元件形成區域中之至少一元件形成區域及前述基體區域相接而形成。

本發明之較佳態樣的半導體裝置，其前述複數之元件形成區域含有第 1 元件用的複數之第 1 元件形成區域與第 2 元件用的複數之第 2 元件形成區域，前述元件隔離區域復包含具有貫通前述 SOI 層之完全絕緣區域的完全隔離

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(3)

區域(complete insulation region)，又前述部分隔離區域含有第 1 及第 2 部分隔離區域，又前述複數之第 1 元件形成區域各為由前述第 1 部分隔離區域使其元件隔離，前述複數之第 2 元件形成區域各為由前述第 2 部分隔離區域使其元件隔離，以及前述複數之第 1 元件形成區域與前述複數之第 2 元件形成區域為由前述完全隔離區域使其元件隔離。

本發明之較佳態樣的半導體裝置，其前述複數之元件形成區域含有第 1 電路用的複數之元件形成區域與第 2 電路用的複數之元件形成區域，而前述第 1 電路用的複數之元件形成區域為由貫通前述 SOI 層之完全隔離區域使其元件隔離，又前述第 2 電路用的複數之元件形成區域為由前述部分隔離區域使其元件隔離。

本發明之較佳態樣的半導體裝置，其前述 SOI 層含有第 1 及第 2 部分 SOI 層，前述第 1 部分 SOI 層之膜厚形成得比前述第 2 部分 SOI 層之膜厚為薄，前述複數之第 1 元件形成區域為形成於前述第 1 部分 SOI 層，而前述複數之第 2 元件形成區域為形成於前述第 2 部分 SOI 層。

本發明之較佳態樣的半導體裝置，其前述複數之元件形成區域含有預定之電路用元件形成區域與該預定電路以外的電路用元件形成區域，而前述預定之電路用元件形成區域與前述其他的電路用元件形成區域為由貫通前述 SOI 層之完全隔離區域使其元件隔離。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

本發明之較佳態樣的半導體裝置，其前述複數之元件形成區域之中，形成在由前述部分隔離區域使其元件隔離之元件形成區域之元件的活性區域，其自前述 SOI 層表面算起的形成深度係比前述部分隔離區域的形成深度為淺。

本發明之較佳態樣的半導體裝置，其前述半導體區域含有多晶矽區域。

本發明之較佳態樣的半導體裝置，其前述部分絕緣區域含有介電率比前述埋設絕緣層為低的低介電率膜。

本發明之較佳態樣的半導體裝置，其前述部分絕緣區域含有由至少設在其側面的部分絕緣膜與設在其之外的區域，而其介電率比前述部分絕緣膜為低的低介電率膜。

本發明之較佳態樣的半導體裝置，其前述元件隔離區域含有複數之元件隔離區域，而前述複數之元件隔離區域之至少一區域為以預定的形成寬度相對於前述半導體基板的表面大約垂直地延伸而形成。

本發明之半導體裝置，是由半導體基板、埋設絕緣層及 SOI 層所形成的 SOI 構造，並為具備設在前述 SOI 層之各形成有預定之元件的複數之元件形成區域，設在前述 SOI 層之將前述複數的元件形成區域間予以絕緣隔離的元件隔離區域，以及能由外部固定其電位的基體區域，而前述基體區域係以接於前述複數之元件形成區域中之至少一元件形成區域的表面或後面的方式形成。

本發明之較佳態樣的半導體裝置，其前述基體區域為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

形成在前述埋設絕緣層的上層部，並且接於前述至少一元件形成區域的後面。

本發明之較佳態樣的半導體裝置，其前述基體區域係貫通前述埋設絕緣層而形成，並且接於前述至少一元件形成區域的後面。

本發明之較佳態樣的半導體裝置，其前述基體區域是設在前述至少一元件形成區域的上方，並為接在前述至少一元件形成區域的表面。

本發明之較佳態樣的半導體裝置，其前述元件隔離區域之中至少一部分的區域含有貫通前述 SOI 層之完全絕緣區域與前述部分隔離區域為連續形成的複合隔離區域。

本發明之較佳態樣的半導體裝置，其前述部分隔離區域的上面為無凹凸均一的形成。

本發明之較佳態樣的半導體裝置，其前述複合隔離區域之前述半導體區域之膜厚為設定在前述 SOI 層之膜厚的 $1/2$ 以下。

本發明之較佳態樣的半導體裝置，其前述複合隔離區域之前述完全絕緣區域的形成寬度為設定在前述複合隔離區域全體之形成寬度的 $1/2$ 以下。

本發明之較佳態樣的半導體裝置，其前述元件隔離區域含有貫通前述 SOI 層之完全絕緣區域的完全隔離區域，前述複數之元件形成區域含有互相鄰接而形成之輸入出 NMOS 電晶體形成區域及輸入出 PMOS 電晶體形成區域，而前述完全隔離區域至少為形成在前述輸入出 NMOS 電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

晶體形成區域與前述輸入出 PMOS 電晶體形成區域之邊界附近區域。

本發明之較佳態樣的半導體裝置，其前述元件形成區域更含有鄰接於輸入出 NMOS 電晶體形成區域或輸入出 PMOS 電晶體形成區域而形成之內部電路形成區域，而前述完全隔離區域係再形成於前述輸入出 NMOS 電晶體形成區域及前述輸入出 PMOS 電晶體形成區域之中與前述內部電路形成區域鄰接配置之區域與前述內部電路形成區域的邊界附近區域。

本發明之較佳態樣的半導體裝置，其前述元件隔離區域含有包含貫通前述 SOI 層之完全絕緣區域的完全隔離區域，前述複數之元件形成區域含有互相鄰接而形成的 NMOS 電晶體形成區域及 PMOS 電晶體形成區域，前述完全隔離區域為形成在前述 NMOS 電晶體形成區域與前述輸入出 PMOS 電晶體形成區域之邊界附近之前述 PMOS 電晶體形成區域內的完全隔離區域形成處所，以及前述部分隔離區域為形成在前述 NMOS 電晶體形成區域的周邊區域及前述完全隔離區域形成處所以外之前述 NMOS 電晶體形成區域的周邊區域。

本發明之較佳態樣的半導體裝置，其前述元件隔離區域含有包含貫通前述 SOI 層之完全絕緣區域的完全隔離區域，前述複數之元件形成區域含有 MOS 電晶體形成區域，前述部分隔離區域為形成在前述 MOS 電晶體區域之間極的至少一端附近的部分隔離區域形成處所，以及前述

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

完全絕緣區域為形成在前述部分隔離區域形成處所以外之前述 MOS 電晶體形成區域的周邊區域。

本發明之較佳態樣的半導體裝置，其前述複數之元件形成區域含有第 1 導電型之電晶體形成區域，前述部分隔離區域含有圍繞前述電晶體形成區域之周圍而形成的周邊部分隔離區域，以及前述基體區域含有圍繞前述周邊部分隔離區域之周圍而形成之第 2 導電型的周邊基體區域。

本發明之較佳態樣的半導體裝置，其前述複數之元件形成區域含有 MOS 電晶體形成區域，前述基體區域含有鄰接於前述 MOS 電晶體形成區域之源極區域而形成之鄰接基體區域，以及更具備共同連接於前述源極區域及前述源極鄰接基體區域之電位設定區域。

本發明之較佳態樣的半導體裝置，其前述部分隔離區域之半導體區域含有第 1 及第 2 部分半導體區域，而前述第 1 部分半導體區域之不純物濃度係設定得比前述第 2 部分半導體區域之不純物濃度為高。

本發明之較佳態樣的半導體裝置，其前述第 1 部分半導體區域含有鄰接於前述複數之元件形成區域中隔離對象的元件形成區域而形成之周邊區域，以及前述第 2 部分半導體區域含有前述周邊區域以外之前述半導體區域的中心區域。

本發明之較佳態樣的半導體裝置，其前述複數之元件形成區域含有 MOS 電晶體形成區域，前述部分隔離區域為圍繞前述 MOS 電晶體形成區域的周圍而形成，前述第

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

1 部分半導體區域含有前述 MOS 電晶體形成區域的閘極電極附近區域，以及前述第 2 部分半導體區域含有前述 MOS 電晶體形成區域的汲極/源極附近區域。

本發明之較佳態樣的半導體裝置，其前述複數之元件形成區域含有第 1 導電型的 MOS 電晶體形成區域，前述部分隔離區域之前述半導體區域含有第 2 導電型的區域，而前述部分隔離區域之前述半導體區域的不純物濃度的尖峰相較於在所述 MOS 電晶體形成區域內接於前述半導體區域而形成之汲極/源極區域的不純物濃度的尖峰其自前述 SOI 層之表面算起的深度係設定得較深。

本發明之較佳態樣的半導體裝置，其前述複數之元件形成區域含有 MOS 電晶體形成區域，而前述 MOS 電晶體形成區域之通道形成區域之不純物濃度的尖峰相較於前述部分隔離區域之前述半導體區域的不純物濃度的尖峰，其自 SOI 層之表面算起的深度係設定得較深。

本發明之較佳態樣的半導體裝置，其前述複合隔離區域之半導體區域含有鄰接於前述完全絕緣區域而形成之第 1 部分半導體區域及其他之前述半導體區域的第 2 部分半導體區域，而前述第 1 部分半導體區域之不純物濃度係設定成比前述第 2 部分半導體區域的不純物濃度為高。

本發明之較佳態樣的半導體裝置，其前述部分隔離區域之底面之角部的曲率半徑係設定成比於表面之角部的曲率半徑為大。

本發明之較佳態樣的半導體裝置，其前述複合隔離區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

域之絕緣隔離區域與部分絕緣區域間形成的段差部之曲率半徑係比部分絕緣區域底面之角部的曲率半徑為小。

本發明之半導體裝置，其前述元件隔離區域包含具有貫通前述 SOI 層之完全絕緣區域的完全隔離區域，更具備形成在前述 SOI 層之上層部之電感形成區域的電感部分(inductance element)，又前述完全隔離區域為形成在前述電感形成區域的下方。

本發明之較佳態樣的半導體裝置，其前述複數之元件形成區域含有 MOS 電晶體形成區域，前述基體區域含有電氣的連接於在前述 MOS 電晶體形成區域形成之 MOS 電晶體之閘極的閘極連接基體區域，以及前述部分隔離區域為圍繞前述 MOS 電晶體形成區域的周圍而形成。

本發明之較佳態樣的半導體裝置，其前述半導體區域含有第 1 導電型的區域，前述元件之活性區域含有第 2 導電型，前述元件的活性區域之形成深度係設定成在內裝(built in)狀態時延伸自前述元件之活性區域之空乏層為不到達前述絕緣層的程度。

本發明之較佳態樣的半導體裝置，其前述複數之元件形成區域含有場控電晶體形成區域，而形成在前述場控電晶體形成區域內之場控電晶體(field transistor)含有互為獨立的形成之第 1 及第 2 活性區域、以及形成在前述第 1 及第 2 活性區域間之由設在上層部的場控電晶體用部分絕緣區域與存在於下層部之前述 SOI 層之一部的場控電晶體用半導體區域所構成的閘極部。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

本發明的半導體裝置，是由半導體基板、埋設絕緣層及 SOI 層形成之 SOI 構造的半導體裝置，具備設在前述 SOI 層之形成有預定之元件的元件形成區域，以及設在前述 SOI 層之圍繞前述元件形成區域的周圍而形成的周邊元件隔離區域，而前述周邊元件隔離區域為含有由設在上層部之部分絕緣區域與存在於下層部之前述 SOI 層之一部分的半導體區域所構成的部分隔離區域，以及前述半導體區域係接於至少一個前述元件形成區域而形成，並設定成浮動狀態。

本發明之半導體裝置的製造方法，具備(a)準備由半導體基板、埋設絕緣層及 SOI 層形成之 SOI 構造的 SOI 基板之步驟，(b)選擇的由表面不貫通的除去前述 SOI 層以形成複數之溝槽的步驟，前述複數之溝槽間的前述 SOI 層之區域形成複數之元件形成區域，(c)將絕緣膜埋入前述複數之各溝槽的步驟，而由前述複數之溝槽中至少一溝槽內的絕緣膜與前述至少一溝槽下之前述 SOI 層構成部分隔離區域，以及(d)在前述複數之元件形成區域各形成預定之元件的步驟。

本發明之半導體裝置的製造方法，其前述複數之溝槽最好包含第 1 及第 2 溝槽，前述至少一溝槽含有前述第 1 溝槽，於前述步驟(b)之後而在步驟(c)之前再具備(e)前述第 1 及第 2 溝槽之中，由前述第 2 溝槽的底部再除去前述 SOI 層以貫通前述 SOI 層的步驟，而經前述步驟(c)由前述第 1 溝槽內之絕緣膜與前述第 1 溝槽下之前述 SOI 層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

構成前述部分隔離區域，而由貫通前述 SOI 層之前述第 2 溝槽內的絕緣膜構成完全隔離區域。

本發明之半導體裝置的製造方法，其前述第 2 溝槽之形成寬度最好比前述第 1 溝槽之形成寬度為寬，前述步驟 (b) 包含 (b-1) 以前述第 1 溝槽的底面為塞住，第 2 溝槽之底面的中心部為露出的程度於前述第 1 及第 2 之各溝槽的側面形成側壁體的步驟，及 (b-2) 以前述側壁體為遮膜 (mask) 以貫通前述第 2 溝槽之中心部的前述 SOI 層的步驟。

本發明之半導體裝置的製造方法，最好在前述步驟 (b) 之後，再具備 (f) 對於前述複數之溝槽的下方之前述 SOI 層導入不純物以形成高濃度區域的步驟。

本發明之半導體裝置之較佳製造方法，為具備 (a) 準備由半導體基板、埋設絕緣層以及矽層形成之 SOI 構造的 SOI 基板的步驟，(b) 選擇的除去前述矽層使其貫通以設貫通部的步驟，(c) 對前述矽層之前述貫通部以凸出前述矽層之表面的狀態埋設第 1 絕緣膜，並於前述矽層上選擇的形成第 2 絕緣膜的步驟，(d) 由未形成前述第 2 絕緣膜之前述矽層的表面向上方實施磊晶成長以形成磊晶成長層的步驟，而由前述矽層與前述磊晶成長層構成 SOI 層，由前述第 2 絕緣膜與其下方之前述矽層構成部分隔離區域，由前述第 1 絕緣膜構成完全隔離區域，以及 (e) 在由前述部分隔離區域或前述完全隔離區域使其元件隔離之複數的元件形成區域分別形成預定之元件的步驟。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

本發明之半導體裝置的製造方法，為具備(a)準備由半導體基板、埋設絕緣層及 SOI 層形成之 SOI 構造的 SOI 基板的步驟，(b)選擇的除去前述 SOI 層，形成各為貫通前述 SOI 層之第 1 及第 2 溝槽構成的複數之溝槽的步驟，前述複數之溝槽間的前述 SOI 層之區域成為複數之元件形成區域，(c)在前述第 1 及第 2 溝槽之中，於前述第 1 溝槽內的底面及側面上選擇的堆積多晶矽層的步驟，(d)將緣緣膜埋入前述第 1 及第 2 溝槽的步驟，(e)使前述第 1 溝槽內之前述多晶矽層由前述第 1 溝槽之開口部向底面的方向部分的氧化之步驟，而由前述第 1 溝槽內的絕緣膜與前述第 1 溝槽內未被氧化而留存之前述多晶矽層構成部分隔離區域，由前述第 2 溝槽內之絕緣膜構成完全隔離區域，以及(f)在前述複數之元件形成區域各形成預定之元件的步驟。

本發明之半導體裝置的製造方法，為具備(a)準備由半導體基板、埋設絕緣層及 SOI 層形成之 SOI 構造的 SOI 基板的步驟，(b)選擇的除去前述 SOI 層以形成複數之元件形成區域的步驟，(c)對前述複數之元件形成區域施加遮膜而對前述埋設絕緣層實施等方性蝕刻，使前述複數之元件形成區域中之至少一元件形成區域的端部後面露出以除去前述埋設絕緣層之上層部而形成孔部的步驟，(d)將前述孔部用多晶矽填埋，形成包含前述多晶矽層而對前述至少一元件形成區域之端部底面具有電氣連接關係之基體區域之步驟，(e)在前述 SOI 層內使前述複數之元件形成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

區域絕緣隔離的步驟，以及(f)使前述基體區域能由外部固定具電位並在前述複數之元件形成區域各形成預定的元件之步驟。

本發明之半導體裝置的製造方法，其前述步驟(d)最好具備(d-1)由前述至少一元件形成區域之端部後面使其產生磊晶成長以於前述孔部形成磊晶成長層的步驟，及(d-2)以接於前述磊晶成長層的狀態用前述多晶矽層填埋前述孔部而形成由前述磊晶成長層與前述多晶矽層構成的前述基體區域的步驟。

本發明之半導體裝置的製造方法，其前述步驟(d)最好包含(d-1)使不純物濃度分佈的尖峰存在於前述 SOI 層之上層部，並且以產生通道現象的狀態導入預定之導電型不純物以形成前述預定之元件活性區域的步驟。

本發明之半導體裝置的製造方法，為具備(a)準備由半導體基板、埋設絕緣層及 SOI 層形成之 SOI 構造之 SOI 基板的步驟，(b)選擇的由前述 SOI 層表面予以貫通而形成至少一第 1 溝槽的步驟，(c)選擇的由前述 SOI 層表面不予以貫通而形成複數之第 2 溝槽的步驟，而使前述複數之第 2 溝槽間之前述 SOI 層之區域成為複數之元件形成區域，前述複數之第 2 溝槽包含複合溝槽與非貫通溝槽，前述複合溝槽因包含至少一第 1 溝槽而形成為比前述至少一第 1 溝槽之形成寬度為寬而為由前述第 1 溝槽形成部之貫通部與前述第 1 溝槽形成部以外之非貫通部所形成，前述非貫通溝槽則不包含前述至少一第 1 溝槽而只由非貫通

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

部形成，(d)對前述複合溝槽及非貫通溝槽各填埋絕緣膜的步驟，而構成由前述複合溝槽之前述非貫通部之絕緣膜及前述非貫通部下之前述 SOI 層形成之部分隔離部與由前述貫通部之絕緣膜形成的完全隔離部所形成的複合隔離區域，並構成由前述非貫通溝槽內之絕緣膜與其下方之前述 SOI 層形成的部分隔離區域，以及(e)在前述複數之元件形成區域各形成預定之元件的步驟。

本發明之半導體裝置的設計方法為設計由半導體基板、埋設絕緣層及 SOI 層形成之於前述 SOI 層形成有 CMOS 裝置之半導體裝置的方法，具備(a)求得由形成在井區域內之第 1 導電型之第 1 MOS 電晶體與形成在前述井區域外之第 2 導電型之第 2 MOS 電晶體所形成之 CMOS 裝置的過去資料的步驟，(b)依據前述過去資料設定第 1 及第 2 之 MOS 電晶體的 formed 區域的步驟，以及(c)於依前述過去資料之前述井區域之外周附近區域設定由貫通前述 SOI 層之完全絕緣區域所形成完全隔離區域的步驟。

[發明的實施形態]

<<第 1 實施形態>>

第 1 至第 3 圖表示本發明第 1 實施形態之 SOI 構造之半導體裝置構成。第 3 圖表示平面圖，第 1 圖表示沿第 3 圖 A-A 線的剖視圖，第 2 圖表示沿第 3 圖 B-B 線的剖視圖。

如該等圖所示，由矽基板 1、埋設氧化膜 2 及 SOI 層形成之 SOI 構造之半導體裝置的 SOI 層 3 之各電晶體形

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (15)

成區域係以其下層部形成有井(well)區域之部分氧化膜 31 加以隔離。使 NMOS 電晶體間相互隔離之部分氧化膜 31 之下層形成有 p 型之井區域 11，使 PMOS 電晶體間相互隔離之部分氧化膜 31 之下層形成有 n 型之井區域 12，而使 NMOS 電晶體、PMOS 電晶體間相互隔離之部分氧化膜 31 之下層則形成有 p 型之井區域 11(NMOS 電晶體側)及 n 型之井區域 12(PMOS 電晶體側)。又井區域 11 為圍繞 NMOS 電晶體群之汲極區域 5 及源極區域 6 的形成，井區域 12 則為圍繞 PMOS 電晶體群之汲極區域 5 及源極區域 6 的形成。於第 1 實施形態中，SOI 層 3 上面為由層間絕緣膜 4 被覆。

第 1 實施形態之以部分氧化膜 31 與其他的電晶體隔離之一單位的 MOS 電晶體，係由形成在 SOI 層 3 中之汲極區域 5、源極區域 6 及通道形成區域 7、形成在通道形成區域 7 上之閘極氧化膜 8、以及形成在閘極氧化膜 8 上之閘極 9 所構成。又形成在層間絕緣膜 4 上之配線層 22 為經由設在層間絕緣膜 4 中之接觸部 21 而電氣的連接於汲極區域 5 或源極區域 6。

已知第 2 及第 3 圖所示，於 SOI 層 3 中之井區域 11 之間形成基體(body)區域 10，基體區域 10 為接於鄰接之井區域 11。然後形成在層間絕緣膜 4 上之配線層 25 為經由設在層間絕緣膜 4 中之基體接觸部 23 與基體區域 10 電氣的連接。又形成在層間絕緣膜 4 上之配線層 26 為介由設在層間絕緣膜 4 中之閘極接觸部 24 與閘極 9 電氣的連

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (16)

接。

如上所述，第 1 實施形態之半導體裝置如第 1 至第 3 圖所示為與第 102 圖之習用構造不同，其元件隔離區域之部分氧化膜 31 不到達 SOI 層 3 之下部，亦即於部分氧化膜 31 的下層設有導入與成為隔離對象之電晶體的通道形成區域具有同一導電型之不純物的井區域 11、12。

因此可藉由配線層 25、基體接觸部 23、高濃度之基體區域 10 及井區域 11 固定各電晶體的基板電位。又對於 PMOS 電晶體側亦可同樣的藉由基體區域固定各電晶體的基板電位。

以下參照第 1 至 3 圖說明其詳細內容。埋設氧化膜 2 例如形成 100 至 500nm 程度的膜厚，SOI 層 3 例如為 30 至 200nm 程度的膜厚。通道形成區域 7 例如由導入 10^{17} 至 $10^{18}/\text{cm}^3$ 程度之第 1 導電型不純物(對 NMOS 為 p 型不純物，對 PMOS 則為 n 型不純物)而形成。汲極區域 5 及源極區域 6 為鄰接於通道形成區域 7，並例如由導入 10^{19} 至 $10^{21}/\text{cm}^3$ 程度之第 2 導電型不純物(對 MOS 為 n 型不純物，對 PMOS 為 p 型不純物)而形成。

使鄰接之電晶體間相互隔離的部分氧化膜 31 係在 SOI 層 3 之下層部之用以形成井區域處例如留存 10 至 100nm 程度而形成。部分氧化膜 31 上面的高度雖然以相同於 SOI 層 3 之表面高度對於微細加工較合適，但於 SOI 層 3 較薄時不容易取得對於元件隔離所需要之部分氧化膜 31 的膜厚，因此製成比 SOI 層 3 稍高較能提高元件隔離性能。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

於元件隔離用之部分氧化膜 31 之下部形成具有與通道形成區域相同導電型之井區域 11、12(例如以 10^{17} 至 $5 \cdot 10^{18}/\text{cm}^3$ 之不純物濃度，不純物濃度設定為與通道形成區域相同或在其上，濃度愈高愈能防止擊第(punch through)而能提高隔離性能)。

基體區域 10 為如第 2 圖所示，與鄰接之井區域 11 具有相同導電型而導入以 10^{19} 至 $10^{21}/\text{cm}^3$ 之高濃度的不純物。

第 2 圖所示是將基體區域 10 由 SOI 層 3 之上面形成至下面貫通層間絕緣膜 4 而形成基體接觸部 23，但如第 4 圖所示的形成基體區域亦可。

第 4 圖之例表示配合基體接觸部 23 的形狀只在 SOI 層 3 的下層部形成基體區域 20，而貫通層間絕緣膜 4 及部分氧化膜 31 而形成基體接觸部 23。又井區域 28 為鄰接基體區域 20 而形成在部分氧化膜 31 下。

但是，於形成第 4 圖所示的構造時，最好在實行接觸部的開口後實行用以形成基體區域 20 之高濃度不純物注入。

於隔離相同導電型的元件時，對於井區域 11、12 只需導入與通道形成區域相同的不純物而形成，但如第 1 圖所示在使 PMOS 與 NMOS 相互隔離時，則對於 NMOS 鄰接部需設 p 型之井區域 11，而對 PMOS 鄰接部需設 n 型之井區域 12。

上述 SOI 構造可用後述第 2 實施形態之部分溝槽

五、發明說明 (18)

(trench)隔離法製造。

<<第 2 實施形態>>

<第 1 態樣>

第 5 圖表示本發明第 2 實施形態之 SOI 構造半導體裝置的第 1 態樣之構造的剖視圖。

第 2 實施形態之 NMOS 電晶體與 PMOS 電晶體各自內部的電晶體是由部分氧化膜 31 與其下層之井區域 11(12)加以隔離，另一方面，如第 5 圖所示於 PMOS 電晶體與 NMOS 電晶體之間則由完全氧化膜 32 加以隔離。依此構成則比較第 1 實施形態能縮小 PMOS、NMOS 間的隔離間隔並防止鎖住的發生。

於製造第 5 圖之構造而由離子注入形成源極區域 6、汲極區域 5 之際，注入之離子穿過部分氧化膜 31，以致汲極區域 5 及源極區域 6 用之不純物導入本來需要相對於汲極區域 5 及源極區域 6 為相反導電型之部分氧化膜 31 下的井區域 11(12)，因而有損及部分氧化膜 31 及井區域 11 之隔離特性之虞。

<第 2 態樣>

為了避免上述的問題，最好如第 6 圖所示之第 2 態樣，形成其深度比 SOI 層 3 之膜厚淺很多之汲極區域 5s 及源極區域 6s。亦即最好將汲極區域 5s 及源極區域 6s 形成比部分氧化膜 31 之下面為淺。如第 6 圖所示，欲形成深度淺之汲極區域 5s 及源極區域 6s 可注入低能量離子而形成源極、汲極區域 6s、5s。

五、發明說明 (19)

汲極區域 5s 及源極區域 6s 之形成深度係以在內裝 (built in) 狀態 (施加於 PN 接合之偏壓為 OV 時的狀態) 時，能滿足由源極/汲極之空乏層能到達埋設氧化膜 2 的條件較為理想。

因為於內裝狀態，其源極/汲極空乏層到達埋設氧化膜 2，因而能減小源極/汲極領域 6s/5s 與井區域 11(12) 之接合電容，並提高部分氧化膜 31 及井區域 11(12) 形成之部分隔離區域的隔離特性。

<第 3 態樣>

如第 7 圖所示，亦可依第 2 實施形態之第 3 態樣，將下層部之一部份形成井區域 29，但用由 SOI 層 3 之上面至下面所形成之氧化膜 33 將 NMOS 電晶體與 PMOS 電晶體完全隔離。依第 3 態樣由於容易同時設置形成氧化膜 33 用之溝槽與部分氧化膜 31 用之溝槽，故較之於使用完全氧化膜 32 隔離，其配置 (layout) 變容易的可能性比較高。

以下有時稱使用氧化膜 33 的完全隔離為由貫通 SOI 層 3 之貫通部的氧化膜 33 之完全隔離區域，以及由不貫通 SOI 層 3 之非貫通部之氧化膜 33 與其下方之 SOI 層 3 的井區域 29 之部分隔離區域為連續形成的複合隔離區域隔離的狀態。

<第 4 態樣>

如第 55 圖之第 4 態樣所示，由於將單獨做部分隔離的部分氧化膜 31 與做複合隔離區域之氧化膜 33 的上面為無凹凸的均一地加以形成而能達到容易形成閘極 9 之配線

五、發明說明 (20)

圖案的效果。

<第 5 態樣>

第 56 圖表示第 7 圖之複合隔離區域之氧化膜 33 之構造之詳細剖視圖。如該圖所示，氧化膜 33 在中心部(貫通部)為由 SOI 層 3 的上面形成至下面，在其周邊部(非貫通部)則形成為不到下面。氧化膜 33 之周邊部的下方留存的 SOI 層 3 之一部分形成為井區域 29。在上述構造之氧化膜 33，其周邊部下之 SOI 層 3(井區域 29)之膜厚 TB 與井區域 29 上方之 SOI 層 3 的膜厚 TA 之間則使其成立 $TA > TB$ 的關係。亦即將井區域 29 的膜厚設定於比 SOI 層 3 之膜厚 $(TA + TB)$ 的一半為小。

如第 5 態樣的成立 $TA > TB$ 的關係，則能十分的提高氧化膜 33 之隔離閾值電壓(視氧化膜 33 為閘極氧化膜時之閾值電壓)，得到相當高的隔離耐擊穿性，而由大幅的降低接在井區域 29 而形成之汲極/源極區域及與井區域 29 之 PN 接合面積而得以抑制漏電流的發生，並得降低上述 PN 接合電容而達到高速動作。

<第 6 態樣>

第 57 圖表示第 7 圖之氧化膜 33 之構造之詳細斷面圖。如該圖所示，自 SOI 層 3 之上面形成至下面之氧化膜 33 之中心部的形成寬度，即完全隔離寬度 WC 與氧化膜 33 整體的氧化膜隔離寬度 WD 之間形成為成立 $WC < WD/2$ 的關係。

依第 6 態樣的構成，由於能充分確保形成在氧化膜 33

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (21)

之周邊部下面的井區域 29 的面積，因此能介由井區域 29 以可充分抑制基板浮動效果(floating-substrate effect)的準位獲得電晶體之基板電位的固定，其結果能夠安定電晶體的動作。

再則由於在晶片內將完全隔離寬度 WC 形成相同而使得對於隔離形狀的管理容易。又只要能製成氧化膜 33 的配線圖案即可達到元件間之電氣的完全隔離，因而能以最小設計寬度形成完全隔離寬度 WC，將晶片面積減低至必要最小限度而大幅提高積體度。

<其他>

第 2 實施形態表示至少使 NMOS 電晶體、PMOS 電晶體間完全隔離之構造，但此外亦可考慮應用於記憶體併合邏輯電路(hybrid logic-memory circuit)為了降低雜訊而將記憶體部與邏輯電路部之間完全隔離之構造。

在併用完全隔離區域與部分隔離區域之外，亦可考慮採用形成深度不同之氧化膜實行複數種之部分隔離的方法。於此對於形成深度較深的氧化膜下之井區域可不連接基體區域等基體接觸材料使其成為浮動狀態而用做完全隔離區域。

<製造方法(其一)(第 1 及第 2 態樣)>

第 8 至第 11 圖表示第 2 實施形態第 1 及第 2 態樣的製造方法之元件隔離工序剖視圖。第 8 至第 11 圖所示方法為併用部分溝槽(trench)與完全溝槽的方法。

首如第 8 圖所示，以注入氧離子形成埋設氧化膜 2 之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

SIMOX 法等形成之由矽基板 1、埋設氧化膜 2 及 SOI 層 3 等構成之 SOI 層基板。通常 SOI 層 3 形成 50 至 200nm 的膜厚，埋設氧化膜 2 形成 100 至 400nm 的膜厚。

然後如第 9 圖所示，於 SOI 基板上順次堆積 20nm 程度之氧化膜 41 及 200nm 程度的氮化膜 42 後，以製作圖案之抗蝕膜(resist)43 為遮膜 (mask)製作隔離區域圖案，對於氮化膜 42、氧化膜 41、SOI 層 3 之多層膜實施蝕刻至留存 SOI 層 3 的下層部以形成複數之部分溝槽 44。複數之部分溝槽 44 是以預定的寬度以大致垂直於矽基板 1 的方向延伸形成，因此能不損及積體度地實行維持微細化的元件隔離。以上述狀態如第 12 圖所示為要形成高濃度井區域 52(相當於井區域 11、12)實施離子注入則更可提高隔離耐壓(isulation breakdown voltage)。

其次如第 10 圖所示，形成抗蝕膜 45 覆蓋複數之部分溝槽 44 的部分，然後對於未被抗蝕膜 45 覆蓋的部分溝槽 44 實施蝕刻以形成貫通 SOI 層 3 之完全溝槽 48。

其次如第 11 圖所示，堆積 500nm 程度的氧化膜，以相同於通常之溝槽隔離手法用 CMP 處理將其研磨至除去部分氮化膜 42，其後將氮化膜 42、氧化膜 41 除去即可得選擇地形成部分氧化膜 31 及其下面的 SOI 層 3(井區域)與完全氧化膜 32 之構造。由於用 CMP 處理實行對氧化膜的研磨，因而能無凹凸且均一地形成部分氧化膜 31 及完全氧化膜 32 的表面。又，在製成第 9 圖之構造後實行如第 12 圖所示的離子注入時，如第 13 圖所示可在部分氧化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

膜 31 下形成高濃度井區域 52。由於高濃度區域 52 的形成而能以良好安定性固定基板電位。

其後用習用的方法於 NMOS 電晶體形成區域形成 NMOS 電晶體，於 PMOS 電晶體形成區域形成 PMOS 電晶體即可製成第 5 圖所示第 1 態樣之 SOI 構造，或製成第 6 圖所示之第 2 態樣的 SOI 構造。

又如省略第 10 圖所示工序而如上述實施其他的工序，則將全部形成為部分溝槽 44，因而能製成第 1 至 3 圖所示第 1 實施形態的構造(全由部分氧化膜 31 完成元件隔離的構造)。

<製造方法(其二)(第 1 及第 2 態樣)>

第 14 至 18 圖表示第 2 實施形態之第 1 及第 2 態樣之製造方法的元件隔離工序剖面圖。第 14 至 18 圖所示的方法為併用部分溝槽隔離與完全溝槽隔離的方法。

首先如第 14 圖所示，形成矽基板 1、埋設氧化膜 2 及矽層 50 之積層構造。矽層 50 形成比最後形成之 SOI 層 3 為薄。

然後如第 15 圖所示，於 SOI 基板上順次堆積氧化膜 41 與氮化膜 42，其後以製作有圖案的抗蝕膜 46 為遮膜實施隔離區域之圖案製作處理，對氮化膜 42 及氧化膜 41 實施蝕刻使矽層 50 表面露出以形成複數之部分溝槽 44。

其次如第 16 圖所示，以被覆一部分之複數之部分溝槽 44 的狀態形成抗蝕膜 49，對於未被抗蝕膜 49 覆蓋之部分溝槽 44 再實施蝕刻，將矽層 50 貫通以形成完全溝槽

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

48。

其次如第 17 圖所示，堆積形成氧化膜，以相同於通常之溝槽隔離手法用 CMP 處理將其研磨至除去部分氮化膜 42，其後將氮化膜 42、氧化膜 41 除去即可得選擇的形成部分氧化膜 31 及其下面的矽層 50(井區域)與完全氧化膜 32 之構造。

其次如第 18 圖所示，自矽層 50 起用磊晶(epitaxial)成長方式形成磊晶矽層 51 而製成由矽層 50 及磊晶矽層 51 構成之結晶性良好的 SOI 層 3。

其後以習用的方法於 NMOS 電晶體形成區域形成 NMOS 電晶體，於 PMOS 電晶體形成區域形成 PMOS 電晶體即可製成如第 5 圖所示第 1 態樣之 SOI 構造，或製成第 6 圖所示第 2 態樣之 SOI 構造。

<製造方法(其三)(第 3 態樣)>

第 19 至 22 圖表示第 2 實施形態第 3 態樣的製造方法之元件隔離工序的剖視圖。第 19 至 22 圖所示方法為採用形成寬度不同之部分溝槽的方法。

首先如第 19 圖所示，形成寬度比較大的部分溝槽 44A 及寬度比較小的部分溝槽 44B。部分溝槽 44A 用做完全隔離用，而部分溝槽 44B 用做部分隔離用。於此為留存 SOI 層 3 之下層之一部分的狀態形成部分溝槽 44A 及 44B。

其次如第 20 圖所示，用氧化膜 47 於部分溝槽 44A 及 44B 的側面以部分溝槽 44B 的底面為塞住而對部分溝槽 44A 之底面中心部為露出的狀態形成側壁。於此為利

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

用部分溝槽 44B 的形成寬度比部分溝槽 44A 的形成寬度為小之點。

其次如第 21 圖所示，以氧化膜 47 為遮膜對 SOI 層 3 實施矽蝕刻以將包括部分溝槽 44A 之底面中心部下的 SOI 層 3 之於其上部未形成氧化膜 47 的 SOI 層 3 除去而露出埋設氧化膜 2 的表面。

其次如第 22 圖所示，堆積形成 500 nm 程度的氧化膜，以相同於通常之溝槽隔離手法用 CMP 處理將其研磨至除去部分氮化膜 42，其後將氮化膜 42、氧化膜 41 除去即可得選擇的形成部分氧化膜 31(及其下面的 SOI 層 3)及氧化膜 33(及其一部分下面的 SOI 層 3)的構造。

其後用習用的方法於 NMOS 電晶體形成區域形成 NMOS 電晶體，於 PMOS 電晶體形成區域形成 PMOS 電晶體即可製成第 7 圖所示第 2 實施形態之第 3 態樣的 SOI 構造。

<製造方法(其四)(第 3 態樣)>

第 23 至 27 圖表示第 2 實施形態之第 3 態樣之製造方法的元件隔離工序剖視圖。第 23 至 27 圖所示的方法為採用形成寬度不同之部分溝槽的方法。

首先如第 23 圖所示，形成由矽基板 1、埋設氧化膜 2 及 SOI 層 3 構成的 SOI 基板。

然後如第 24 圖所示，形成寬度比較大的部分溝槽 44A 及寬度比較小的部分溝槽 44B。部分溝槽 44A 用作完全隔離用，而部分溝槽 44B 用做部分隔離用。於此以留存 SOI

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(26)

層 3 下層之一部分的狀態形成部分溝槽 44A 及 44B。

其次如第 25 圖所示，由製作圖案形成抗蝕膜 49，以將部分溝槽 44B 內全部填充，並將部分溝槽 44A 之側壁覆蓋。由此使得部分溝槽 44A 的底面中心部確實的露出。

其後如第 26 圖所示，以抗蝕膜 49 為遮膜對 SOI 層 3 實施矽蝕刻以將包括部分溝槽 44A 之底面中心部下的 SOI 層 3 之於其上部未形成抗蝕膜 49 的 SOI 層 3 除去而露出埋設氧化膜 2 的表面。

其次如第 27 圖所示，堆積形成氧化膜，以相同於通常之溝槽隔離手法用 CMP 處理將其研磨至除去部分氮化膜 42，其後將氮化膜 42、氧化膜 41 除去即可得選擇的形成部分氧化膜 31(及其下面的 SOI 層 3)及氧化膜 33(及其下面的 SOI 層 3)的構造。

<製造方法(其五)(第 3 態樣)>

第 58 至 62 圖表示第 2 實施形態第 3 態樣之製造方法的元件隔離工序的剖視圖。

首先如第 58 圖所示，形成由矽基板 1、埋設氧化膜 2 及 SOI 層 3 構成之 SOI 基板。

然後如第 59 圖所示，於 SOI 基板上順次堆積氧化膜 41 及氮化膜 42 之後，以製作圖案之抗蝕膜 213 為遮膜實施隔離區域之圖案製作處理，對氮化膜 42、氧化膜 41 及 SOI 層 3 實施蝕刻將其貫通，露出埋設氧化膜 2 的表面以形成複數之溝槽 214。

其次如第 60 圖所示，於留存之氮化膜 42 上選擇的形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

成抗蝕膜 215。於此係形成抗蝕膜 215 以構成各含有複數溝槽 214 之中，並具有比溝槽 214 之形成寬度為寬的開口部。

然後如第 61 圖所示，以抗蝕膜 215 為遮膜對氮化膜 42 及氧化膜 41 以及 SOI 層 3 之一部實施蝕刻而同時形成由下層留存有 SOI 層 3 之部分溝槽 216，及中心部的下層為貫通 SOI 層 3 之貫通部與其他部分之下層留存有 SOI 層 3 之非貫通部所構成的複合溝槽 217。

其後如第 62 圖所示，用 HDP(高密度電漿)CVD 法等堆積氧化膜，以相同於通常之溝槽隔離的方法以 CMP 處理將其研磨至除去部分氮化膜 42，其後除去氮化膜 42、氧化膜 41 即可選擇的形成部分氧化膜 31(及其下面的 SOI 層 3)及氧化膜 33(及其一部分下面之 SOI 層 3)的構造。

<製造方法(其六)(第 3 態樣)>

製造方法的極端例係在以部分隔離方式實施元件隔離了的電晶體的開極形成後，或於接觸及配線工序等的後續工序的實施階段，以蝕刻將部分隔離區域之 SOI 層 3 貫通，然後將氧化膜變更為埋設之完全隔離區域亦為可能。

<其他>

上述第 2 實施形態之製造方法是用溝槽隔離法於 SOI 層上形成 SiN/SiO₂ 之積層，然後埋設元件隔離用的氧化膜，然而以其他方法，例如不用 SiN/SiO₂ 之積層而用 SiN/Poly-Si/SiO₂ 的積層，並於埋設後對其實施氧化，實施對溝槽的圓角等，用更多樣的方法亦能得同樣的效果則

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

自不待言。

<<第 3 實施形態>>

<第 1 態樣>

第 28 圖表示本發明第 3 實施形態之 SOI 構造半導體裝置之第 1 態樣的構造剖視圖。

如第 28 圖所示，要求積體性(部分氧化膜 31 由於其下層形成有井區域的關係比完全氧化膜 32 其積體度稍差)但不太受基板浮動效果的影響之電路(第 1 電路)的形成區域係採用完全氧化膜 32 之完全隔離構造，而基板浮動效果的影響成為問題的電路(第 2 電路)的形成區域係採用部分氧化膜 31 及其下層形成有井區域 11(12)的部分隔離構造，第 1 與第 2 電路之形成區域間之隔離則採用完全氧化膜 32 之完全隔離構造。

第 1 電路例有如要求高密度構造之 SRAM、DRAM 等之記憶體晶胞部分的電路，第 2 電路例有如記憶體晶胞部分以外的電路。

如第 28 圖所示，第 1 電路例含有內部電路及數位電路，第 2 電路例含有 I/O 緩衝電路，類比電路(PLL 電路，感測放大器電路)等。又第 2 電路例可舉定時電路，動態(dynamic)電路等。

如上所述，第 3 實施形態第 1 態樣考慮所設電路受到基板浮動效果的影響度，分別的使用由部分氧化膜 31 達成的部分隔離與由完全氧化膜 32 達成的完全隔離，由此可製成平均的顧到基板浮動效果之抑制及提高積體度的元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

件隔離構造。

又第 28 圖所示的構造可由使用第 2 實施形態之製造方法其一至其四等，選擇的形成部分氧化膜 31 及完全氧化膜 32(氧化膜 33)而實施元件隔離以形成第 1 電路及第 2 電路而製成。

<第 2 態樣>

第 29 圖表示本發明第 3 實施形態之 SOI 構造半導體裝置之第 2 態樣的構造剖視圖。如該圖所示，將用於完全隔離之第 1 電路形成用的部分 SOI 層 3B 的膜厚形成為比用於部分隔離之第 2 電路形成用的部分 SOI 層 3A 的膜厚為薄。因而形成在部分 SOI 層 3B 之完全氧化膜 34、汲極區域 5t、源極區域 6t 及通道形成區域 7t 的膜厚亦變薄。

依第 2 態樣，由於第 1 電路形成用之部分 SOI 層 3B 的膜厚形成為比第 2 電路形成用之部分 SOI 層 3A 之膜厚為薄，因此即使以同樣的溝槽蝕刻條件，亦可分別的在部分 SOI 層 3A 形成部分溝槽及在部分 SOI 層 3B 形成完全溝槽。因而可得能省略製造方法其一之第 10 圖所示之工序的製造方法之簡化，於部分 SOI 層 3B 及部分 SOI 層 3A 上分別的達成完全隔離及部分隔離。

又為無關於完全隔離及部分隔離，將要求基板電位固定之第 2 電路之形成 I/O 緩衝電路、類比電路(PLL、感測放大器)、定時電路、動態電路等的 SOI 層的膜厚形成較厚較佳，第 2 態樣以此亦較合理而特別在保護電路因其膜厚而具有抑制溫度上升的效果。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

<第 3 態樣>

第 3 實施形態之第 3 態樣，構成雜訊發生源之 I/O 電路及 RF 電路與其他電路之隔離係至少是使用完全氧化膜 32 形成完全隔離，其他部分之隔離則採用部分氧化膜 31 的隔離，以減少對於內部電路及較易受雜訊影響之類比電路之雜訊影響而能製成將基板浮動效果之影響抑制到最小限之 SOI 構造半導體裝置。

<<第 4 實施形態>>

第 30 及 31 圖表示本發明第 4 實施形態之 SOI 構造半導體裝置的構造剖視圖。第 30 及 31 圖各相當於第 1 實施形態之第 3 圖沿其 A-A 線及 B-B 線的斷面。

如該圖所示，由矽基板 1、埋設氧化膜 2 及 SOI 層 3 形成之 SOI 構造半導體裝置之 SOI 層 3 的各電晶體形成區域係以其下層形成有井區域之部分氧化膜 71 加以隔離。於使 NMOS 電晶體相互間隔離之部分氧化膜 71 的下層形成 p 型多晶矽區域 61，於使 PMOS 電晶體相互間隔離之部分氧化膜 71 的下層形成 n 型多晶矽區域 62，而於使 NMOS 電晶體與 PMOS 電晶體相互間隔離的部分氧化膜 71 的下層則鄰接的形成 p 型多晶矽區域 61(NMOS 電晶體側)及 n 型多晶矽區域 62(PMOS 電晶體側)。

如第 31 圖所示，於 SOI 層 3 中之多晶矽區域 61 之間形成基體區域 10，基體區域 10 為接於相鄰之多晶矽區域 61。而形成在層間絕緣膜 4 上之配線層 25 為經由設在層間絕緣膜 4 中之基體接觸部 23 而電氣的連接於基體區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (31)

域 10。

如上述，第 4 實施形態之半導體裝置利用形成在部分氧化膜 71 下之多晶矽區域 61、62 為井區域，經由基體區域 10 固定其電位。因而能安定通道形成區域 7 的電位而減低基板浮動效果。

又如第 32 圖所示，NMOS 電晶體及 PMOS 電晶體各自之內部電晶體隔離由部分氧化膜 71 與其下層之多晶矽區域 61(62)達成，另一方面 PMOS 電晶體與 NMOS 電晶體間之隔離由完全氧化膜 32 達成亦可。以此構成，相較於第 30 及 31 圖的構造能縮小 PMOS 與 NMOS 間的隔離寬度而能防止鎖住的發生。

<製造方法>

第 33 至 37 圖表示第 4 實施形態之半導體裝置的製造方法之元件隔離之序剖視圖。

首先如第 33 圖所示，形成由矽基板 1、埋設氧化膜 2 及 SOI 層 3 構成之 SOI 基板於 SOI 基板上順次堆積氧化膜 41 及氮化膜 42 後，以製成圖案之抗蝕膜 43 為遮膜將隔離區域製成圖案，將氮化膜 42、氧化膜 41、SOI 層 3 之多層膜貫通以形成溝槽 53。

然後如第 34 圖所示，良好的控制膜厚全面地堆積多晶矽層 65 後，如第 35 圖所示，以將複數之溝槽 53 中之一部分覆蓋的狀態形成抗蝕膜 66，對未被抗蝕膜 66 覆蓋的溝槽 53 內的多晶矽層 65 實施蝕刻將其除去以形成溝槽 48。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (32)

其次如第 36 圖所示，全面地堆積溝槽埋設用的氧化膜，用相同於通常的溝槽隔離方法由 CMP 處理研磨至除去部分氮化膜 42，其後由除去氮化膜 42、氧化膜 41 即可製成選擇地形成多晶矽區域 67 及其內部留存之氧化膜 68 及完全氧化膜 32 之構造。

然後如第 37 圖所示，使多晶矽區域 67 氧化即可完成由氧化膜 68 與多晶矽區域 67 被氧化的區域所形成之部分氧化膜 71，及未被氧化而留存的多晶矽區域 61(62)所構成的部分隔離構造。

由於多晶矽區域 67 的氧化程度比形成在 SOI 層 3 上之氧化膜 70 高，因此在 SOI 層 3 之表面與多晶矽區域 61(62)之最上部之間產生充分的段差，因而能防止閘極氧化膜的形成時，由於氧化膜的不良而構成閘極 9 與多晶矽區域 61 的短路。

其後用習知的方法於 NMOS 電晶體形成區域形成 NMOS 電晶體，於 PMOS 電晶體形成區域形成 PMOS 電晶體即可製成第 32 圖所示的 SOI 構造。

<<第 5 實施形態>>

<第 1 態樣>

第 38 圖表示本發明第 5 實施形態之 SOI 構造半導體裝置之第 1 態樣的構造剖視圖。如該圖所示，由矽基板 1、埋設氧化膜 2 及 SOI 層 3 形成之 SOI 構造半導體裝置之 SOI 層 3 之各電晶體形成區域係由下層形成有井區域之低介電率膜(比埋設氧化膜 2 等一般的絕緣膜之介電率為低的絕

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (33)

緣膜)75加以隔離。然後如第1圖之第1實施形態所示，在使NMOS電晶體相互間隔離之低介電率膜75之下層形成p型井區域11、於使PMOS電晶體相互間隔離之低介電率膜75之下層形成n型井區域12，而於使NMOS電晶體與PMOS電晶體間隔離之低介電率膜75之下層則形成p型井區域及n型井區域(第38圖中未圖示)。上述的井區域與第1實施形態同樣能藉由具有電氣連接關係之基體區域固定電位。

形成為SOI構造時，SOI層3的膜厚有可能為50nm程度之薄。此時形成在元件隔離用氧化膜(第1圖之部分氧化膜31)下的井區域有可能發生空乏化(depletion)或反轉(inversion)，而在本來該隔離的電晶體之間有發生漏電流之虞。

然而依第4實施形態第1態樣，由於元件隔離使用低介電率膜75，因此膜厚薄亦能充分抑制其電容，能確實的避免上述漏電流的發生。

上述低介電率膜75可使用在埋設氧化膜2等所用之矽氧化膜(介電率比為3.9至4程度)中混入氟素，或使用有機膜，而介電率比在3左右者。

<第2態樣>

第39圖表示第5實施形態第2態樣的剖視圖。如該圖所示，取代第38圖之低介電率膜75而為使用由低介電率膜76與形成於低介電率膜76之底面及側面之矽氧化膜78達成元件隔離。其他的構成則與第38圖所示的第1態

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (34)

樣相同。

如上述之在低介電率膜 76 之底面及側面形成矽氧化膜 78 之目的在確實的抑制與矽(汲極區域 5、源極區域 6、井區域 11、12 等)之界面發生的缺陷及界面電荷。矽氧化膜 78 則可由熱氧化法及 CVD 法等形成。

<第 3 態樣>

第 40 圖表示第 5 實施形態第 3 態樣的剖視圖。如該圖所示，取代第 38 圖之低介電率膜 75 而為使用低介電率膜 77 與形成在低介電率膜 77 之側面的矽氧化膜 79 實行元件隔離。其他的構成則與第 38 圖所示第 1 態樣相同。

如上述之在低介電率膜 77 之側面形成矽氧化膜 79 係著眼於確實的防止與存在於通道形成區域 7 之側面方向之矽(汲極區域 5、源極區域 6)之界面發生的缺陷及界面電荷。

<<第 6 實施形態>>

<第 1 態樣>

第 41 圖表示本發明第 6 實施形態之 SOI 構造半導體裝置之第 1 態樣的構造剖面圖。

如該圖所示，各元件間為由層間絕緣膜 4(說明的方便上，相當於完全氧化膜 32 的部分亦以層間絕緣膜 4 表示)完全的隔離，在埋設氧化膜 2 的上層部形成構成基體區域的连接區域 80，其一部分連接於 SOI 層 3(第 41 圖中為汲極區域 5、通道形成區域 7)之端部下面而保持電氣連接關係。連接區域 80 之導電型則與通道形成區域 7 相同。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (35)

其他與第 1 及第 2 圖相同的部分則註以相同符號而省略其說明。

如上所述，第 1 態樣之半導體裝置並不將構成基體區域之連接區域 80 設在 SOI 層 3，而是設在埋設氧化膜 2 的上層部，因此與閘極 9 之間至少可設 SOI 層 3 之膜厚以上的高度差。其結果可確實的避免於製造時閘極 9 與連接區域 80 發生短路狀況。

<第 2 態樣>

第 42 圖表示本發明第 6 實施形態之 SOI 構造半導體裝置之第 2 態樣的構造剖視圖。

如該圖所示，汲極區域 5S 及源極區域 6S 為淺淺的形成在 SOI 層 3 之上層部。其他的構成則與第 41 圖所示第 1 態樣相同。

如上述，由於第 2 態樣之半導體裝置將汲極區域 5S 及源極區域 6S 淺淺的形成在 SOI 層 3 的上層部，因此汲極區域 5S 或源極區域 6 與連接區域 80 保持接觸關係而能確實的防止發生漏電流。

<製造方法(概念)>

第 43 至 45 圖表示形成成為連接區域 80 之多晶矽區域之工序的概念剖面圖。

首先如第 43 圖所示，以矽基板 1、埋設氧化膜 2 及 SOI 層 3 形成之 SOI 構造，由其表面選擇的除去 SOI 層 3 而形成用溝槽隔離的元件形成區域。

然後如第 44 圖所示，以 SOI 層 3 為遮膜對埋設氧化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (36)

膜 2 實施濕蝕刻，除去 SOI 層 3 之端部下面的埋設氧化膜 2 同時除去在其上部不存在 SOI 層 3 之埋設氧化膜 2 的上層部以形成孔部 94。

然後如第 45 圖所示，於孔部 94 埋設多晶矽以形成連接區域 80 用之多晶矽區域 81。

<製造方法(其一)>

第 46 至 48 圖表示形成做為連接區域 80 之多晶矽區域之其一工序的具體剖視圖。

首先如第 46 圖所示，於 SOI 基板之 SOI 層 3 上堆積矽氧化膜 91 及矽氮化膜 92，對 SOI 層 3、矽氧化膜 91 及矽氮化膜 92 製成圖案並實行溝槽隔離後，於製成圖案後之 SOI 層 3、矽氧化膜 91 及矽氮化膜 92 的側面形成側壁矽氮化膜 93。

然後如第 47 圖所示，以矽氮化膜 92 及側壁矽氮化膜 93 為遮膜對埋設氧化膜 2 實施濕蝕刻，除去 SOI 層 3 之端部下面的埋設氧化膜 2 同時除去其上部不存在有 SOI 層 3 而露出之埋設氧化膜 2 的上層部以形成孔部 94。

其後如第 48 圖所示，全面地堆積多晶矽層後，對多晶矽層用乾蝕刻實施回蝕刻而於孔部 94 埋設多晶矽以形成連接區域 80 用之多晶矽區域 81。

其後以第 11 圖所示的工序，用埋設氧化膜於溝槽等的方法將複數的元件形成區域實行絕緣隔離，使其可由外部固定連接區域 80 的電位，再將複數之元件形成區域各形成預定的元件而完成第 41 圖或第 42 圖所示的構造。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (37)

<製造方法(其二)>

第 49 至 51 圖表示形成用以構成連接區域 80 之多晶矽區域之其二工序的具體剖視圖。

首先如以上第 46 圖所示對 SOI 層 3、矽氧化膜 91 及矽氮化膜 92 製成圖案實施溝槽隔離後，在製成圖案後之 SOI 層 3、矽氧化膜 91 及矽氮化膜 92 的側面形成側壁矽氮化膜 93。

然後如第 49 圖所示，以矽氮化膜 92 及側壁矽氮化膜 93 為遮膜對埋設氧化膜 2 實施濕蝕刻，除去 SOI 層 3 之端部下面的埋設氧化膜 2 同時除去其上部不存在有 SOI 層 3 之埋設氧化膜 2 的上層部而形成孔部 94。

其次如第 50 圖所示，由 SOI 層 3 之露出的下面以磊晶成長方式在側壁矽氮化膜 93 下形成磊晶成長層 82。

其後如第 51 圖所示，全面地堆積多晶矽層後，對多晶矽層實施回蝕刻以埋設多晶矽於孔部 94 而形成連接區域 80 用之多晶矽區域 83。其結果可形成由磊晶成長層 82 與多晶矽區域 83 所構成之連接區域 80。

其後用埋設氧化膜於溝槽等的方法將複數之元件隔離區域實行絕緣隔離，使其可由外部固定連接區域 80 的電位，再將複數之元件形成區域各形成預定的元件而完成第 41 圖或第 42 圖所示的構造。

依第 2 態樣的構造，其使磊晶成長層 82 介於其間的部分因汲極區域 5 或源極區域 6 與通道形成區域 7 之 PN 接合部分與多晶矽區域 83 能取得充分的距離，因此能得

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (38)

良好的電氣特性。

<第 3 態樣>

第 52 圖表示第 6 實施形態第 3 態樣的剖視圖。該圖之構造係從第 41 圖所示的構造(除去連接區域 80、基體接觸部 23、閘極接觸部 24 及配線層 22、25)開始，研磨除去矽基板 1 及埋設氧化膜 2 後，將其上下顛倒，在新的下面貼合矽基板 90，而將連接區域 86 形成於表面的構造。亦即為由矽基板 90、層間絕緣膜 4 及元件形成區域(汲極區域 5、源極區域 6、通道形成區域 7 等)所構成的 SOI 構造。

第 3 態樣由於將連接區域 86 形成於表面，因此製造工序容易。

<第 4 態樣>

第 53 圖表示第 6 實施形態第 4 態樣的剖視圖。如該圖所示，為貫通埋設氧化膜 2 而形成連接區域 87。其他構成則與第 41 圖所示第 1 態樣相同。

如上所述，第 4 態樣由於貫通埋設氧化膜 2 而形成連接區域 87，因此可由支持基板之矽基板 1 固定電位。於此如第 54 圖所示，如利用以濕蝕刻形成在埋設氧化膜 2 之上層部的孔部 89，及以乾蝕刻使其不向橫方向擴大而貫通埋設氧化膜 2 所形成的貫通部 88 設成貫通口後，對其埋設多晶矽等以形成連接區域 87，則可抑制貫通口形成時之橫方向的擴大而製成貫通埋設氧化膜 2 之連接區域 87。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (39)

<<第 7 實施形態>>

第 63 圖表示用以說明本發明第 7 實施形態之 SOI 構造半導體裝置之完全隔離區域的設計方法之平面圖。如該圖所示於形成 CMOS 電晶體時，一般的形狀為於假想 n 井區域 104 內選擇地設置 PMOS 活性(active)區域 101 及 PMOS 基體接觸區域 102，於假想 n 井區域 104 外之 p 區域(未圖示)選擇地設置 NMOS 活性區域 111 及 NMOS 基體接觸區域 112。

另一方面，使用第 2 實施形態第 3 態樣(第 7 圖)等所示之複合隔離區域隔離 NMOS、PMOS 時，則假想 n 井區域 104 與部分隔離區域大約為一致且完全隔離區域為連續於部分隔離區域而形成。

如上述使用複合隔離區域之半導體裝置的配置(layout)構成，其能利用過去儲存之配置資料(layout data)的可能性很高。

因此由實施以下之①至③所示的設計方法即可自動作成完全隔離區域。

①取得由形成在井區域內之 PMOS 電晶體與形成在井區域外之 NMOS 電晶體所構成之 CMOS 裝置之過去的資料。

②依據過去資料設定第 1 及第 2 MOS 電晶體之形成區域(PMOS 活性區域 101、PMOS 基體接觸區域 102、NMOS 活性區域 111、NMOS 基體接觸區域 112)。

③以上述過去資料中之井區域作為假想 n 井區域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (40)

104，於 n 井區域 104 的外周附近區域設定完全隔離區域 105。

假想 n 井區域 104 通常為用於區別 NMOS 區域與 PMOS 區域，因此以假想 n 井區域 104 為基準設定完全隔離區域即可有效的隔離 NMOS 電晶體及 PMOS 電晶體。

第 63 圖所示之側為將假想 n 井區域 104 的外緣以完全隔離區域寬度 W 之一半的寬度 W/2 向外側做超尺寸 (over size) 設定，並將該外緣以 W/2 寬度向內側做未足尺寸 (under size) 設定以設定完全隔離區域 105。

如上所述，於通常製造 CMOS 電晶體之過去資料的井區域外周附近依據完全隔離寬度 W 即可自動的設定完全隔離區域。

然後以在 PMOS 活性區域 101、PMOS 基體接觸區域 102、n 井區域 104、NMOS 活性區域 111 及 NMOS 基體接觸區域 112 以外的區域連接於 n 井區域 104 而形成部分隔離區域 113 的方式設定部分隔離區域 113，即可設計由完全隔離區域 105 及部分隔離區域 113 所構成之複合隔離區域。

<<第 8 實施形態>>

<鎖住現象>

第 64 圖表示用以說明鎖住現象的說明圖。如該圖所示，PMOS 區域 131 鄰接 NMOS 區域 141 的 CMOS 構造，係形成有由 PMOS 區域 131 內之 PMOS 活性區域 133、n 井區域 132 及 NMOS 區域 141 內之 p 井區域 142 形成寄

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (41)

生雙極電晶體(parasitic bipolar transistor)T1，及由 NMOS 區域 141 內之 NMOS 活性區域 143、p 井區域 142 及 PMOS 區域 131 內之 n 井區域 132 形成寄生雙極電晶體 T2。

n^+ 基體接觸區域 135 經由 n 井區域之電阻成分 R11 連接於寄生雙極電晶體 T1 的基極。同樣的 p^+ 基體接觸區域 145 經由 p 井區域 142 之電阻成分 R12 連接於寄生雙極電晶體 T2 的基極。 n^+ 基體接觸區域 135 為設定於電源電壓 V_{cc} ， p^+ 基體接觸區域 145 為設定於接地電位 V_{ss} 。PMOS 活性區域 133 及 NMOS 活性區域 143 之中心部各形成閘極 134 及 144。

由於上述寄生雙極電晶體 T1 及 T2 將構成寄生矽控整流體(thyristor)構造，因此由於雜訊使寄生矽控整流體成為導通狀態時，則由電源電壓 V_{cc} 至接地電位 V_{ss} 之間一直有電流而發生鎖住現象。

<第 1 態樣>

引起鎖住現象之雜訊一般多為由輸入出端子進入。因此如第 65 圖所示，最好將輸入出 NMOS(電晶體形成區域)區域 106，輸入出 PMOS(電晶體形成區域)區域 116 間之邊界附近區域由完全隔離區域 114 形成完全隔離的構造。又，輸入出 NMOS 區域 106 及輸入出 PMOS 區域 116 各由部分隔離區域 107 及部分隔離區域 117 使之與周邊區域部分隔離。

輸入出區域表示輸入出緩衝電路及保護電路為主所形成的區域。第 66 圖表示輸入出電路之一電路側。如該圖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (42)

所示，接受輸入訊號 IN 之外部輸入端子 P1 為經由電阻 R1 及 R2 連接於輸入緩衝器 122 的輸入部，輸入緩衝器 122 的輸出部為連接於內部輸入端子 P2，由內部輸入端子 P2 輸出內部訊號 S0。

輸入保護電路 121 由 PMOS 電晶體 Q1 及 NMOS 電晶體 Q2 構成，PMOS 電晶體 Q1 之源極及閘極連接於電源電壓 Vcc，汲極連接於電阻 R1 與 R2 之間的節點 N1。NMOS 電晶體 Q2 之源極及閘極為接地，其汲極連接於節點 N1。

輸入緩衝器 122 由 PMOS 電晶體 Q11、NMOS 電晶體 Q12 構成 CMOS 反向器 (inverter)，PMOS 電晶體 Q11 及 NMOS 電晶體 Q12 的閘極形成輸入部，汲極為輸出部。

依上述電路側為將 PMOS 電晶體 Q1 及 Q11 形成在輸入 PMOS 區域 118，NMOS 電晶體 Q2 及 Q12 形成在輸入 NMOS 區域 108。

第 67 圖表示輸出電路之一電路例。如該圖所示，接受內部訊號 S1 之內部輸入端子 P3 為連接於輸出緩衝器 123 的輸入部，輸出緩衝器 123 之輸出部所得的訊號經由外部輸出端子 P4 輸出為輸出訊號 OUT。

輸出緩衝器 123 為以 PMOS 電晶體 Q13 與 NMOS 電晶體 Q14 構成 CMOS 反向器，PMOS 電晶體 Q13 與 NMOS 電晶體 Q14 之閘極為輸入部，汲極為輸出部。

輸出保護電路 124 為由 PMOS 電晶體 Q3 及 NMOS 電晶體 Q4 構成，PMOS 電晶體 Q3 之源極及閘極連接於電源電壓 Vcc，汲極連接外部輸出端子 P4。NMOS 電晶體 Q4

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (43)

之源極及閘極為接地，其汲極連接外部輸出端子 P4。

依上述電路例為將 PMOS 電晶體 Q3 及 Q13 形成在輸出 PMOS 區域 119，NMOS 電晶體 Q4 及 Q14 則形成在輸出 NMOS 區域 109。

如上所述，第 8 實施形態第 1 態樣在容易發生鎖住現象之輸入出 NMOS 區域 106、輸入出 PMOS 區域 116 間至少於邊界附近區域形成完全隔離區域 114 以實施完全隔離，由此形成不易發生鎖住現象的構造。

依第 8 實施形態第 1 態樣並非對於 NMOS 區域及 PMOS 區域間之全區域設完全隔離區域。而是在輸入出 NMOS 區域，輸入出 PMOS 區域之邊界附近區域設完全隔離區域 114，因此能有效的抑制鎖住現象同時將電路形成面積之增大抑制於最小限。

<第 2 態樣>

輸入出 NMOS 區域 106、輸入出 PMOS 區域 116 間之完全隔離除了如第 65 圖只設在輸入出 NMOS 區域 106、輸入出 PMOS 區域 116 間之邊界附近區域以外，如第 68 圖所示之第 2 態樣將輸入出 NMOS 區域 106 及輸入出 PMOS 區域 116 完全圍繞的形成完全隔離區域 115 亦可。

除了在輸入出 NMOS 區域、輸入出 PMOS 區域間之外，亦可考慮在例如類比電路、數位電路間之特定的電路間設置完全隔離區域。

<第 3 態樣>

第 69 圖表示第 8 實施形態第 3 態樣之說明圖。如該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (44)

圖所示，在 NMOS 區域(輸入出 NMOS 區域 106、內部 NMOS 區域 180)、PMOS 區域(輸入出 PMOS 區域 116、內部 PMOS 區域 190)間之外，在輸入出區域(輸入出 PMOS 區域 116)、內部電路區域(內部 NMOS 區域 180)間亦用完全隔離區域 110 將其完全隔離。

依第 3 態樣則在第 1 及第 2 態樣的效果之外，能夠將容易受到雜訊影響之輸入出區域的影響自內部電路區域完全的遮斷。

<<第 9 實施形態>>

<第 1 態樣>

第 70 圖表示本發明第 9 實施形態之 SOI 構造半導體裝置之第 1 態樣平面構造的平面圖。第 71 圖表示沿第 70 圖 A-A 線的剖視圖。如該等的圖所示，NMOS(電晶體形成)區域 126 與 PMOS(電晶體形成)區域 136 為鄰接而設。NMOS 區域 126 內形成具有複數之閘極 129 的 NMOS 活性區域 128 及 p^+ 基體區域 130，NMOS 活性區域 128 的周圍由部分隔離區域 127 圍繞。

另一方面，在 PMOS 區域 136 內形成具有複數之閘極 139 之 PMOS 活性區域 138 及 n^+ 基體區域 140，PMOS 活性區域 138 之周圍則以部分隔離區域 137 及完全隔離區域 120 圍繞。完全隔離區域 120 設在 NMOS 區域 126 與 PMOS 區域 136 之邊界附近的 PMOS 區域 136 內之閘極 139 由 PMOS 活性區域 138 露出的部分。

因此於 NMOS 區域 126 與 PMOS 區域 136 之邊界附

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (45)

近區域為如第 71 圖所示，NMOS 區域 126 為藉由氧化膜 54 與井區域 169 所形成之部分隔離區域 127 而與其周圍隔離，而 PMOS 區域 136 則只藉由氧化膜 54 所形成之完全隔離區域 120 而與其周圍隔離。

如上所述，於 NMOS 區域 126 完全不形成完全隔離區域，而由設置部分隔離區域 127，經由氧化膜 54 下之井區域 169 能充足的固定 NMOS 電晶體的基板電位，因此能有效的抑制基板浮動效果比較顯著之 NMOS 電晶體的基板浮動效果。

對於基板浮動效果比 NMOS 電晶體為穩定的 PMOS 電晶體之周邊的一部分形成完全隔離區域亦無太大不良影響，在 NMOS 區域 126，PMOS 區域 136 間使用完全隔離區域 120 實行絕緣隔離以提高面積效率而在配置(layout)上受限時，則依本態樣顯然有效。

<第 2 態樣>

第 72 圖表示本發明第 9 實施形態之 SOI 構造半導體裝置之第 2 態樣平面構造的平面圖，第 73 圖表示沿第 72 圖 B-B 線斷面構造的剖視圖。如該等圖所示，形成在 p⁻型井區域 169 內之 NMOS 區域 126 與 n⁻型井區域 179 內之 PMOS 區域 136 號鄰接的設置。

於 NMOS 區域 126 內形成具有複數之閘極 129 的 NMOS 活性區域 128，NMOS 活性區域 128 之周圍的大部分以完全隔離區域 125 圍繞。然後只閘極 129 之一側(與 PMOS 區域 136 相反側)之閘極 129 端部以部分隔離區域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (46)

127 使之與其周圍隔離。

如第 73 圖所示，以氧化膜 54 與形成在氧化膜 54 之下方的井區域 169 構成部分隔離區域 127。部分隔離區域 127 之形成寬度比閘極 129 之形成寬度為大(第 73 圖之左側)或小(第 73 圖之右側)均可。又於井區域 169 內之上述閘極 129 的一側附近設置 p^+ 基體區域 130。

另一方面，於 PMOS 區域 136 內形成具有複數之閘極 139 的 PMOS 活性區域 138，PMOS 活性區域 138 之周圍的大部分以完全隔離區域 125 圍繞。然後與 NMOS 區域 126 同樣的，只閘極 139 之一側(與 NMOS 區域 126 相反側)之閘極 139 端部以部分隔離區域 137 使之與其周圍隔離。並於井區域 179 內之上述閘極 139 的一側附近設置 n^+ 基體區域 140。

如上所述，第 9 實施形態第 2 態樣由於將閘極端部用部分隔離區域隔離，存在於閘極下之通道形成區域與部分隔離區域之井區域為連接形成，因此能固定各電晶體形成區域之基板電位。

NMOS 區域 126 及 PMOS 區域 136 之周圍的大部分用完全隔離區域 125 圍繞的目的在減小 PN 接合面積及遮斷發生鎖住現象的路徑。

<<第 10 實施形態>>

<第 1 態樣>

第 74 圖表示本發明第 10 形態之 SOI 構造半導體裝置第 1 態樣的構成之平面圖。如該圖所示，於 NMOS 活

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (47)

性區域 128 內形成複數之閘極 129，圍繞 NMOS 活性區域 128 之周圍設部分隔離區域 127。並圍繞部分隔離區域 127 的周圍設 p^+ 基體區域 146。第 101 圖表示沿第 74 圖 E-E 線之斷面構造的剖視圖。

如第 101 所示，部分隔離區域 127 為由氧化膜 54 與井區域 169 構成，由於該井區域 169 為接於形成在 NMOS 活性區域 128 之通道形成區域而形成，因而容易受到雜訊及鎖住現象的影響。

然而第 10 實施形態之第 1 態樣為圍繞部分隔離區域形成 p^+ 基體區域 146，因此由實施將 p^+ 基體區域 146 固定在接地電位等之基板固定，則能抑制受其他電路部分的影響，安定基板電位，大幅的提高對於雜訊及鎖住的抵抗能力。

依上述構成之第 1 態樣適合於雜訊源的電路區塊 (circuit block)、欲遮斷來自外部之雜訊的電路區塊等。又，在 PMOS 活性區域的場合，使 n^+ 基體區域圍繞部分隔離區域的周圍形成即可得同樣的效果。

<第 2 態樣>

第 75 圖表示本發明第 10 實施形態之 SOI 構造半導體裝置之第 2 態樣的平面圖。如該圖所示，輸入出 NMOS 區域 151 與輸入出 PMOS 區域 152 為鄰接形成。

於輸入出 NMOS 區域 151 之 NMOS 活性區域 128 內形成複數之閘極 129，圍繞 NMOS 活性區域 128 的周圍設部分隔離區域 127A。又圍繞部分隔離區域 127A 的周圍

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (48)

設 p^+ 基體區域 146。然後圍繞 p^+ 基體區域 146 設部分隔離區域 127B。

於輸入出 PMOS 區域 152 之 PMOS 活性區域 138 內形成複數之閘極 139，圍繞 PMOS 活性區域 138 的周圍設部分隔離區域 137A。又圍繞部分隔離區域 137A 的周圍設 n^+ 基體區域 147。然後圍繞 n^+ 基體區域 147 設部分隔離區域 137B。

一般而言輸入出電路多容易受到來自晶片外面的電湧 (surge) 及雜訊的影響，因此尤需提高對於鎖住現象及雜訊的抵抗能力。

第 10 實施形態之第 2 態樣由於輸入出 NMOS 區域 151 及輸入出 PMOS 區域 152 各自的部分隔離區域 127A 及 137A 為以 p^+ 基體區域 146 及 n^+ 基體區域 147 圍繞，因此能抑制因受電湧的影響井區域之電位上外所發生的鎖住現象。

上述第 2 態樣為將 NMOS、PMOS 活性區域全體以基體區域被覆的構造，然至少在輸入出 NMOS 區域 151 及輸入出 PMOS 區域 152 的邊界附近區域設基體區域，即可將對於鎖住現象及雜訊的抵抗能力提高至某程度。

<< 第 11 實施形態 >>

< 第 1 態樣 >

第 76 圖表示本發明第 11 實施形態之 SOI 構造半導體裝置第 1 態樣的構成平面圖。

如該圖所示，於 NMOS 活性區域 128 內設複數之閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (49)

極 129，圍繞 NMOS 活性區域 128 的周圍形成浮動的 (floating) 部分隔離區域 149，然後圍繞浮動的部分隔離區域 149 的周圍形成完全隔離區域 148。

浮動的部分隔離區域 149 例如第 55 圖之部分氧化膜 31 與井區域 11 之關係以氧化膜與井區域之兩層構造形成，但井區域之電位不固定而是經常成為浮動狀態。將浮動的部分隔離區域 149 之井區域設成浮動狀態時，因衝突電離 (impact ionization) 而發生的載子 (carrier) 將流入浮動的部分隔離區域 149 之井區域，因此能將電位上升抑制於最小程度。另外，因宇宙線而發生的電荷可分散於浮動的部分隔離區域 149 之井區域，因而能提高其對軟誤差 (soft error) 的抵抗能力。

上述設置浮動的部分隔離區域 149 之第 11 實施形態第 1 態樣的構成對於與基體區域接觸有困難之 sram 等高密度電路甚為有效。

由提高對鎖住的抵抗能力等的觀點雖最好設置完全隔離區域 148，但並非必須。

<第 2 態樣>

第 77 圖表示本發明第 11 實施形態之 SOI 構造半導體裝置之第 2 態樣的構成平面圖。

如該圖所示，於浮動的部分隔離區域 149 內設浮動 p^+ 基體區域 150。其他構成與第 76 圖所示第 1 態樣相同。

浮動 p^+ 基體區域 150 之電位不會被固定而經常成為浮動狀態。因而浮動的部分隔離區域 149 之井區域亦成為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (50)

浮動狀態。

將第 2 態樣之浮動的部分隔離區域 149 之井區域設成浮動狀態亦可與第 1 態樣同樣的將電位上升抑制於最小程度而提高其軟誤差的抵抗能力。

又第 2 態樣由於浮動 p^+ 基體區域 150 之存在，促進載子之再結合，因此具有比第 1 態樣達成更高之抑制基板浮動效果的作用。

<<第 12 實施形態>>

<第 1 態樣>

第 78 圖表示本發明第 12 實施形態之 SOI 構造半導體裝置第 1 態樣之構成的平面圖，第 79 圖表示沿第 78 圖 C-C 線的剖視圖。

如該等圖所示，在鄰接於由汲極區域 153、源極區域 154 及閘極 155 構成之 NMOS 電晶體之源極區域 154 處設 p^+ 基體區域 156，源極區域 154 及基體區域 156 一起經由接觸部 158 電氣的連接於鋁配線層 160。

汲極區域 153 經由接觸部 157 電氣的連接於鋁配線層 159，又圍繞汲極區域 153、源極區域 154 及基體區域 156 之周邊形成部分隔離區域 161。

如第 79 圖所示，部分隔離區域 161 為由氧化膜 162 及 p^- 型井區域 177 構成。又為使對於源極區域 154 及基體區域 156 之共同連接容易而橫跨源極區域 154 及基體區域 156 的上面形成矽化物(silicide)層 163，於矽化物層 163 上形成接觸部 158。又閘極 155 之閘極氧化膜 178 下方之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (51)

SOI 層 3 的區域構成通道形成區域 170。

依上述的構成，由鋁配線層 160 將源極區域 154 及基體區域 156 固定於接地電位，將井區域 177 之電位固定於與源極區域 154 相同的電位，由而能藉由井區域 177 固定通道形成區域 170 的電位。

如第 78 及 79 圖所示，第 1 態樣在源極區域 154 及基體區域 156 鄰接形成的部分可圖得積體度的提高。

對於 PMOS 電晶體亦可與上述同樣的形成，但源極區域及基體區域則有必要固定於電源電壓。

<第 2 態樣>

第 80 圖表示本發明第 12 實施形態之 SOI 構造半導體裝置第 2 形態之構成的平面圖，第 81 圖表示沿第 80 圖 D-D 線的剖視圖。

如該等圖所示，鄰接於源極區域 154 設 p⁺型基體區域 164，由接觸部 165 將源極區域 154 及基體區域 164 一起電氣的連接於鋁配線層 166。於此係以與源極區域 154 及基體區域 164 接觸的方式形成接觸部 165。然後圍繞汲極區域 153、源極區域 154 及基體區域 164 的周邊形成部分隔離區域 161。

如第 81 圖所示，於源極區域 154 上形成矽化物層 167，在矽化物層 167 之一部分上及基體區域 164 上形成接觸部 165。其他的構成與第 78 及 79 圖所示第 1 態樣相同。

依上述的構成，由鋁配線層 166 將源極區域 154 及基

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (52)

體區域 164 固定於接地電位，將井區域 177 之電位固定於與源極區域 154 相同的電位，由而能經由井區域 177 固定通道形成區域 170 的電位。

如第 80 及 81 圖所示，第 2 態樣在源極區域 154 及基體區域 164 鄰接形成的部分可提高積體度。

<第 3 態樣>

如第 82 圖所示，鄰接於部分隔離區域 161 並在通常形成源極區域 154 之部分的一部分設基體區域 164，於源極區域 154 上設接觸部 165 亦可得與第 2 態樣相同的效果。

又如第 82 圖所示，第 3 態樣在形成源極區域 154 之區域內完全重複形成基體區域 164 的部分，能獲得比第 1 及第 2 態樣好的積體度。

<<第 13 實施形態>>

第 83 圖表示本發明第 13 實施形態之 SOI 構造半導體裝置之斷面構造的剖視圖。如該圖所示，由氧化膜 173 及氧化膜 173 下之井區域(p 區域 174、175 及 p⁻區域 176)構成使 n⁺活性區域 171、172 間隔離之部分隔離區域。n⁺活性區域 171、172 例如可當做電晶體之源極、汲極區域，p 區域 174、175 成為鄰接 n⁺活性區域 171、172 之井區域的周邊區域，p⁻區域 176 成為井區域的中心區域。

如上所述，第 13 實施形態將鄰接 n⁺活性區域 171、172 之 p 區域 174 及 175 之不純物濃度設定比 p⁻區域 176 為高，由此獲得於部分隔離對於擊穿(punch through)之抵抗

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (53)

能力的提高。

其製造方法例如在氧化膜 173 下形成 p⁻井區域後，用傾斜旋轉注入 (oblique-rotating ion implantation) 方式注入硼或 BF₂ 至井區域即可形成如第 83 圖所示的 p 區域 174、175。

例如將硼 (B) 以 20 keV 的注入能量，45 度之注入角度注入 $4 \times 10^{13}/\text{cm}^2$ 的摻入量即可。又於 B 或 BF₂ 的注入能量低時 (例如 BF₂ 之注入能量為 20keV)，藉由 n⁺ 不純物注入時發生之晶格缺陷的增速擴散亦可在 n⁺ 活性區域 171、172 的周邊形成 p 型區域而設置 p 型區域 174、175。

<<第 14 實施形態>>

<第 1 態樣>

第 84 圖表示本發明第 14 實施形態之 SOI 構造半導體裝置第 1 態樣之斷面構造剖視圖。如該圖所示，形成在矽基板 1 及埋設氧化膜 2 上之 SOI 層 3 而由汲極區域 183、源極區域 184，閘極氧化膜 185、閘極 186 及通道形成區域 187 所構成之 NMOS 電晶體為由氧化膜 181 及井區域 182 之形成之部分隔離區域加以部分隔離。

如第 84 圖之右側所示，汲極區域 183 及源極區域 184 之不純物濃度分佈與井區域 182 之不純物濃度分佈比較時，將井區域 182 之不純物濃度尖峰設定為較之於汲極區域 183 及源極區域 184 之不純物濃度尖峰，其自 SOI 層 3 之表面的深度較深。

依上述構成之第 1 態樣的半導體裝置，由於能將汲極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (54)

區域 183 及源極區域 184 與井區域 182 之 PN 接合部分互以薄不純物分佈形成，因此能提高汲極區域 183 及源極區域 184 與井區域 182 之 PN 接合耐壓。

<第 2 態樣>

第 85 圖表示本發明第 14 實施形態之 SOI 構造半導體裝置之第 2 態樣的斷面構造的剖面圖。如該圖所示，具有與第 1 態樣同樣的構造。

然如第 85 圖之右側所示，其井區域 182 之不純物分佈與通道形成區域 187 之不純物分佈比較時，井區域 182 之不純物尖峰係設定為較之於通道形成區域 187 之不純物尖峰，其自 SOI 層 3 的表面算起的深度較淺。例如在部分隔離用之氧化膜 181 之上面比 SOI 層 3 之表面更在上部的狀態實施不純物注入以同時形成井區域 182 及通道形成區域 187 時，通道形成區域 187 之不純物分佈之尖峰將自然的形成在比井區域 182 深的位置。

依上述構成之第 2 態樣的半導體裝置，由充分的降低通道形成區域 187 的表面之不純物濃度而使其閾值電壓不超過希望值。

<<第 15 實施形態>>

<第 1 態樣>

第 86 圖表示本發明第 15 實施形態之 SOI 構造半導體裝置第 1 態樣之構造的剖視圖。如該圖所示，在矽基板 1 及埋設氧化膜 2 上之 SOI 層 3 選擇的形成 n^+ 活性區域 191 至 193， n^+ 活性區域 191、192 間以完全隔離區域 209 隔

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (55)

離， n^+ 活性區域 192、193 間則以部分隔離區域 219 隔離。

完全隔離區域 209 由氧化膜 188 及形成在氧化膜 188 下之井區域(p^- 井區域 194、195 及 p 井區域 196、197)構成。由於氧化膜 188 之中心部之完全絕緣部分 229 為貫通 SOI 層 3 地形成，因此能將 n^+ 活性區域 191、192 間完全隔離，另一方面，部分隔離區域 219 為由氧化膜 189 及氧化膜 189 下之 p^- 井區域 198 構成。

對於氧化膜 188 下之井區域將鄰接完全絕緣部分 229 形成之 p 井區域 196、197 之不純物濃度設定成比其他的區域 194、195 為高。

於完全絕緣部分 229 的附近區域由於加在 SOI 層 3 的應力以致發生電荷或不純物對氧化膜的偏析 (segregation)

，而由很可能發生擊穿的問題。

然而依第 15 實施形態之第 1 態樣，由於在完全絕緣部分 229 的附近設置不純物濃度比較高的 p 井區域 196、197，因而能抑制上述問題的發生。

<第 2 態樣>

第 87 圖表示本發明第 15 圖實施形態之 SOI 構造半導體裝置第 2 態樣之構成的平面圖。如該圖所示，由汲極區域 201、源極區域 202 及閘極 203 形成之 NMOS 電晶體周圍以部分隔離區域 204 至 207 圍繞，再以完全隔離區域將部分隔離區域 204 至 207 周圍圍繞。

在部分隔離區域 204 至 207 之閘極 203 的附近區域形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (56)

成不純物濃度比較高的 p 井區域 206 及 207，而在接於其他之汲極區域 201 及源極區域 202 的區域形成不純物濃度較低的 p⁺井區域 204 及 205。

依此構成之第 15 實施形態第 2 態樣可藉由 p⁺井區域 204 及 205 獲得 PN 接合電容的降低，可由 p 井區域 206 及 207 防止擊穿的發生。

<<第 16 實施形態>>

<第 1 態樣>

第 88 圖表示本發明第 16 形態之 SOI 構造半導體裝置第 1 態樣之構造的剖視圖。如該圖所示，於矽基板 1 及埋設氧化膜 2 上之 SOI 層 3 內形成部分隔離用之氧化膜 211。

對於隔離形狀的最適當化而言，有必要取得隔離寬度的縮小及緩和施加在 SOI 層之應力等雙方面的平衡。以部分隔離區域用的氧化膜形狀而言，為縮小隔離寬度以盡量縮緊角部的曲率(縮小曲率半徑)及將深度方向的面接近於垂直為宜。相反的為緩和施加的應力則將角部的曲率放緩(增大曲率半徑)為宜。又鳥嘴(bird beak)部則要確保有效活性區域寬度以盡量縮小為宜。

依據上述的觀點，第 1 態樣之氧化膜 211 之斷面形狀為要縮小其隔離寬度，將表面之角部的鳥嘴部的形狀 FA(凸部分)的曲率縮緊，而為緩和應力將底面之角部形狀 FC 的曲率放緩。又為縮小隔離寬度、深度方向之面的形狀 FB 之至少一部分以形成接近於垂直為宜。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (57)

<第 2 態樣>

第 89 圖表示本發明第 16 實施形態之 SOI 構造之半導體裝置第 2 態樣之構造的剖視圖。如該圖所示，於矽基板 1 及埋設氧化膜 2 上之 SOI 層 3 內形成完全隔離區域用的氧化膜 212。

第 2 態樣亦依據與第 1 態樣同樣的觀點，其氧化膜 212 之斷面形狀設定成與第 1 態樣同樣的形狀 FA、FB、FC，再將底部之完全絕緣部分與部分隔離部分的段差部之形狀 FD 的曲率設定為比形狀 FC 更緊縮以圖隔離寬度的縮小。

<<第 17 實施形態>>

<第 1 態樣>

第 90 圖表示本發明第 17 實施形態之 SOI 構造半導體裝置第 1 態樣之構造的剖面圖。第 1 態樣為實現第 91 圖所示的電路圖。如第 91 圖所示，類比電路用電晶體 Q21 之閘極與類比電路用電晶體 Q22 之一方的電極間係經由螺旋電感 (spiral inductor) 199 連接而形成第 1 態樣的電路構成。

如第 90 圖所示，於高電阻矽基板 200 上形成埋設氧化膜 2，於埋設氧化膜 2 上之 SOI 層 3 裝設類比電路用電晶體 Q21 及 Q22。

類比電路用電晶體 Q21 及 Q22 均由汲極區域 5、源極區域 6、通道形成區域 7、閘極氧化膜 8 及閘極 9 構成，類比電路用電晶體 Q21、Q22 間用形成面積比較大的氧化膜 210 完全隔離，而類比電路用電晶體 Q21、Q22 與其他

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (58)

周邊部則形成面積比較小的氧化膜 33 完全隔離。又於氧化膜 210 及 33 下方之一部分則形成有井區域 29。

在含有類比電路用電晶體 Q21、Q22 之 SOI 層 3 全面形成層間絕緣膜 4，於層間絕緣膜 4 上選擇的形成第 1 配線層 221。第 1 配線層 221 之一部分為經由接觸孔 244 與類比用電晶體 Q21、Q22 各自之汲極區域 5 及源極區域 6 電氣的連接。

在含有第 1 配線層 221 之層間絕緣膜 4 上的全面形成層間絕緣膜 220，於層間絕緣膜 220 上選擇的形成第 2 配線層 222，由第 2 配線層 222 之一部分形成螺旋電感 199。第 2 配線層 222 之一部分為經由接觸孔 254 與對應的第 1 配線層 221(221A)電氣的連接。類比電路用電晶體 Q21 之閘極 9 則經由未圖示之區域之形成在層間絕緣膜 4 之接觸孔連接第 1 配線層 221A。

依此構成之第 1 態樣由於設置氧化膜 210 及井區域 29 構成之完全絕緣區域在螺旋電感 199 的下方而降低附隨於螺旋電感 199 的寄生電容。亦即由上述的構成解除於螺旋電感 199 下之隔離區域用氧化膜與井區域的部分隔離區域形成時，井區域與螺旋電感 199 間發生寄生電容，性能指數 Q(損失能量與蓄存能量之比)降低，發生能量損失等不能得到所望之電感性能的問題。

又由於第 1 態樣之 SOI 基板的底基板採用高電阻矽基板 200，因此能降低由於渦電流及電容之電力損失，降低寄生電容而能提高性能指數 Q。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (59)

又由於類比電路易受外來雜訊干擾，因此將類比電路用電晶體 Q21、Q22 的周邊用氧化膜 210 或氧化膜 33 完全隔離以達成與外部的電氣隔離，並圖性能的提高。

又雖未在第 90 圖上表示，然如在墊(pad)部下方形成部分隔離區域則螺旋電感同樣的容易發生大寄生電容造成電能量損失，因此最好在墊部下方亦與螺旋電感 199 的下方同樣的設置完全隔離區域。

<第 2 態樣>

第 92 圖表示本發明第 17 實施形態之 SOI 構造半導體裝置第 2 態樣之構造的剖視圖。第 2 態樣與第 1 態樣同樣為實現第 91 圖所示之電路。

如第 92 圖所示，類比電路用電晶體 Q21、Q22 間用形成面積比較大的氧化膜 218 與其下方之高電阻區域 223 及井區域 224 實行部分隔離，而類比電路用電晶體 Q21、Q22 與其他周邊部則用形成面積比較小的氧化膜 31 及其下方之井區域 11(12)達成部分隔離。

氧化膜 218 下之大部分區域形成為高電阻區域 223，只在周邊部之一部分形成井區域 224。其他構成則與第 90 圖所示第 1 態樣相同。

如第 2 態樣，藉由實施部分隔離，同時將螺旋電感 199 下之部分隔離區域的大部分用氧化膜 218 與高電阻區域 223 構成，可得充分的抑制附隨於螺旋電感 199 的寄生電容。

對於高電阻區域 223 的形成方法，可考慮導入不純物

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (60)

於高電阻區域 223 的方法。另外亦可例如注入 $1 \times 10^{20}/\text{cm}^2$ 程度之高濃度的矽以使氧化膜之下方區域成為無結晶 (amorphous) 化，其後以熱處理實行多晶矽化而形成高電阻區域 223。

<<第 18 實施形態>>

第 93 圖表示本發明第 18 實施形態之 SOI 構造半導體裝置的構成的平面圖。如該圖所示，將 DT-MOS 區域 225、226 間用完全隔離區域 240 予以完全隔離。DT-MOS 是將閘極電位與基體區域 (通道形成區域) 設定於同一電位之 MOS 電晶體。

DT-MOS 區域 225、226 各於其 P 型井區域 231 (部分隔離區域 230) 內設 n^+ 之 NMOS 活性區域 232 及 p^+ 之基體區域 234，經由接觸部 238 與配線層 239 連接，並且設在 NMOS 活性區域 232 之中心部的閘極 233 為經由接觸部 235 (閘極接觸部) 電氣連接於配線層 237，又基體區域 234 經由接觸部 236 (基體接觸部) 電氣的連接於配線層 237。

由配線層 237 將閘極 233 與基體區域 234 設定於同一電位，降低導通狀態的閾值電壓以圖動作速度的提高。

如上述依第 18 實施形態可藉由基體區域 234 及井區域 231 固定通道形成區域的電位，並可由完全隔離區域 240 將 DT-MOS 區域 225、226 間號以完全隔離，因此比較容易形成性能良好的 DT-MOS。對於基體接觸部與閘極接觸部則採用共用 (share) 接觸部同時予以連接亦可。

<<第 19 實施形態>>

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (61)

第 94 圖表示本發明第 19 實施形態之 SOI 構造半導體裝置之構造的剖視圖。

如該圖所示，於形成閘極寬度 W 比較狹之電晶體形成區域 227 構成由汲極區域 245、源極區域 246、通道形成區域 247、閘極氧化膜 248 及閘極 249 形成的 MOS 電晶體，各 MOS 電晶體間用部分氧化膜 31 及井區域 11(12) 予以部分隔離，與周圍則用完全氧化膜 32 予以完全隔離。

在含有 MOS 電晶體之 SOI 層 3 上的全面形成層間絕緣膜 4，於層間絕緣膜 4 上選擇的形成配線層 242。配線層 242 經由接觸孔 241 電氣的連接於汲極區域 245 及源極區域 246。

另一方面，於形成閘極寬度 W 比較寬的電晶體之電晶體形成區域 228 構成由汲極區域 255、源極區域 256、通道形成區域 257、閘極氧化膜 258 及閘極 259 形成之 MOS 電晶體，各 MOS 電晶體間用部分氧化膜 31 及井區域 11(12) 予以部分隔離，與周圍則用完全氧化膜 32 予以完全隔離。

於含有 MOS 電晶體之 SOI 層 3 上的全面形成層間絕緣膜 4，於層間絕緣膜 4 上選擇的形成配線層 252。而配線層 252 為經由接觸孔 251 電氣的連接於汲極區域 255 及源極區域 256。

形成在閘極寬度 W 比較狹的電晶體形成區域 227 之汲極區域 245 及源極區域 246 的形成深度係設定成在內裝 (build in) 狀態時，延伸自汲極/源極之空乏層 243 之至少一部分為到達埋設氧化膜 2 的深度，以圖接合電容的降

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (62)

低。又將汲極區域 245 及源極區域 246 之形成深度設定為到達埋設氧化膜 2 的深度亦可。

另一方面，形成在閘極寬度 W 較寬的電晶體形成區域 228 之汲極區域 255 及源極區域 256 之形成深度係設定成在內裝狀態時，延伸自汲極/源極之空乏層 253 不到達埋設氧化膜 2，以確實的實行對於通道形成區域 257 的電位固定。

對於形成在電晶體形成區域 227 及 228 之二種類的汲極/源極區域，可由變化源極/汲極形成時之不純物的注入能量，或變化 NUDC(Non Uniformly Doped Channel)的注入量而形成。

又亦可在形成內裝狀態時空乏層不到達埋設氧化膜 2 之深度的源極/汲源區域後，再實施不純物的追加注入而只使電晶體形成區域 227 側的源極/汲源區域之形成深度變深。

<<第 20 實施形態>>

<第 1 態樣>

第 95 圖表示本發明第 20 實施形態之 SOI 構造半導體裝置第 1 態樣的構造的剖面圖。如該圖所示，於矽基板 1 及埋設氧化膜 2 上之 SOI 層 3 選擇設 n^+ 區域 261、262，於 n^+ 區域 261、262 間設由 p^- 區域 263 及氧化膜 264 形成的部分隔離區域。然後構成由 n^+ 區域 261、262、 p^- 區域 263 及氧化膜 264 所成的場控電晶體(field transistor)。場控電晶體係將 MOS 電晶體之閘極部(閘極氧化膜，閘極)置

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (63)

換為氧化膜的構造。

如上所述第 1 態樣用 p 區域 263 及氧化膜 264 形成之部分隔離區域構造構成場控電晶體。場控電晶體能應用於保護電路等的元件。

第 20 實施形態之場控電晶體之閘極部的構成與部分隔離區域在基本上為相同的構成，因此能與部分隔離區域同時構成閘極部而能比較容易的形成場控電晶體。

第 96 圖表示場控電晶體利用於電路之輸入部的電路例。如該圖所示，場控電晶體 Q31 之一方的電極連接於外部輸入端子 P1，另一方的電極為接地。又於電源、接地間沒有場控電晶體 Q33。其他的構成則與第 66 圖所示電路構成相同而省略其說明。

如上所述，以場控電晶體 Q31 設置外部輸入端子 P1 與接地電位間的保護，及以場控電晶體 Q33 設電源與接地電位間之寄生二極體通路。

第 97 圖表示利用場控電晶體於輸出部的電路例。如該圖所示，場控電晶體 Q32 之一電極連接於外部輸出端子 P4 而另一電極連接於接地。於電源與接地間並連接有場控電晶體 Q34。其他的構成則與第 67 圖之電路構成相同而省略其說明。

如上所述，以場控電晶體 Q32 設置對外部輸出端子 P4 與接地電位間的保護，及以場控電晶體 Q34 設電源與接地電位之間的寄生二極體通路。

場控電晶體採用如第 95 圖所示之 NMOS 的類似構

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (64)

造，因其放電能力高故較理想，但採用 PMOS 的類似構造亦可，此時則有必要於電源與外部輸入端子 P1 之間設場控電晶體以取代場控電晶體 Q31，Q32。

<第 2 態樣>

第 98 圖表示本發明第 20 實施形態之 SOI 構造半導體裝置之第 2 態樣的構造的剖視圖。如該圖所示，將 n^+ 區域 261、262 之周圍用完全氧化膜 265 加以完全隔離。其他構成則與第 95 圖所示第 1 態樣相同而省略其說明。

第 2 態樣由於將場控電晶體全體用完全氧化膜 265 圍繞，因此對於雜音的遮斷可期待良好效果。又將場控電晶體使用於保護電路時，則能確實的防止對於其他構成元件之電流的寄生通路。

<第 3 態樣>

第 99 圖表示本發明第 20 實施形態之 SOI 構造半導體裝置第 3 態樣之構成的平面圖。如圖所示，將複數之 n^+ 區域 261、262 交互配置，各 n^+ 區域 261、262 間用氧化膜 264 及 p^- 區域 263 予以部分隔離，並將周圍全部用完全氧化膜 265 予以完全隔離。

複數之 n^+ 區域 261 為共通的連接於連接端子 P11，複數之 n^+ 區域 262 為共通的連接於連接端子 P12。如上述將以梳子形構造配置之複數的 n^+ 區域 261 及 262 電氣的並聯連接則可提高其放電能力。

<其他>

其他亦可使場控電晶體之源極/汲極區域(n^+ 區域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (65)

261、262)形成為不到達埋設氧化膜 2，並使空乏層形成為到達埋設氧化膜 2 之程度的深度。

<<補充>>

為了使源極/汲極區域形成為到達埋設氧化膜，通常的方法可將不純物注入充分深的深度而形成源極/汲極區域，或於實施不純物濃度尖峰設定較淺的不純物注入後再實施不純物濃度尖峰設定較深的不純物注入。

然而以上述的方法無法如第 85 圖所示之第 14 實施形態第 1 態樣般使得源極/汲極區域較淺的部分具有不純物濃度的尖峰，並且無法以貫通 SOI 層 3 的深度具有其不純物分佈。

因此由採用以注入角度為 0 度附近並以十分小的注入能量注入不純物之離子等的方法，可將不純物尖峰如第 100 圖之 L1 所示設定於 SOI 層 3 之比較淺的位置，並且藉通道形成(channeling)現象之尾部分佈(tail profile)可如第 100 圖之 L2 所示的不純物分佈，使不純物以貫通 SOI 層 3 到達埋設氧化膜 2 的方式分佈。

[發明的效果]

如以上的說明，本發明之半導體裝置，其元件隔離區域中之至少一區域為含有由上層部所設部分絕緣區域與存在下層部之 SOI 層之一部分的半導體區域構成之部分隔離區域，又半導體區域為接於複數之元件形成區域之至少一區域及基體區域而形成，因此是以部分絕緣區域與複數之元件形成區域形成絕緣隔離，並且上述至少一個之元件

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (66)

形成區域是由上述半導體區域及上述基體區域固定其電位。

其結果能製成減低上述至少一個之元件形成區域之基板浮動效果之 SOI 構造半導體裝置。

依本發明之半導體裝置，其複數之第 1 元件形成區域各由部分隔離區域達成元件隔離，複數之第 2 元件形成區域各由部分隔離區域達成元件隔離，而複數之第 1 元件形成區域與複數之第 2 元件形成區域則用貫通 SOI 層之完全隔離區域達成元件隔離，因此能將不同的元件間之元件形成區域完全地絕緣隔離，並且能減低同一元件內之元件形成區域的基板浮動效果。

依本發明之半導體裝置，第 1 電路用之複數的元件形成區域用貫通 SOI 層之完全隔離區域達成元件隔離，而第 2 電路用之複數的元件形成區域則由部分隔離區域達成元件隔離。

因此，由於將重視基板浮動效果之影響的電路形成為第 2 電路，將不重視基板浮動效果之影響的電路形成為第 1 電路而能依據所形成之電路性質實施適當的絕緣隔離。

本發明之半導體裝置，其第 1 部分 SOI 層之膜厚形成為比第 2 部分 SOI 層的膜厚為薄，複數之第 1 電路用元件形成區域為形成在第 1 部份 SOI 層，複數之第 2 元件形成區域為形成在第 2 電路用部分 SOI 層。

由此可利用第 1 及第 2 部分 SOI 層之膜厚的不同，使貫通第 1 部分 SOI 層之完全隔離用溝槽與不貫通第 2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (67)

部分 SOI 層之部分隔離用溝槽相對於第 1 及第 2 部分 SOI 層可同時形成而圖得製造工序的簡化。

依本發明之半導體裝置，預定的電路用元件形成區域與其他的電路用元件形成區域為用貫通 SOI 層之完全隔離區域達成元件隔離，因此上述其他的電路能遮斷來自預定電路的影響。

依本發明之半導體裝置，形成在用部分隔離區域達成元件隔離之元件形成區域之元件的活性區域之自 SOI 層表面的形成深度由於是形成比部分隔離區域之形成深度為淺，因此能將部分隔離區域構成之隔離特性的劣化抑制於最小程度。

依本發明之半導體裝置，由於半導體區域含有多晶矽區域，能將半導體區域精度良好的形成。

依本發明之半導體裝置，由於部分絕緣區域含有低介電率膜，因此能將部分絕緣區域之電容值構成的不良影響抑制於最小程度。

依本發明之半導體裝置，由於部分絕緣區域含有至少設在側面之部分絕緣膜與設在其他區域之低介電率膜，因此可利用部分絕緣膜有效地抑制形成在部分絕緣區域之側面方向之元件的影響同時抑制由部分絕緣區域的電容值所構成的不良狀態。

本發明之半導體裝置由於其複數之元件隔離區域之至少一區域是以預定的形成寬度相對於前述半導體基板的表面大約為垂直延伸的方式形成，因此能不損及積體度而達

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (68)

成元件隔離。

本發明之半導體裝置的基體區域係以接在複數之元件形成區域之中，至少一元件形成區域之表面或後面的方式形成，因此能利用上述基體區域固定上述至少一元件形成區域之電位。

依本發明之半導體裝置，由於基體區域是形成在 SOI 層下之埋設絕緣層的上層部，因此能將元件隔離區域對元件隔離特性構成的不良影響抑制於最小程度。

依本發明之半導體裝置，由於基體區域是貫通埋設絕緣層而形成，因此可由半導體基板側藉由上述基體區域固定上述至少一元件形成區域之電位。

依本發明之半導體裝置，由於基體區域設於至少一元件形成區域的上方，而接於至少一元件形成區域的表面，因此能比較簡單的形成。

依本發明之半導體裝置，其元件隔離區域中之至少一部分的區域含有由貫通 SOI 層之完全絕緣區域與部分隔離區域連續形成之複合隔離區域，而複數之元件形成區域中以複合隔離區域加以隔離之元件形成區域間能由複合隔離區域之完全絕緣區域完全的予以絕緣隔離。

本發明之半導體裝置之部分隔離區域的上面由於能均勻無凹凸的形成，因此於形成 MOS 電晶體之閘極等預定的元件之構成要素時的圖案製作變得容易。

依本發明之半導體裝置的複合隔離區域之半導體區域的膜厚由於是設定在 SOI 層之膜厚的 1/2 以下，因此由複

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (69)

合隔離區域可得相當好的隔離特性。

依本發明之半導體裝置，其複合隔離區域之完全絕緣區域的形成寬度係設定在複合隔離區域全體的形成寬度之 $1/2$ 以下，因此能充分的確保構成複合隔離區域之部分隔離區域的半導體區域面積，對於接在該半導體區域之元件形成區域能安定性良好的固定其電位。

本發明之半導體裝置的完全隔離區域至少為形成於輸入出 NMOS 電晶體形成區域與輸入出 PMOS 電晶體形成區域的邊界附近區域，因此能有效的抑制鎖住現象。

本發明之半導體裝置更將完全隔離區域形成在輸入出電晶體形成區域與內部電路形成區域之間的邊界附近區域，因此能將容易受到雜訊影響的輸入出用電晶體形成區域之影響自內部電路形成區域完全遮斷。

本發明之半導體裝置的完全隔離區域由於只形成在 NMOS 電晶體形成區域與輸入出 PMOS 電晶體形成區域之邊界附近的 PMOS 電晶體形成區域內的完全隔離區域形成處所，部分隔離區域則形成在 NMOS 電晶體形成區域的周邊區域，及完全隔離區域形成處所以外的 NMOS 電晶使形成區域之周邊區域，因此能充足的實行對於 NMOS 電晶體的基板電位的固定，對於 NMOS 電晶體形成區域，PMOS 電晶體形成區域間的邊界能以良好的面積效率予以完全隔離。

本發明之半導體裝置的部分隔離區域係形成於 MOS 電晶體區域之閘極的至少一端附近的部分隔離區域形成處

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (70)

所，又完全絕緣區域則形成在部分隔離區域形成處所以外之 MOS 電晶體形成區域的周邊區域，因此能有效的對於 MOS 電晶體之閘極下方的通道形成區域實行電位固定，而由完全隔離區域將 MOS 電晶體形成區域由周圍完全的隔離。

本發明之半導體裝置之基體區域由於包含形成在周邊部分隔離區域之周圍的第 2 導電型之周邊基體區域，因此由於對周邊基體區域實行電位固定而能將電晶體形成區域有效的自其周圍隔離。

本發明之半導體裝置之源極鄰接基體區域為鄰接 MOS 電晶體形成區域之源極區域而形成，而並藉由電位設定區域而與源極區域共同連接，因此於能鄰接源極區域形成源極鄰接基體區域的部份，可圖得積體度的提高。

本發明之半導體裝置其構成部分隔離區域之半導體區域的第 1 及第 2 部分半導體區域之不純物濃度由於設定為不同，因而由部分隔離區域的隔離特性製成適合於基板浮動效果之減低化的半導體區域。

本發明之半導體裝置由於其不純物濃度比較高之第 1 部分半導體區域包含複數之元件形成區域中之鄰接隔離對象之元件形成區域的周邊區域，因此能提高以部分隔離區域之隔離的擊穿抵抗能力。

本發明之半導體裝置由於其不純物濃度比較高之第 1 部分半導體區域包含 MOS 電晶體形成區域之閘極附近區域，其不純物濃度比較低之第 2 部分半導體區域包含 MOS

五、發明說明 (71)

電晶體形成區域之汲極/源極附近區域，因此能降低 PN 接合電容及提高擊穿抵抗能力。

本發明之半導體裝置之於部分隔離區域之半導體區域之不純物濃度的尖峰相較於 MOS 電晶體形成區域之汲極/源極區域之不純物濃度的尖峰，其由 SOI 層的表面算起的深度係設定得較深，因此可提高汲極/源極區域與半導體區域之間的 PN 接合耐壓。

本發明之半導體裝置之 MOS 電晶體形成區域之通道形成區域之不純物濃度之尖峰相較於部分隔離區域之半導體區域之不純物濃度的尖峰，其由 SOI 層之表面算起的深度係設定得較深，因此能使 MOS 電晶體的閾值不致超過希望之值。

本發明之半導體裝置，由於將鄰接完全絕緣區域形成之第 1 部分半導體區域之不純物濃度設定為比其半導體區域之第 2 部分半導體區域的不純物濃度為高，因此能抑制由施加於 SOI 層之應力等所造成之不良狀態。

本發明之半導體裝置，由於使部分隔離區域之底面之角部的曲率半徑比於表面之角部的曲率半徑為大，因此可縮小隔離寬度同時緩和施加在 SOI 層的應力。

本發明之半導體裝置，由於其複合隔離區域之絕緣隔離區域與部分絕緣區域之間所形成的段差部之曲率半徑比部分絕緣區域底面之角部的曲率半徑為小，因此可縮小隔離寬度同時緩和施加在 SOI 層的應力。

依本發明之半導體裝置，其完全隔離區域是形成在電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (72)

感形成區域的下方，因此能降低附隨於電感成分之寄生電容。

依本發明之半導體裝置之基體區域包含電氣的連接形成在 MOS 電晶體形成區域之 MOS 電晶體之閘極的閘極連接基體區域，部分隔離區域則圍繞 MOS 電晶體形成區域而形成，因此能提高將閘極與閘極連接基體區域設定於同一電位之 DT-MOS 電晶體的性能。

依本發明之半導體裝置之元件的活性區域之形成深度，係設定為在內裝狀態時元件之由活性區域延伸之空乏層不到達埋設絕緣層的程度，因此能降低部分隔離區域之半導體區域與活性區域之間的接合電容。

依本發明之半導體裝置之場控電晶體為由形成在第 1 及第 2 之活性區域間之設在上層部的場控電晶體用部分絕緣區域與存在於下層部之 SOI 層之一部分的場控電晶體用半導體區域所構成的閘極部構成。

由於閘極部的構成與部分隔離區域基本上為相同的構成，因能與部分隔離區域同時構成閘極部，故能比較容易的形成場控電晶體。

本發明之半導體裝置的周邊元件隔離區域包含設在上層部之部分絕緣區域與存在於下層部之 SOI 層之一部分的半導體區域所構成之部分隔離區域，因此上述部分隔離區域之半導體區域為接於元件形成區域形成並設定為浮動狀態，利用部分絕緣區域由周圍分隔離元件形成區域，並且能將在上述至少一區域內因衝突電離而發生之載子及宇

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (73)

宙線所致之電荷等分散於上述半導體區域，因此能抑制電位的上升而提高對於軟錯誤的抵抗能力。

依本發明之半導體裝置的製造方法而形成的半導體裝置，其複數之元件形成區域中，以至少一溝槽內之絕緣膜與其下方之 SOI 層而使元件隔離的元件隔離區域係能達成抑制基板浮動效果的元件隔離。

依本發明之半導體裝置之製造方法形成的複數之元件形成區域，能以其第 1 溝槽內的絕緣膜與其下方之 SOI 層達成抑制基板浮動效果的元件隔離，並且由貫通 SOI 層的第 2 溝槽內的絕緣膜達成完全的元件隔離。

本發明之半導體裝置的製造方法，是利用第 1 及第 2 溝槽間形成寬度的不同，以側壁體為遮膜將第 2 溝槽部的中心部下之 SOI 層貫通，因而可不用抗蝕膜而選擇的形成部分隔離區域及完全隔離區域。

本發明之半導體裝置的製造方法，由於是在複數之溝槽的下方之 SOI 層導入不純物以形成高濃度區域，因此能藉由高濃度區域對接在高濃度區域的元件形成區域實施安定性良好的固定電位。

依本發明之半導體裝置的製造方法，由於是由矽層與磊晶成長層構成 SOI 層，因此能形成結晶性良好的 SOI 層。

依本發明之半導體裝置的製造方法，是由第 1 溝槽內的絕緣膜與殘留在第 1 溝槽內之多晶矽層形成部分隔離區域，因此能控制性良好的形成與元件形成區域電氣連接之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (74)

多晶矽層的膜厚。

本發明之半導體裝置的製造方法，是將多晶矽層埋入形成在埋設絕緣層之孔部，形成至少與一元件形成區域有電氣連接關係的基體區域。

由於基體區域是形成於 SOI 層下之埋設絕緣層，因此能將因元件隔離區域而對絕緣隔離造成的不良影響抑制於最小程度。

本發明之半導體裝置的製造方法，是由至少一元件形成區域之端部後面形成以磊晶成長之磊晶成長層與多晶矽層構成之基體區域。

因此其隔以磊晶成長層的部分，在形成於上述至少一元件形成區域之元件與多晶矽層之間能取得充分的距離而得良好的電氣特性。

依本發明之半導體裝置之製造方法的步驟(d)，由於包含以濃度分佈的尖峰存在於 SOI 層之上層部，並產生通道形現象之方式導入預定的導電型之不純物而形成預定之活性區域的步驟，因此能使得不純物濃度的尖峰存在於 SOI 層之上層部，同時藉由通道形成現象獲得在埋設絕緣膜的表面有不純物分佈之預定的活性區域。

依本發明之半導體裝置之製造方法，由於步驟(b)、(c)的實施，複合隔離區域用之複合溝槽與部分隔離用之非貫通溝槽能同時形成。

依本發明之半導體裝置的設計方法，是以步驟(c)，在依過去資料之井區域的外周附近區域設定以貫通 SOI

五、發明說明 (75)

層之完全絕緣區域形成的完全隔離區域，因此能有效的活用過去資料設定能有效的使第 1 及第 2MOS 電晶體之形成區域間隔離的完全隔離區域。

[圖面的簡單說明]

第 1 圖表示本發明第 1 實施形態之 SOI 構造半導體裝置之第 1 態樣的剖視圖。

第 2 圖表示第 1 實施形態第 1 態樣的剖視圖。

第 3 圖表示第 1 實施形態第 1 態樣的平面圖。

第 4 圖表示第 1 實施形態第 2 態樣之構造的剖視圖。

第 5 圖表示第 2 實施形態第 1 態樣的剖視圖。

第 6 圖表示第 2 實施形態第 2 態樣的剖視圖。

第 7 圖表示第 2 實施形態第 3 態樣的剖視圖。

第 8 圖表示第 2 實施形態之元件隔離工序(其一)的剖視圖。

第 9 圖表示第 2 實施形態之元件隔離工序(其一)的剖視圖。

第 10 圖表示第 2 實施形態之元件隔離工序(其一)的剖視圖。

第 11 圖表示第 2 實施形態之元件隔離工序(其一)的剖視圖。

第 12 圖表示高濃度井區域形成工序的剖視圖。

第 13 圖表示高濃度井區域形成工序的剖視圖。

第 14 圖表示第 2 實施形態之元件隔離工序(其二)的剖視圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (76)

第 15 圖表示第 2 實施形態之元件隔離工序(其二)的剖視圖。

第 16 圖表示第 2 實施形態之元件隔離工序(其二)的剖視圖。

第 17 圖表示第 2 實施形態之元件隔離工序(其二)的剖視圖。

第 18 圖表示第 2 實施形態之元件隔離工序(其二)的剖視圖。

第 19 圖表示第 2 實施形態之元件隔離工序(其三)的剖視圖。

第 20 圖表示第 2 實施形態之元件隔離工序(其三)的剖視圖。

第 21 圖表示第 2 實施形態之元件隔離工序(其三)的剖視圖。

第 22 圖表示第 2 實施形態之元件隔離工序(其三)的剖視圖。

第 23 圖表示第 2 實施形態之元件隔離工序(其四)的剖視圖。

第 24 圖表示第 2 實施形態之元件隔離工序(其四)的剖視圖。

第 25 圖表示第 2 實施形態之元件隔離工序(其四)的剖視圖。

第 26 圖表示第 2 實施形態之元件隔離工序(其四)的剖視圖。

五、發明說明 (77)

第 27 圖表示第 2 實施形態之元件隔離工序(其四)的剖視圖。

第 28 圖表示第 3 實施形態第 1 態樣的剖視圖。

第 29 圖表示第 3 實施形態第 2 態樣的剖視圖。

第 30 圖表示第 4 實施形態之 SOI 構造剖視圖。

第 31 圖表示第 4 實施形態之 SOI 構造剖視圖。

第 32 圖表示第 4 實施形態之另一 SOI 構造的剖視圖。

第 33 圖表示第 4 實施形態之元件隔離工序的剖面圖。

第 34 圖表示第 4 實施形態之元件隔離工序的剖視圖。

第 35 圖表示第 4 實施形態之元件隔離工序的剖視圖。

第 36 圖表示第 4 實施形態之元件隔離工序的剖視圖。

第 37 圖表示第 4 實施形態之元件隔離工序的剖視圖。

第 38 圖表示第 5 實施形態第 1 態樣的剖視圖。

第 39 圖表示第 5 實施形態第 2 態樣的剖視圖。

第 40 圖表示第 5 實施形態第 3 態樣的剖視圖。

第 41 圖表示第 6 實施形態第 1 態樣的剖視圖。

第 42 圖表示第 6 實施形態第 2 態樣的剖視圖。

第 43 圖表示第 6 實施形態之連接區域形成工序(其一)的剖視圖。

第 44 圖表示第 6 實施形態之連接區域形成工序(其一)的剖視圖。

第 45 圖表示第 6 實施形態之連接區域形成工序(其一)的剖視圖。

第 46 圖表示第 6 實施形態之連接區域形成工序(其二)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (78)

的剖視圖。

第 47 圖表示第 6 實施形態之連接區域形成工序(其二)的剖視圖。

第 48 圖表示第 6 實施形態之連接區域形成工序(其二)的剖視圖。

第 49 圖表示第 6 實施形態之連接區域形成工序(其三)的剖視圖。

第 50 圖表示第 6 實施形態之連接區域形成工序(其三)的剖視圖。

第 51 圖表示第 6 實施形態之連接區域形成工序(其三)的剖視圖。

第 52 圖表示第 6 實施形態第 3 態樣的剖視圖。

第 53 圖表示第 6 實施形態第 4 態樣的剖視圖。

第 54 圖表示第 6 實施形態第 5 態樣的剖視圖。

第 55 圖表示第 2 實施形態第 4 態樣的剖視圖。

第 56 圖表示第 2 實施形態第 5 態樣的剖視圖。

第 57 圖表示第 2 實施形態第 6 態樣的剖視圖。

第 58 圖表示第 2 實施形態之元件隔離工序(其五)的剖視圖。

第 59 圖表示第 2 實施形態之元件隔離工序(其五)的剖視圖。

第 60 圖表示第 2 實施形態之元件隔離工序(其五)的剖視圖。

第 61 圖表示第 2 實施形態之元件隔離工序(其五)的

五、發明說明 (79)

剖視圖。

第 62 圖表示第 2 實施形態之元件隔離工序(其五)的剖視圖。

第 63 圖表示第 7 實施形態之完全隔離區域的設定方法之說明圖。

第 64 圖表示用以說明鎖住現象的說明圖。

第 65 圖表示第 8 實施形態第 1 態樣的剖視圖。

第 66 圖表示一輸入電路例的電路圖。

第 67 圖表示一輸出電路例的電路圖。

第 68 圖表示第 8 實施形態第 2 態樣的剖視圖。

第 69 圖表示第 8 實施形態第 3 態樣的平面圖。

第 70 圖表示第 9 實施形態第 1 態樣的平面圖。

第 71 圖表示沿第 70 圖之 A-A 線的剖視圖。

第 72 圖表示第 9 實施形態第 2 態樣的平面圖。

第 73 圖表示沿第 72 圖之 B-B 線的剖視圖。

第 74 圖表示第 10 實施形態第 1 態樣的平面圖。

第 75 圖表示第 10 實施形態第 2 態樣的平面圖。

第 76 圖表示第 11 實施形態第 1 態樣的平面圖。

第 77 圖表示第 11 實施形態第 2 態樣的平面圖。

第 78 圖表示第 12 實施形態第 1 態樣的平面圖。

第 79 圖表示沿第 78 圖之 C-C 線的剖視圖。

第 80 圖表示第 12 實施形態第 2 態樣的平面圖。

第 81 圖表示沿第 80 圖之 D-D 線的剖視圖。

第 82 圖表示第 12 實施形態第 3 態樣的平面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (80)

第 83 圖表示第 13 實施形態的剖視圖。

第 84 圖表示第 14 實施形態第 1 態樣之特徵的說明圖。

第 85 圖表示第 14 實施形態第 2 態樣之特徵的說明圖。

第 86 圖表示第 15 實施形態第 1 態樣的剖視圖。

第 87 圖表示第 15 實施形態第 2 態樣的平面圖。

第 88 圖表示第 16 實施形態第 1 態樣的剖視圖。

第 89 圖表示第 16 實施形態第 2 態樣的剖視圖。

第 90 圖表示第 17 實施形態第 1 態樣的剖視圖。

第 91 圖表示第 17 實施形態之電路構成的電路圖。

第 92 圖表示第 17 實施形態第 2 態樣的剖視圖。

第 93 圖表示第 18 實施形態之 DT-MOS 的平面圖。

第 94 圖表示第 19 實施形態的剖視圖。

第 95 圖表示第 20 實施形態第 1 態樣剖視圖。

第 96 圖表示第 20 實施形態之場控電晶體利用於輸入電路之例的電路圖。

第 97 圖表示第 20 實施形態之場控電晶體利用於輸出電路之例的電路圖。

第 98 圖表示第 20 實施形態第 2 態樣的剖視圖。

第 99 圖表示第 20 實施形態第 3 態樣的平面圖。

第 100 圖表示汲極/源極區域之不純物分佈的說明圖。

第 101 圖表示沿第 74 圖之 E-E 線的剖視圖。

五、發明說明 (81)

第 102 圖表示習用之 SOI 構造的半導體裝置的剖視圖。

[符號說明]

1	矽基板
2	埋設氧化膜
3	SOI 層
3A、3B	部分 SOI 層
4	層間絕緣膜
5、5s、5t、245、255	汲極區域
6、6s、6t、246、256	源極區域
7	通道形成區域
8	閘極氧化膜
9	閘極
10、20、146、147、156、164	基體區域
11	井區域(p 型)
12、28	井區域(n 型)
31	部分氧化膜
32	完全氧化膜
33、210 至 212、218	氧化膜
44、44A、44B	部分溝槽
48	完全溝槽
61、62	多晶矽區域
75 至 77	低介電率膜
78、79	矽氧化膜

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (82)

80、86 至 89

連接區域

104

n 井區域

105、110、114、115、120 完全隔離區域

107、117、127、137、148 部分隔離區域

149

浮動的部分隔離區域

150

浮動 p^+ 基體區域

182、224

井區域

199

螺旋電感

200

高電阻矽基板

223

高電阻區域

Q21、Q22

類比電路用電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

半導體裝置)

本發明以求得能減低基板之浮動效果的 SOI 構造之半導體裝置為目的。

本發明之 SOI 層 3 之各電晶體形成區域係以其下層部形成有井區域的部分氧化膜 31 加以隔離。在使 NMOS 電晶體互相間隔離之部分氧化膜 31 的下層形成有 p 型之井區域 11，在使 PMOS 電晶體互相間隔離之部分氧化膜 31 的下層形成有 n 型之井區域 12，而在使 NMOS 電晶體與 PMOS 電晶體間隔離之部分氧化膜 31 的下層則相互鄰接地形成 p 型之井區域 11 及 n 型的井區域 12。基體區域 (body region) 為接於相互鄰接的井區域 11。形成在層間絕緣膜 4 上之配線層則經由設在層間絕緣膜 4 中之基體接觸部電氣的連接於基體區域。

英文發明摘要(發明之名稱：SEMICONDUCTOR DEVICE)

A partial oxide film (31) with well regions formed therebeneath isolates transistor formation regions in an SOI layer (3) from each other. A p-type well region (11) is formed beneath part of the partial oxide film (31) which isolates NMOS transistors from each other, and an n-type well region (12) is formed beneath part of the partial oxide film (31) which isolates PMOS transistors from each other. The p-type well region (11) and the n-type well region (12) are formed in side-by-side relation beneath part of the partial oxide film (31) which provides isolation between the NMOS and PMOS transistors. A body region is in contact with the well region (11) adjacent thereto. An interconnect layer formed on an interlayer insulation film (4) is electrically connected to the body region through a body contact provided in the interlayer insulation film (4). A semiconductor device having an SOI structure reduces a floating-substrate effect.

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

附件一

第 88122211 號專利申請案

申請專利範圍修正本

(90 年 9 月 27 日)

1. 一種半導體裝置，為由半導體基板、埋設絕緣層及 SOI 層形成之 SOI 構造，其特徵為具備：

設在前述 SOI 層之各形成有預定元件之複數元件形成區域；

設在前述 SOI 層之將前述複數元件形成區域間予以絕緣隔離的元件隔離區域；以及

設在前述 SOI 層之能由外部固定電位的基體區域，而前述元件隔離區域中至少一部分的區域含有由設於上層部之部分絕緣區域與存在於下層部之前述 SOI 層之一部分的半導體區域所構成的部分隔離區域，又前述半導體區域是接於前述複數之前述元件形成區域中之至少一元件形成區域及前述基體區域而形成。

2. 如申請專利範圍第 1 項之半導體裝置，其中，前述複數之元件形成區域含有第 1 元件用的複數第 1 元件形成區域與第 2 元件用的複數第 2 元件形成區域，前述元件隔離區域復包含具有貫通前述 SOI 層之完全絕緣區域的完全隔離區域，又前述部分隔離區域含有第 1 及第 2 部分隔離區域；以及

前述複數第 1 元件形成區域各為由前述第 1 部分隔離區域使其元件隔離，前述複數第 2 元件形成區域各為由前述第 2 部分隔離區域使其元件隔離，以及前述複數

第 1 元件形成區域與前述複數第 2 元件形成區域為由前述完全隔離區域使其元件隔離。

3. 如申請專利範圍第 1 項之半導體裝置，其中，前述複數元件形成區域含有第 1 電路用的複數元件形成區域與第 2 電路用的複數元件形成區域；而前述第 1 電路用的複數元件形成區域為由貫通前述 SOI 層之完全隔離區域使其元件隔離，又前述第 2 電路用的複數元件形成區域為由前述部分隔離區域使其元件隔離。
4. 如申請專利範圍第 1 至第 3 項中任一項之半導體裝置，其中，前述複數元件形成區域含有預定電路用元件形成區域與該預定電路以外的電路用元件形成區域；而前述預定之電路用元件形成區域與前述其他電路用元件形成區域為由貫通前述 SOI 層之完全隔離區域使其元件隔離。
5. 如申請專利範圍第 1 至第 3 項中任一項之半導體裝置，其中，前述元件隔離區域含有複數元件隔離區域，而前述複數元件隔離區域之至少一區域為以預定形成寬度相對於前述半導體基板的表面大約垂直地延伸而形成。
6. 一種半導體裝置，為由半導體基板、埋設絕緣層及 SOI 層形成之 SOI 構造的半導體裝置，具備：

設在前述 SOI 層之各形成有預定元件的複數元件形成區域；

設在前述 SOI 層之將前述複數元件形成區域間予

以絕緣隔離的元件隔離區域；以及

能由外部固定電位的基體區域，

而前述基體區域以接於前述複數元件形成區域之中至少一元件形成區域的表面或後面的方式形成。

7. 如申請專利範圍第1項之半導體裝置，其中，前述元件隔離區域之中至少一部分的區域含有貫通前述SOI層之完全絕緣區域與前述部分隔離區域為連續形成的複合隔離區域。
8. 如申請專利範圍第7項之半導體裝置，其中，前述部分隔離區域的上面為無凹凸均一地加以形成。
9. 如申請專利範圍第7項之半導體裝置，其中，前述複合隔離區域之前述半導體區域之膜厚為設定在前述SOI層之膜厚的1/2以下。
10. 如申請專利範圍第7項之半導體裝置，其中，前述複合隔離區域之前述完全絕緣區域的形成寬度為設定在前述複合隔離區域全體之形成寬度的1/2以下。
11. 如申請專利範圍第1項之半導體裝置，其中，前述元件隔離區域包含具有貫通前述SOI層之完全絕緣區域的完全隔離區域；

前述複數之元件形成區域含有互相鄰接而形成之輸入出NMOS電晶體形成區域及輸入出PMOS電晶體形成區域；

前述完全隔離區域至少為形成在前述輸入出NMOS電晶體形成區域與前述輸入出PMOS電晶體形成

區域之邊界附近區域。

- 12.如申請專利範圍第 11 項之半導體裝置，其中，前述元件形成區域復含有鄰接輸入出 NMOS 電晶體形成區域或 PMOS 電晶體形成區域而形成之內部電路形成區域；

前述完全隔離區域為再形成於前述輸入出 NMOS 電晶體形成區域及前述輸入出 PMOS 電晶體形成區域之中與前述內部電路形成區域鄰接配置之區域與前述內部電路形成區域的邊界附近區域。

- 13.如申請專利範圍第 1 項之半導體裝置，其中，前述元件隔離區域含有包含貫通前述 SOI 層之完全絕緣區域的完全隔離區域；

前述複數元件形成區域含有互相鄰接而形成的 NMOS 電晶體形成區域及 PMOS 電晶體形成區域；

前述完全隔離區域為形成在前述 NMOS 電晶體形成區域與前述輸入出 PMOS 電晶體形成區域之邊界附近之前述 PMOS 電晶體形成區域內的完全隔離區域形成處所；以及

前述部分隔離區域為形成在前述 NMOS 電晶體形成區域的周邊區域及前述完全隔離區域形成處所以外之前述 NMOS 電晶體形成區域的周邊區域。

- 14.如申請專利範圍第 1 項之半導體裝置，其中，前述複數元件形成區域含有第 1 導電型電晶體形成區域；

前述部分隔離區域含有圍繞前述電晶體形成區域

之周圍而形成的周邊部分隔離區域；以及

前述基體區域含有圍繞前述周邊部分隔離區域之周圍而形成之第2導電型周邊基體區域。

- 15.如申請專利範圍第1項之半導體裝置，其中，前述複數之元件形成區域含有MOS電晶體形成區域；

前述基體區域含有鄰接於前述MOS電晶體形成區域之源極區域而形成之鄰接基體區域；

又具備共同連接於前述源極區域及前述源極鄰接基體區域之電位設定區域。

- 16.如申請專利範圍第1項之半導體裝置，其中，前述部分隔離區域之半導體區域含有第1及第2部分半導體區域，

而前述第1部分半導體區域之不純物濃度係設定成比前述第2部分半導體區域之不純物濃度為高。

- 17.如申請專利範圍第1項之半導體裝置，其中，前述複數之元件形成區域含有第1導電型的MOS電晶體形成區域，前述部分隔離區域之前述半導體區域含有第2導電型的區域；

前述部分隔離區域之前述半導體區域的不純物濃度的尖峰相較於在前述MOS電晶體形成區域內接於前述半導體區域而形成之汲極/源極區域的不純物濃度的尖峰，其自前述SOI層之表面算起的深度係設定得較深。

- 18.如申請專利範圍第1項之半導體裝置，其中，前述複數

元件形成區域含有 MOS 電晶體形成區域；

前述 MOS 電晶體形成區域之通道形成區域之不純物濃度的尖峰相較於前述部分隔離區域之前述半導體區域的不純物濃度的尖峰，其自 SOI 層之表面算起的深度係設定得較深。

19. 如申請專利範圍第 1 項之半導體裝置，其中，前述部分隔離區域底面之角部的曲率半徑係設定成比於表面之角部的曲率半徑為大。

20. 如申請專利範圍第 7 項之半導體裝置，其中，前述複合隔離區域之絕緣隔離區域與部分絕緣區域間形成的段差部之曲率半徑係比部分絕緣區域底面之角部的曲率半徑為小。

21. 如申請專利範圍第 1 項之半導體裝置，其中，前述元件隔離區域包含具有貫通前述 SOI 層之完全絕緣區域的完全隔離區域；

復具備形成在前述 SOI 層之上層部之電感形成區域的電感成分，

又前述完全隔離區域為形成在前述電感形成區域的下方。

22. 如申請專利範圍第 1 項之半導體裝置，其中，前述複數元件形成區域含有 MOS 電晶體形成區域，前述基體區域含有電氣連接於在前述 MOS 電晶體形成區域形成之 MOS 電晶體的閘極之閘極連接基體區域；以及

前述部分隔離區域為圍繞前述 MOS 電晶體形成區

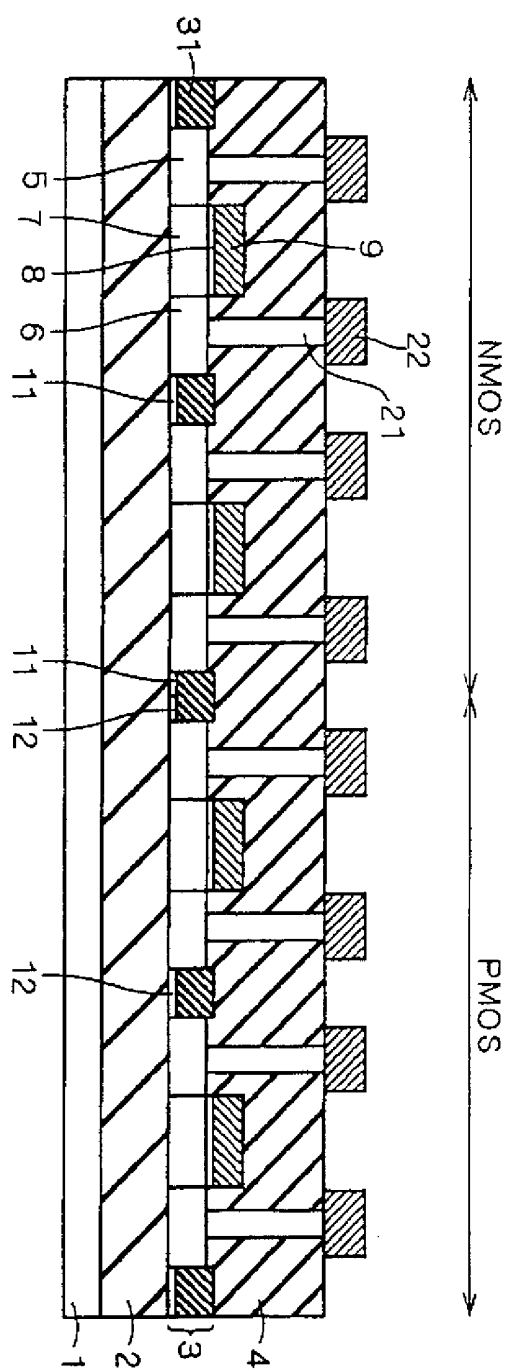
域的周圍而形成。

23. 一種半導體裝置，為由半導體基板、埋設絕緣層及 SOI 層形成之 SOI 構造的半導體裝置，具備：

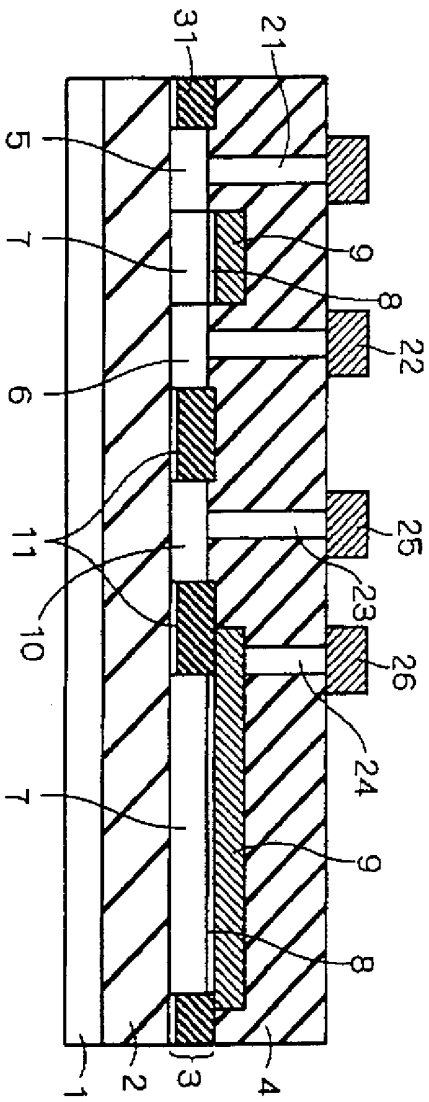
設在前述 SOI 層之形成有預定元件的元件形成區域；

設在前述 SOI 層之圍繞前述元件形成區域的周圍而形成之周邊元件隔離區域，而前述周邊元件隔離區域含有由設在上層部之部分絕緣區域與存在於下層部之前述 SOI 層之一部分的半導體區域所構成的部分隔離區域；以及

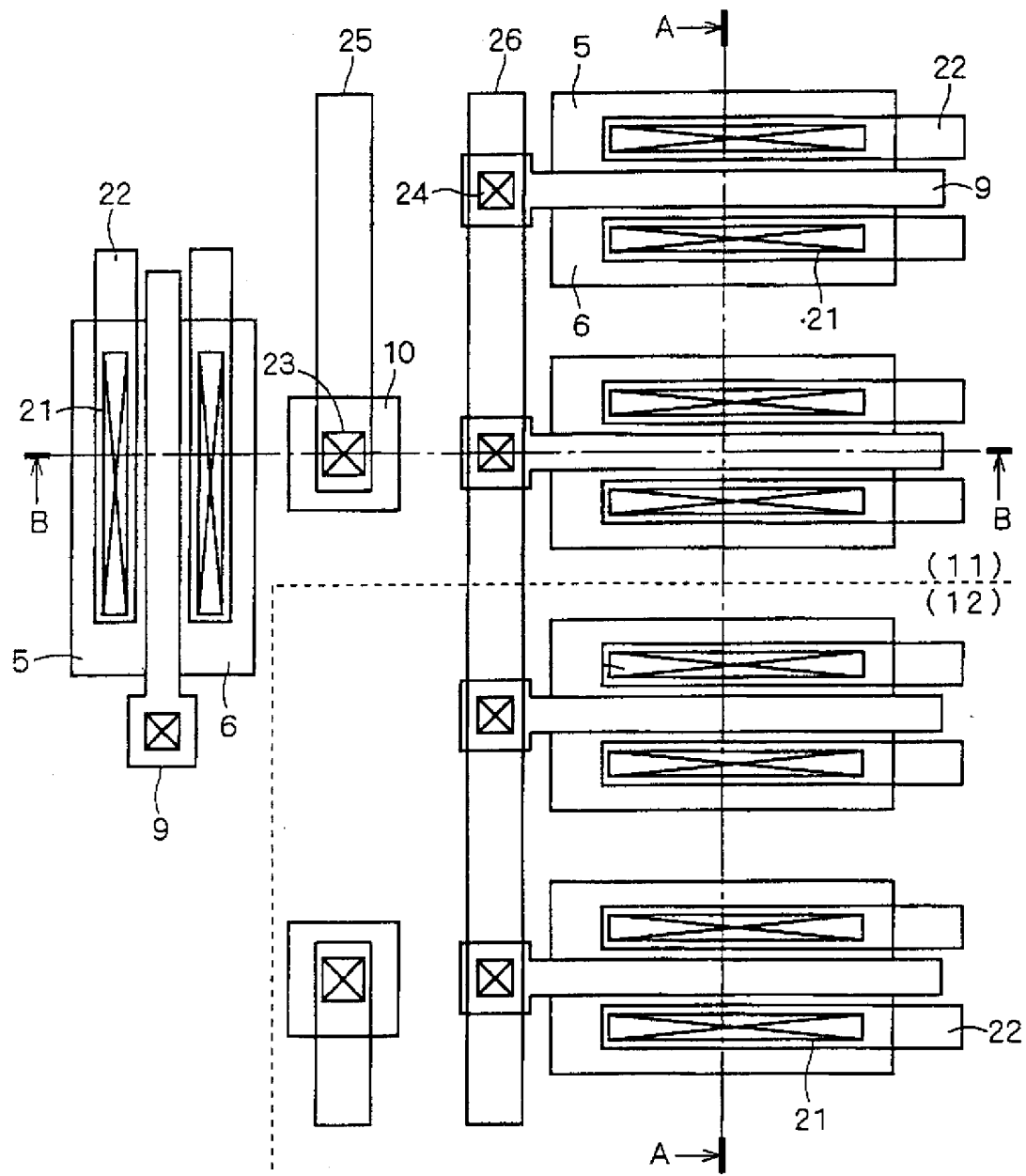
前述半導體區域係接於至少一個前述元件形成區域而形成，並設定成浮動狀態。



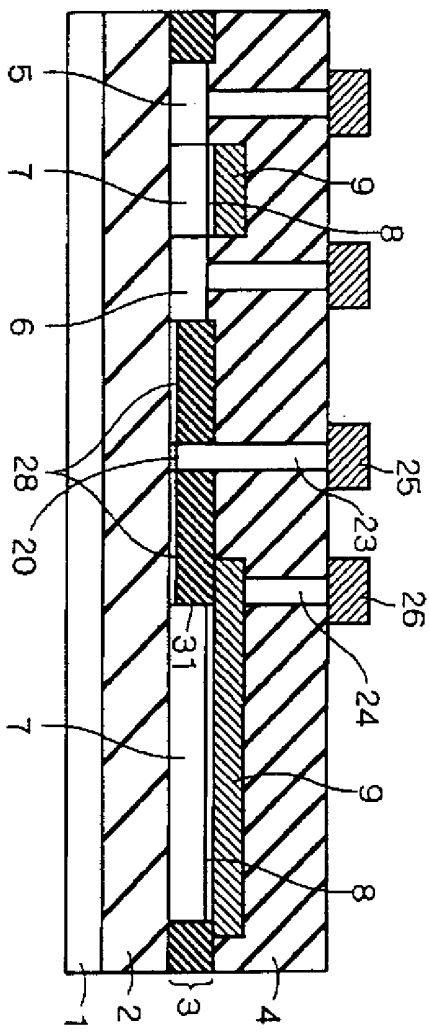
第 1 圖



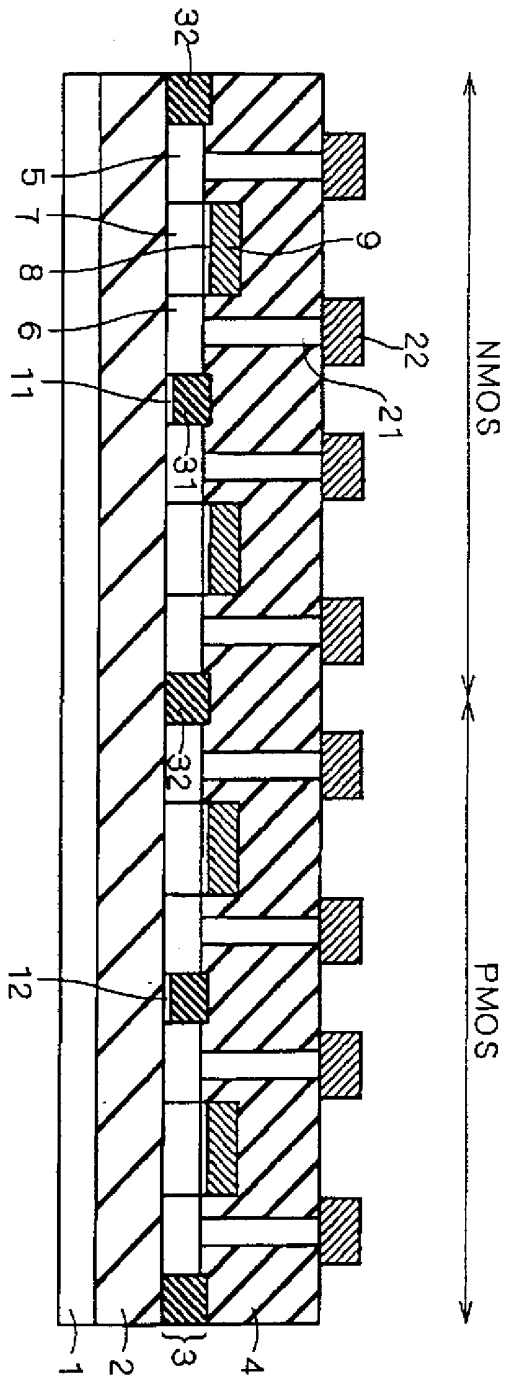
第2圖



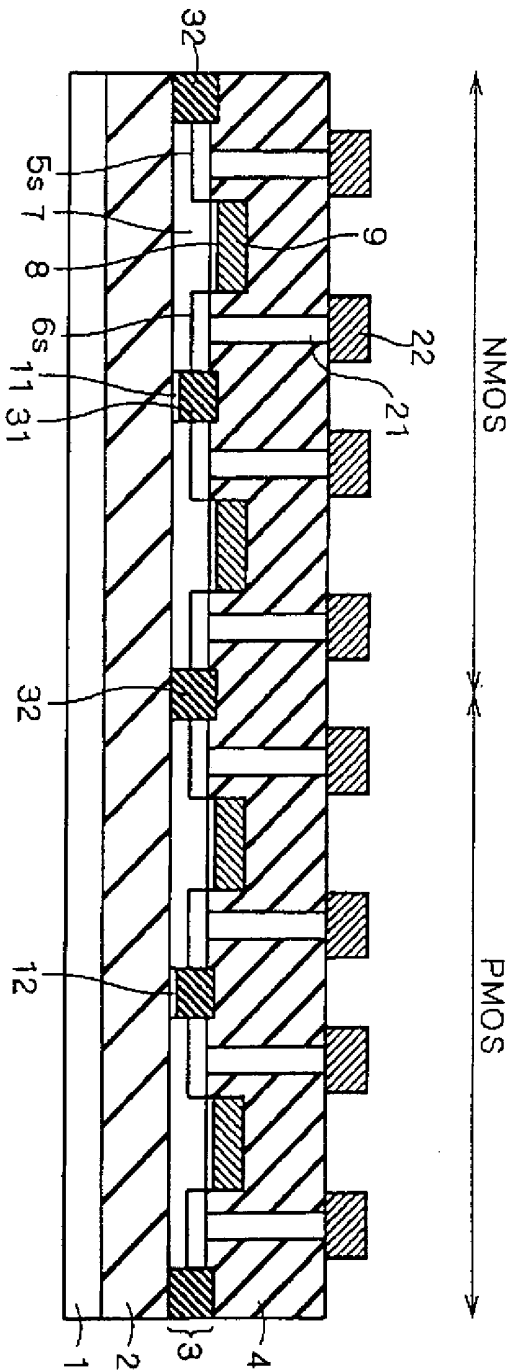
第 3 圖



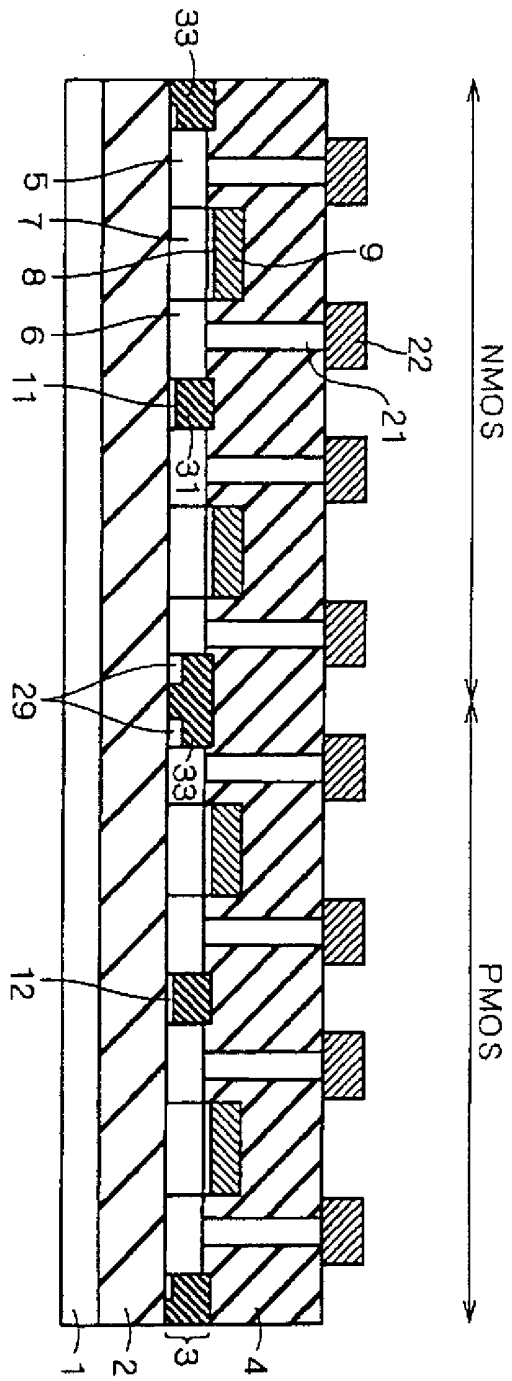
第 4 圖



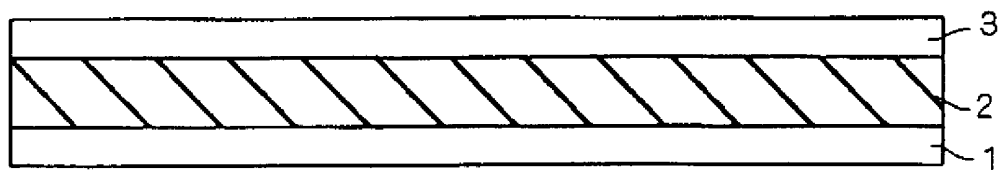
第 5 圖



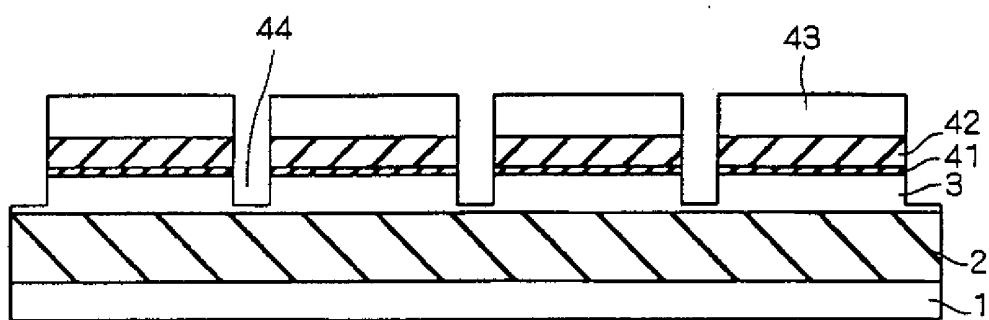
第 6 圖



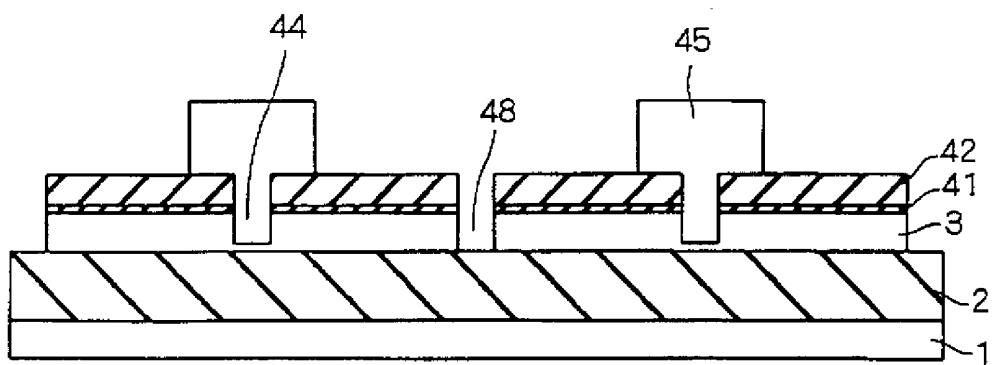
第7圖



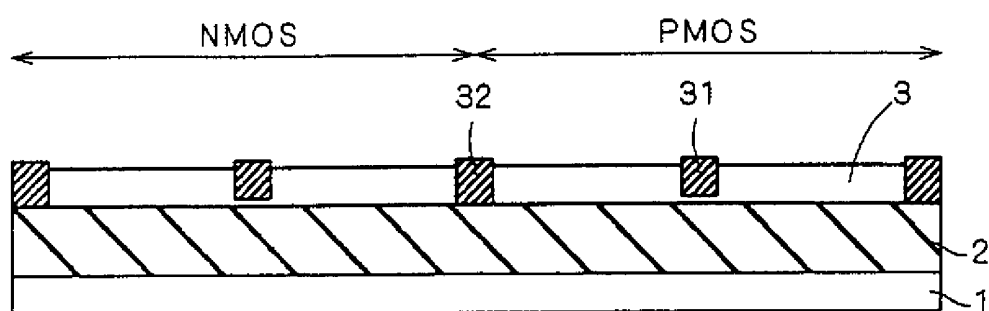
第 8 圖



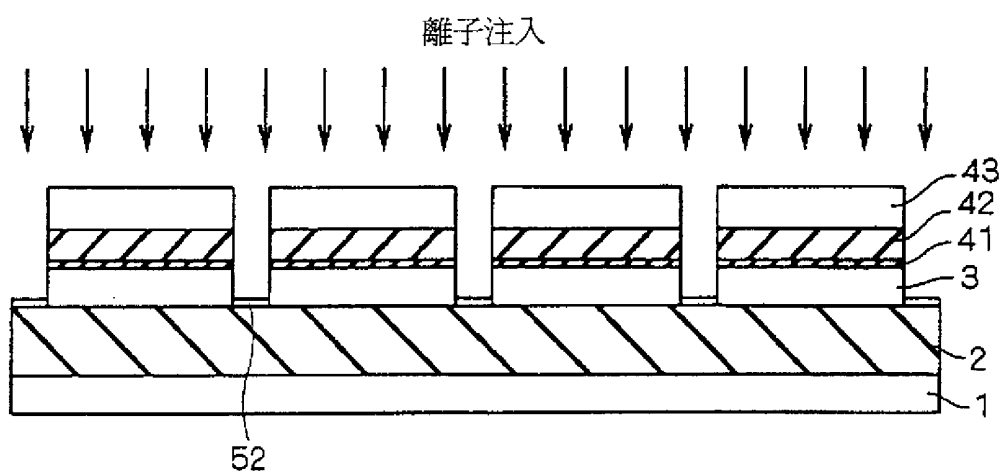
第 9 圖



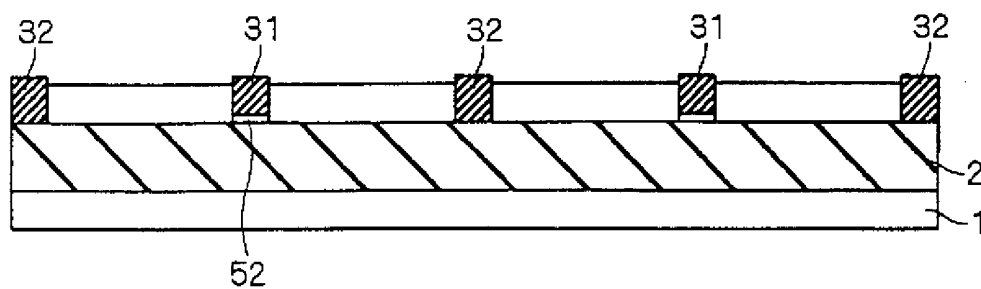
第 10 圖



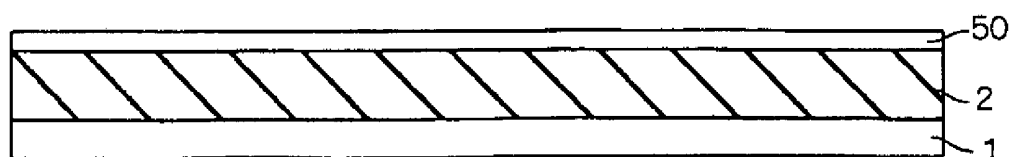
第11圖



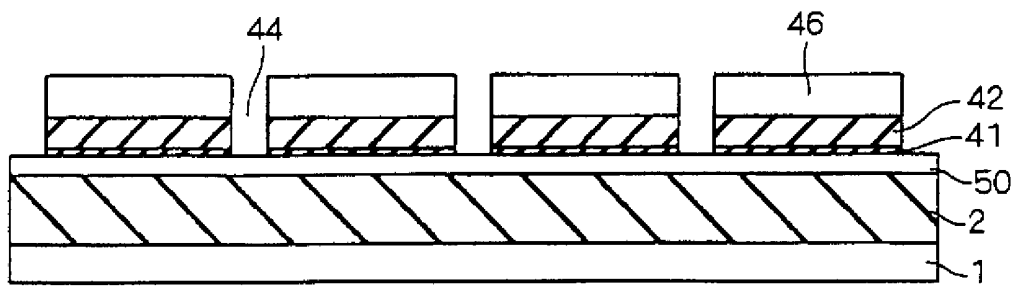
第12圖



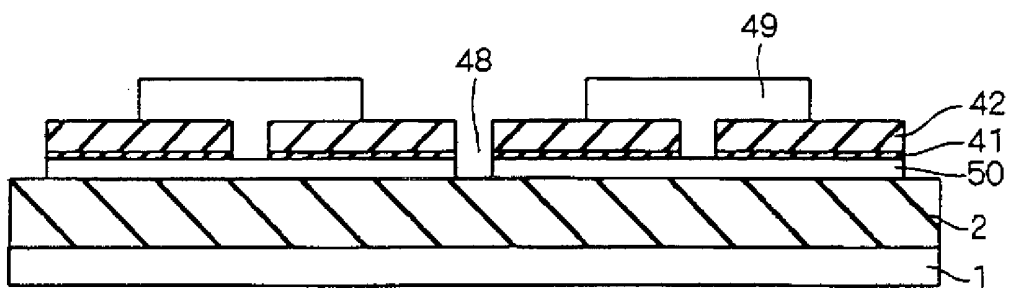
第13圖



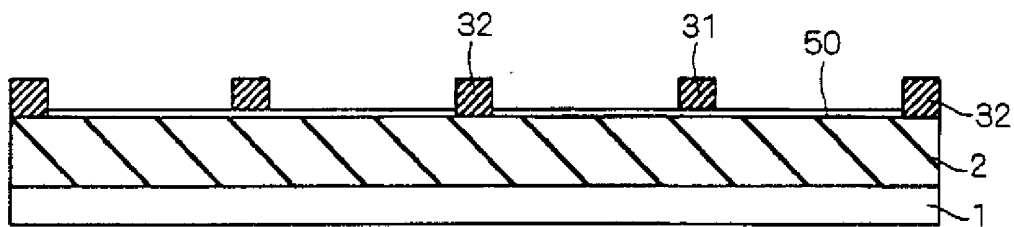
第14圖



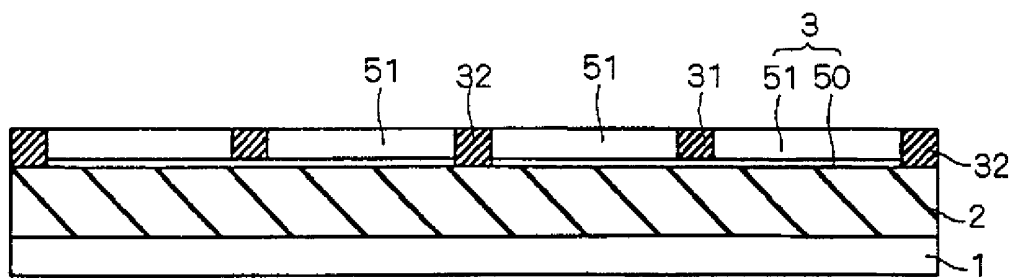
第15圖



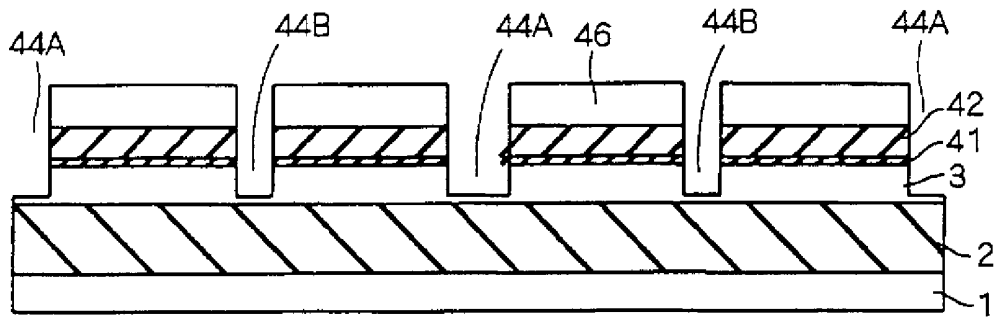
第16圖



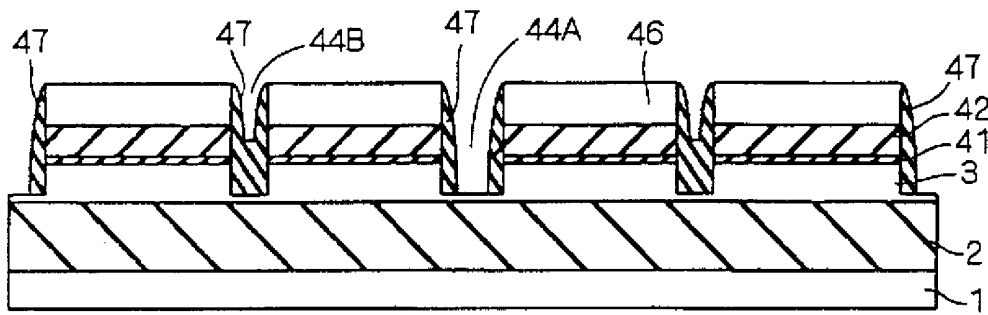
第17圖



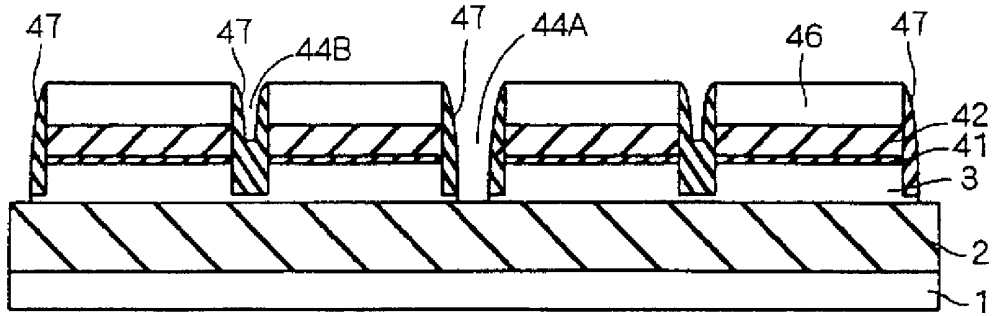
第18圖



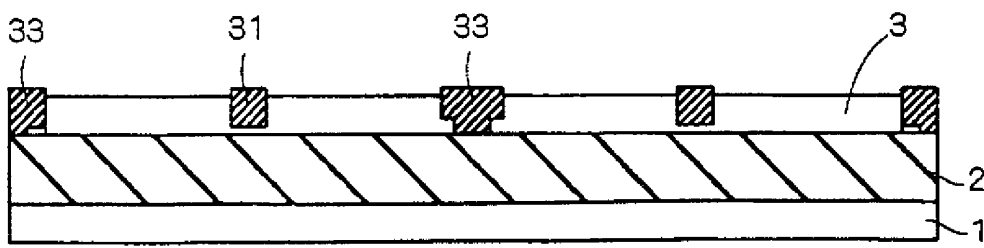
第19圖



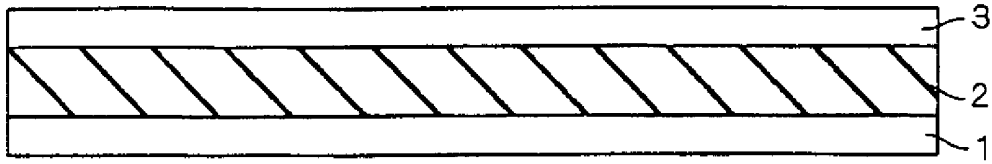
第20圖



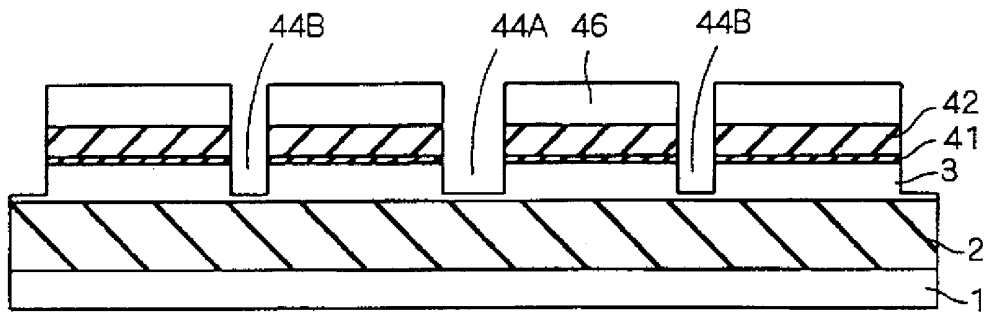
第21圖



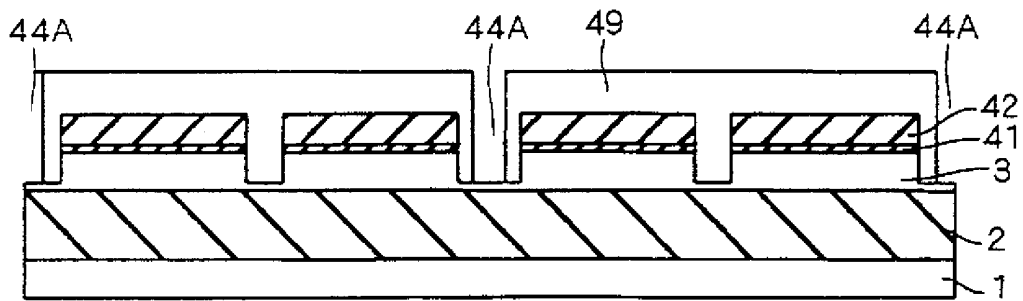
第22圖



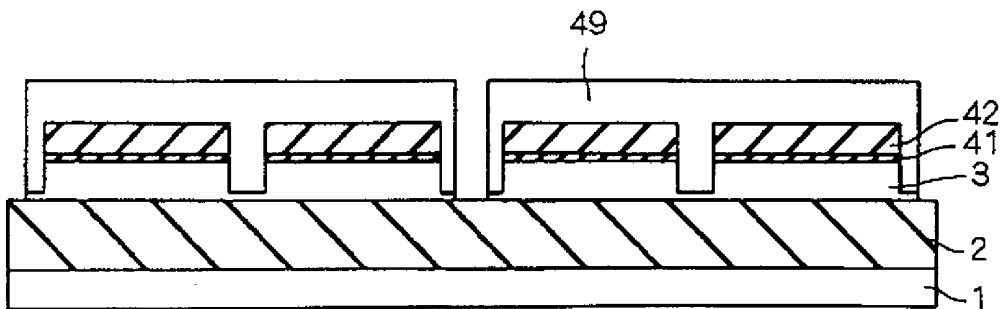
第 23 圖



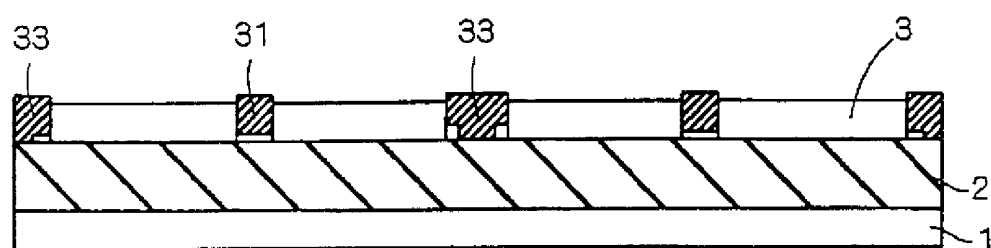
第 24 圖



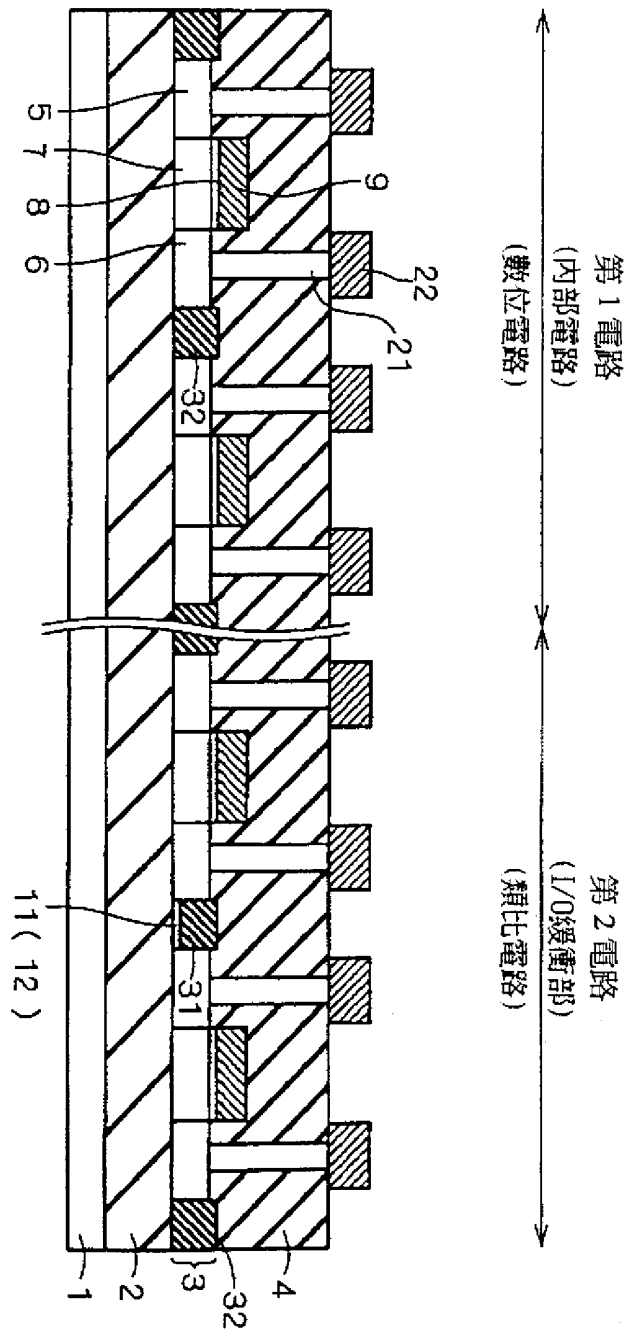
第 25 圖



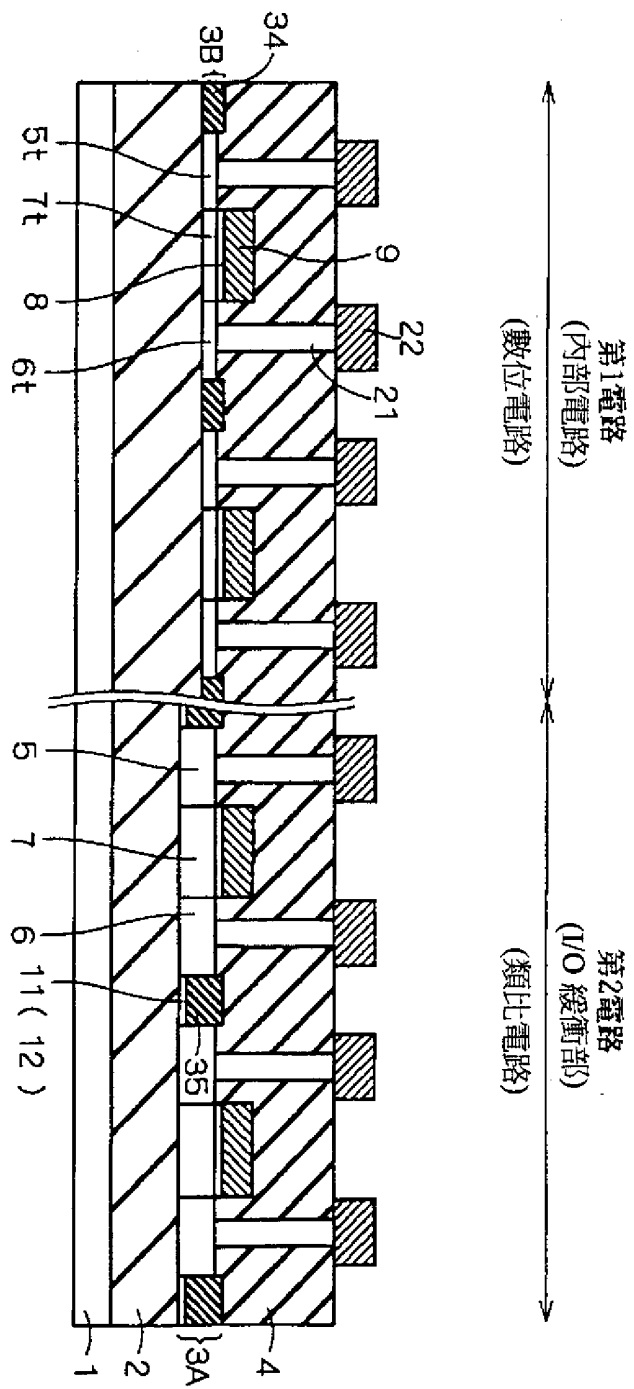
第 26 圖



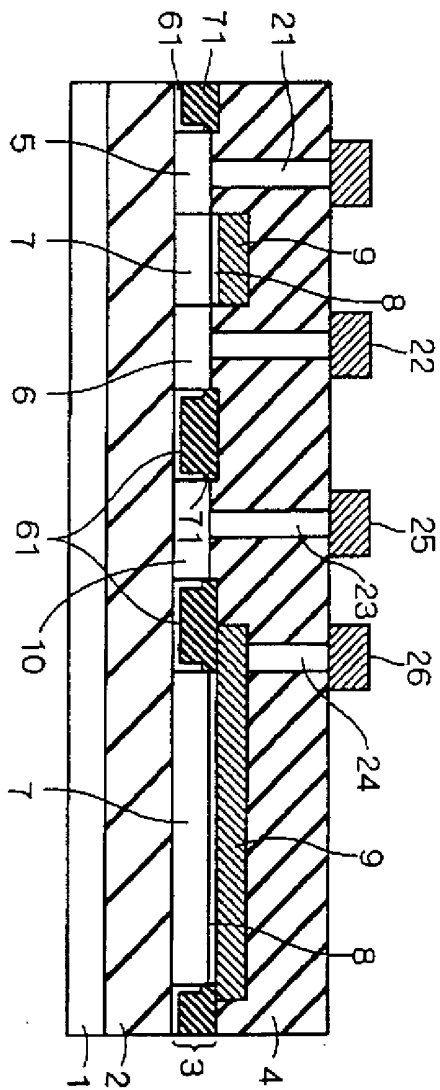
第27圖



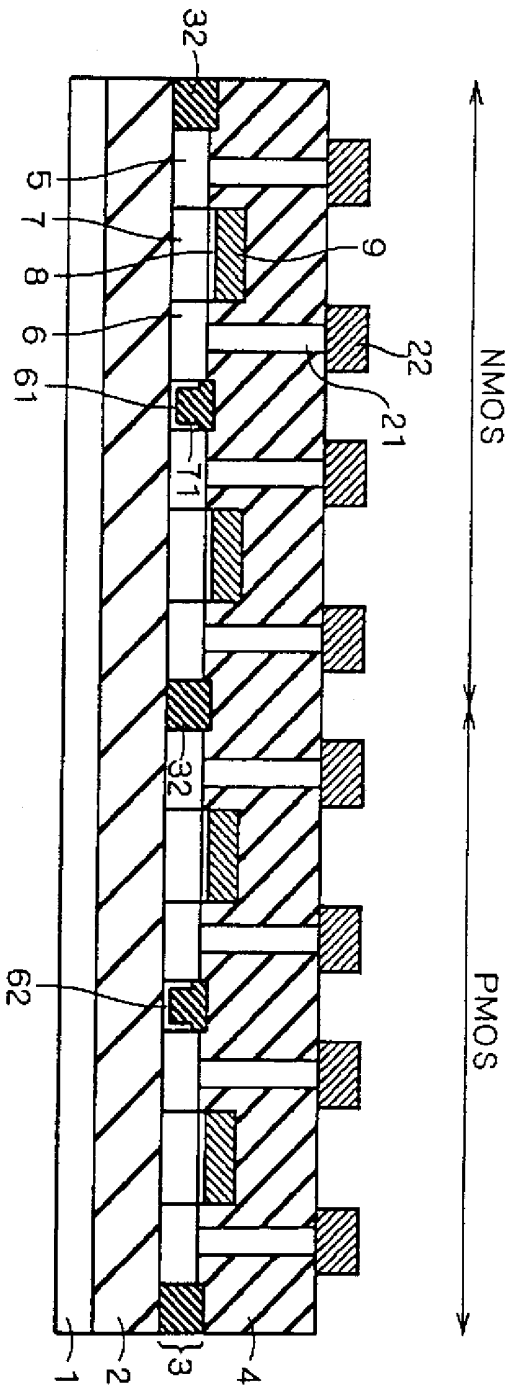
第 28 圖



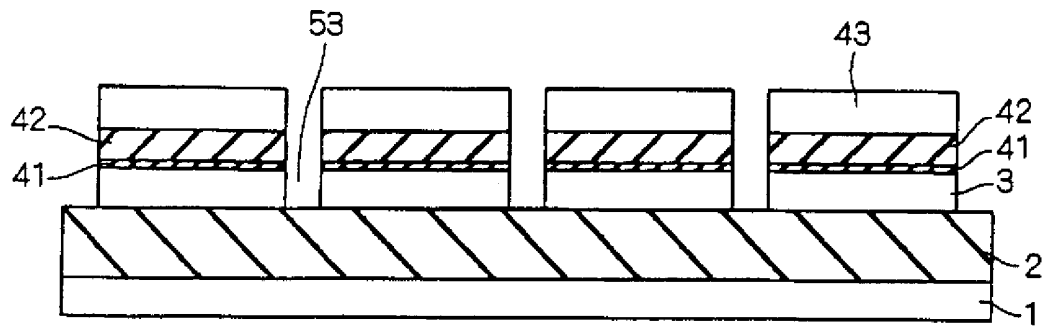
第 29 圖



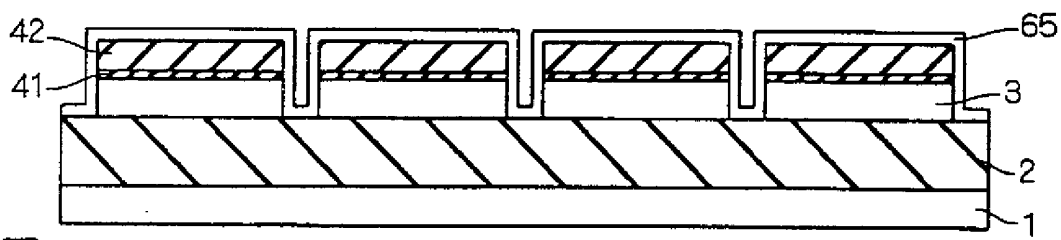
第 3 | 圖



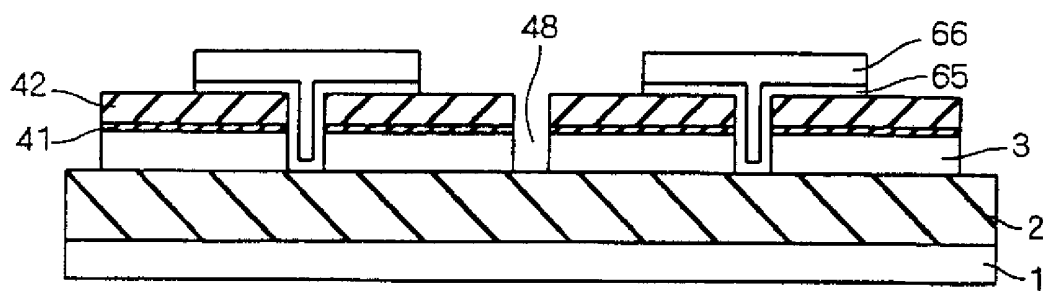
第32圖



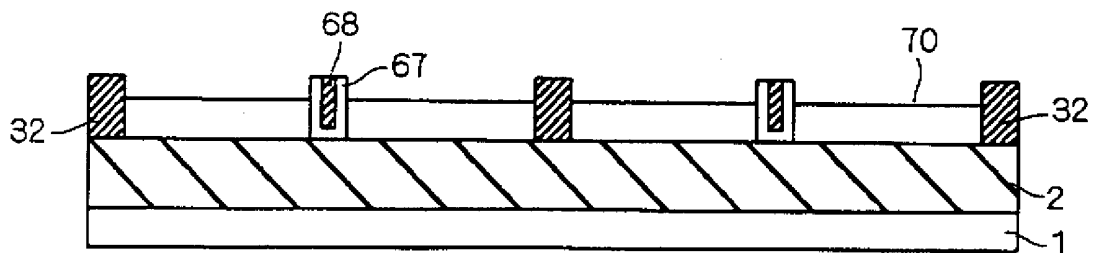
第33圖



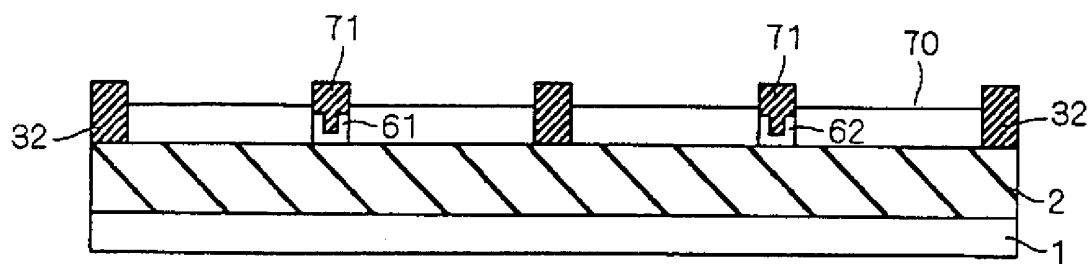
第34圖



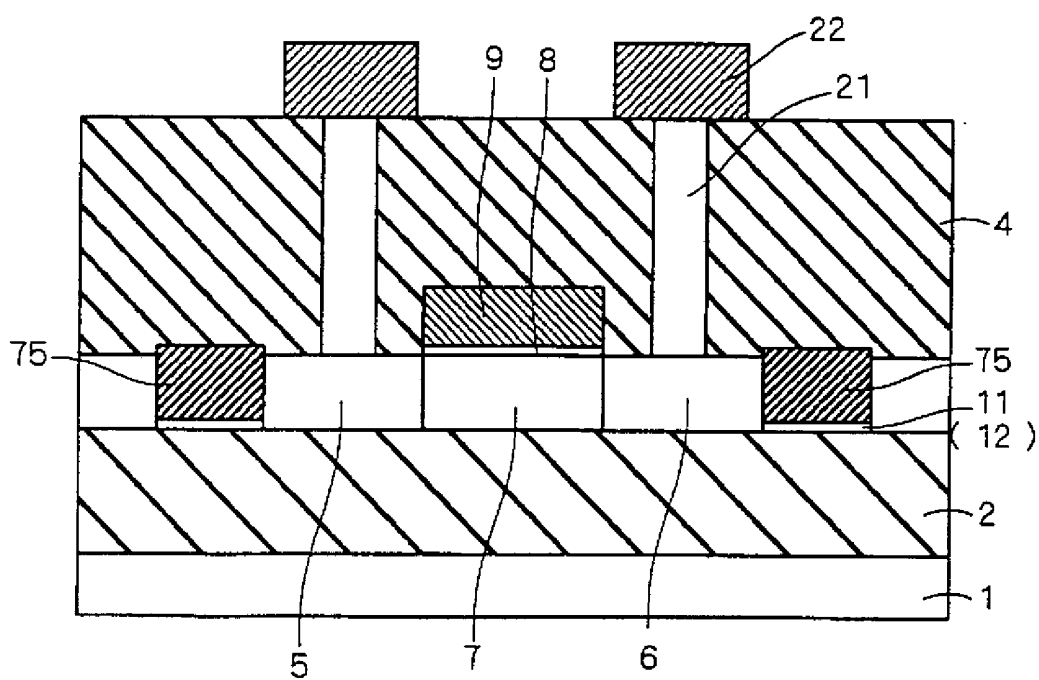
第35圖



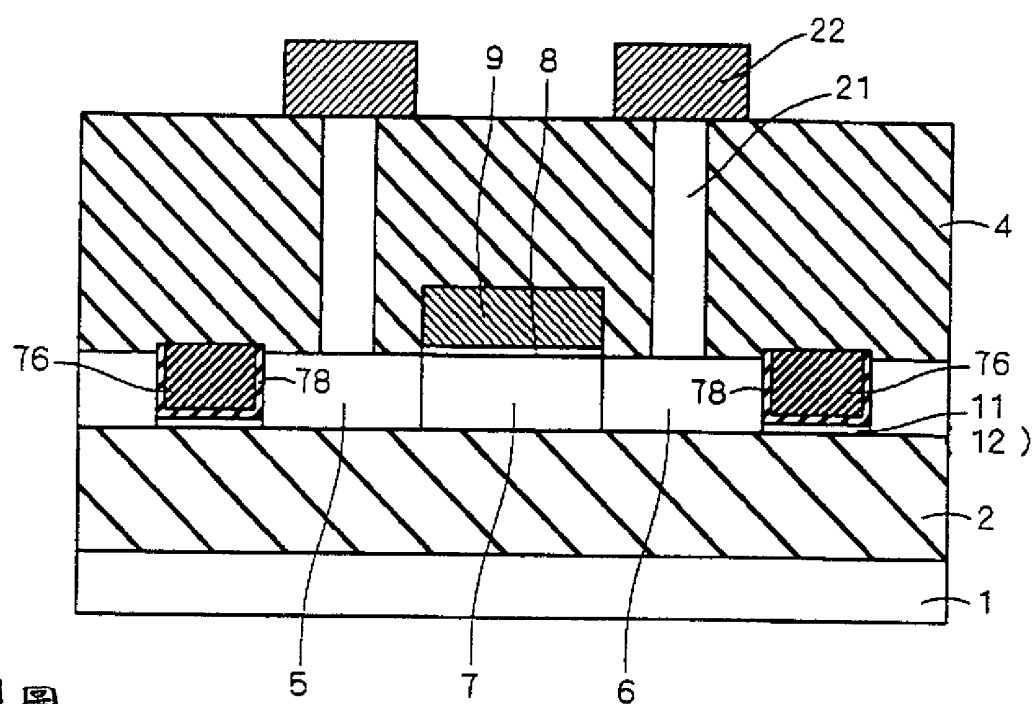
第36圖



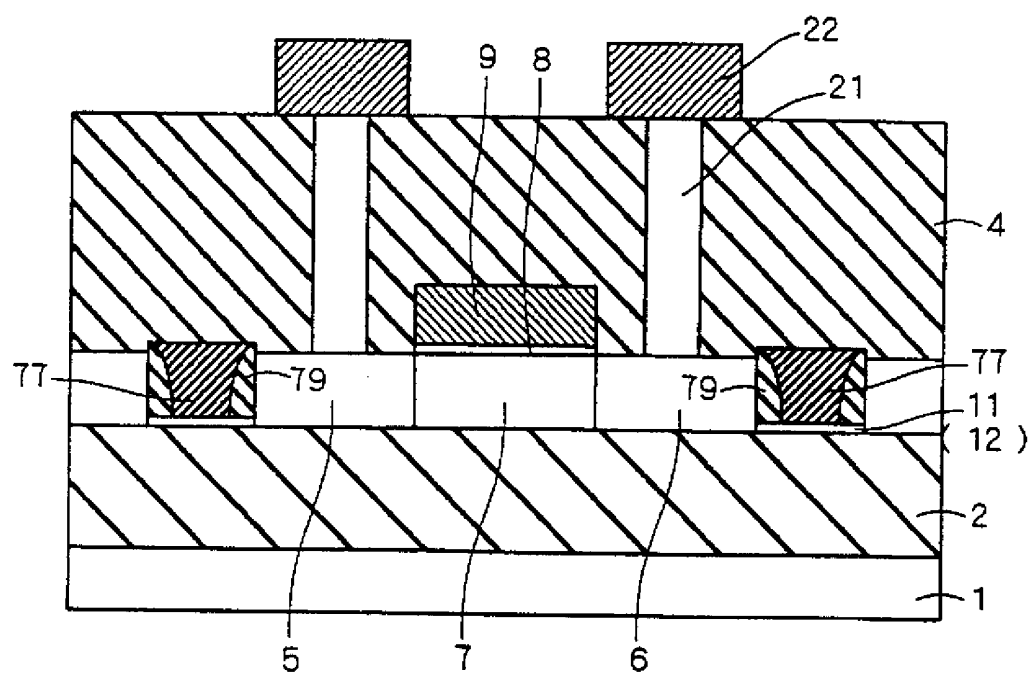
第37圖



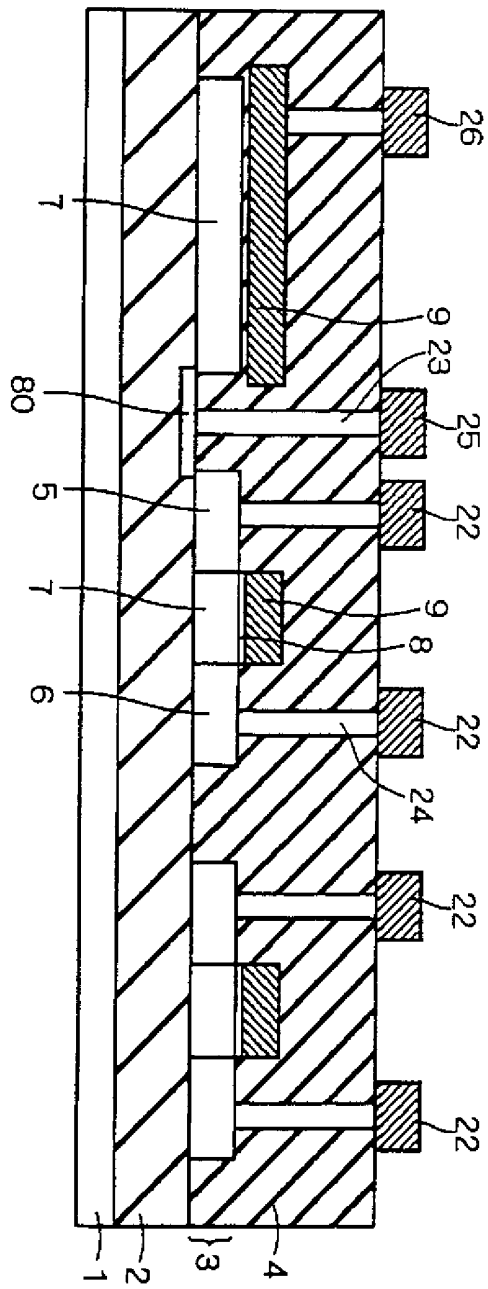
第38圖



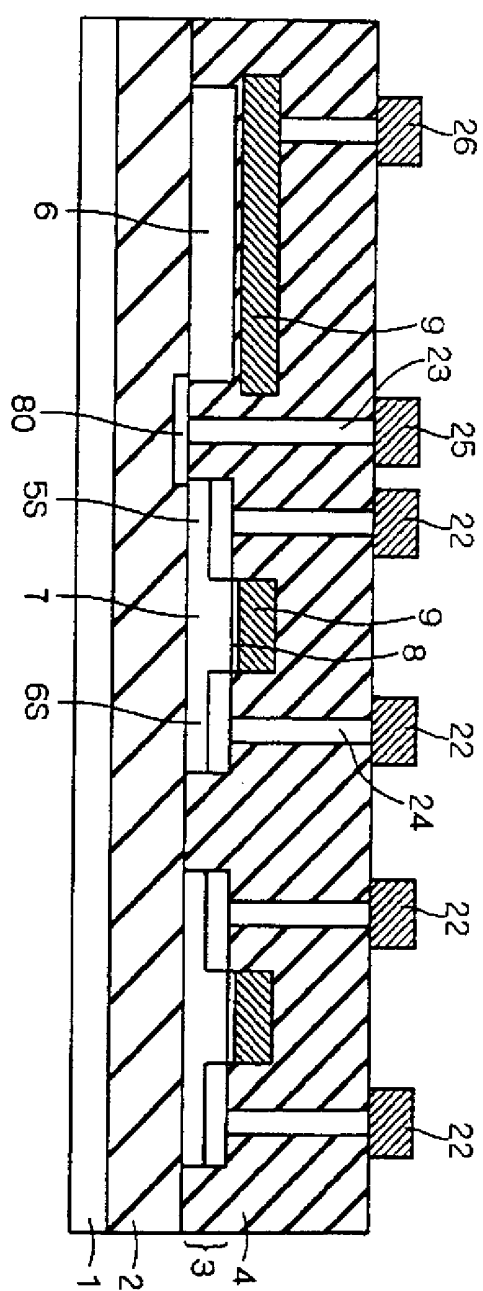
第39圖



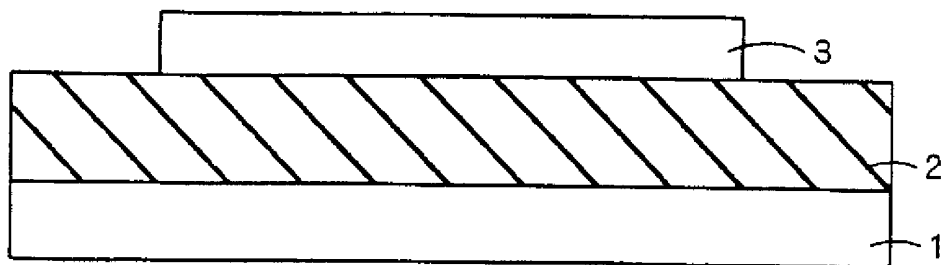
第40圖



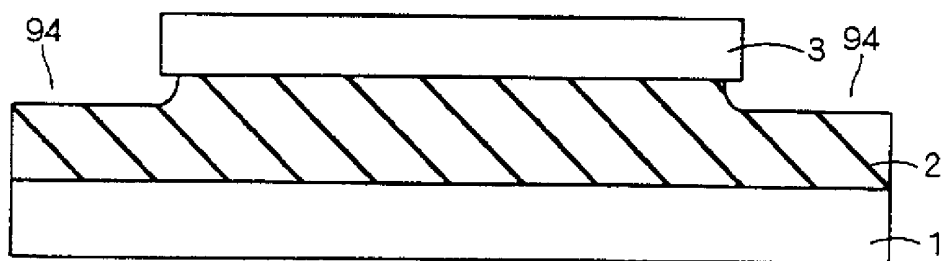
第41圖



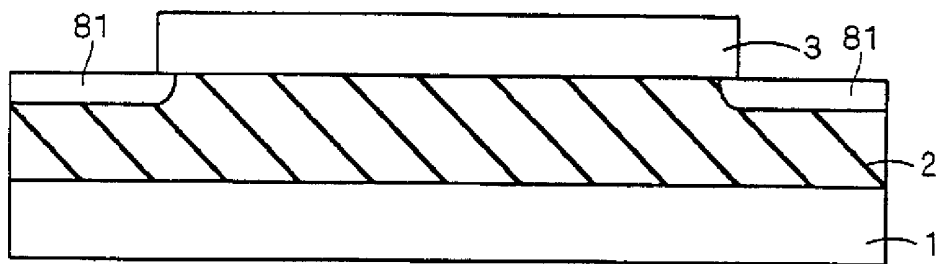
第42圖



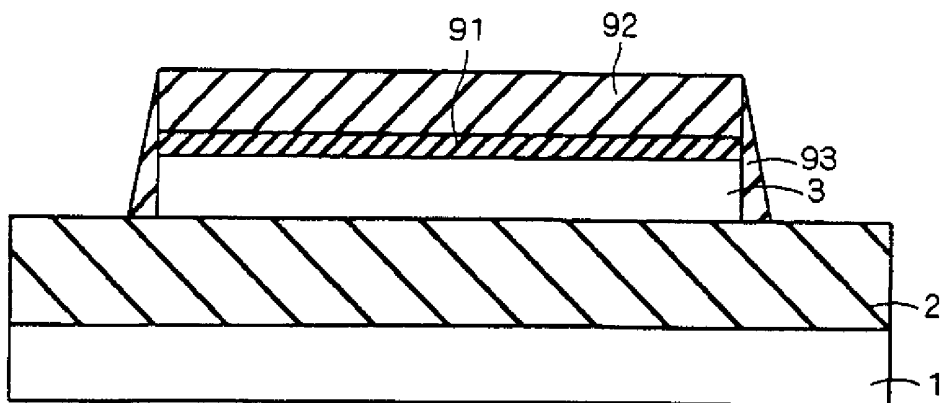
第43圖



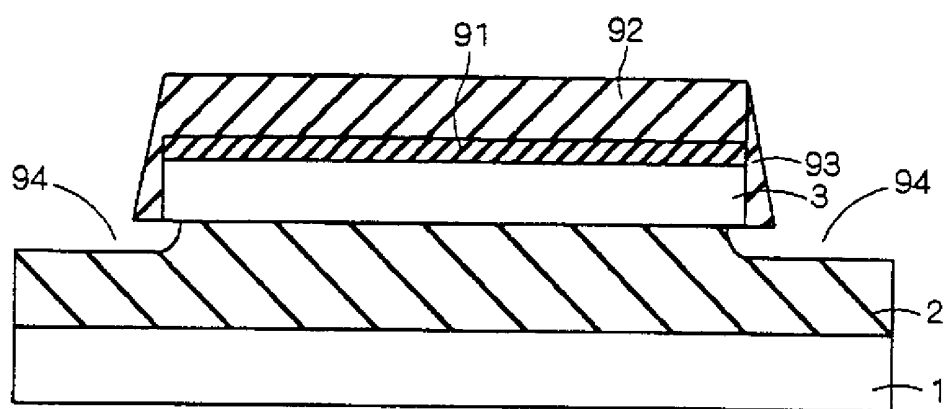
第44圖



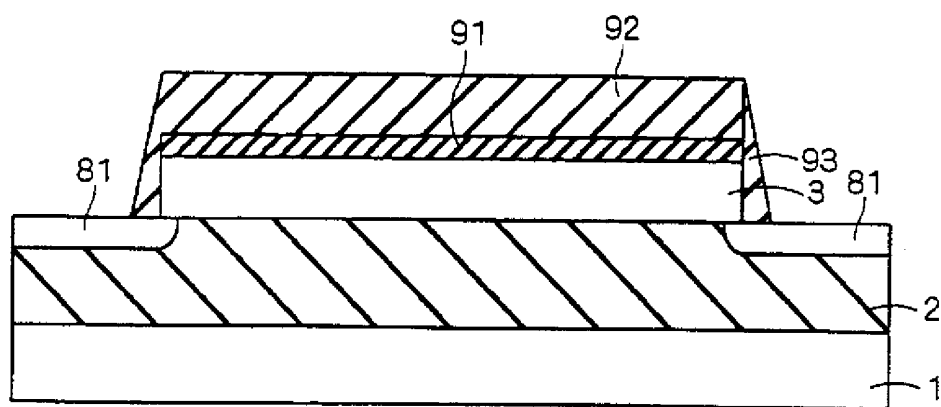
第45圖



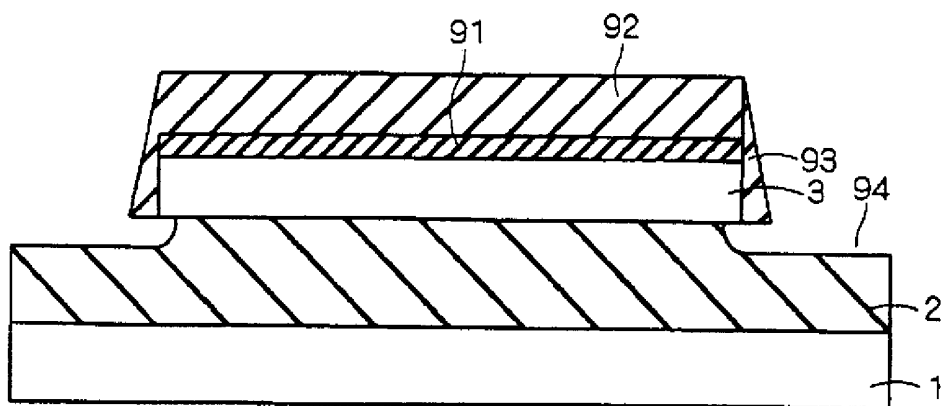
第46圖



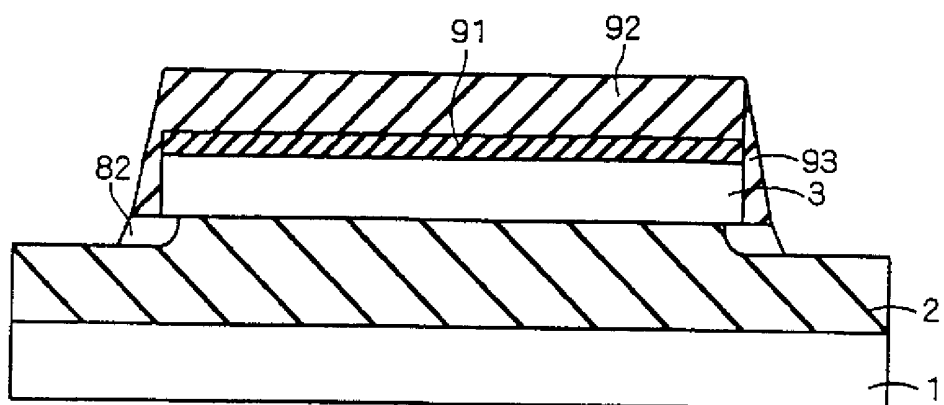
第47圖



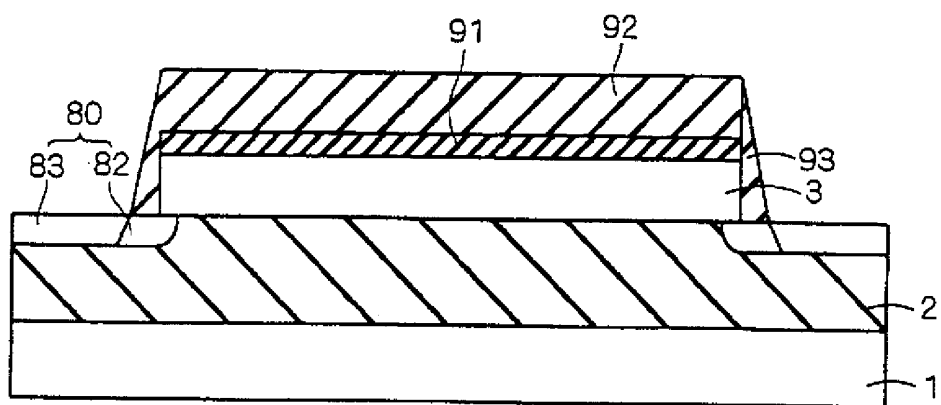
第48圖



第49圖

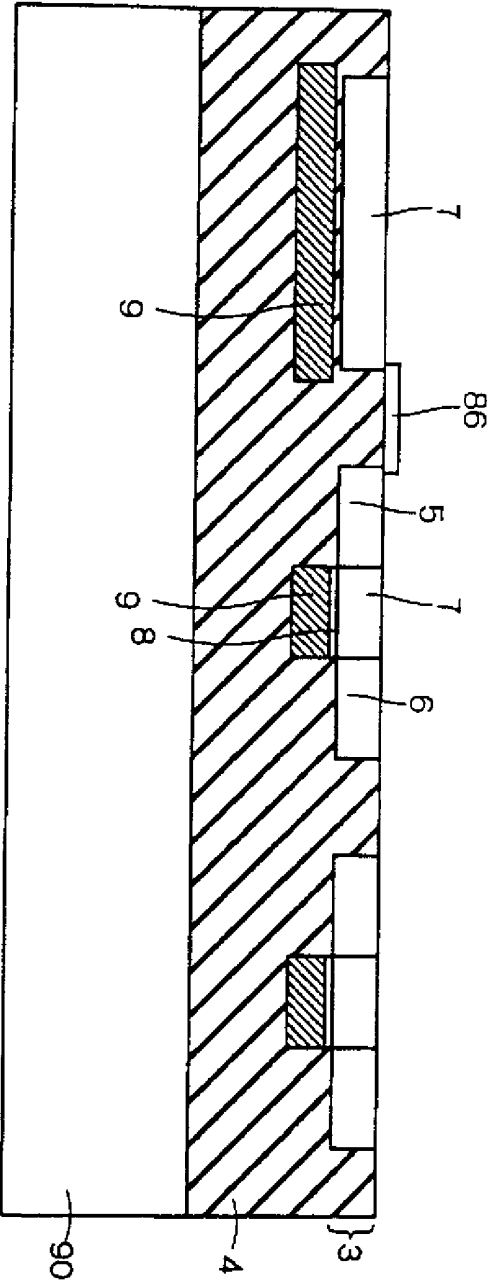


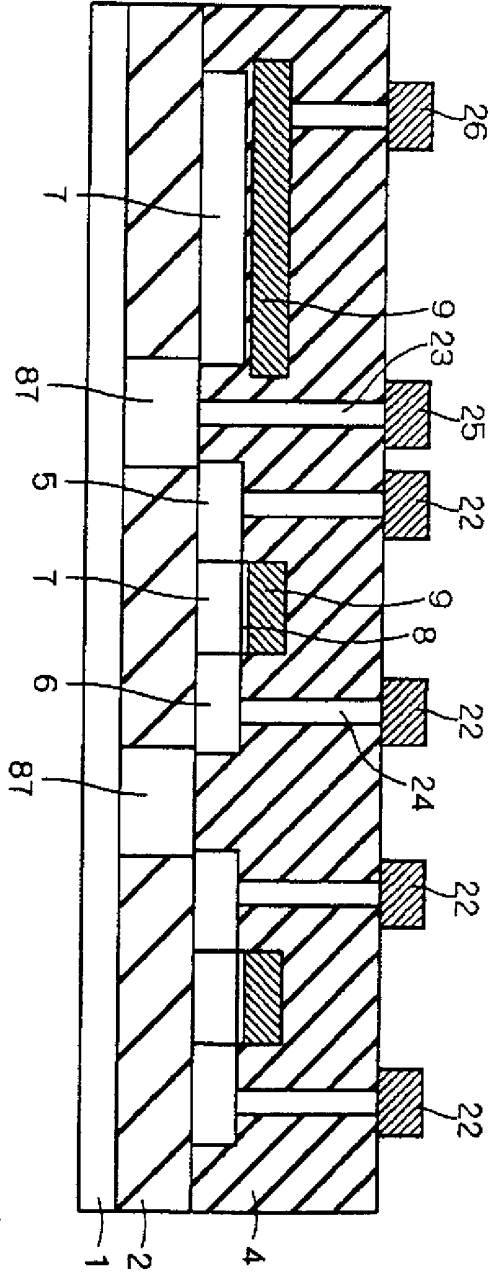
第 50 圖



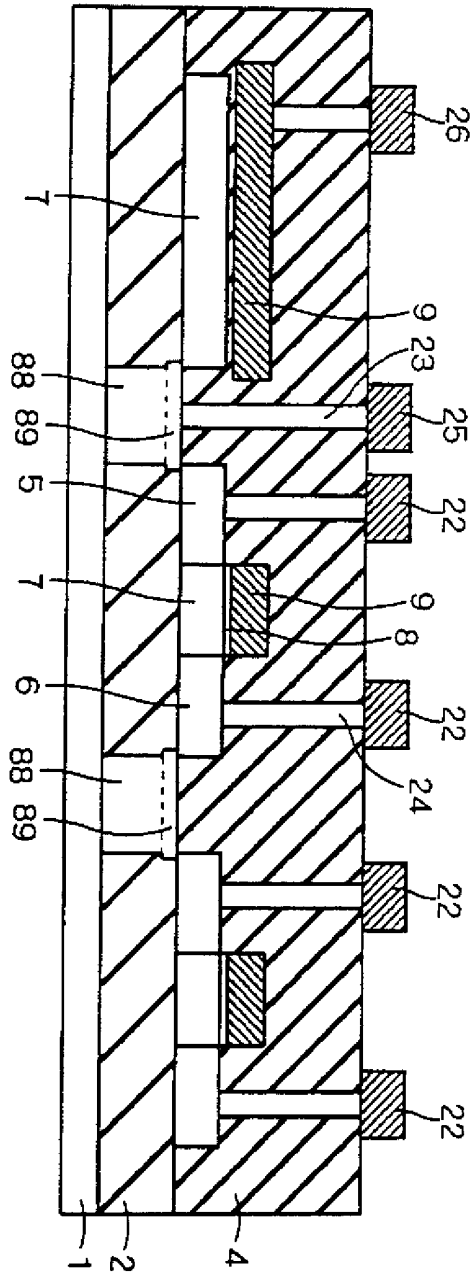
第 51 圖

第52圖

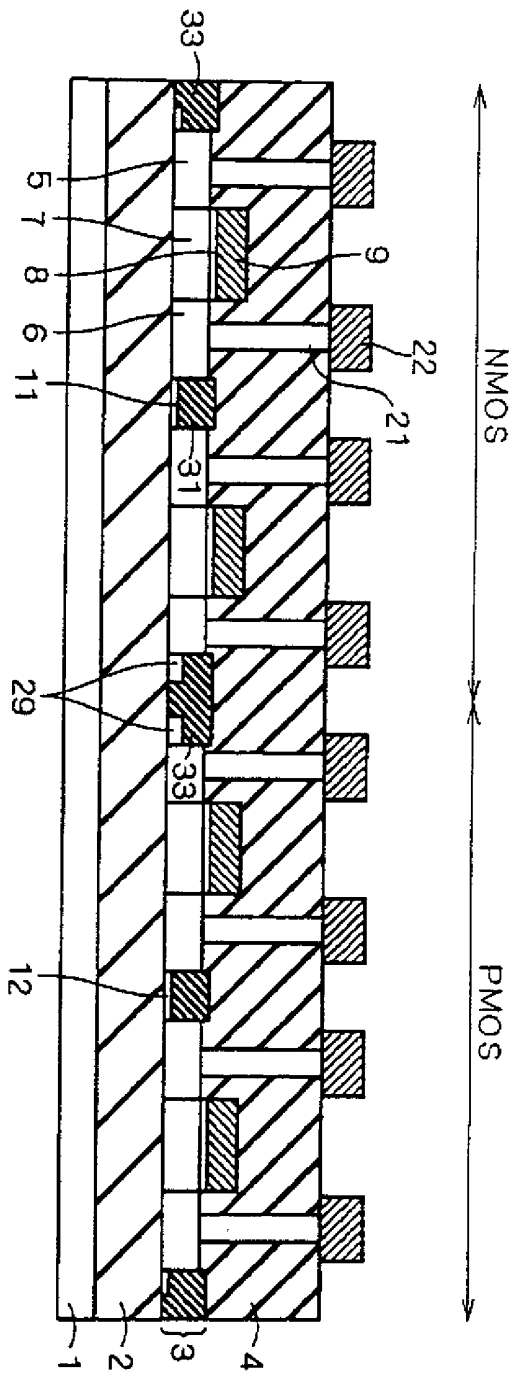




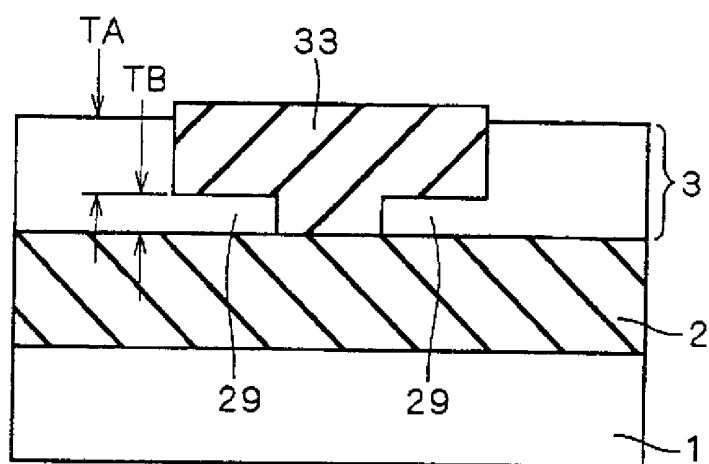
第 53 圖



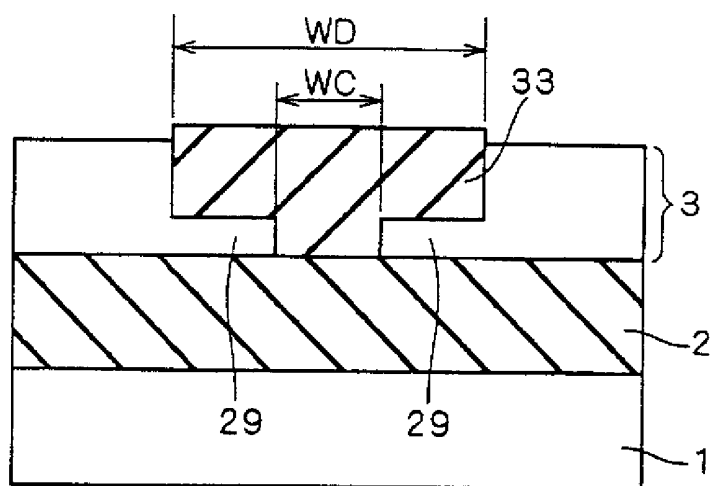
第54圖



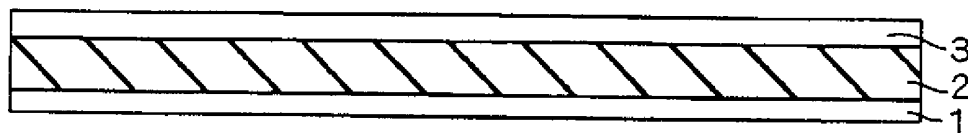
第55圖



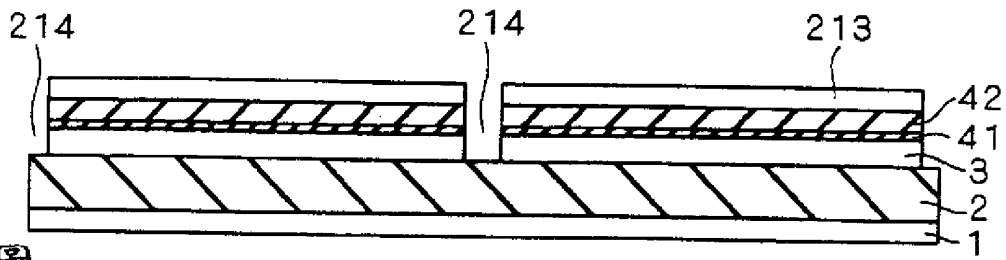
第56圖



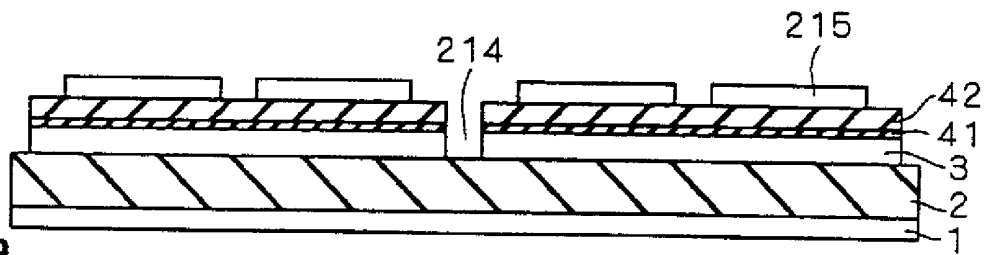
第57圖



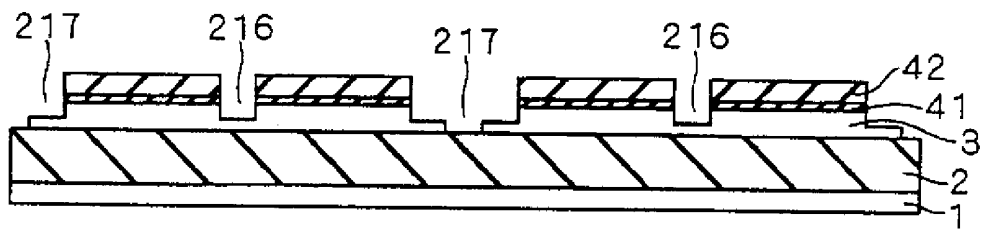
第58圖



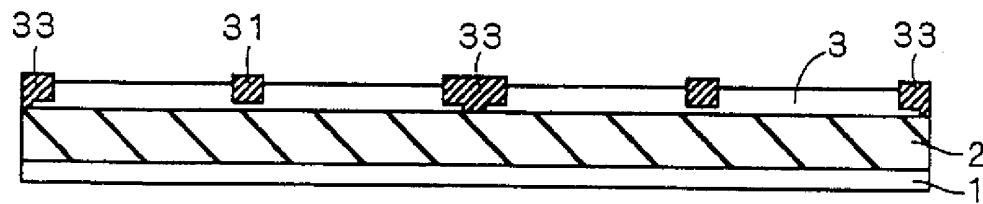
第59圖



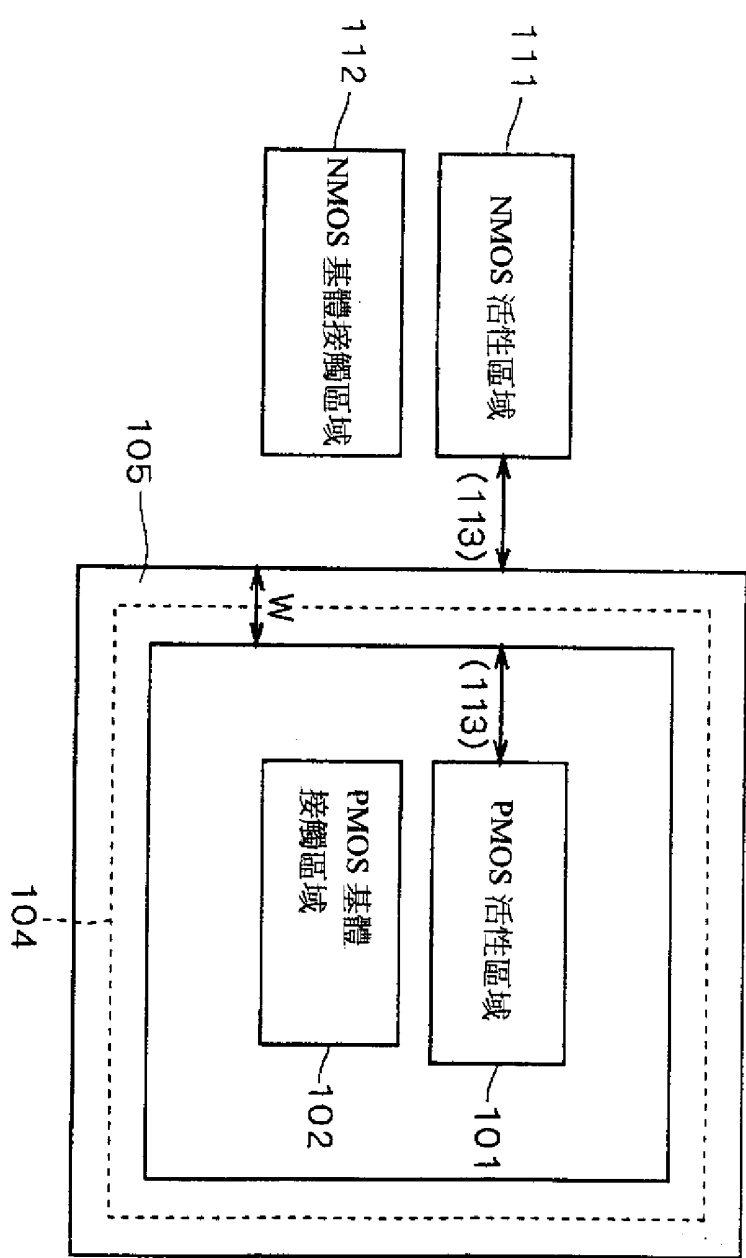
第60圖



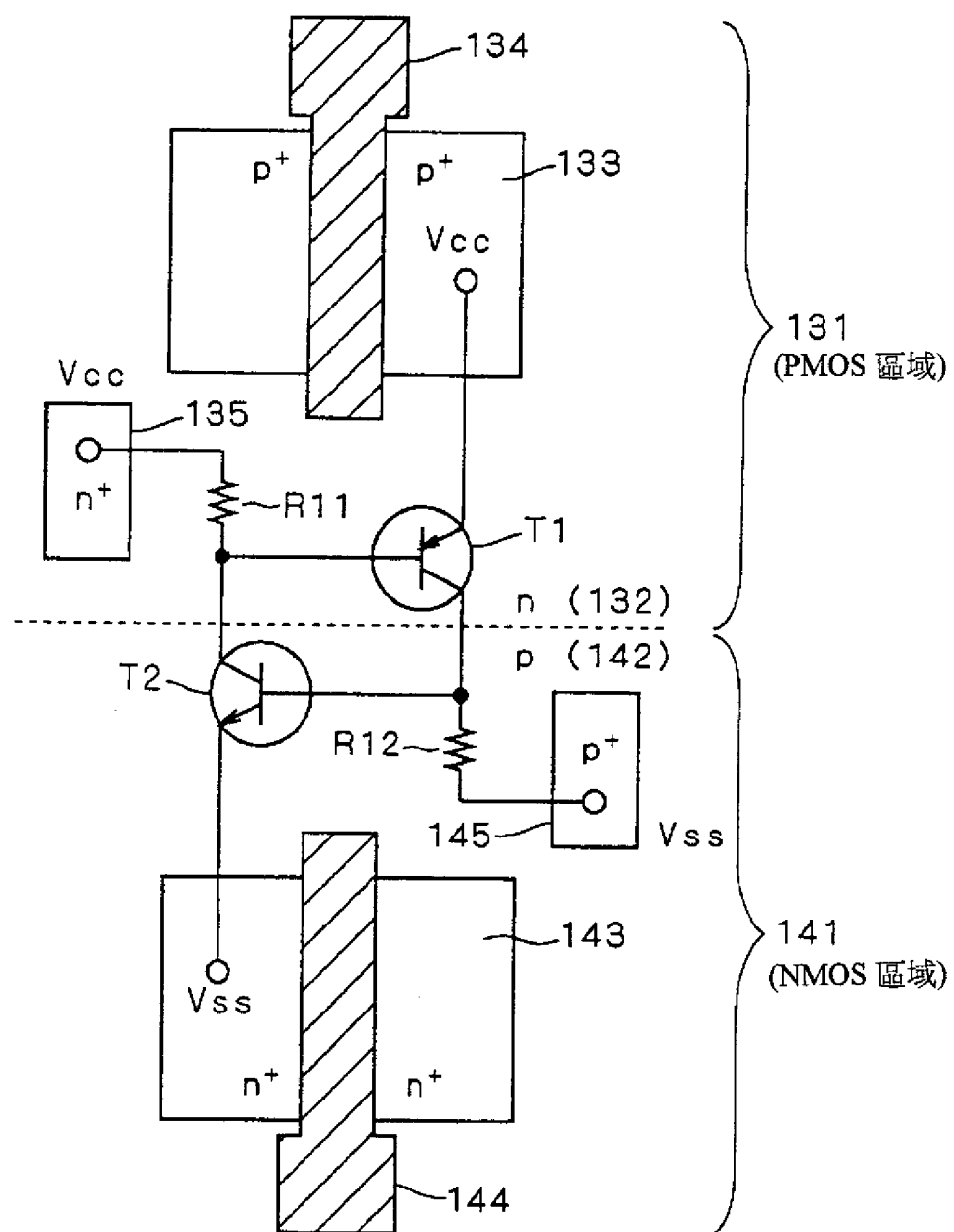
第61圖



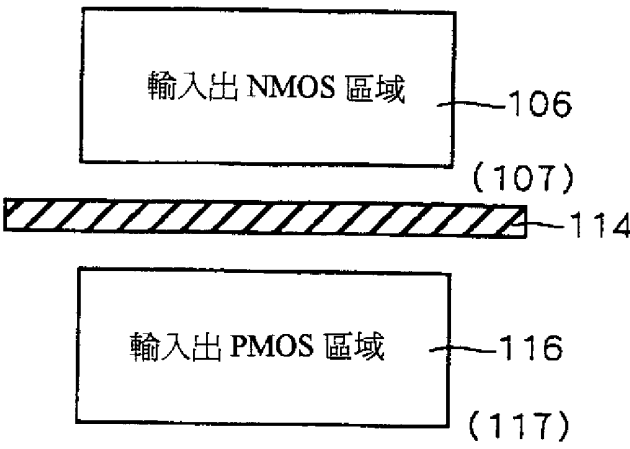
第62圖



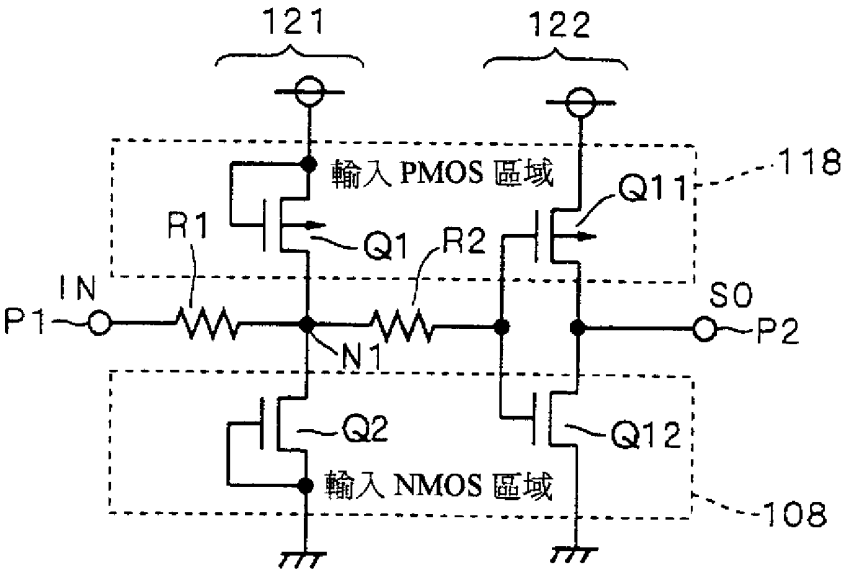
第 63 圖



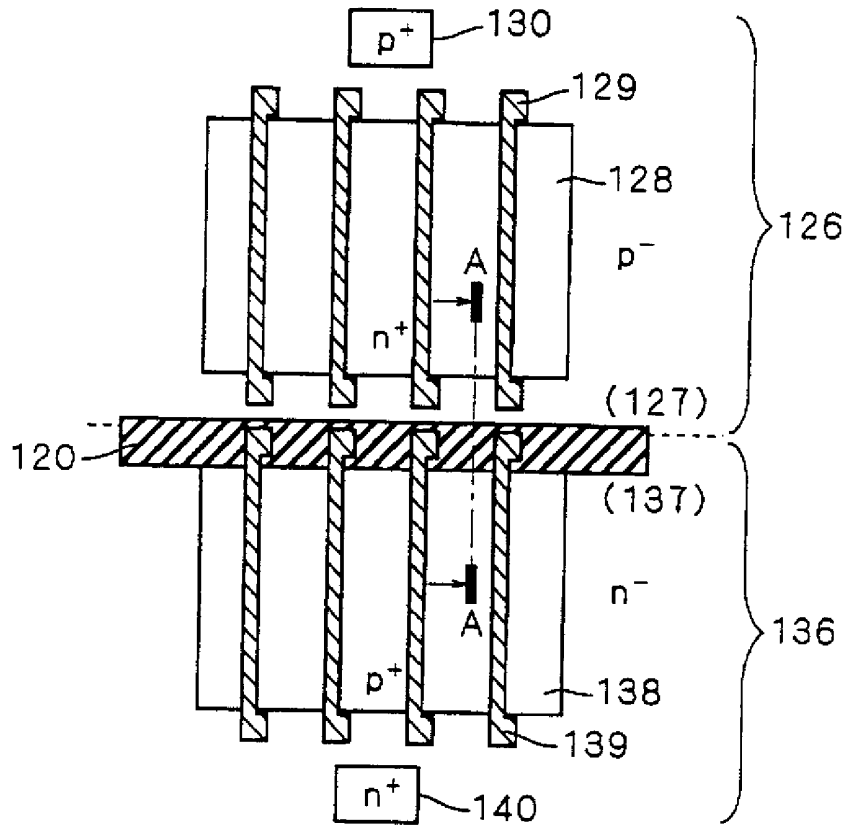
第 64 圖



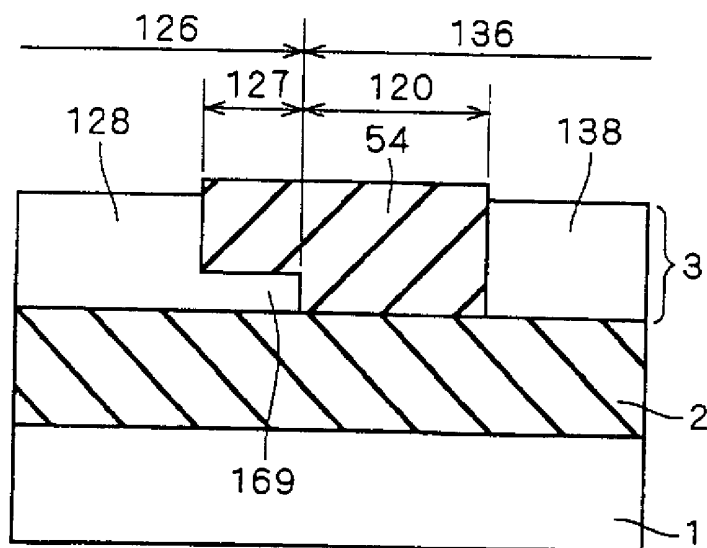
第 65 圖



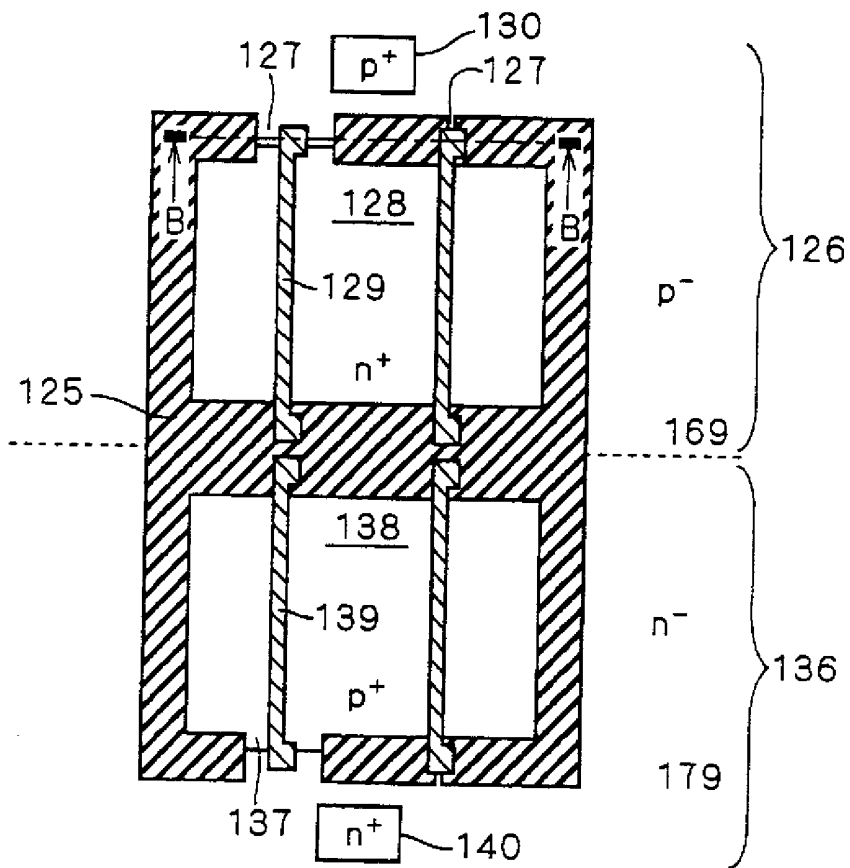
第 66 圖



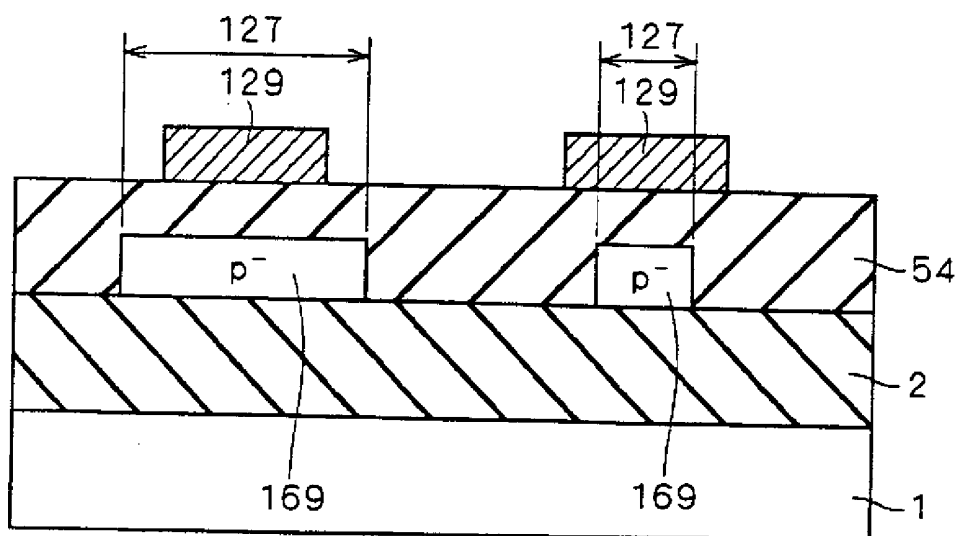
第70圖



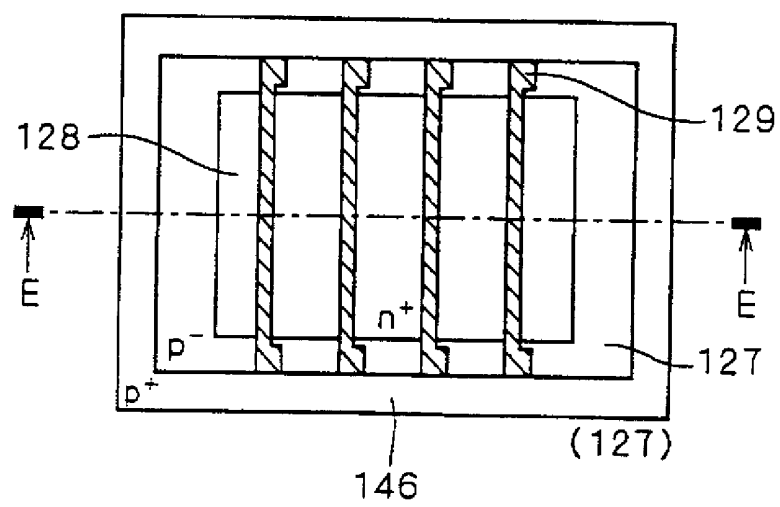
第71圖



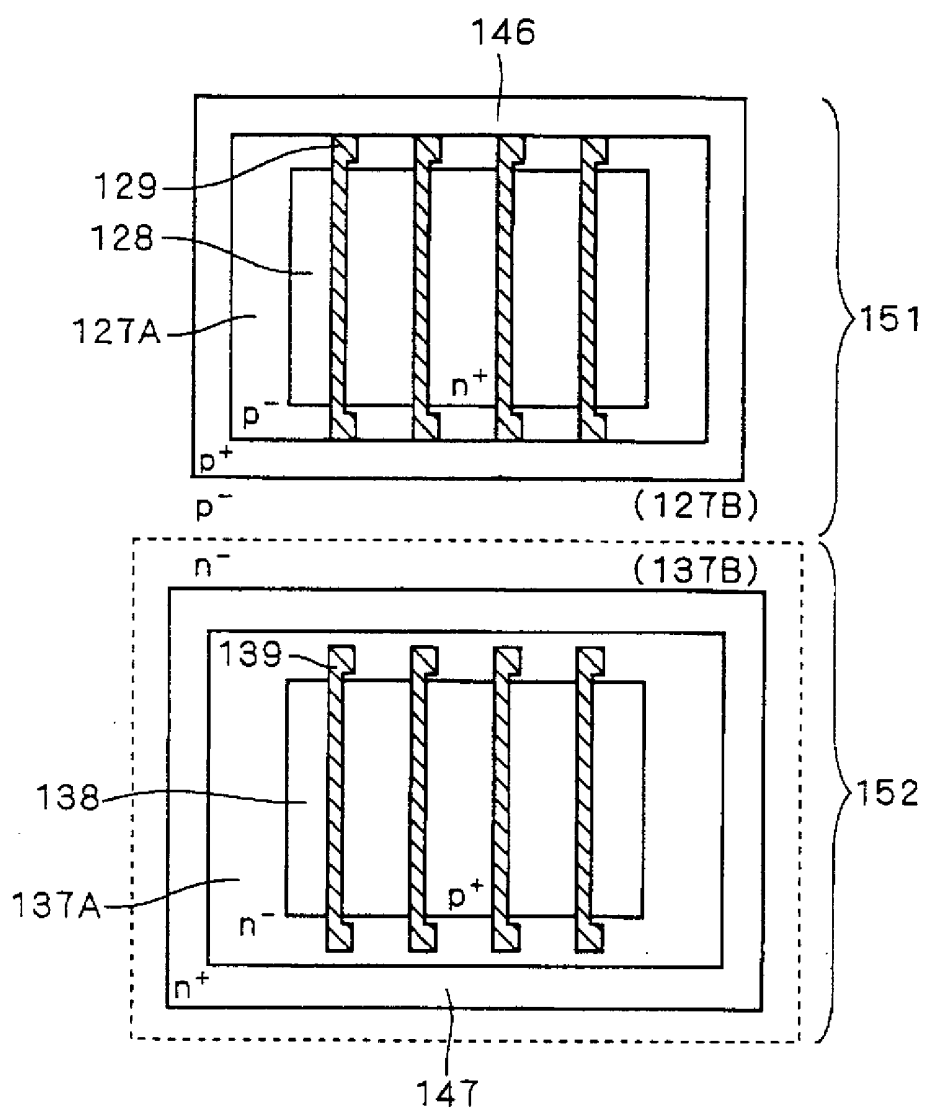
第72圖



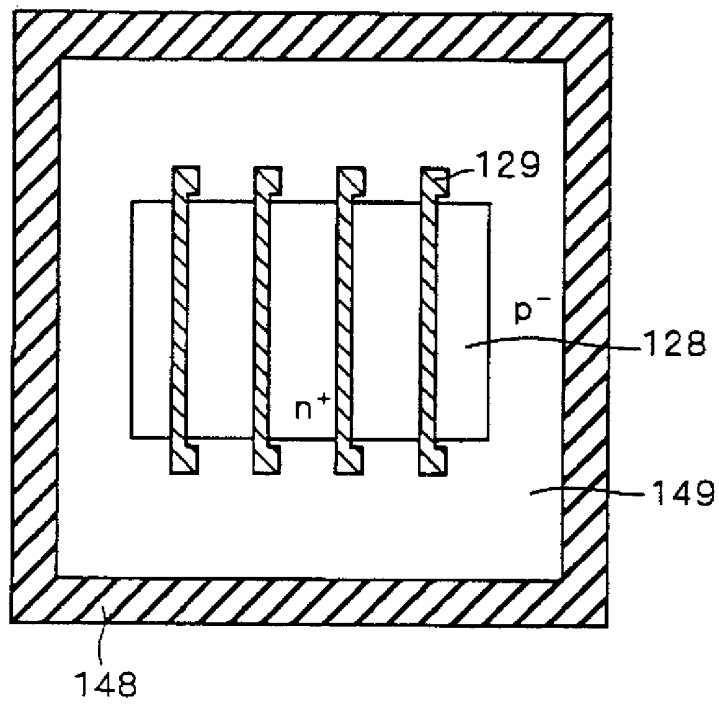
第73圖



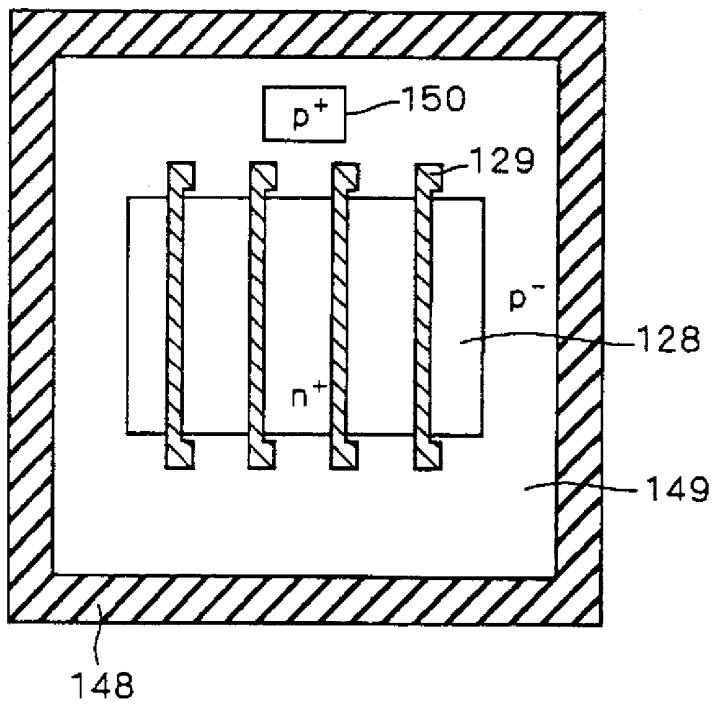
第74圖



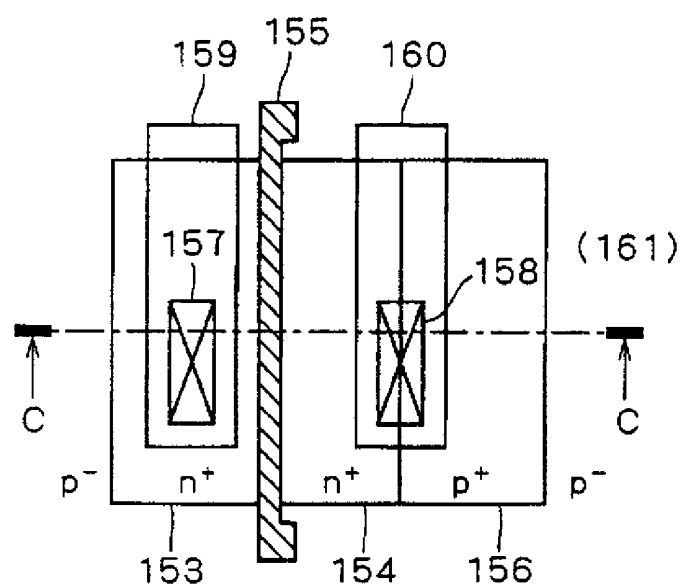
第75圖



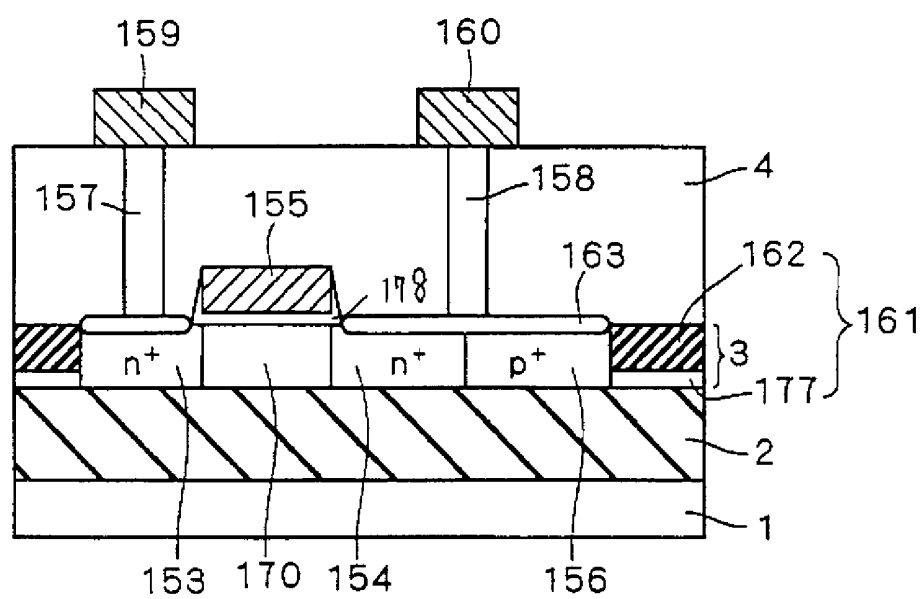
第76圖



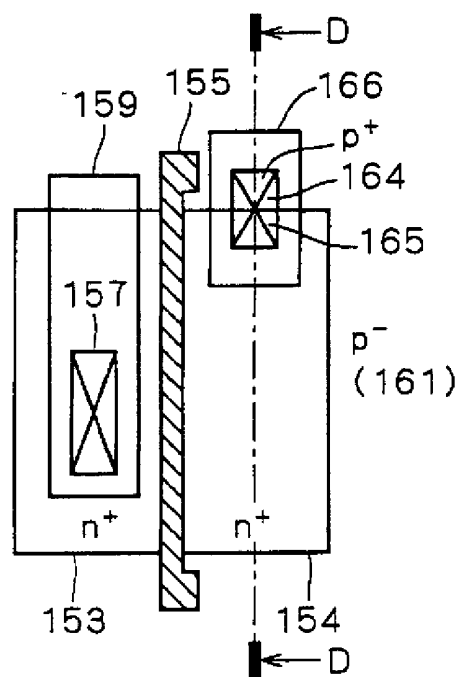
第77圖



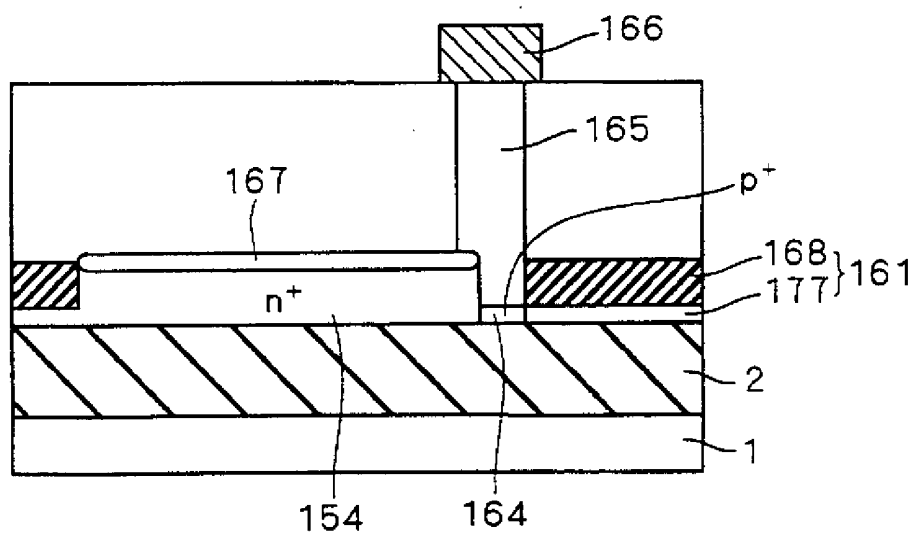
第78圖



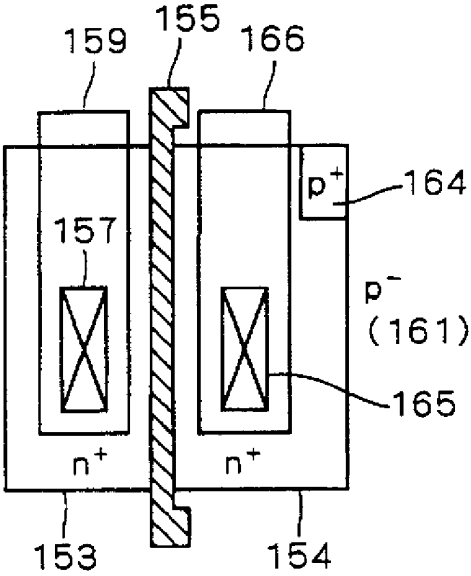
第79圖



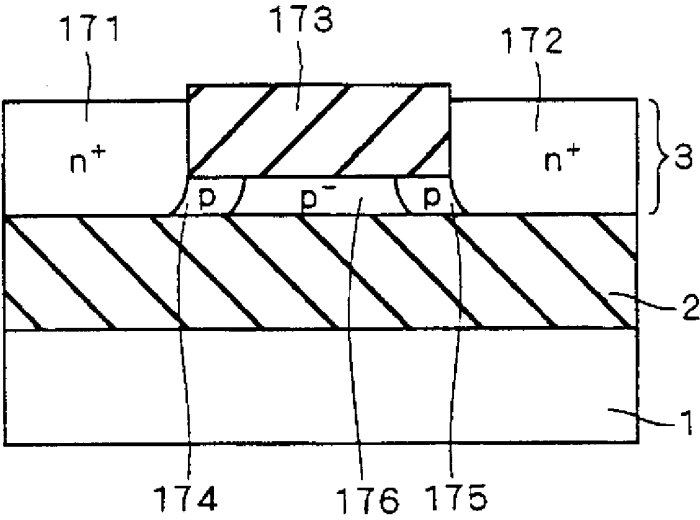
第80圖



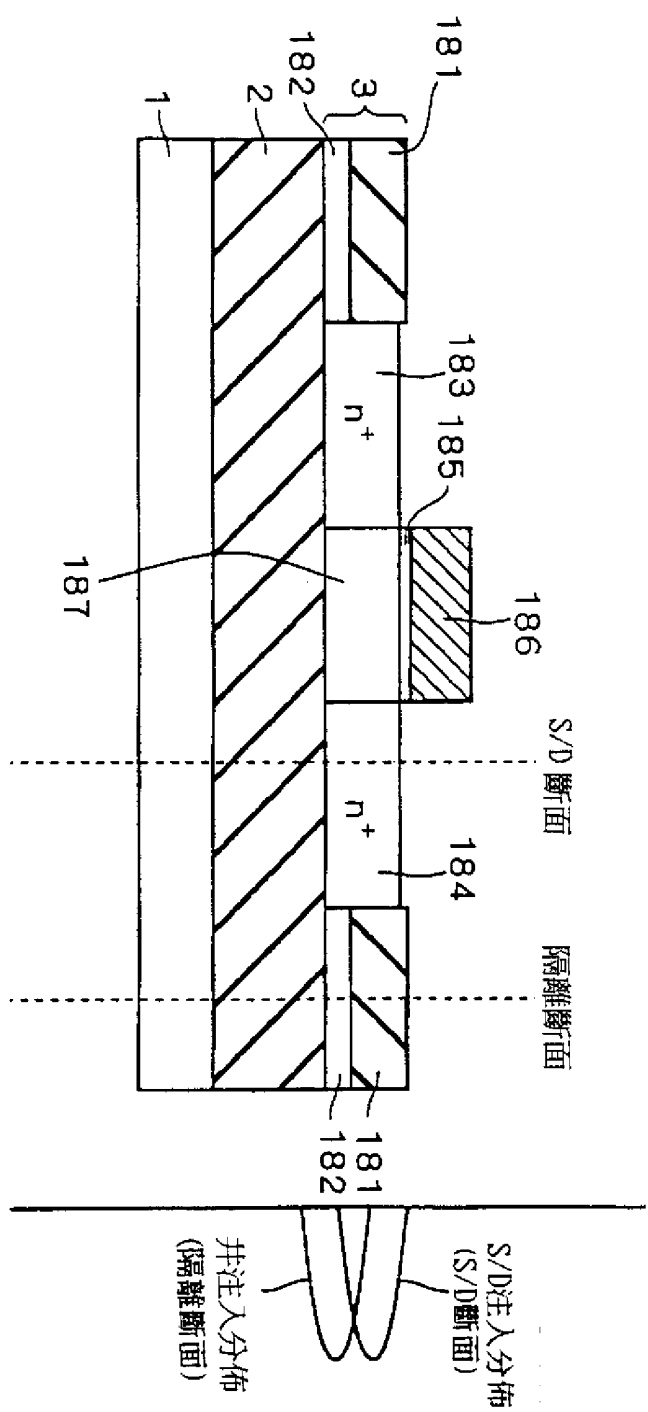
第81圖



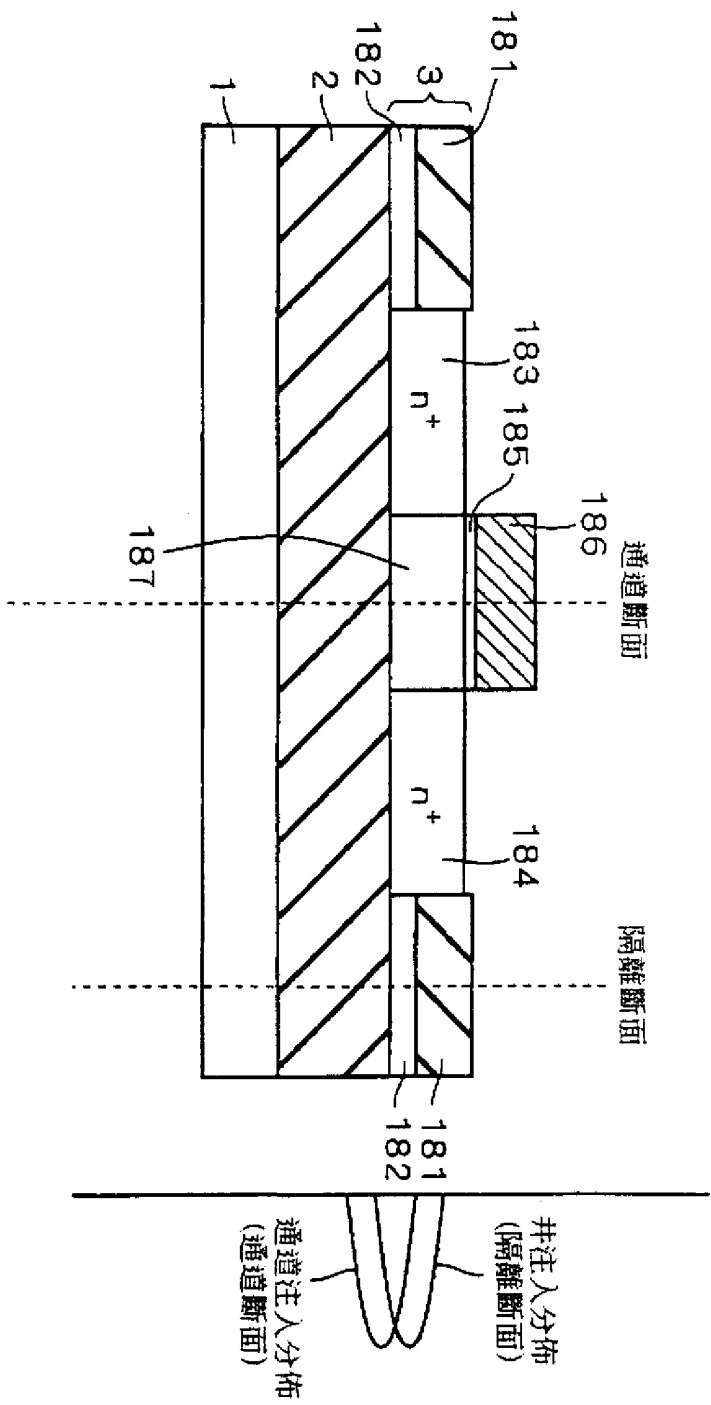
第82圖



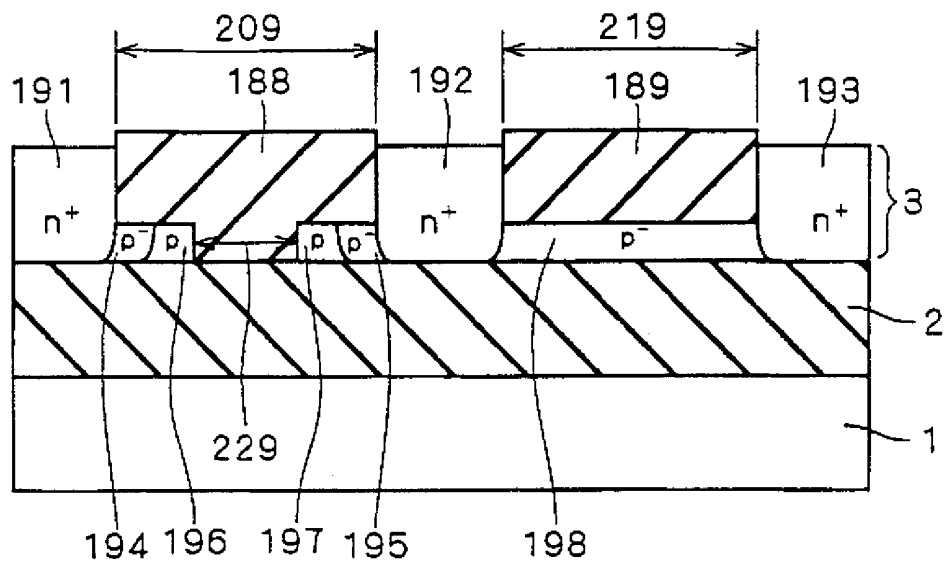
第83圖



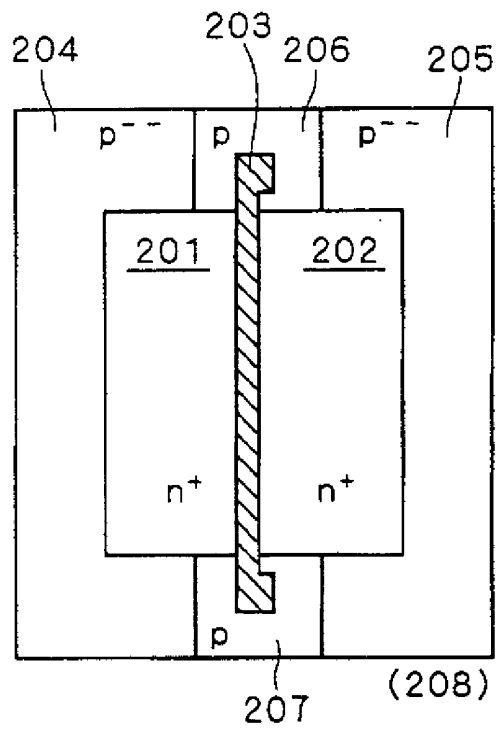
第 84 圖



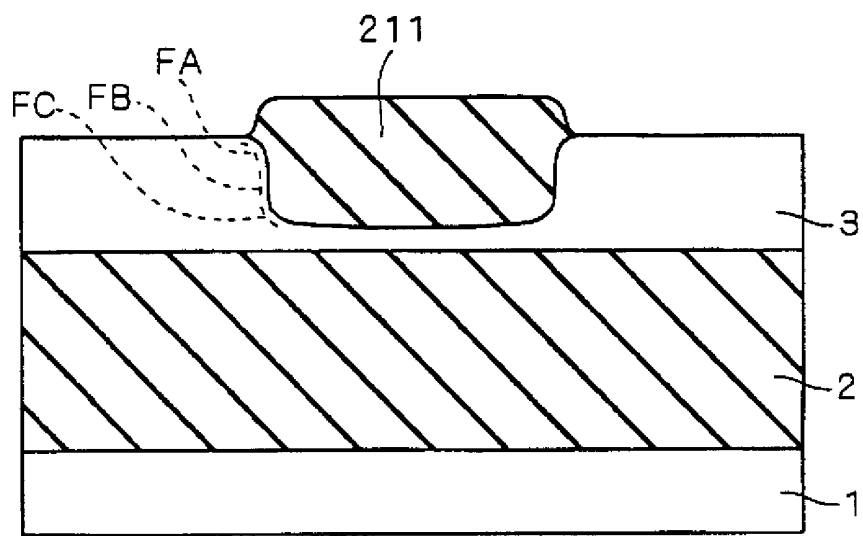
第85圖



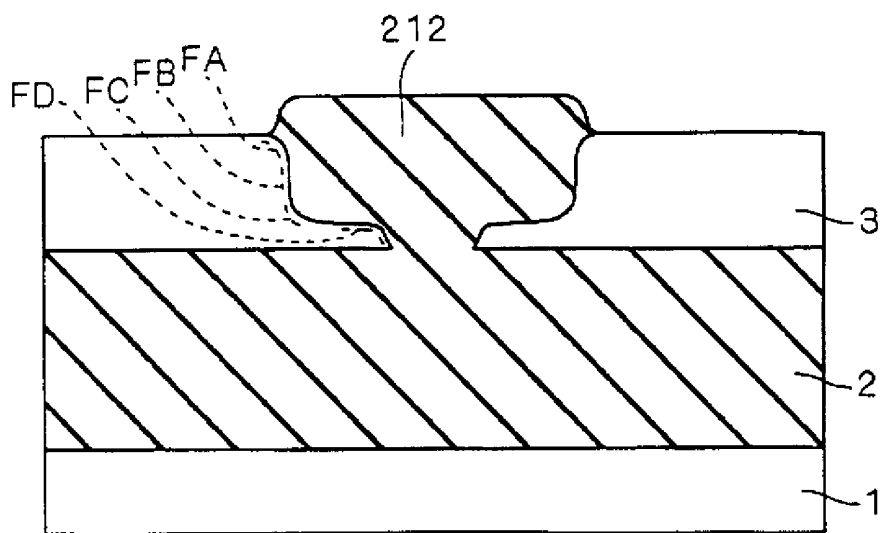
第86圖



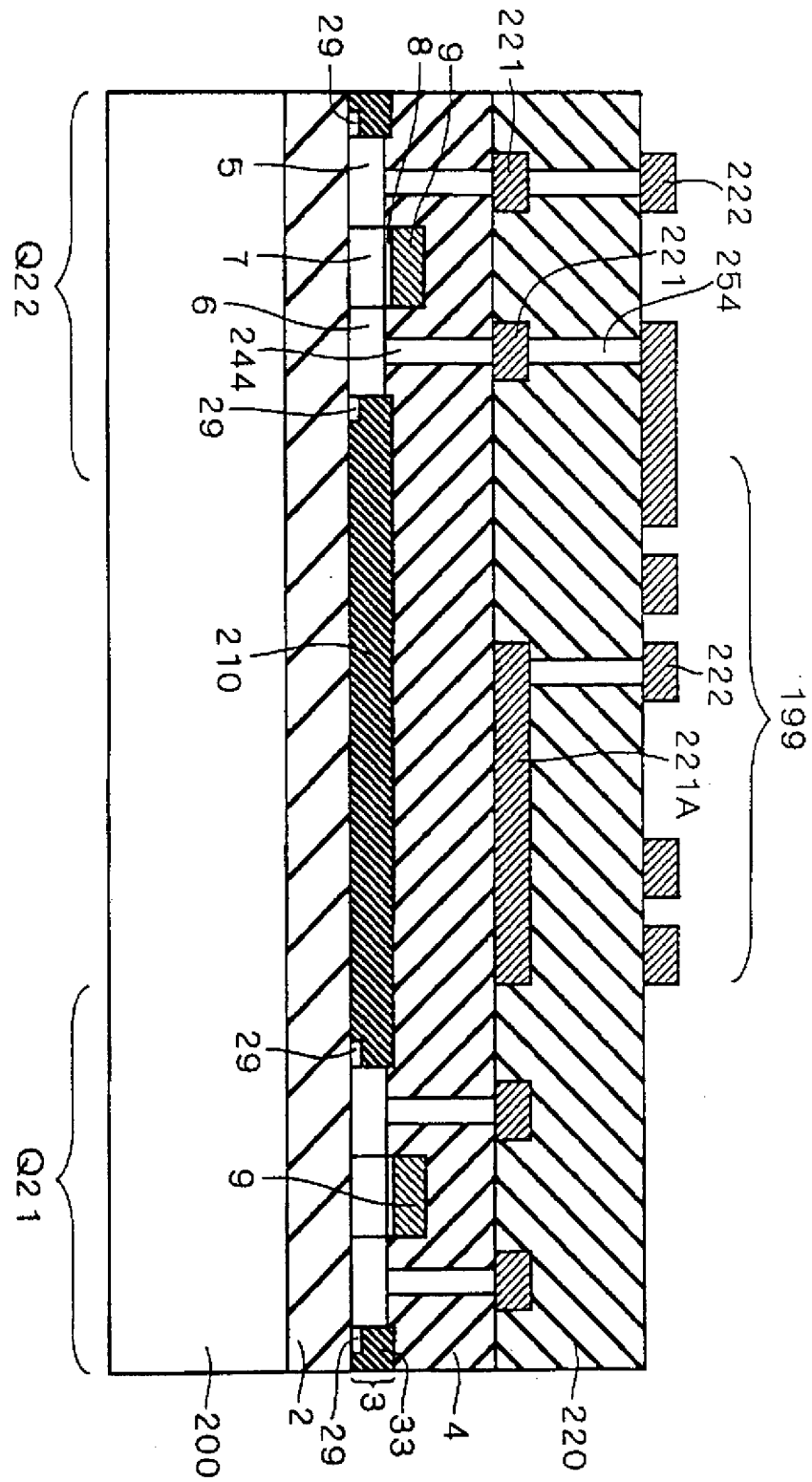
第87圖



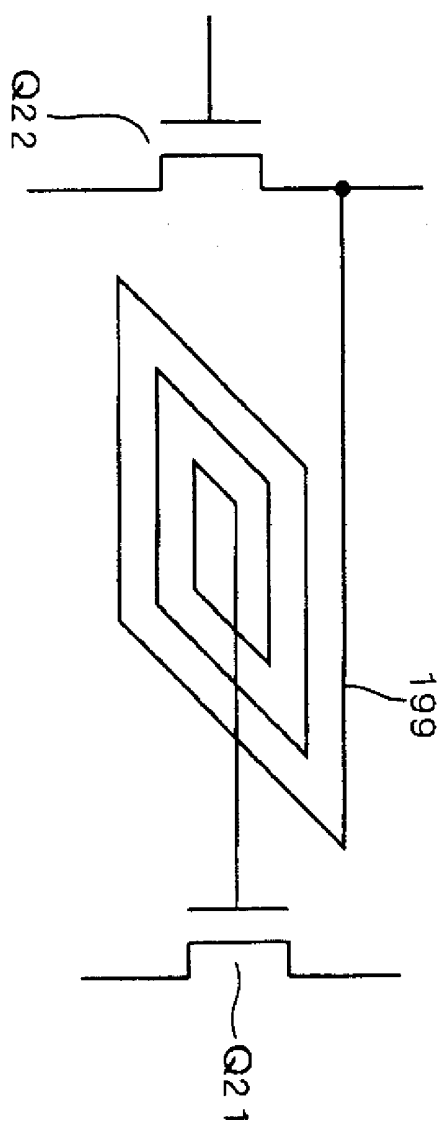
第88圖



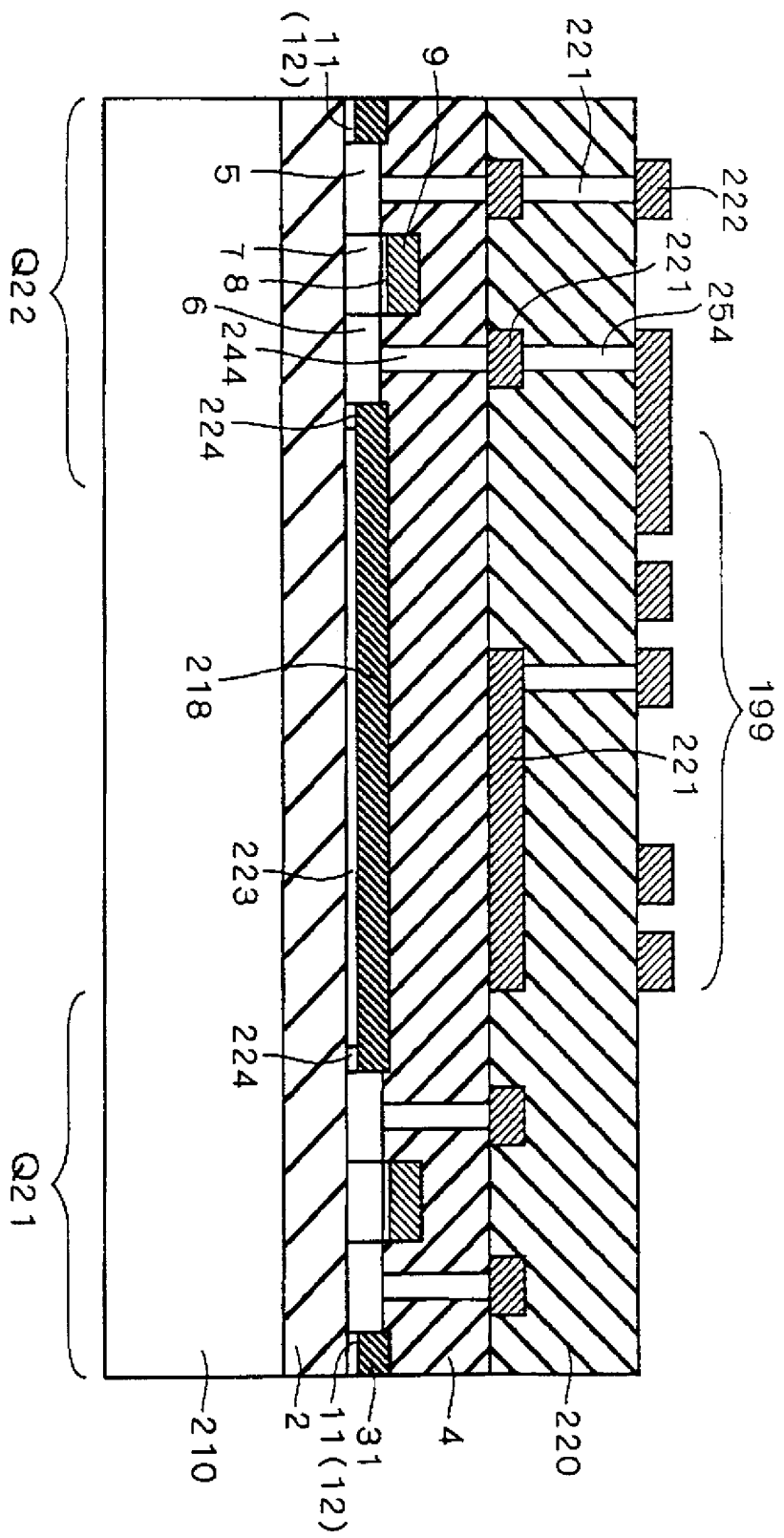
第89圖



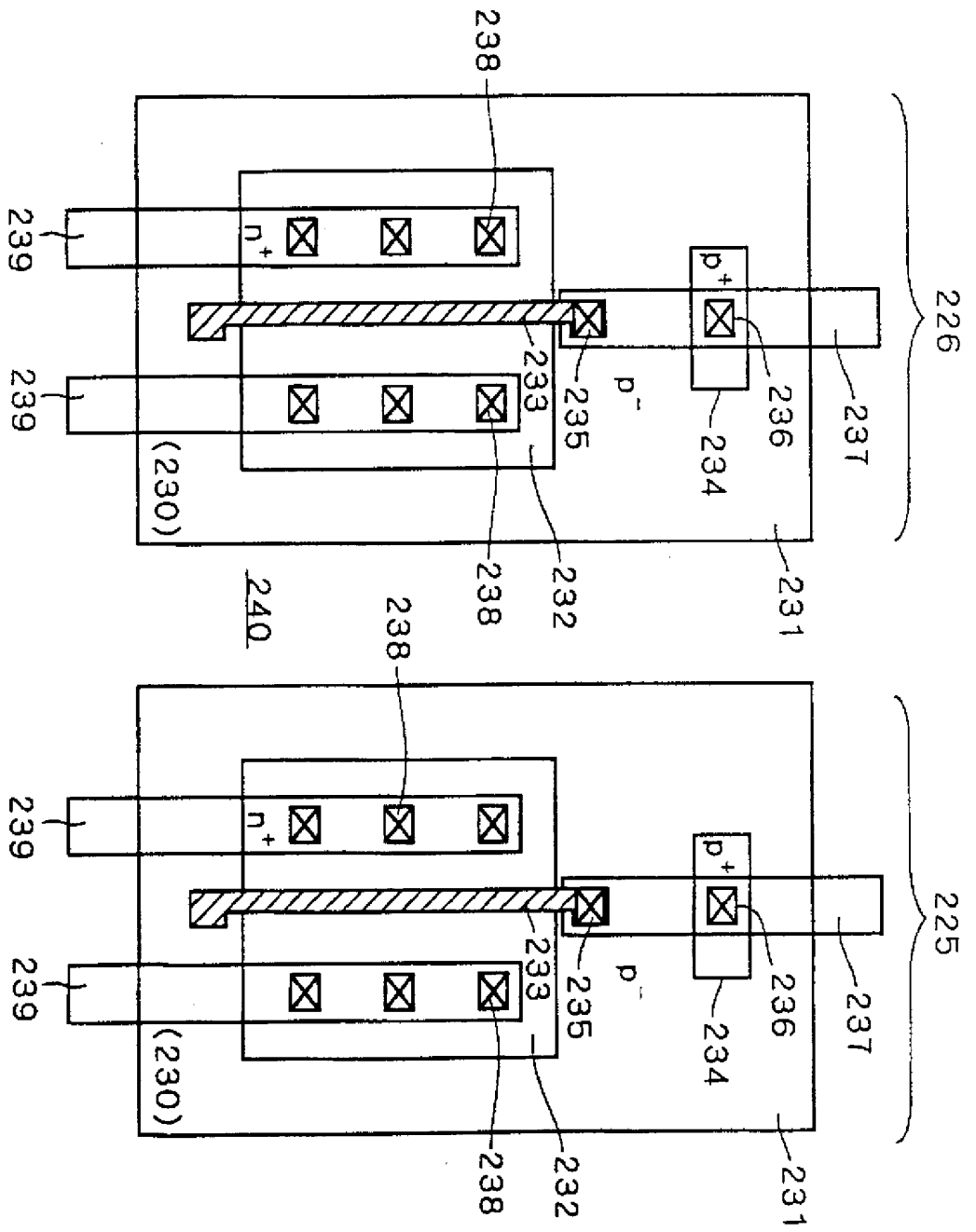
第90圖



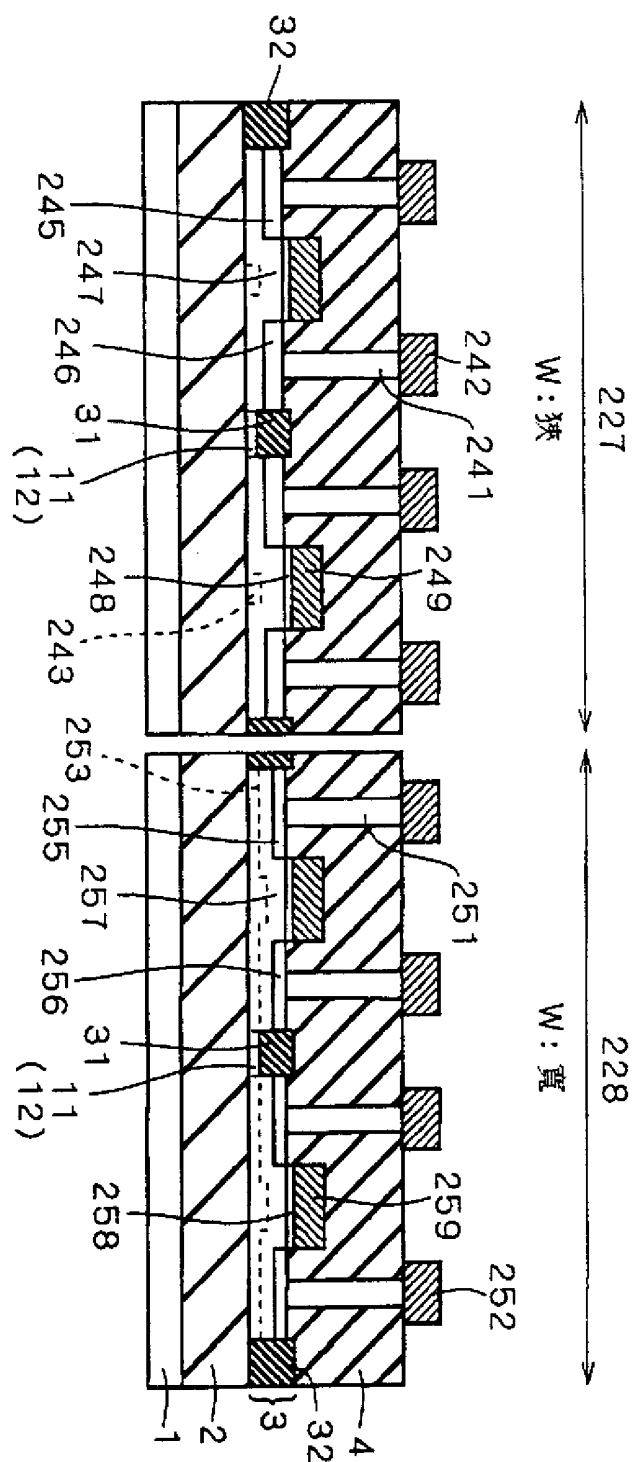
第 91 圖



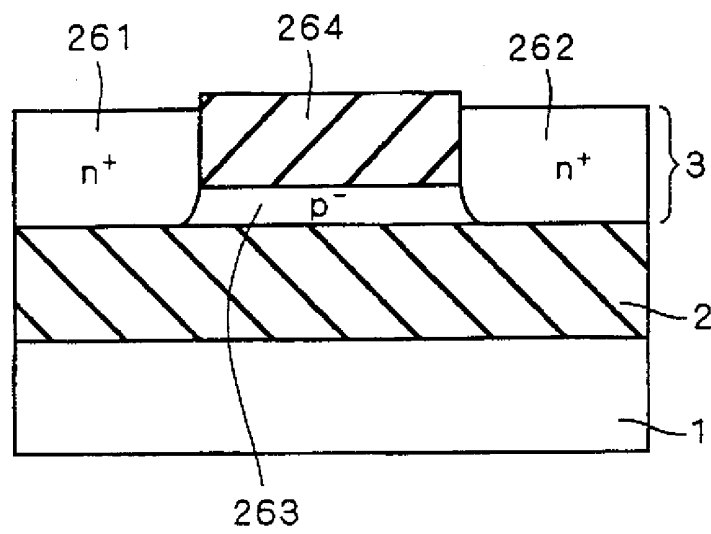
第92圖



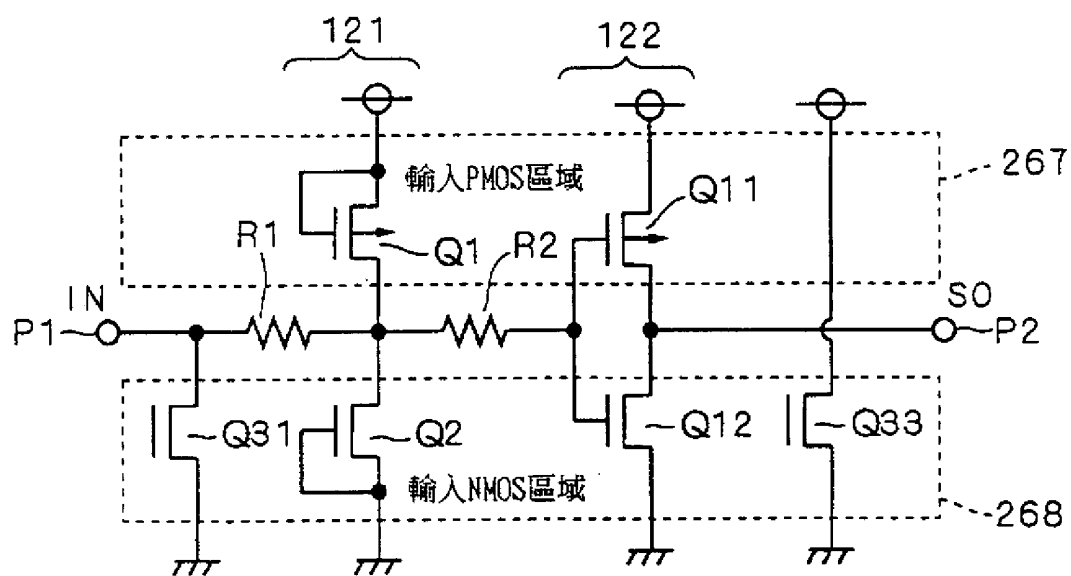
第93圖



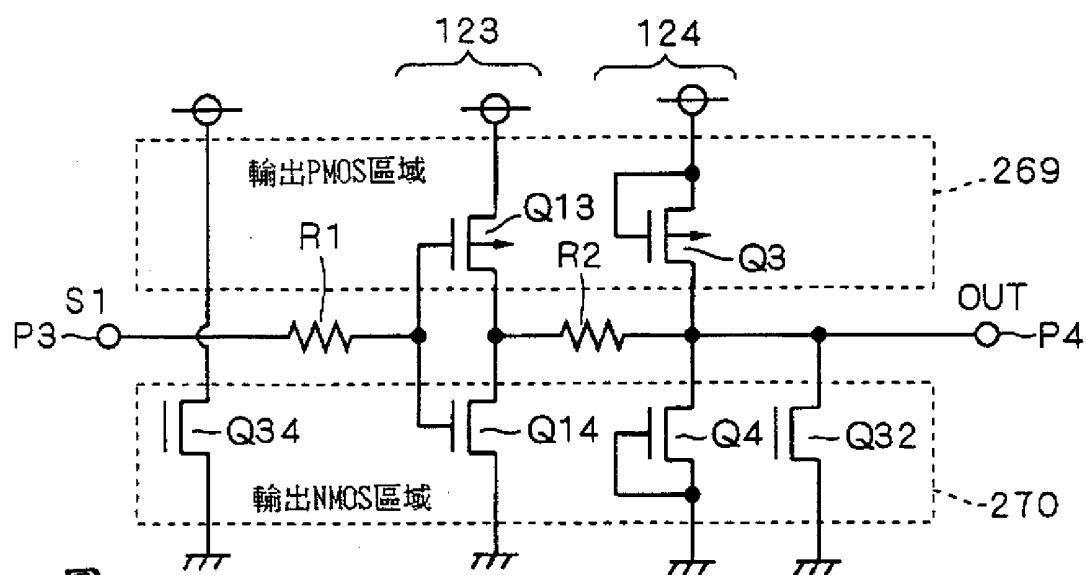
第 94 圖



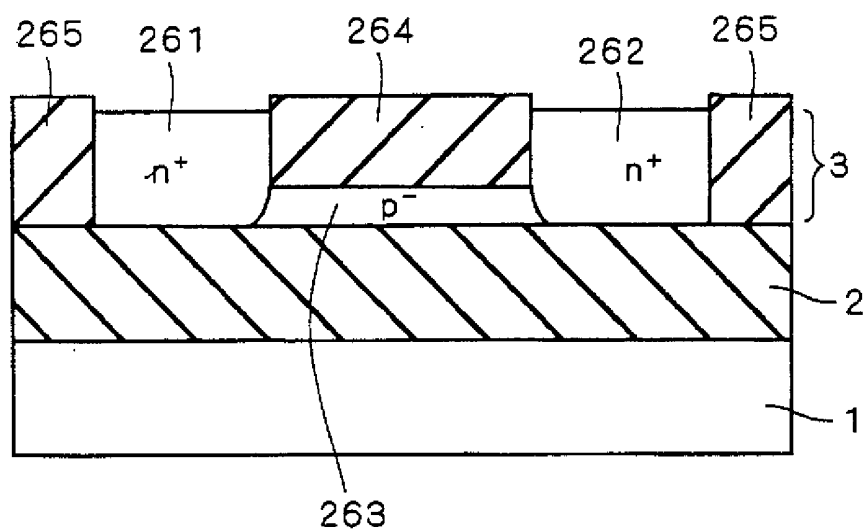
第95圖



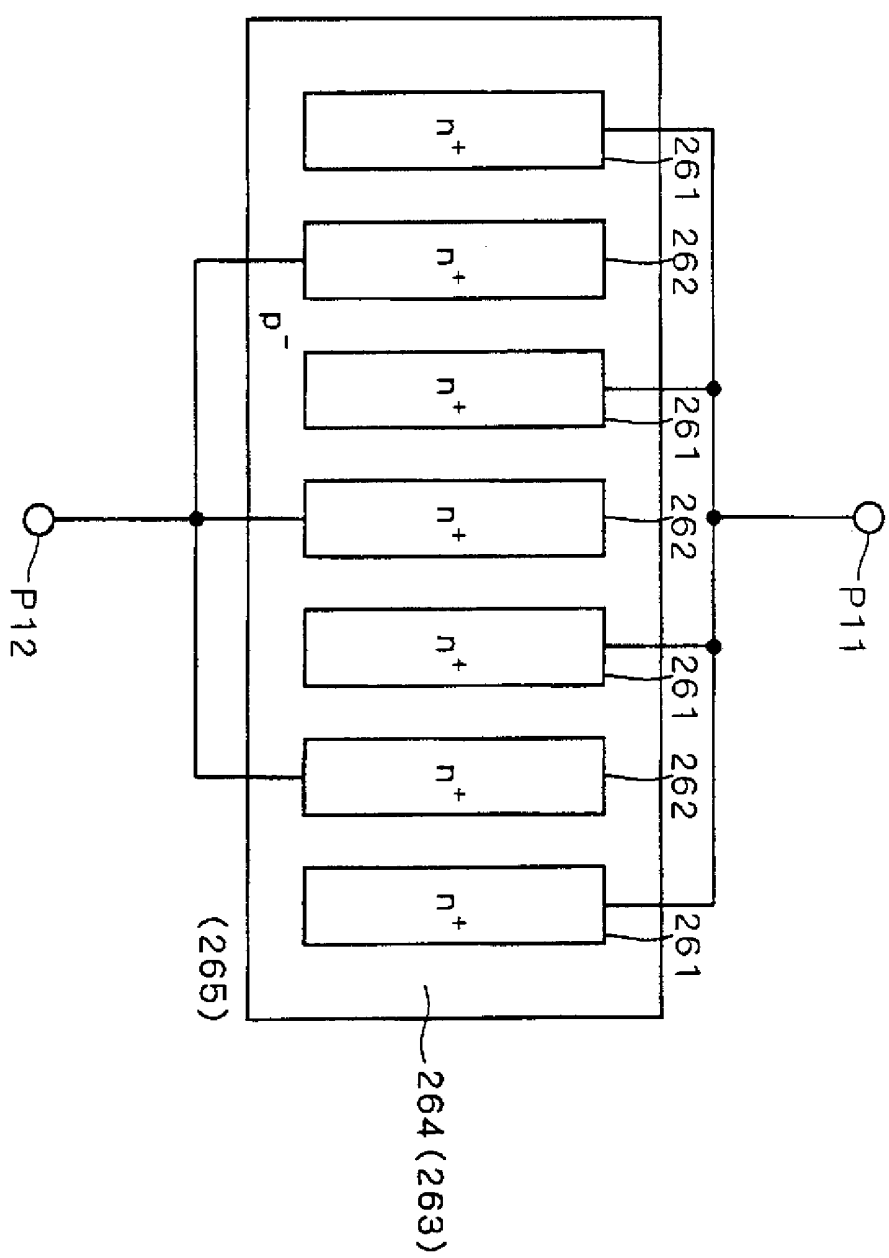
第96圖



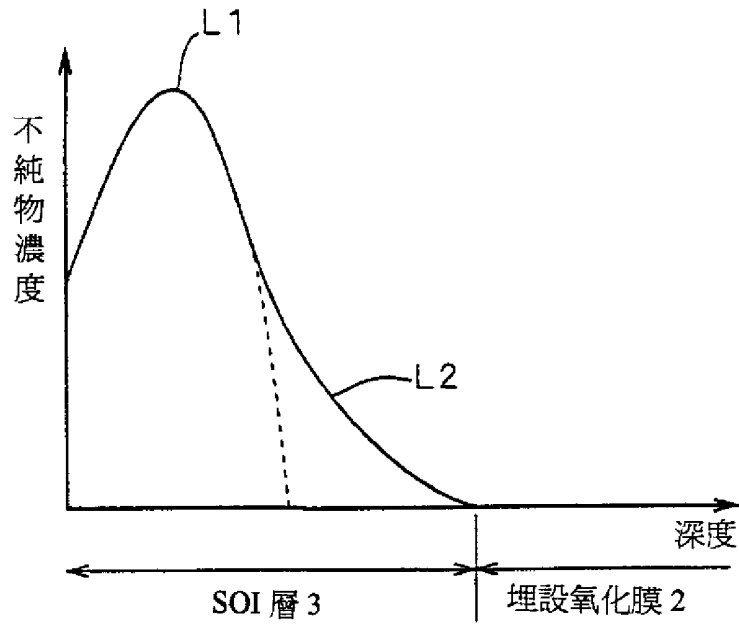
第97圖



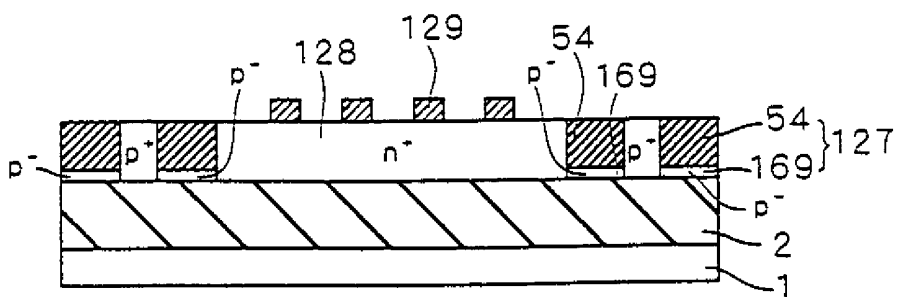
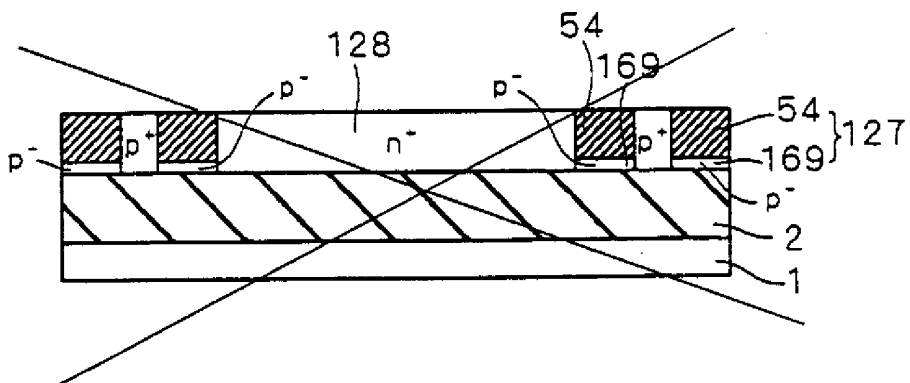
第98圖



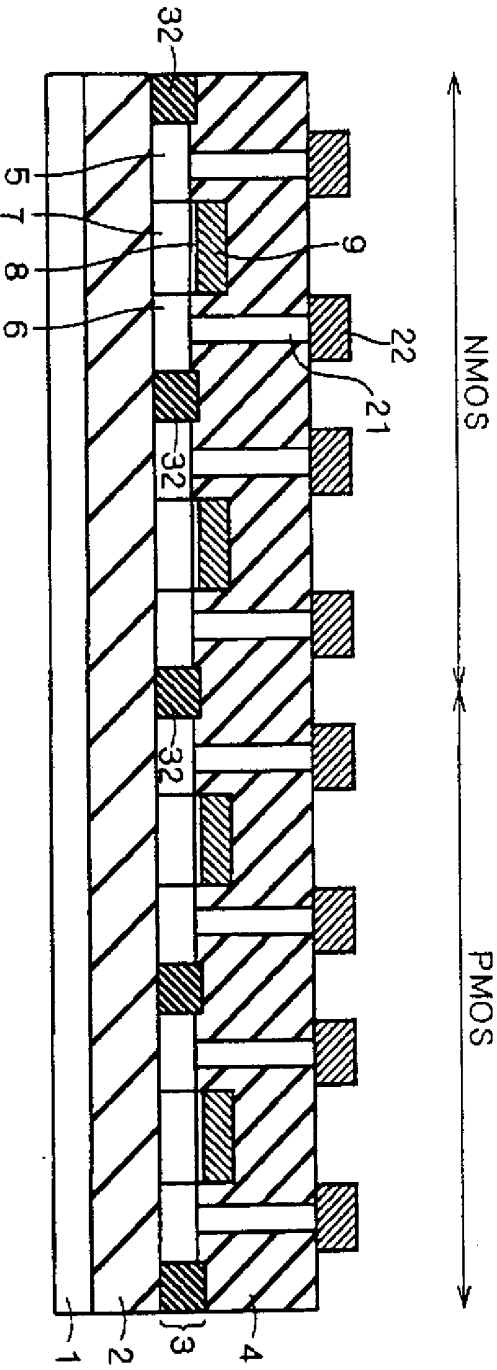
第99圖



第100圖



第101圖



第102圖

附件一

第 88122211 號專利申請案

申請專利範圍修正本

(90 年 9 月 27 日)

1. 一種半導體裝置，為由半導體基板、埋設絕緣層及 SOI 層形成之 SOI 構造，其特徵為具備：

設在前述 SOI 層之各形成有預定元件之複數元件形成區域；

設在前述 SOI 層之將前述複數元件形成區域間予以絕緣隔離的元件隔離區域；以及

設在前述 SOI 層之能由外部固定電位的基體區域，而前述元件隔離區域中至少一部分的區域含有由設於上層部之部分絕緣區域與存在於下層部之前述 SOI 層之一部分的半導體區域所構成的部分隔離區域，又前述半導體區域是接於前述複數之前述元件形成區域中之至少一元件形成區域及前述基體區域而形成。

2. 如申請專利範圍第 1 項之半導體裝置，其中，前述複數之元件形成區域含有第 1 元件用的複數第 1 元件形成區域與第 2 元件用的複數第 2 元件形成區域，前述元件隔離區域復包含具有貫通前述 SOI 層之完全絕緣區域的完全隔離區域，又前述部分隔離區域含有第 1 及第 2 部分隔離區域；以及

前述複數第 1 元件形成區域各為由前述第 1 部分隔離區域使其元件隔離，前述複數第 2 元件形成區域各為由前述第 2 部分隔離區域使其元件隔離，以及前述複數

第 1 元件形成區域與前述複數第 2 元件形成區域為由前述完全隔離區域使其元件隔離。

3. 如申請專利範圍第 1 項之半導體裝置，其中，前述複數元件形成區域含有第 1 電路用的複數元件形成區域與第 2 電路用的複數元件形成區域；而前述第 1 電路用的複數元件形成區域為由貫通前述 SOI 層之完全隔離區域使其元件隔離，又前述第 2 電路用的複數元件形成區域為由前述部分隔離區域使其元件隔離。
4. 如申請專利範圍第 1 至第 3 項中任一項之半導體裝置，其中，前述複數元件形成區域含有預定電路用元件形成區域與該預定電路以外的電路用元件形成區域；而前述預定之電路用元件形成區域與前述其他電路用元件形成區域為由貫通前述 SOI 層之完全隔離區域使其元件隔離。
5. 如申請專利範圍第 1 至第 3 項中任一項之半導體裝置，其中，前述元件隔離區域含有複數元件隔離區域，而前述複數元件隔離區域之至少一區域為以預定形成寬度相對於前述半導體基板的表面大約垂直地延伸而形成。
6. 一種半導體裝置，為由半導體基板、埋設絕緣層及 SOI 層形成之 SOI 構造的半導體裝置，具備：

設在前述 SOI 層之各形成有預定元件的複數元件形成區域；

設在前述 SOI 層之將前述複數元件形成區域間予

以絕緣隔離的元件隔離區域；以及

能由外部固定電位的基體區域，

而前述基體區域以接於前述複數元件形成區域之中至少一元件形成區域的表面或後面的方式形成。

7. 如申請專利範圍第1項之半導體裝置，其中，前述元件隔離區域之中至少一部分的區域含有貫通前述SOI層之完全絕緣區域與前述部分隔離區域為連續形成的複合隔離區域。
8. 如申請專利範圍第7項之半導體裝置，其中，前述部分隔離區域的上面為無凹凸均一地加以形成。
9. 如申請專利範圍第7項之半導體裝置，其中，前述複合隔離區域之前述半導體區域之膜厚為設定在前述SOI層之膜厚的1/2以下。
10. 如申請專利範圍第7項之半導體裝置，其中，前述複合隔離區域之前述完全絕緣區域的形成寬度為設定在前述複合隔離區域全體之形成寬度的1/2以下。
11. 如申請專利範圍第1項之半導體裝置，其中，前述元件隔離區域包含具有貫通前述SOI層之完全絕緣區域的完全隔離區域；

前述複數之元件形成區域含有互相鄰接而形成之輸入出NMOS電晶體形成區域及輸入出PMOS電晶體形成區域；

前述完全隔離區域至少為形成在前述輸入出NMOS電晶體形成區域與前述輸入出PMOS電晶體形成

區域之邊界附近區域。

- 12.如申請專利範圍第 11 項之半導體裝置，其中，前述元件形成區域復含有鄰接輸入出 NMOS 電晶體形成區域或 PMOS 電晶體形成區域而形成之內部電路形成區域；

前述完全隔離區域為再形成於前述輸入出 NMOS 電晶體形成區域及前述輸入出 PMOS 電晶體形成區域之中與前述內部電路形成區域鄰接配置之區域與前述內部電路形成區域的邊界附近區域。

- 13.如申請專利範圍第 1 項之半導體裝置，其中，前述元件隔離區域含有包含貫通前述 SOI 層之完全絕緣區域的完全隔離區域；

前述複數元件形成區域含有互相鄰接而形成的 NMOS 電晶體形成區域及 PMOS 電晶體形成區域；

前述完全隔離區域為形成在前述 NMOS 電晶體形成區域與前述輸入出 PMOS 電晶體形成區域之邊界附近之前述 PMOS 電晶體形成區域內的完全隔離區域形成處所；以及

前述部分隔離區域為形成在前述 NMOS 電晶體形成區域的周邊區域及前述完全隔離區域形成處所以外之前述 NMOS 電晶體形成區域的周邊區域。

- 14.如申請專利範圍第 1 項之半導體裝置，其中，前述複數元件形成區域含有第 1 導電型電晶體形成區域；

前述部分隔離區域含有圍繞前述電晶體形成區域

之周圍而形成的周邊部分隔離區域；以及

前述基體區域含有圍繞前述周邊部分隔離區域之周圍而形成之第2導電型周邊基體區域。

- 15.如申請專利範圍第1項之半導體裝置，其中，前述複數之元件形成區域含有MOS電晶體形成區域；

前述基體區域含有鄰接於前述MOS電晶體形成區域之源極區域而形成之鄰接基體區域；

又具備共同連接於前述源極區域及前述源極鄰接基體區域之電位設定區域。

- 16.如申請專利範圍第1項之半導體裝置，其中，前述部分隔離區域之半導體區域含有第1及第2部分半導體區域，

而前述第1部分半導體區域之不純物濃度係設定成比前述第2部分半導體區域之不純物濃度為高。

- 17.如申請專利範圍第1項之半導體裝置，其中，前述複數之元件形成區域含有第1導電型的MOS電晶體形成區域，前述部分隔離區域之前述半導體區域含有第2導電型的區域；

前述部分隔離區域之前述半導體區域的不純物濃度的尖峰相較於在前述MOS電晶體形成區域內接於前述半導體區域而形成之汲極/源極區域的不純物濃度的尖峰，其自前述SOI層之表面算起的深度係設定得較深。

- 18.如申請專利範圍第1項之半導體裝置，其中，前述複數

元件形成區域含有 MOS 電晶體形成區域；

前述 MOS 電晶體形成區域之通道形成區域之不純物濃度的尖峰相較於前述部分隔離區域之前述半導體區域的不純物濃度的尖峰，其自 SOI 層之表面算起的深度係設定得較深。

19. 如申請專利範圍第 1 項之半導體裝置，其中，前述部分隔離區域底面之角部的曲率半徑係設定成比於表面之角部的曲率半徑為大。

20. 如申請專利範圍第 7 項之半導體裝置，其中，前述複合隔離區域之絕緣隔離區域與部分絕緣區域間形成的段差部之曲率半徑係比部分絕緣區域底面之角部的曲率半徑為小。

21. 如申請專利範圍第 1 項之半導體裝置，其中，前述元件隔離區域包含具有貫通前述 SOI 層之完全絕緣區域的完全隔離區域；

復具備形成在前述 SOI 層之上層部之電感形成區域的電感成分，

又前述完全隔離區域為形成在前述電感形成區域的下方。

22. 如申請專利範圍第 1 項之半導體裝置，其中，前述複數元件形成區域含有 MOS 電晶體形成區域，前述基體區域含有電氣連接於在前述 MOS 電晶體形成區域形成之 MOS 電晶體的閘極之閘極連接基體區域；以及

前述部分隔離區域為圍繞前述 MOS 電晶體形成區

域的周圍而形成。

23. 一種半導體裝置，為由半導體基板、埋設絕緣層及 SOI 層形成之 SOI 構造的半導體裝置，具備：

設在前述 SOI 層之形成有預定元件的元件形成區域；

設在前述 SOI 層之圍繞前述元件形成區域的周圍而形成之周邊元件隔離區域，而前述周邊元件隔離區域含有由設在上層部之部分絕緣區域與存在於下層部之前述 SOI 層之一部分的半導體區域所構成的部分隔離區域；以及

前述半導體區域係接於至少一個前述元件形成區域而形成，並設定成浮動狀態。