

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008 年 10 月 2 日 (02.10.2008)

PCT

(10) 国際公開番号
WO 2008/117455 A1

- (51) 国際特許分類:
H01L 27/105 (2006.01) H01L 45/00 (2006.01)
G11C 13/00 (2006.01)
- (21) 国際出願番号: PCT/JP2007/056435
- (22) 国際出願日: 2007 年 3 月 27 日 (27.03.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 寺尾 元康

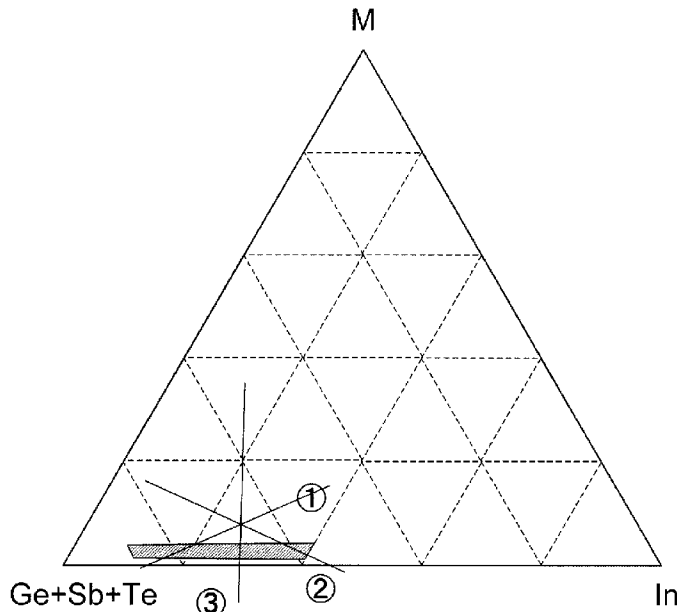
(TERAO, Motoyasu) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 森川 貴博 (MORIKAWA, Takahiro) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 半澤 悟 (HANZAWA, Satoru) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 高浦 則克 (TAKAURA, Norikatsu) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 黒土 健三 (KUROTSUCHI, Kenzo) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 松崎 望 (MATSUZAKI, Nozomu) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 藤崎 芳久 (FUJISAKI, Yoshihisa)

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PROCESS FOR PRODUCING THE SAME

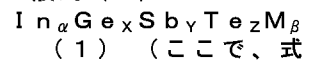
(54) 発明の名称: 半導体装置およびその製造方法

[図9]



(57) Abstract: A phase-change memory composed of a resistive element and an MIS transistor, wherein the resistive element has a storage layer consisting of a chalcogenide film whose average composition is represented by the general formula: $\text{In}_\alpha\text{Ge}_x\text{Sb}_y\text{Te}_z\text{M}_\beta$ (1) wherein α , x , y , z and β of the formula satisfy $0.1 \leq \alpha \leq 0.4$, $0.04 \leq x \leq 0.3$, $0.03 \leq y \leq 0.2$, $0.3 \leq z \leq 0.6$ and $0.01 \leq \beta \leq 0.05$, respectively, and M is at least one element selected from the group consisting of V, Nb, Ta, Cr, Mo, W, Ti, Ta, Mo, Pb, Si, Fe, Co, Ni, Eu and Pd.

(57) 要約: 抵抗素子とMISトランジスタとによって構成された相変化メモリにおいて、抵抗素子の記憶層は、平均組成が下記的一般式(1)



中の α 、 x 、 y 、 z および β は、それぞれ $0.1 \leq \alpha \leq 0.4$ 、 $0.04 \leq x \leq 0.3$ 、 $0.03 \leq y \leq 0.2$ 、 $0.3 \leq z \leq 0.6$ 、 $0.01 \leq \beta \leq 0.05$ であり、 M は、

V、Nb、Ta、Cr、Mo、W、Ti、Ta、Mo、Pb、Si、Fe、Co、Ni、Eu、Pd からなる群より選ばれた少なくとも 1 種類の元素である) で表されるカルコゲナイド膜からなる。



[JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 茂庭 昌弘 (MONIWA, Masahiro) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 木下 勝治 (KINOSHITA, Masaharu) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP).

(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1020076 東京都千代田区五番町14番地 国際中正会館6階 筒井国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

明 細 書

半導体装置およびその製造方法

技術分野

[0001] 本発明は、半導体装置およびその製造技術に関し、特に、相変化材料を含むメモリ素子を備えた半導体装置に適用して有効な技術に関するものである。

背景技術

[0002] カルコゲナイド材料の物性を利用した記録技術として、相変化メモリおよび相変化光ディスクがあり、これらに用いられる相変化材料として、Te(テルル)を含むカルコゲナイド(chalcogenide)材料が知られている。

[0003] 米国特許第5254382号(特許文献1)には、記録層として $[(\text{Ge}_y\text{Te}_{1-y})_a(\text{Sb}_z\text{Te}_{1-z})_{1-a}]_{1-b}(\text{In}_x\text{Te}_{1-x})_b$ (ここで、 $0.4 \leq y \leq 0.6$ 、 $0.3 \leq z \leq 0.6$ 、 $0.4 \leq z \leq 0.6$ 、 $0.1 \leq a \leq 0.5$ 、 $0.01 \leq b \leq 0.3$)で表されるカルコゲナイド材料を用いた光ディスク媒体が開示されている。これは、高速で結晶化が可能であるという特性を維持しつつ、非晶質状態の安定性を高め、データの長期保存性を向上することを目的として、Ge(ゲルマニウム)－Sb(アンチモン)－TeにIn(インジウム)を添加したものである。

[0004] 一方、米国特許第5883827号(特許文献2)には、カルコゲナイド材料膜を用いた不揮発性メモリに関する詳述がなされている。この不揮発性メモリは、相変化材料膜自体に流れる電流によるジュール熱と冷却速度とに応じて、相変化材料膜の原子配列が変化することによって、記憶情報が書き込まれる相変化メモリである。例えば、非晶質化(アモルファス化)する際には、ジュール熱で600℃を越える温度を相変化材料膜に加え、一旦相変化材料膜を融解させるため、動作電流が大きくなり易いが、状態に応じて抵抗値が2桁から3桁も変化する。

[0005] 上記した電氣的な相変化メモリに関しては、カルコゲナイドとして $\text{Ge}_2\text{Sb}_2\text{Te}_5$ を用いたものを中心に研究が進められており、例えば、特開2002-109797号公報(特許文献3)には、GeSbTeを用いた記録素子が開示されている。また、特開2003-100991号公報(特許文献4)には、カルコゲナイド材料を用いたメモリに関する技術が開示されている。さらに、IEEE International Electron Devices meeting, TECHNICAL

DIGEST, 2001年、p.803-806(非特許文献1)には、 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ からなる相変化膜を用いた相変化メモリで 10^{12} 回の書換えが可能であることが示されており、Nature Materials, Vol.4, 2005年、p.347-351(非特許文献2)には、結晶成長型材料を用いた相変化メモリに関する技術が開示されている。

特許文献1:米国特許第5254382号

特許文献2:米国特許第5883827号

特許文献3:特開2002-109797号公報

特許文献4:特開2003-100991号公報

非特許文献1:IEEE International Electron Devices meeting, TECHNICAL DIGEST, 2001年、p.803-806

非特許文献2:Nature Materials, Vol.4, 2005年、p.347-351

発明の開示

発明が解決しようとする課題

[0006] 前記特許文献2(米国特許第5883827号)に添付された図12の記載によれば、この文献の不揮発性メモリは、メモリセルアレイ、ロウ(行)デコーダ(XDEC)、ビット(列)デコーダ(YDEC)、読み出し回路(RC)および書き込み回路(WC)によって構成されている。メモリセルアレイは、ワード線(WL_p)(p=1、…、n)とデータ線(DL_r)(r=1、…、m)との各交点にメモリセル(MC_{pr})が配置された構造になっている。各メモリセル(MC_{pr})は、直列に接続されたメモリトランジスタ(RM')と選択トランジスタ(QM)とがビット線(DL)と接地電圧との間に挿入された構造になっている。ワード線(WL)は、選択トランジスタ(QM)のゲートに接続されており、ビット選択線(YSr)(r=1、…、m)は、対応するビット選択スイッチ(QAr)に接続されている。

[0007] 上記のような構成によれば、ロウデコーダ(XDEC)によって選択されたワード線(QM)上の選択トランジスタ(WL)が導通し、かつビットデコーダ(YDEC)によって選択されたビット選択線(YSr)に対応するビット選択スイッチ(QAr)が導通することにより、選択メモリセル内に電流経路が形成され、共通ビット線(I/O)に読み出し信号が発生する。選択メモリセル内の抵抗値は、記憶情報によって差があるので、共通ビット線(I/O)に出力される電圧は記憶情報によって差が出る。従って、この差を読み

出し回路(RC)で判別することにより、選択メモリセルの記憶情報が読み出される。

[0008] 上記のような相変化メモリは、光ディスクにおいても使用されている相変化材料を記憶層として用いているが、光ディスクとは異なり、製造プロセスや使用環境において、より高温に耐えることが要求される。しかしながら、例えば $\text{Ge}_2\text{Sb}_2\text{Te}_5$ などの標準的相変化材料を記憶層に用いてメモリを構成した場合、高温で使用するためには、次のような課題を克服する必要がある。

[0009] 第1の課題は、非晶質状態における相変化材料の不安定性である。すなわち、非晶質状態は準安定相であるために、高温環境では結晶化が急速に進行してしまう。例えば、自動車制御用マイコンの場合は、 140°C 程度の高温環境での使用に耐えることが要求されるが、 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ を記憶層に用いた場合、非晶質は数時間で結晶状態、すなわち低抵抗状態に変化するため、このような高温環境ではデータ保持特性が不十分となり、使用には適さない。

[0010] また、メモリを混載したマイコンでは、マイコンチップを配線基板などに実装する工程で半田付けや圧着が行われるため、チップに形成されたメモリ素子が高温環境に晒される。マイコンの場合は、メモリ部分にプログラムを記録した後にチップの実装を行なうのが一般的であるが、実装工程の高温環境でデータが消去されてしまうようなメモリでは、実装後にデータを書き込まなければならず、通常とは異なるプロセスを採用しなければならない。例えば、半田付け工程では 260°C で数分、圧着工程では 180°C で数時間という熱負荷がかかるため、短い時間ではあるが、動作温度よりも高い温度環境でのデータ保持特性を保証する必要がある。従って、マイコン向け不揮発メモリでは、このような製造プロセスでの熱負荷にも耐え得るデータ保持特性を備えなければならず、光ディスクよりも遙かに厳しい耐熱性が要求される。

[0011] 第2の課題は、高温時における抵抗比の問題である。Teを主成分とするカルコゲナイドはバンドギャップが狭い半導体であるから、その抵抗は一般に、高温になるほど指数関数的に低くなる。抵抗変化の度合い(抵抗比)は、結晶状態よりも非晶質状態の方が大きいため、室温において大きな抵抗比がある場合でも、 100°C 以上の高温になると抵抗比が小さくなってしまい、読み出しマージンが取れなくなるという問題がある。例えば $\text{Ge}_2\text{Sb}_2\text{Te}_5$ の場合、室温におけるリセット抵抗/セット抵抗の比はおよ

そ100倍であるが、100℃以上になると、リセット抵抗が著しく低下し、抵抗比は30倍程度にまで低下してしまう。そのため、相変化メモリの長所である大きな読み出しマージンが取れなくなり、場合によっては、環境温度に応じて読み出し方式を変更しなければならないこともある。

[0012] このように、相変化材料を用いた不揮発性メモリには克服すべき課題があり、特に、第2の課題である高温における抵抗値については、電気的なカルコゲナイド材料を用いたメモリに特有の課題であることから、光記録媒体向けのカルコゲナイド材料では考慮されていない。

[0013] そこで、上述したような高温状態でのデータ保持特性、すなわち耐熱性を向上させるために、本発明者らは、相変化メモリ用カルコゲナイド材料であるGe-Sb-TeにInを添加することを検討した。

[0014] 図1は、本発明者らが検討した相変化メモリ素子の抵抗素子を示す断面図である。例えばW(タングステン)などの主導体膜と、Ti(チタン)/TiN(窒化チタン)などの導電性バリア膜とからなるプラグ41は、抵抗素子40の下部電極を構成している。プラグ41(下部電極)上には、 Ta_2O_5 (酸化タンタル)膜などからなる界面層42を介して記憶層43が形成されている。記憶層43は、In-Ge-Sb-Teをほぼ均一に含有したカルコゲナイド膜からなり、その上部には、W膜などからなる上部電極44が形成されている。上部電極44の上には、上記プラグ41と同じ導電材料からなるプラグ46が形成されている。図示は省略するが、抵抗素子40の下方には、プラグ41(下部電極)と電氣的に接続されたメモリセルトランジスタが形成されている。また、抵抗素子40の上方には、上部電極44と電氣的に接続されたビット線が形成されている。

[0015] 上記のような相変化メモリ素子は、ほとんどの場合、下部電極(プラグ41)の形状と上部電極44の形状とが異なっている。通常は、In-Ge-Sb-Te膜(記憶層43)との接触面積が小さい下部電極(プラグ41)側が高温になり易いので、接触面積が大きい上部電極44側の記憶層43は、リセット時に融解せず、あるいは融解しても冷却中に再結晶化して結晶化するが、接触面積が小さい下部電極(プラグ41)の近傍の記憶層43には、非晶質化領域45が形成される。下部電極が柱状または筒状の場合、面積が大きい上部電極の、下部電極の上より外側の部分から電流が流れ込むため

、柱状または筒状の下部電極が記録層と接する領域の外縁部で電流密度が高くなる。

[0016] 下部電極(プラグ41)とそれに最も近い結晶化領域との最短距離は、リセット時にどれだけ大きな電流をどの程度の時間流したかによって異なる。素子のサイズを小さくすると電流が減少し、記憶層43の膜厚方向に沿った下部電極(プラグ41)と上部電極44との距離L2(あるいは、非晶質化領域45の上部の結晶化領域A1と下部電極(プラグ41)との距離L3)よりも、非晶質化領域45の底部に最も近接した結晶化領域と下部電極(プラグ41)との距離L1の方が小さくなる。このため、セット時にはこの最近接経路(距離L1)に沿って電流が多く流れる可能性が高い。しかしながら、この最近接経路は、記憶層43のプロセスばらつきやプロセス欠陥などにより不安定となり易いので、素子間の特性ばらつきや書き換え可能回数低下などの不具合が発生する恐れがある。

[0017] また、高温状態では、記憶層43を構成するIn-Ge-Sb-Te膜の原子配列が変化する可能性があり、これに起因して記憶層43のさらなる高抵抗化が起き、次のセット動作時に、より高い電圧が必要になる恐れがある。すなわち、非晶質化領域45が非晶質状態の場合、高温時に結晶化領域全体で原子配列の変化が生じてさらなる高抵抗化が起きると、次のセット動作が困難となることも有り得る。

[0018] さらに、記憶層43が下部電極(プラグ41)と上部電極44とに挟まれた構造の相変化メモリ素子には強い電場がかかるため、上下部電極間の膜中にイオン、あるいはイオン化し易い元素や成分が存在する場合、これらが電場によって移動する可能性がある。すなわち、図1において、初期からの結晶化領域は抵抗が低いので、In-Ge-Sb-Te膜の膜厚方向に沿った組成が均一である場合、セット時には下部電極(プラグ41)の外縁部分と初期からの結晶化領域(A1)との間の電位勾配が最大となり、インパクトイオン化を伴うセット動作が始まる。その際、+イオンの移動も起こり易くなり、高温になると偏析や構造の乱れが発生し、抵抗が高抵抗側に変化する原因となる。なお、セット/リセット動作時には、通常、下部電極側を基準にして上部電極側に高い電圧が印加されるため、+イオンが下部電極(プラグ41)側に移動し易い。

[0019] 一方、上部電極または下部電極を構成する元素、特に金属元素も、電流による高

温で記録層中に拡散する可能性があり、さらには電位勾配によりイオン化して移動する可能性がある。特に柱状電極の記録層と接する側の外縁部や、筒状電極が記録層と接する近傍では電流集中のために高温となるため、電極を構成する元素が記録層中に拡散しやすい。

[0020] このように、相変化メモリ素子の記憶層をIn-Ge-Sb-Te膜で構成し、その下層にTa₂O₅膜などからなる界面層を形成することにより、耐熱性が向上し、リセット(非晶質化)電流を低減することができる反面、高温状態では、原子配列の変化によると考えられるさらなる高抵抗化が起き、次のセット時に高電圧が必要になる。

[0021] 本発明の目的は、記憶層をIn-Ge-Sb-Te膜で構成した相変化メモリにおいて、高耐熱性と安定なデータ保持特性とを両立させる技術を提供することにある。

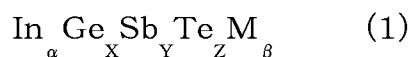
[0022] 本発明の他の目的は、同一の相変化メモリ素子で耐熱性の高いROM的使い方と、多数回の書換えが可能なRAM的使い方とを可能にする技術を提供することにある。

[0023] 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0024] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0025] 本発明は、抵抗素子と、前記抵抗素子に直列に接続されたMISTランジスタとによって構成された相変化メモリを有する半導体装置であって、前記抵抗素子は、下部電極を構成する第1導電層と、記憶層を構成するカルコゲナイド膜と、上部電極を構成する第2導電層とを含んで構成され、前記抵抗素子の記憶層は、平均組成が下記の一般式(1)



(ここで、式中の α 、X、Y、Zおよび β は、それぞれ $0.1 \leq \alpha \leq 0.4$ 、 $0.04 \leq X \leq 0.3$ 、 $0.03 \leq Y \leq 0.2$ 、 $0.3 \leq Z \leq 0.6$ 、 $0.01 \leq \beta \leq 0.05$ であり、Mは、V、Nb、Ta、Cr、Mo、W、Ti、Ta、Mo、Pb、Si、Fe、Co、Ni、Eu、Pdからなる群より選ばれた少なくとも1種類の元素である)で表されるカルコゲナイド膜で構成されているもの

である。

発明の効果

[0026] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

[0027] 高耐熱性と安定なデータ保持特性とが両立した相変化メモリを実現することができる。

図面の簡単な説明

[0028] [図1]本発明者らが検討した相変化メモリ素子の抵抗素子を示す断面図である。

[図2]本発明の一実施の形態である半導体装置のメモリセルアレイおよびその周辺回路を示す回路図である。

[図3]本発明の一実施の形態である半導体装置のメモリセルアレイおよびその周辺回路を示すレイアウト図である。

[図4]本発明の一実施の形態である相変化メモリ素子のI-V特性図である。

[図5]本発明の一実施の形態である相変化メモリ素子の読み出し動作を説明する波形図である。

[図6]本発明の一実施の形態である相変化メモリ素子の書き込み動作を説明する波形図である。

[図7]本発明の一実施の形態である半導体装置の要部断面図である。

[図8]本発明の一実施の形態である相変化メモリ素子の記憶層を構成するカルコゲナイド膜の好ましい組成範囲を示す図である。

[図9]本発明の一実施の形態である相変化メモリ素子の記憶層を構成するカルコゲナイド膜の好ましい組成範囲を示す図である。

[図10]本発明の一実施の形態である相変化メモリ素子の記憶層を構成するカルコゲナイド膜に窒素を添加した場合における結晶化の活性化エネルギー変化を示すグラフである。

[図11]本発明の一実施の形態である相変化メモリ素子の記憶層を構成するカルコゲナイド膜のTe含有量と耐熱温度との関係を示すグラフである。

[図12]本発明の一実施の形態である相変化メモリ素子の記憶層を構成するカルコゲ

ナイド膜のGe含有量と剥離率との関係を示すグラフである。

[図13]本発明の一実施の形態である相変化メモリ素子の記憶層を構成するカルコゲナイド膜のGe含有量と耐熱温度との関係を示すグラフである。

[図14]本発明の一実施の形態である相変化メモリ素子の記憶層を構成するカルコゲナイド膜のSb含有量とリセット電流との関係を示すグラフである。

[図15]本発明の一実施の形態である相変化メモリ素子の記憶層を構成するカルコゲナイド膜のSb含有量と書き換え可能回数との関係を示すグラフである。

[図16]本発明の一実施の形態である相変化メモリ素子の記憶層を構成するカルコゲナイド膜のIn含有量と耐熱温度との関係を示すグラフである。

[図17]本発明の一実施の形態である相変化メモリ素子の記憶層を構成するカルコゲナイド膜のIn含有量とセット動作ミス率との関係を示すグラフである。

[図18]本発明の一実施の形態である相変化メモリ素子の記憶層を構成するカルコゲナイド膜のIn含有量とセットパルス幅との関係を示すグラフである。

[図19]本発明の一実施の形態である相変化メモリ素子の記憶層を構成するカルコゲナイド膜のIn含有量とセット電圧との関係を示すグラフである。

[図20]本発明の一実施の形態である相変化メモリ素子の記憶層を構成するカルコゲナイド膜のM元素含有量とリセット電流との関係を示すグラフである。

[図21]本発明の一実施の形態である相変化メモリ素子の記憶層を構成するカルコゲナイド膜のM元素含有量とセット動作ミス率との関係を示すグラフである。

[図22]本発明の一実施の形態である相変化メモリ素子の記憶層を構成するカルコゲナイド膜のM元素含有量とリセット電流との関係を示すグラフである。

[図23]本発明の一実施の形態である相変化メモリ素子の記憶層を構成するカルコゲナイド膜のM元素含有量とセット動作ミス率との関係を示すグラフである。

[図24]本発明の一実施の形態である半導体装置の製造方法を示す要部断面図である。

[図25]図24に続く半導体装置の製造方法を示す要部断面図である。

[図26]図25に続く半導体装置の製造方法を示す要部断面図である。

[図27]図26に続く半導体装置の製造方法を示す要部断面図である。

[図28]図27に続く半導体装置の製造方法を示す要部断面図である。

[図29]本発明の他の実施の形態である半導体装置の製造方法を示す要部断面図である。

[図30]図29に続く半導体装置の製造方法を示す要部断面図である。

[図31]図30に続く半導体装置の製造方法を示す要部断面図である。

[図32]図31に続く半導体装置の製造方法を示す要部断面図である。

[図33]本発明の他の実施の形態である半導体装置の製造方法を示す要部断面図である。

[図34]本発明の他の実施の形態である半導体装置の製造方法を示す要部断面図である。

[図35]図34に続く半導体装置の製造方法を示す要部断面図である。

[図36]本発明の他の実施の形態である半導体装置の製造方法を示す要部断面図である。

[図37]本発明の他の実施の形態である相変化メモリ素子の記憶層を構成するカルコゲナイド膜中の金属イオンが移動する様子を模式的に示す図である。

[図38]本発明の他の実施の形態である半導体装置の回路図である。

[図39]本発明の他の実施の形態である相変化メモリ素子の読み出し動作を説明する波形図である。

[図40]本発明の他の実施の形態である相変化メモリ素子の書き込み動作を説明する波形図である。

[図41]本発明の他の実施の形態である半導体装置の回路図である。

[図42]図41に示す回路の一部の構成を詳細に示す回路図である。

[図43]図42の書換え回路を用いた書換え動作の一例を示す波形図である。

発明を実施するための最良の形態

[0029] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。また、本明細書において導体層間の接触とは、直接接する場合だけでなく、電流が流れる程度に薄い絶縁体や半導体などの層または領

域を挟んで接する場合も含むものとする。

[0030] (実施の形態1)

本実施の形態の半導体装置は、相変化材料を含む抵抗素子とMISTランジスタ(Metal Insulator Semiconductor)トランジスタとを直列に接続した構造を有する不揮発性メモリ素子を備えており、後述するように、その主要な特徴は、上記抵抗素子の記憶層を構成する相変化材料にある。以下においては、まず、このメモリ素子を含む半導体装置の主要部分の構成から説明する。

[0031] 図2は、本実施の形態の半導体装置に含まれるメモリセルアレイおよびその周辺回路を示す回路図、図3は、図2の回路に対応するレイアウト図である。なお、図2および図3においては、説明が煩雑になるのを防ぐために、通常は多数含まれるワード線WLおよびビット線BLを簡略化し、4本のワード線WL1～WL4と4本のビット線BL1～BL4のみを示している。また、これらの図に示すメモリセルアレイは、NOR型として知られるものであり、読出しが高速に行えることから、システムプログラムの格納用メモリなどに適している。従って、このメモリセルアレイは、主として単体メモリ用、あるいはマイコンなどの論理LSI混載用として用いられる。

[0032] 図2において、メモリセルMC11～MC14は、ワード線WL1に電氣的に接続されている。同様に、メモリセルMC21～MC24、MC31～MC34、MC41～MC44は、それぞれワード線WL2、WL3、WL4に接続されている。また、メモリセルMC11、MC21、MC31、MC41は、ビット線BL1に接続されている。同様に、メモリセルMC12～MC42、MC13～MC43、MC14～MC44は、それぞれビット線BL2、BL3、BL4に接続されている。

[0033] 各メモリセルMCは、MISTランジスタからなる1個のメモリセルトランジスタQMと、それに直列に接続された1個の抵抗素子RMとで構成されている。各メモリセルトランジスタQMのゲート電極にはワード線WLが接続されており、抵抗素子RMにはビット線BLが接続されている。また、各メモリセルトランジスタQMにおいて、抵抗素子RMが接続された一端(ソース、ドレイン領域の一方)とは異なる他の一端(ソース、ドレイン領域の他方)にはソース線SLが接続されている。後述するように、抵抗素子RMは、下層から順に下部電極、界面層、記憶層および上部電極を積層した構成になってお

り、記憶層は、カルコゲナイド材料からなる。

- [0034] ワード線WL1～WL4は、それぞれワードドライバWD1～WD4によって駆動される。どのワードドライバWDを選択するかは、XアドレスデコーダXDECからの信号によって決まる。ここで、図中の符号VPLは各ワードドライバWDへの電源供給線、Vddは、例えば1.5Vの電源電圧、VGLは各ワードドライバWDの電位引抜き線である。なお、電位引き抜き線VGLは、接地電圧に固定されている。
- [0035] ビット線BL1～BL4のそれぞれの一端は、nチャネルMISTランジスタからなる選択トランジスタQD1～QD4を介してセンスアンプSAに接続されている。各選択トランジスタQDは、アドレス入力に従ってYアドレスデコーダ(YDEC1またはYDEC2)を介して選択される。本実施の形態では、選択トランジスタQD1、QD2がYアドレスデコーダYDEC1によって選択され、選択トランジスタQD3、QD4がYアドレスデコーダYDEC2によって選択される構成になっている。センスアンプSAは、メモリセルMCから選択トランジスタQDを介して読み出された信号を検出および増幅する。なお、図示はしないが、各選択トランジスタQDには、センスアンプSAに加えて、読み出し用や書き込み用の電圧または電流を供給する回路が接続されている。
- [0036] 図3において、符号FLは活性領域、M1は第1層配線、M2は第2層配線、FGはシリコン基板上に形成されたMISTランジスタのゲート電極である。符号FCTは、MISTランジスタの半導体領域(ソース、ドレイン領域)と第1層配線M1とを結ぶ接続孔、SCTは第1層配線M1と抵抗素子とを結ぶ接続孔、TCTは第1層配線M1と第2層配線M2とを結ぶ接続孔、YSはカラム選択線をそれぞれ示している。
- [0037] メモリセルの抵抗素子は、同一のビット線BLに接続された複数のメモリセル間で、接続孔TCTを介してビット線BL(第2層配線M2)に引き上げられる。ワード線WL1～WL4は、多結晶シリコン膜とシリサイド(シリコンと高融点金属との合金)膜との積層膜などからなるゲート電極FGにより構成されている。また、例えばメモリセルMC11のメモリセルトランジスタと、メモリセルMC21のメモリセルトランジスタとは、ソース領域が共有されている。このソース領域は、接続孔FCTを介してソース線SLを構成する第1層配線M1に電氣的に接続されている。
- [0038] ビット線BL1～BL4は、メモリセルアレイの周辺部に配置された選択トランジスタQ

D1～QD4のソース領域に接続されている。選択トランジスタQD1、QD2のそれぞれのドレイン領域と選択トランジスタQD3、QD4のそれぞれのドレイン領域とは共通である。これらの選択トランジスタQD1～QD4は、Yアドレスレコーダ(YDEC1またはYDEC2)からの信号を受けて指定のビット線BLを選択する機能も持つ。

[0039] 抵抗素子をカルコゲナイド材料の融点以上の温度に加熱してから急冷するようなりセットパルスを印加する。その際、リセットパルスを短くして、与える全エネルギーを小さくし、冷却時間を短く(例えば約1ns)設定することにより、カルコゲナイド材料が高抵抗のアモルファス状態となる。逆に、記憶情報‘1’を書き込む場合、抵抗素子をカルコゲナイド材料の融点よりも低く、ガラス転移点と同じか、結晶化温度よりも高い温度領域に保つようなセットパルスを印加することにより、カルコゲナイド材料が低抵抗の多結晶状態となる。結晶化に要する時間はカルコゲナイド材料の組成によって異なるが、例えば約50nsである。抵抗素子RMの温度は、素子自身が発するジュール熱および周囲への熱拡散に依存する。

[0040] 従って、図4(I-V特性図)に示すように、書き込み情報に応じた値の電流パルスを抵抗素子に印加することにより、素子の結晶状態が制御される。同図は、カルコゲナイド材料を用いた抵抗素子RMの動作原理を模式的に示したものであり、図に示す範囲内のセット電流を印加した場合には記憶情報‘1’が書き込まれ、それよりも大きいリセット電流を印加した場合には記憶情報‘0’が書き込まれることを示している。ただし、どちらの状態を‘0’または‘1’とするかは任意である。以下、図4を参照しながら、四通りの書き込み動作について説明する。

第一に、初期状態が‘1’の抵抗素子RMに‘1’を書き込む場合は、セット電流が印加されると、セット(結晶)状態の低抵抗曲線を辿って初期状態とセット領域との間を往復するので、状態が保持される。

[0041] 第二に、初期状態が‘1’の抵抗素子RMに‘0’を書き込む場合は、リセット電流が印加されると、セット状態の低抵抗曲線を辿ってリセット電流に達する。次に、ジュール熱により部分的に融解が始まるので、導電率が徐々に下がる。パルスが切れて液相の抵抗素子RMが急冷されると、アモルファス状態に相変化するので、リセット(非晶質)状態の高抵抗曲線を一部辿って初期状態に戻る。図4の破線で示した曲線は

、リセットパルスは既に切れているが、そのまま電圧を印加し続けると、抵抗値の変化で電流はこのように変化するはず、という仮想的な線である。

[0042] 第三に、初期状態が‘0’の抵抗素子RMに‘1’を書き込む場合は、セット電流を印加すると、素子の端子電圧がしきい電圧を超えた時に低抵抗状態にスイッチされる。スイッチング後は、ジュール熱によって結晶化が進行する。電流値がセット電流に達すると、結晶化領域が広がって相変化することにより、さらに抵抗値が下がるので、低抵抗曲線を辿って初期状態に戻る。途中から電圧－電流曲線の傾斜が緩やかになるのは、低抵抗状態へスイッチングしていた領域がスイッチOFFとなり、結晶化による抵抗低下のみが残留するためである。

[0043] 第四に、初期状態が‘0’の抵抗素子RMに‘0’を書き込む場合は、前述したスイッチング後にほとんど結晶化する時間はなく、スイッチングしたことによる低抵抗曲線を辿ってリセット領域に達し、融解、急冷、固化して初期状態に戻る。このような抵抗素子の動作原理から、読み出し時に記憶情報を破壊しないようにするために、最高でもしきい電圧より低い電圧に抑制しながら動作させなければならない。実際には、しきい電圧は電圧印加時間にも依存し、時間が長いほど低下する傾向があるため、読み出し時間内にしきい電圧を越えて低抵抗状態へのスイッチングが起こらない電圧にする必要がある。そこで、これらの原理に基づき、図1に示したアレイ構成を実現する動作を以下に説明する。

[0044] 図5に従い、メモリセルMCの読み出し動作について説明する。なお、同図は、図2に示したメモリセルMC11を選択する場合の動作波形を示している。

[0045] まず、待機状態においては、プリチャージイネーブル信号PCが電源電圧Vddに保持されているので、選択トランジスタQDにより、ビット線BLおよびソース線SLがプリチャージ電圧VBLに維持される。ここで、プリチャージ電圧VBLは、電源電圧Vddよりもトランジスタのしきい電圧(V_{th})だけ低下した値(例えば1.0V)である。また、このときは、共通データ線I/Oも読み出し回路によりプリチャージ電圧VBLにプリチャージされている。

[0046] 読み出し動作が始まると、電源電圧Vddとなっているプリチャージイネーブル信号PCが接地電圧Vssに駆動され、接地電圧Vssとなっているカラム選択線YS1が昇圧

電位VDH(例えば1.5V以上)に駆動されることにより、選択トランジスタQD1、QD2が導通する。この時、ビット線BL1は、共通データ線I/Oと等電位にあるのでプリチャージ電圧VBLに保持されるが、ソース線SL1は、選択トランジスタQD1によりソース電圧VSL(例えば0.5V)に駆動される。このソース電圧VSLとプリチャージ電圧VBLは、プリチャージ電圧VBLがソース電圧VSLよりも高く、その差は、抵抗素子RMの端子電圧が図4に示したような読み出し電圧領域の範囲内に収まるような関係に設定されている。

[0047] 次に、接地電圧Vssとなっているワード線WL1が昇圧電位VDHに駆動されると、ワード線WL1に接続された全てのメモリセルMCのメモリセルトランジスタQMが導通する。この時、抵抗素子RMに電位差が生じたメモリセルMC11内には電流経路が発生し、ビット線BL1および共通データ線I/Oが抵抗素子RMの抵抗値に応じた速さでソース電圧VSLに向かって放電される。同図では、記憶情報‘1’を保持している場合の方が、記憶情報‘0’を保持している場合よりも抵抗値が小さいものとしているので、放電が速い。従って、記憶情報に応じた信号電圧が発生する。

[0048] 非選択メモリセルMC12～MC14は、抵抗素子の電位差が0なので、非選択ビット線BL2～BL4はプリチャージ電圧VBLに保持される。すなわち、ワード線WL1とソース線SL1により選択されたメモリセルMC11のみが、ビット線BL1を通じて読み出し電流を流す。ここで、読み出し回路で読み出し情報が弁別された後ならば、ワード線WL1を立ち下げることができる。なお、この弁別が遅い場合にワード線WL1を立ち上げ続けると、記憶情報‘0’を読み出す場合においても、選択されたビット線BL1がソース電圧VSL付近まで放電されてしまい、‘0’読み出しの信号電圧と‘1’読み出しの信号電圧との差が減少し、記憶情報を正しく読み出せなくなる場合がある。このような場合には、‘0’読み出しの場合のビット線電圧が参照電圧VDRを越える前のタイミングでワード線WL1を立ち下げることにより、誤動作を防止できる。ワード線WLを立ち下げて電流経路を遮断することにより、共通データ線I/O上の信号電圧が保持されるので、読み出し回路は参照電圧VDRを基準として発生された正または負の信号を弁別することが可能である。以上の読み出し動作が終了すると、共通データ線I/Oはプリチャージ電圧VBLに駆動されて、待機状態に戻る。

[0049] なお、待機状態において、ビット線BLやソース線SLをフローティングにすると、読み出し動作開始時にビット線BLと共通データ線I/Oとを接続した際に、電圧が不定であるビット線BLの容量が共通データ線I/Oから充電されてしまう。このため、同図ではワード線WL1に応じてカラム選択線YS1も立ち下げ、さらに接地電圧Vssとなっているプリチャージイネーブル信号PCを電源電圧Vddに駆動することにより、ビット線BL1およびソース線SL1をプリチャージ電圧VBLに駆動して待機状態としている。

[0050] また、昇圧電位VDHは、従来のDRAMにおいて広く用いられているような電圧であり、電源電圧VddとMISTランジスタのしきい電圧Vthとを用いて、 $VDH > (Vdd + Vth)$ の関係を満たすように設定されている。例えば相変化メモリの書き込み動作では、後述するように、読み出し動作よりも大きな電流を流す必要がある。このため、本発明では、ワード線WLとカラム選択線YSとを昇圧電位VDHに駆動してMISTランジスタの抵抗を下げることににより、正確な書き込み動作を行うことができる。また、プリチャージ電圧VBLをソース電圧VSLよりも高く設定することにより、選択ソース線SLを選択メモリセルMCにおけるメモリセルトランジスタQMのソース領域とし、抵抗素子RMの抵抗に依らず、MISTランジスタのゲートソース間電圧を確保できる。なお、逆の電位関係であっても、その差が、図3に示したような読み出し電圧領域の範囲内に収まるように設定されているならば、同様の選択動作が可能である。

[0051] なお、図5は、ソース線SLを駆動してからワード線WL1を駆動する例であるが、設計の都合によっては、ワード線WL1を駆動してからソース線SLを駆動してもよい。この場合は、最初にワード線WL1が駆動されて選択トランジスタQDが導通するため、抵抗素子RMの端子電圧は0Vに確保される。その後、ソース線SL1を駆動すると、抵抗素子RMの端子電圧は0Vから大きくなるが、その値はソース線SL1の駆動速度により制御可能であり、前述した読み出し領域の範囲に収めることができる。同様に、ワード線WL1とソース線SL1を、ほぼ同時に駆動することもできる。また、ワード線WL1とソース線SL1のうち、駆動タイミングが遅い方のパルスに先行してカラム選択線YS1を駆動すれば、共通データ線I/Oへの出力待ち時間を減らせるので、アクセス時間が速くなる。この場合は、図2に示した選択トランジスタQD1、QD2をそれぞれ

独立に駆動できるように結線を変えればよい。

[0052] 以上、メモリセルMC11を選択する例を示したが、同じビット線BL1に接続された他のメモリセル(MC21、MC31、MC41)は、それらのワード線電圧が接地電圧V_{ss}に固定されているので、選択されることはない。また、他のビット線(BL2、BL3、BL4)とソース線SLは同じ電位(VBL)なので、残りのメモリセルMCも非選択状態に維持される。上記の説明では、非選択のメモリセルMCを通じて流れる電流が動作に影響を及ぼさないよう、待機状態のワード線WLを接地電圧V_{ss}とし、選択状態のソース線SLを正のソース電圧V_{SL}(例えば0.5V)としている。すなわち、待機状態のワード線電圧を接地電圧V_{ss}とし、ソース電圧V_{SL}を正の電圧とすることにより、メモリセルトランジスタQMのしきい値電圧を低くできる。

[0053] また、選択されたソース線SLを接地電圧0Vとし、待機状態のワード線WLを負の電圧にすることによっても、メモリセルトランジスタQMのしきい値電圧V_{th}を低くできる。この場合は、待機時のワード線WL用に負電圧を発生させる必要があるが、選択時のソース線SLの電圧が外部から印加される接地電圧V_{ss}となるため、ソース線SLの電圧が安定になる。また、メモリセルトランジスタQMのしきい値電圧V_{th}を十分高くすれば、選択時のソース線SLと待機状態のワード線WLを接地電圧0Vとしてもよい。この場合は、ソース線SLの電圧が外部から印加される接地電圧V_{ss}である上に、待機状態のワード線WLの容量が安定化容量として働くために、ソース線SLの電圧をさらに安定なものにできる。

[0054] また、ここでは共通データ線I/Oに読み出された信号の電圧を、読み出し回路により弁別する動作について説明したが、共通データ線I/Oに流れる信号の電流を弁別する動作も可能である。この場合は、読み出し回路として、例えば前述の特許文献2(米国特許第5883827号)に述べられているような入力インピーダンスの小さいセンス回路を用いる。電流をこのようなセンスする方式にすることにより、共通データ線I/Oの配線容量の影響が小さくなるので、読み出し時間を短縮できる。次に、図6に従い、メモリセルMCの書き込み動作について説明する。なお、同図は、図2に示したメモリセルMC11を選択する場合の動作波形を示している。

[0055] まず、メモリセルMC11の選択動作は、前述した読み出し動作と同様に行う。メモリ

セルMC11が選択されると、書き込み回路が共通データ線I/Oを駆動することにより、書き込み電流IWCが発生する。‘0’書き込みの場合は、図4に示した範囲の値に設定されたリセット電流がメモリセルMC11に印加される。リセット電流のパルス幅は短く、駆動後は直ちに待機状態に戻って電流値が0となる。このようなリセット電流により、図3に示したようなリセットパルスと同じジュール熱が発生する。

[0056] 他方、‘1’書き込みの場合は、図4に示した範囲の値に設定されたセット電流が印加される。このパルス幅は約50nsである。このようなセット電流により、セットパルスと同じジュール熱が発生する。このように、書き込みパルスの印加時間と電流値は、書き込み回路によって制御されるので、どちらの記憶情報を書き込む場合においても、メモリセルMC11は、セット電流のパルス幅だけ選択状態にある。

[0057] 次に、図2に示したアレイ構成を有する本実施の形態の半導体装置の構成を図7を用いて説明する。同図の右側部分はメモリセル領域mmryを示し、左側部分は論理回路領域lgcを示している。

[0058] 論理回路領域lgcのシリコン基板51には、p型ウエル52pとn型ウエル52nとが形成されている。p型ウエル52pにはnチャネル型MISTランジスタQNが形成され、n型ウエル52nにはpチャネル型MISTランジスタQPが形成されている。論理回路領域lgcには、これらのMISTランジスタ(QN、QP)を用いた論理回路やセンスアンプ回路などが形成されている。

[0059] nチャネル型MISTランジスタQNは、p型ウエル52pの上部に互いに離間して形成されており、LDD(Lightly Doped Drain)構造の半導体領域(ソース、ドレイン領域)56nとゲート絶縁膜54とゲート電極55nとを有している。pチャネル型MISTランジスタQPは、n型ウエル52nの上部に互いに離間して形成されており、LDD構造の半導体領域(ソース、ドレイン領域)56pとゲート絶縁膜54とゲート電極55pとを有している。nチャネル型MISTランジスタQNとpチャネル型MISTランジスタQPとは、浅い溝掘り埋込形の素子分離領域53によって互いに分離されており、ゲート電極55n、55pのそれぞれの側壁には、サイドウォールスペーサ58が形成されている。

[0060] メモリセル領域mmryのシリコン基板51には、p型ウエル52pが形成されている。このp型ウエル52pには、nチャネル型MISTランジスタからなるメモリセルトランジスタQ

M1、QM2が形成されている。メモリセルトランジスタQM1、QM2のそれぞれは、LDD構造の半導体領域(ソース、ドレイン領域)57n、57ncとゲート絶縁膜54とゲート電極55nとを有している。メモリセルトランジスタQM1、QM2のそれぞれのゲート電極55nは、ワード線WLを構成しており、その側壁には、サイドウォールスペーサ58が形成されている。互いに隣接する2個のメモリセルトランジスタQM1、QM2は、それらのソース、ドレイン領域の一方(半導体領域57nc)を共有している。

[0061] 上記のように構成されたnチャネル型MISTランジスタQN、pチャネル型MISTランジスタQPおよびメモリセルトランジスタQM1、QM2の上部には、2層の層間絶縁膜61、62が形成されており、第2層目の層間絶縁膜62の上面は、論理回路領域lgcとメモリセル領域mmryとでその高さがほぼ一致するように平坦化されている。

[0062] メモリセル領域mmryの層間絶縁膜61、62には、メモリセルトランジスタQM1、QM2の半導体領域57n、57ncを露出する接続孔63が形成されており、その内部には、半導体領域57n、57ncに接続されたプラグ64が埋め込まれている。また、論理回路領域lgcの層間絶縁膜61、62には、nチャネル型MISTランジスタQNの半導体領域56nを露出する接続孔65と、pチャネル型MISTランジスタQPの半導体領域56pを露出する接続孔66とが形成されており、それらの内部には、半導体領域56n、56pに接続されたプラグ64が埋め込まれている。

[0063] 層間絶縁膜62の上部には、層間絶縁膜69が形成されている。メモリセル領域mmryの層間絶縁膜69には、配線溝70、71、72が形成されており、それらの内部には、第1層配線76、77、78が形成されている。配線溝70内に形成された第1層配線76は、接続孔63内のプラグ64を介してメモリセルトランジスタQM1の半導体領域57nに接続されており、配線溝72内に形成された第1層配線78は、接続孔63内のプラグ64を介してメモリセルトランジスタQM2の半導体領域57nに接続されている。また、配線溝71内に形成された第1層配線77は、接続孔63内のプラグ64を介してメモリセルトランジスタQM1、QM2に共通の半導体領域57ncに接続されている。第1層配線77は、前記図2および図3に示したソース線SLを構成している。

[0064] 論理回路領域lgcの層間絶縁膜69には、配線溝73、74、75が形成されており、それらの内部には、第1層配線79、80、81が形成されている。配線溝73内に形成され

た第1層配線79は、接続孔65内のプラグ64を介してnチャネル型MISTランジスタQNの一方の半導体領域56nに接続されており、配線溝75内に形成された第1層配線81は、接続孔66内のプラグ64を介してpチャネル型MISTランジスタQPの一方の半導体領域56pに接続されている。また、配線溝74内に形成された第1層配線80は、接続孔65内のプラグ64を介してnチャネル型MISTランジスタQNの他方の半導体領域56nに接続されると共に、接続孔66内のプラグ64を介してpチャネル型MISTランジスタQPの他方の半導体領域56pに接続されている。

[0065] 層間絶縁膜69の上部には、層間絶縁膜82が形成されている。メモリセル領域mmryの層間絶縁膜82には、第1層配線76、78を露出する接続孔83、84が形成されており、それらの内部には、プラグ85が埋め込まれている。接続孔83内のプラグ85は、抵抗素子RM1の下部電極を構成し、第1層配線76およびプラグ64を介してメモリセルトランジスタQM1の半導体領域57nに接続されている。また、接続孔84内のプラグ85は、抵抗素子RM2の下部電極を構成しており、第1層配線78およびプラグ64を介してメモリセルトランジスタQM2の半導体領域57nに接続されている。

[0066] 接続孔83の上部には、抵抗素子RM1の界面層86、記憶層87および上部電極88が形成されており、接続孔84の上部には、抵抗素子RM2の界面層86、記憶層87および上部電極88が形成されている。抵抗素子RM1、RM2の界面層86は、例えば Ta_2O_5 （酸化タンタル）膜からなり、層間絶縁膜82と記憶層87との剥離を防止する接着層として機能している。抵抗素子RM1、RM2の上部電極88は、例えばW膜からなる。

[0067] 抵抗素子RM1、RM2の記憶層87は、平均組成が下記の一般式(1)で表されるカルコゲナイド膜からなる。

[0068]
$$\text{In}_{\alpha}\text{Ge}_X\text{Sb}_Y\text{Te}_Z\text{M}_{\beta} \quad (1)$$

(ここで、式中の α 、X、Y、Zおよび β は、それぞれ $0.1 \leq \alpha \leq 0.4$ 、 $0.04 \leq X \leq 0.3$ 、 $0.03 \leq Y \leq 0.2$ 、 $0.3 \leq Z \leq 0.6$ 、 $0.01 \leq \beta \leq 0.05$ である。また、Mは、V、Nb、Ta、Cr、Mo、W、Ti、Ta、Mo、Pb、Si、Fe、Co、Ni、Eu、Pdからなる群より選ばれた少なくとも1種類の元素である)

上記した元素Mは、いずれも単独で結晶化した時に体心立方格子の結晶になり易

い遷移金属である。体心立方格子は、剛体球を密に積み上げたような構造であるから、金属元素が、その位置や間隔に自己主張無く詰まる性質を持っていることを示す。このことが、結晶核の形成を助けることと関連しているものと考えられる。

[0069] また、元素Mは、カルコゲナイド膜中にInが添加されていない場合には、Inと同様な効果が期待できないものである。この第5の元素Mの役割は、Ge-Sb-Te系へのInの大量添加によって派生する問題点であるセットエラーの発生、セットパルス幅の増大、およびセット電圧の上昇を緩和することにある。

[0070] また、元素Mは、電場中で拡散するが熱拡散速度は遅いものがより好ましい。特に、プラスの価数が3以上のイオンになり易いが、中性では半径が大きい原子番号40以上の遷移金属が好ましい。これは、セット・リセット時の熱によって過剰な拡散が起きるのを防げるからである。

[0071] また、上記カルコゲナイド膜に少量の窒素または酸素を添加しても差し支えない。添加量は、5原子%以下とすることが好ましい。

[0072] 図8および図9は、In-Ge-Sb-Te-M5元系における好ましい組成範囲を示している。組成範囲は、メモリの書換え動作が直ちに可能な状態に初期化处理した記録層の平均組成の好ましい範囲であり、電極や界面層からの拡散（厳密には相互拡散）や電位勾配による拡散による不均質を含み、それらを平均したものである。特に、Mで表される元素は記録層との接触面積が小さい方の電極の外縁部に近い部分に局在しているのが好ましい。これにより、上部電極側からこれらの元素が電位勾配により不均一に押し込まれることによる記録層の微細な分解現象などを抑制することができ、耐熱性も保つことができる。In, Ge, Sb, Teのうちの少なくとも1元素も、場所による含有量の変化が有ってよい。場所による含有量の変化は長時間EDX測定などで知ることができる。また、図10は、窒素を少量添加した場合における結晶化の活性化エネルギー変化を示している。

[0073] 図11～図23は、記憶層87を上記一般式(1)で表されるカルコゲナイド膜で構成した場合における特性（耐熱温度、剥離率、リセット電流、書き換え可能回数、セット動作ミスの発生率、セットパルス幅、セット電圧）を示すグラフである。

[0074] 抵抗素子RM1、RM2の上部には、エッチングストップ膜90および層間絶縁膜91

が形成されており、層間絶縁膜91の上面は、論理回路領域lgcとメモリセル領域mmryとでその高さがほぼ一致するように平坦化されている。メモリセル領域mmryの層間絶縁膜91およびエッチングストップ膜90には、抵抗素子RM1、RM2の上部電極88を露出する接続孔92が形成されており、その内部にはプラグ94が埋め込まれている。エッチングストップ膜90は、層間絶縁膜91をエッチングして接続孔92を形成する際に、抵抗素子RM1、RM2を構成する材料がエッチングされて特性が劣化するのを防ぐ保護膜である。また、論理回路領域lgcの層間絶縁膜91、エッチングストップ膜90および層間絶縁膜82には、第1層配線80を露出する接続孔93が形成されており、その内部にはプラグ94が埋め込まれている。

[0075] 層間絶縁膜91の上部には、第2層配線95、96が形成されている。メモリセル領域mmryの第2層配線95は、前記図2および図3に示したビット線BLを構成し、プラグ94を介して抵抗素子RM1、RM2の上部電極88に接続されている。また、論理回路領域lgcの第2層配線96は、プラグ94を介して第1層配線74に接続されている。なお、第2層配線95、96の上部にも層間絶縁膜が形成されているが、その図示は省略する。

[0076] 次に、図7に示した本実施の形態の半導体装置の製造方法を図24～図28を用いて工程順に説明する。

[0077] まず、図24に示すように、例えばp型の単結晶シリコン基板51を用意し、その主面に公知の方法を用いてp型ウエル52p、n型ウエル52nおよび素子分離領域53を形成する。素子分離領域53によって区画されたp型ウエル52pおよびn型ウエル52nは、nチャネル型MISTランジスタQN、pチャネル型MISTランジスタQP、メモリセルトランジスタQMなどの素子が形成される活性領域(FL)となる。

[0078] 次に、メモリセル領域mmryのp型ウエル52pにメモリセルトランジスタQM1、QM2を形成する。また、論理回路領域lgcのp型ウエル52pにnチャネル型MISTランジスタQNを形成し、n型ウエル52nにpチャネル型MISTランジスタQPを形成する。

[0079] メモリセルトランジスタQM1、QM2、nチャネル型MISTランジスタQNおよびpチャネル型MISTランジスタQPを形成するには、まず、p型ウエル52pおよびn型ウエル52nのそれぞれの表面を熱処理および窒化処理することにより、酸窒化シリコン膜から

なる膜厚1.5～10nm程度のゲート絶縁膜54を形成する。続いて、シリコン基板51上にCVD法で多結晶シリコン膜を堆積した後、多結晶シリコン膜に不純物をイオン注入することにより、p型ウェル52p上の多結晶シリコン膜の導電性をn型とし、n型ウェル52n上の多結晶シリコン膜の導電性をp型とする。次に、多結晶シリコン膜をドライエッチングすることにより、メモリセル領域mmryのゲート絶縁膜54上にゲート電極55n(ワード線WL)を形成し、論理回路領域lgcのゲート絶縁膜54上にゲート電極55n、55pを形成する。

[0080] 次に、p型ウェル52pにP(リン)をイオン注入することによって、ゲート電極55nの両側壁の下部にn⁻型半導体領域50nを形成し、n型ウェル52nにB(ホウ素)をイオン注入することによって、ゲート電極55pの両側壁の下部にp⁻型半導体領域50pを形成する。続いて、シリコン基板51上にCVD法で絶縁膜を堆積した後、この絶縁膜をドライエッチングすることによって、ゲート電極55n、55pの側壁にサイドウォールスペーサ58を形成する。サイドウォールスペーサ58を構成する絶縁膜は、例えば酸化シリコン膜と窒化シリコン膜との積層膜とする。次に、p型ウェル52pにPをイオン注入することによって、ゲート電極55nの両側壁の下部にn型半導体領域56n、57n、57nc(ソース、ドレイン領域)を形成し、n型ウェル52nにBをイオン注入することによって、ゲート電極55pの両側壁の下部にp型半導体領域56p(ソース、ドレイン領域)を形成する。なお、図示はしないが、この後、ゲート電極55n、55pおよび半導体領域56n、56p、57n、57ncのそれぞれの表面に公知の方法を用いて金属シリサイド層を形成してもよい。

[0081] 次に、図25に示すように、シリコン基板51上にCVD法を用いて酸化シリコン膜からなる層間絶縁膜61を堆積し、続いて層間絶縁膜61上にCVD法を用いて酸化シリコン膜からなる層間絶縁膜62を堆積した後、化学的機械研磨(CMP)法を用いて層間絶縁膜62の表面を平坦化する。

[0082] 次に、フォトリソグラフ膜をマスクにして層間絶縁膜61、62をドライエッチングすることにより、半導体領域57n、57ncを露出する接続孔63、半導体領域56nを露出する接続孔65および半導体領域56pを露出する接続孔66を形成する。続いて、公知の方法を用いて接続孔63、65、66の内部にWなどの主導体膜とTi/TiNなどの導電

性バリア膜とからなるプラグ64を形成する。

[0083] 次に、層間絶縁膜62上にCVD法を用いて酸化シリコン膜からなる層間絶縁膜69を堆積し、続いてフォトリソ膜をマスクにして層間絶縁膜69をドライエッチングすることにより、プラグ64を露出する配線溝70～75を形成した後、公知の方法を用いて接続孔63、65、66の内部にWなどの主導体膜とTi/TiNなどの導電性バリア膜とからなる第1層配線76～81を形成する。

[0084] 次に、図26に示すように、層間絶縁膜69上にCVD法を用いて酸化シリコン膜からなる層間絶縁膜82を堆積し、続いてフォトリソ膜をマスクにして層間絶縁膜82をドライエッチングすることにより、第1層配線76、78を露出する接続孔83、84を形成した後、公知の方法を用いて接続孔83、84の内部にWなどの主導体膜とTi/TiNなどの導電性バリア膜とからなるプラグ85(下部電極)を形成する。

[0085] 抵抗素子RM1、RM2の下部電極を構成するプラグ85は、W以外にも、その表面が平坦になり易い金属、例えば結晶粒径の小さいMo(モリブデン)などを用いることができる。平坦性のよい金属には、プラグ85の表面の凹凸部分で起こる電界集中による局所的な相変化を抑える効果があるので、メモリセルMCの電気特性の均一性、書き換え回数および耐高温動作特性を向上させることができる。

[0086] 次に、層間絶縁膜82上にCVD法で膜厚0.5～5nmの Ta_2O_5 膜86aを堆積し、続いて Ta_2O_5 膜86a上にスパッタリング法でカルコゲナイド膜87aを堆積した後、カルコゲナイド膜87a上にCVD法で膜厚50～200nmのW膜88aを堆積する。カルコゲナイド膜87aの好ましい膜厚は30～200nm、より好ましくは50～150nmである。

[0087] 次に、フォトリソ膜をマスクにしてW膜88a、カルコゲナイド膜87aおよび Ta_2O_5 膜86aをドライエッチングすることにより、図27に示すように、プラグ85(下部電極)、界面層86、記憶層87および上部電極88からなる抵抗素子RM1、RM2を形成する。次に、抵抗素子RM1、RM2の上部にCVD法で窒化シリコン膜からなるエッチングストップ膜90と、酸化シリコン膜からなる層間絶縁膜91を堆積した後、CMP法を用いて層間絶縁膜91の表面を平坦化する。窒化シリコン膜(エッチングストップ膜90)は、抵抗素子RM1、RM2の側壁に露出した記憶層87(カルコゲナイド膜87a)の昇華を防ぐため、400度以下の温度で堆積することが望ましい。

- [0088] 次に、図28に示すように、フォトリソ膜をマスクにして層間絶縁膜91およびエッチングストップ膜90をドライエッチングすることにより、抵抗素子RM1、RM2の上部電極88を露出する接続孔92を形成し、層間絶縁膜91、エッチングストップ膜90および層間絶縁膜82をドライエッチングすることにより、第1層配線80を露出する接続孔93を形成する。このとき、窒化シリコン膜からなるエッチングストップ膜90は、酸化シリコン膜からなる層間絶縁膜91をエッチングする際に、抵抗素子RM1、RM2の上部電極88がエッチングされるのを防ぐ保護膜として機能する。続いて、公知の方法を用いて接続孔92、93の内部にAl(アルミニウム)などの主導体膜とTi/TiNなどの導電性バリア膜とからなるプラグ94を形成する。
- [0089] その後、層間絶縁膜91の上部にスパッタリング法などを用いてAlを主導体膜とする金属膜を堆積した後、フォトリソ膜をマスクにしてこの金属膜をドライエッチングし、第2層配線95(ビット線BL)および第2層配線96を形成することにより、前記図7に示した半導体装置がほぼ完成する。
- [0090] なお、上述した製造方法では、メモリセル領域mmryの接続孔92と論理回路領域lgcの接続孔93とを同一工程で形成したが、以下のように、接続孔92、93を別工程で形成することもできる。
- [0091] まず、図29に示すように、W膜88a上にCVD法で酸化シリコン膜67を堆積した後、フォトリソ膜をマスクにしたドライエッチングで酸化シリコン膜67をパターニングし、抵抗素子RM1、RM2を形成する領域の上部に酸化シリコン膜67を残す。続いて、図30に示すように、酸化シリコン膜67をマスクにしたドライエッチングでW膜88a、カルコゲナイド膜87aおよびTa₂O₅膜86aをパターニングすることにより、抵抗素子RM1、RM2を形成する。
- [0092] 次に、図31に示すように、抵抗素子RM1、RM2の上部にCVD法で酸化シリコン膜からなる層間絶縁膜91を堆積し、CMP法を用いて層間絶縁膜91の表面を平坦化した後、第1のフォトリソ膜をマスクにしてメモリセル領域mmryの層間絶縁膜91をドライエッチングすることにより、抵抗素子RM1、RM2の上部電極88を露出する接続孔92を形成する。次に、上記第1のフォトリソ膜を除去した後、図32に示すように、第2のフォトリソ膜をマスクにして論理回路領域lgcの層間絶縁膜91およ

び層間絶縁膜82をドライエッチングすることにより、第1層配線80を露出する接続孔93を形成する。その後、前述した方法で接続孔92、93の内部にプラグ94を形成する。なお、接続孔92、93を形成する順序は、上記と逆であってもよい。

[0093] 上記のように、深さの異なる接続孔92、93を別工程で形成することにより、深い接続孔93を形成する際に、浅い接続孔92の底部の上部電極88がエッチングされるのを確実に防ぐことができ、エッチングストップ膜90も不要となる。

[0094] また、抵抗素子RMは、メモリセル毎に分離・独立していなくともよく、図33に示すように、W膜88a、カルコゲナイド膜87aおよび Ta_2O_5 膜86aを帯状にパターニングすることにより、1本のビット線BLに接続される複数のメモリセルで共有させることもできる。

[0095] また、層間絶縁膜91の下層にエッチングストップ膜90を形成する場合は、図34に示すように、エッチングストップ膜90を堆積した後、論理回路領域lgcのエッチングストップ膜90を選択的に除去してもよい。このようにすると、図35に示すように、メモリセル領域mmryの接続孔92と論理回路領域lgcの接続孔93とを同一工程で形成する場合でも、深い接続孔93をエッチングする時間が短縮されるので、浅い接続孔92の底部の上部電極88がエッチングされる不具合を抑制することができる。

[0096] また、図36に示すように、抵抗素子RM1、RM2と第2層配線95(ビット線BL)とを接続する接続孔92を、抵抗素子RM1、RM2の上面と側面とを跨ぐように形成してもよい。

[0097] (実施の形態2)

本実施の形態の半導体装置は、抵抗素子RMの記憶層を構成するカルコゲナイド膜の組成に特徴があり、前記一般式(1)のMで表される元素の濃度が、下部電極側で高く、上部電極側で低くなっている。

[0098] その一例として、ここでは、例えば記憶層を2層構造とし、下部電極側の層をTa(タンタル)濃度が高いカルコゲナイド膜で構成し、上部電極側の層をTa濃度が低いカルコゲナイド膜で構成する。図37は、カルコゲナイド膜中に熱拡散したTaイオンが電場によって下部電極側に移動する様子を模式的に示している。上記のように、成膜時に組成の異なるスパッタリングターゲットを用いて濃度勾配をつけてもよいし、デバ

イス完成後の電圧印加によって濃度勾配を付けてもよい。電圧印加による場合、カルコゲナイド膜との接触面積が小さい下部電極の電流が集中する外縁部に近い領域で、下部電極から熱拡散したMで表される元素であるWの濃度が相対的に高くなる。

[0099] なお、記憶層87は2層構造に限定されず、それ以上の n (≥ 2)層構造であってもよい。この場合、下部電極(プラグ85)側から上部電極(88)側に向けて、第1層、…、第 $(n-1)$ 層、第 n 層を順に堆積するものとし、第 $(n-1)$ 層の方が第 n 層よりもMで表される元素の濃度が高い関係とする。また、下部電極(プラグ85)側から上部電極(88)側に向けてMで表される元素の濃度が連続的に高くなるようにしてもよい。これは、前述した n をかなり大きくした場合と等価である。いずれの場合も、下部電極側の半分の平均M濃度と上部電極側の半分の平均M濃度の差は、5原子%以上とするのがよい。

[0100] このように、記憶層を構成するカルコゲナイド膜中のM濃度を下部電極側で高く、上部電極側で低くすることにより、耐熱性およびデータ保持特性を向上させることができる。

[0101] (実施の形態3)

本実施の形態は、前述した実施の形態1または実施の形態2の半導体装置が形成された半導体チップに対して温度処理を行うものである。

[0102] 抵抗素子RMを有するメモリを混載したマイコンなどの半導体装置をチップに個片化して配線基板などに実装する際には、高温の半田リフローが行われる。例えば鉛フリー半田を用いた場合、リフロー温度は最高で260℃程度になるので、前記一般式(1)で表されるカルコゲナイド膜を含んだ抵抗素子RMは、通常の動作環境をはるかに越える高温の環境に晒されることになる。

[0103] しかしながら、カルコゲナイド材料(相変化材料)をその結晶化温度を超えない範囲の比較的高い温度で一定時間保持すると、高抵抗状態がさらに安定化する。これは、結晶核生成サイトが不活性になり、結晶化が進行し難くなるためであると考えられ、データ保持特性がより向上するという特徴を持っている。

[0104] そこで、鉛フリー半田リフローを行う実装工程において、半導体チップを一旦180℃で90秒間保持してから260℃まで昇温した場合と、このような予備加熱を行わずに2

60℃まで昇温した場合の2つの試料について、リセット状態の抵抗が初期値から低下していく様子を観察したところ、予備加熱を行った試料の方が低抵抗化し難いという結果が得られた。

[0105] すなわち、記憶層の結晶化温度よりも低いと考えられる相対的に低い温度で一定時間保持した後、結晶化温度以上のピーク温度まで昇温する温度プロファイルの環境に置かれた半導体装置は、実装後におけるデータ保持特性の信頼性が向上するので、自動車エンジン制御用マイコンなど、高温環境で使用する半導体装置に用いて好適である。

[0106] (実施の形態4)

図38は、本実施の形態の半導体装置を示す回路図である。本実施の形態の半導体装置は、前記実施の形態1または実施の形態2の抵抗素子RMの上部電極(88)に下部電極(85)よりも高い電圧を印加して動作させることを特徴としている。

[0107] 図38に示す本実施の形態の半導体装置は、メモリセルアレイ、マルチプレクサMUX、XアドレスデコーダXDEC、YアドレスデコーダYDEC、プリチャージ回路PCC、センスアンプSAおよび書換え回路PRGMで構成されている。メモリセルアレイは、ワード線WL1～WLmとビット線BL1～BLnとの各交点にメモリセルMC11～MCmnが配置された構成になっている。互いに直列接続された抵抗素子RMとメモリセルトランジスタQMとからなる各メモリセルMCは、ビット線BLと接地電圧Vss端子との間に挿入され、抵抗素子RMの一端は、ビット線BLに接続されている。

[0108] XアドレスデコーダXDECの出力信号であるワード線WLは、メモリセルトランジスタQMのゲート電極に接続されている。また、プリチャージ回路PCC、センスアンプSA、書換え回路PRGMは、共通データ線CDにそれぞれ接続されている。プリチャージ回路PCCは、ハイレベル(ここでは、電源電圧Vdd)のプリチャージ起動信号PCEにより活性化され、共通データ線CDを読出し電圧VRD(電圧レベルは後述)に駆動する。マルチプレクサMUXは、カラム選択スイッチ列CSWAと放電回路DCCKTとで構成されている。

[0109] カラム選択スイッチ列CSWAは、ビット線BL1～BLnと共通データ線CDとの間にそれぞれ挿入された複数のCMOS伝達ゲート(カラム選択スイッチ)CSW1～CSW

nで構成されている。CMOS伝達ゲートCSW1～CSWnのゲート電極には、YアドレスデコーダYDECの出力信号であるカラム選択線対(YS1T、YS1B)～(YSnT、YSnB)がそれぞれ接続されている。カラム選択線対(YS1T、YS1B)～(YSnT、YSnB)のうちの 하나가活性化されることにより、対応するCMOS伝達ゲートCSWが活性化されて、ビット線BL1～BLnのうちの 하나가共通データ線CDに接続される。

[0110] 放電回路DCCKTは、ビット線BL1～BLnと接地電圧Vss端子との間にそれぞれ挿入されたnチャネル型MISTランジスタMN1～MNnで構成されている。nチャネル型MISTランジスタMN1～MNnのゲート電極には、カラム選択線YS1B～YSnBがそれぞれ接続されている。待機時において、カラム選択線YS1B～YSnBが電源電圧Vddに保持されることにより、nチャネル型MISTランジスタMN1～MNnが導通し、ビット線BL1～BLnが接地電圧Vssに駆動される。

[0111] 上記のような構成により、図39に示すような読出し動作が行われる。以下では、メモリセルMC11が選択されるものと仮定して説明する。まず、YアドレスデコーダYDECにより選択されたカラム選択線対YS1T、YS1Bに対応するカラム選択スイッチCSW1が導通することにより、ビット線BL1と共通データ線CDとが接続される。この時、活性化されているプリチャージ回路PCCによって、共通データ線CDを介してビット線BL1が読出し電圧VRDにプリチャージされる。この読出し電圧VRDは、記憶情報の破壊が起こらないように、電源電圧Vddと接地電圧Vssとの間の電圧レベルに設計される。

[0112] 次に、電源電圧Vddとなっているプリチャージ起動信号PCEを接地電圧Vssに駆動し、プリチャージ回路PCCを非活性状態とする。さらに、XアドレスデコーダXDECにより選択されたワード線WL1上のメモリセルトランジスタQMが導通することにより、メモリセルMC11内に電流経路が形成され、ビット線BL1および共通データ線CDに読み出し信号が発生する。選択メモリセルMC内の抵抗値は、記憶情報によって差があるので、共通データ線CDに出力される電圧は、記憶情報によって差が出る。ここでは、記憶情報が‘1’の場合にメモリセルMC内の抵抗値が低く、ビット線BL1および共通データ線CDが接地電圧Vssに向かって放電され、参照電圧VREFよりも低い電圧になるものとしている。一方、記憶情報が‘0’の場合に、メモリセルMC内の抵

抗値が高く、ビット線BL1および共通データ線CDがプリチャージ状態、すなわち読出し電圧VRDに保持されるものとしている。この差をセンスアンプSAで判別することにより、選択メモリセルMCの記憶情報が読み出される。最後に、カラム選択線対YS1T、YS1Bを非活性状態としてnチャネル型MISTランジスタMN1を導通させることにより、ビット線BL1を接地電圧Vssに駆動すると共に、接地電圧Vssとなっているプリチャージ起動信号PCEを電源電圧Vddに駆動してプリチャージ回路PCCを活性化することにより、待機状態に戻る。

[0113] 図40は、図38に示したメモリアレイの書込み動作を示している。この場合も、図39の読出し動作と同様、メモリセルMC11が選択されるものと仮定して説明する。まず、電源電圧Vddとなっているプリチャージ起動信号PCEを接地電圧Vssに駆動し、プリチャージ回路PCCを非活性状態とする。続いて、YアドレスデコーダYDECにより選択されたカラム選択線対(YS1T、YS1B)に対応するカラム選択スイッチCSW1が導通することにより、共通データ線CDを介してビット線BL1と書込み回路PRGMとが接続される。次に、XアドレスデコーダXDECにより選択されたワード線WL1上のメモリセルトランジスタQMが導通することにより、メモリセルMC11内に電流経路が形成され、ビット線BL1に書込み電流が流れる。

[0114] 書込み回路PRGMは、書込み電流とその印加時間が記憶情報に応じた値となるように設計されている。ここでは、記憶情報が‘0’の場合に、大きなリセット電流IRを短時間印加するものとしている。一方、記憶情報が‘1’の場合に、リセット電流IRよりも小さなセット電流ISを、リセット電流IRよりも長い時間印加するものとしている。最後に、カラム選択線対YS1T、YS1Bを非活性状態としてnチャネル型MISTランジスタMN1を導通させることにより、ビット線BL1を接地電圧Vssに駆動すると共に、接地電圧Vssとなっているプリチャージ起動信号PCEを電源電圧Vddに駆動してプリチャージ回路PCCを活性化することにより、待機状態に戻る。

[0115] 以上、本実施の形態では、前記実施の形態1、2で述べたような抵抗素子RMを用いて半導体装置を構成することにより、耐熱性が高く、安定したデータ保持特性を備えた半導体装置を実現できる。また、抵抗素子RMに対しては、前述した構成および動作のように、上部電極(88)から下部電極(85)の向きに電界を印加して書換えを

行うのが好ましい。その理由は、プラスイオン(例えばTaイオン)を下部の層(第1層配線)に留めることが可能となるからである。これによって、記憶層(87)における膜厚方向組成分布が安定に保持されるので、書換え回数を向上させることができ、より安定したデータ保持特性が実現できる。

[0116] (実施の形態5)

本実施の形態では、前述した実施の形態4とは異なる回路構成とその動作の一例について説明する。図41は、本実施の形態の半導体装置の回路構成を示す図である。この半導体装置は、 $n \times m$ ビットのメモリセルMCを有するメモリセルアレイを備えている。メモリセルMCは、前記実施の形態1と同じく、メモリセルトランジスタQMと、前記一般式(1)で表されるカルコゲナイド材料を用いた記憶層(87)を有する抵抗素子RMとで構成されている。回路構成の特徴は、前記実施の形態4(図38)ではメモリセル当たり一本だったビット線BLをもう一本追加し、ビット線対(BLL、BLR)とワード線WLとの各交点にメモリセルMCを配置することによって、抵抗素子RMに対して逆方向の電圧を印加できるようにしたことにある。

[0117] 本実施の形態の半導体装置は、メモリセルアレイ、マルチプレクサMUX、XアドレスデコーダXDEC、YアドレスデコーダYDEC、読み出し回路RCおよび書換え回路PRGMに加えて、共通放電回路CDCCKTを備えている。メモリセルMCは、ワード線WL1~WLmとビット線対(BL1L、BL1R)~(BLnL、BLnR)との各交点にそれぞれ配置されており、互いに直列接続された抵抗素子RMとメモリセルトランジスタQMとが、ビット線BL1L~LBnLとビット線BL1R~BLnRとの間に挿入された構成になっている。

[0118] 読み出し回路RC、書換え回路PRGM、共通放電回路CDCCKTは、共通データ線対(CDL、CDR)にそれぞれ接続されている。マルチプレクサMUX内のカラム選択スイッチ列CSWAと放電回路DCCKTには、ビット線BL1R~BLnRに対応する部分が追加されている。すなわち、カラム選択スイッチ列CSWAには、ビット線BL1R~BLnRと共通データ線CDRとの間に各々挿入されたCMOS伝達ゲート(カラム選択スイッチ)CSW1R~CSWnRが追加されている。CMOS伝達ゲートCSW1~CSWn、CSW1R~CSWnRのゲート電極には、YアドレスデコーダYDECの出力信号で

あるカラム選択線対(YS1T、YS1B)～(YSnT、YSnB)がそれぞれ接続されている。カラム選択線対(YS1T、YS1B)～(YSnT、YSnB)のうちの一つが活性化されることにより、対応する一組のCMOS伝達ゲートが活性化され、ビット線対(BL1L、BL1R)～(BLnL、BLnR)のうちの一組が共通データ線対(CDL、CDR)に接続される。

[0119] 放電回路DCCKTは、ビット線BL1R～BLnRと接地電圧Vssとの間にそれぞれ挿入されたnチャネル型MISTランジスタMN1R～MNnRを備えており、nチャネル型MISTランジスタMN1R～MNnRのゲート電極には、カラム選択線対の一方(YS1B～YSnB)がそれぞれ接続されている。待機時において、カラム選択線YS1B～YSnBが電源電圧Vddに保持されることにより、nチャネル型MISTランジスタMN1L～MNnL、MN1R～MNnRが導通し、ビット線対(BL1L、BL1R)～(BLnL、BLnR)が接地電圧Vssに駆動される。例えば図中に四角の破線で示したように、メモリセルアレイをROM的領域とRAM的領域に分けて、駆動方法を変える。実際には、それぞれの領域は、もっと多くのメモリセルMCを含んでいる。

[0120] 図42は、図41に示した共通放電回路CDCCKT、読出し回路RCおよび書換え回路PRGMの詳細な構成を示す回路図である。共通放電回路CDCCKTは、nチャネル型MISTランジスタMN101、MN102とNOR回路NR101とで構成されている。nチャネル型MISTランジスタMN101は、共通データ線対の一方(CDL)と接地電圧Vssとの間に挿入されており、nチャネル型MISTランジスタMN102は、共通データ線対の他方(CDR)と接地電圧Vssとの間に挿入されている。また、nチャネル型MISTランジスタMN101、MN102のそれぞれのゲート電極には、NOR回路NR101の出力端子が接続されている。このNOR回路NR101の入力端子には、後述する読出し起動信号RDと書換え起動信号WTとがそれぞれ入力される。これらの信号(RD、WT)は、待機状態において、接地電圧Vssに保持されているので、nチャネル型MISTランジスタMN101、MN102が導通することにより、共通データ線対(CDL、CDR)は接地電圧Vssに駆動される。一方、読出し動作の時は、読出し起動信号RDが電源電圧Vddに駆動され、書換え動作の時は書換え起動信号WTが電源電圧Vddに駆動されるので、これらの動作の際にはnチャネル型MISTランジスタMN101、M

N102がカットオフされる。

- [0121] 読出し回路RCは、nチャネル型MISTランジスタMN111、MN112、プリチャージ回路PCおよびセンスアンプSAにより構成されている。プリチャージ回路PCは、ノードSNDにてセンスアンプSAと接続される。プリチャージ回路PCは、ハイレベル(ここでは、電源電圧Vdd)のプリチャージ起動信号PCEにより活性化され、ノードSNDなどを読出し電圧VRDに駆動する。nチャネル型MISTランジスタMN111は、共通データ線対の一方(CDL)とセンスアンプSAとの間に挿入されており、nチャネル型MISTランジスタMN112は、共通データ線対の他方(CDR)と接地電圧Vssとの間に挿入されている。nチャネル型MISTランジスタMN111、MN112のそれぞれのゲート電極には、読出し起動信号RDが入力される。
- [0122] 読出し起動信号RDは、前述したように、待機状態において接地電圧Vssに保持されているので、この場合、nチャネル型MISTランジスタMN111、MN112はカットオフされる。一方、読出し動作において、接地電圧Vssとなっている読出し起動信号RDは、電源電圧Vddに駆動されるので、nチャネル型MISTランジスタMN111、MN112が導通することにより、共通データ線対の一方(CDL)がプリチャージ回路PCCおよびセンスアンプSAに接続され、共通データ線CDRが接地電圧Vssに接続される。以上の構成により、読出し動作では、共通データ線対の他方(CDR)からビット線BL1R~BLnRを介して、選択されたメモリセルMCにおけるメモリセルトランジスタQMのソース領域が接地電圧Vssに駆動される。また、ビット線BL1L~BLnLから共通データ線対の一方(CDL)を介して、記憶情報に応じた読出し信号がセンスアンプSAに入力されることにより、前述した読出し動作と同様の読出し動作が可能となる。
- [0123] 書換え回路PRGMは、共通データ線駆動回路CDDL、CDDR、CMOS伝達ゲートCSW151、CSW152、NAND回路ND151、インバータ回路IV151により構成されている。CMOS伝達ゲートCSW151は、共通データ線対の一方(CDL)と共通データ線駆動回路CDDLとの間に挿入されており、CMOS伝達ゲートCSW152は、共通データ線対の他方(CDR)と共通データ線駆動回路CDDRとの間に挿入されている。これらのゲート(CSW151、CSW152)には、セット起動信号SETBとリセット起動信号RSTBをNAND回路ND151とインバータ回路IV151とを用いてAND演算

した結果得られる書換え起動信号WT、WTBがそれぞれ接続されている。

[0124] ここで、セット起動信号SETBとリセット起動信号RSTBは、待機状態において電源電圧Vddに保持されるので、書換え起動信号WTが接地電圧Vss、書換え起動信号WTBが電源電圧Vddに保持されることにより、共通データ線対(CDL、CDR)と共通データ線駆動回路CDDL、CDDRが遮断される。一方、書換え動作においては、セット起動信号SETBまたはリセット起動信号RSTBが接地電圧Vssに駆動されるので、書換え起動信号WTが電源電圧Vddに、書換え起動信号WTBが接地電圧Vssにそれぞれ駆動され、CMOS伝達ゲートCSW151、CSW152がそれぞれ導通することにより、共通データ線対(CDL、CDR)と共通データ線駆動回路CDDL、CDDRが接続される。

[0125] 共通データ線駆動回路CDDLは、pチャンネル型MISTランジスタMP131、nチャンネル型MISTランジスタMN131、MN132、インバータ回路IV131により構成されている。セット電圧VSと接地電圧Vssとの間にpチャンネル型MISTランジスタMP131とnチャンネル型MISTランジスタMN131とを挿入し、それらのドレイン領域をノードN1とする。このノードN1とCMOS伝達ゲートCSW151とを接続すると共に、ノードN1と接地電圧Vssとの間に、nチャンネル型MISTランジスタMN132を挿入する。

[0126] pチャンネル型MISTランジスタMP131のゲート電極には、セット起動信号SETBが接続されている。セット動作において、電源電圧Vddとなっているセット起動信号SETBが接地電圧Vssに駆動されると、pチャンネル型MISTランジスタMP131が導通することにより、伝達ゲートCSW151を介して共通データ線対の一方(CDL)にセット電圧VSが印加される。一方、nチャンネル型MISTランジスタMN131のゲート電極には、リセット起動信号RSTBをインバータ回路IV131で反転した信号が接続されている。リセット動作において、電源電圧Vddとなっているリセット起動信号RSTBが接地電圧Vssに駆動されると、nチャンネル型MISTランジスタMN131が導通することにより、伝達ゲートCSW151を介して共通データ線対の他方(CDR)に接地電圧Vssが印加される。また、nチャンネル型MISTランジスタMN132のゲート電極には、書換え起動信号WTBが接続される。この書換え起動信号WTBは、待機状態において、電源電圧Vddに保持されるので、nチャンネル型MISTランジスタMN132が導通することによ

り、ノードN1に接地電圧Vssが印加される。

[0127] 共通データ線駆動回路CDDRは、pチャンネル型MISTランジスタMP141、nチャンネル型MISTランジスタMN141、MN142、インバータ回路IV141で構成される。リセット電圧VRと接地電圧Vssとの間に、pチャンネル型MISTランジスタMP141とnチャンネル型MISTランジスタMN141を挿入し、そのドレイン電極をノードN2とする。このノードN2と伝達ゲートCSW152とを接続すると共に、ノードN2と接地電圧Vssとの間にnチャンネル型MISTランジスタMN142を挿入する。

[0128] pチャンネル型MISTランジスタMP141のゲート電極には、リセット起動信号RSTBが接続される。リセット動作において、電源電圧Vddとなっているリセット起動信号RSTBが接地電圧Vssに駆動されると、pチャンネル型MISTランジスタMP141が導通することにより、伝達ゲートCSW152を介して共通データ線CDRにリセット電圧VRが印加される。nチャンネル型MISTランジスタMN141のゲート電極には、セット起動信号SETBをインバータ回路IV141で反転した信号が接続される。セット動作において、電源電圧Vddとなっているセット起動信号SETBが接地電圧Vssに駆動されると、nチャンネル型MISTランジスタMN141が導通することにより、伝達ゲートCSW152を介して共通データ線CDRに接地電圧Vssが印加される。nチャンネル型MISTランジスタMN142のゲート電極には、書換え起動信号WTBが接続される。この書換え起動信号WTBは、待機状態において電源電圧Vddに保持されるので、nチャンネル型MISTランジスタMN142が導通することにより、ノードN2に接地電圧Vssが印加される。

[0129] 図43は、図42の書換え回路PRGMを用いた書換え動作の一例を示す波形図である。図43に示すように、書換え動作では、記憶情報に応じた向きの電流を選択したメモリセルMCに流すことができる。すなわち、記憶情報‘1’を書込むセット動作の場合、電源電圧Vddとなっているセット起動信号SETBが接地電圧Vssに駆動されることにより、pチャンネル型MISTランジスタMP131およびnチャンネル型MISTランジスタMN141が導通状態となるので、選択されたメモリセルMCでは抵抗素子RMからメモリセルトランジスタQMの向きに電流を流すことができる。これとは逆に、記憶情報‘0’を書込むリセット動作の場合、電源電圧Vddとなっているリセット起動信号RSTBが接地電圧Vssに駆動されることにより、pチャンネル型MISTランジスタMP141および

nチャネル型MISTランジスタMN131が導通状態となるので、選択されたメモリセルMCではメモリセルトランジスタQMから抵抗素子RMの向きに電流を流すことができる。

[0130] ここで、リセット動作時には、セット動作時よりも大きなジュール熱を発生する必要がある。また、抵抗素子RM側がソース電極となるので、メモリセルトランジスタQMの基板バイアス降下を考慮する必要がある。このため、リセット電圧VRは電源電圧Vddと同じかあるいは低いが、リセット電流の絶対値がセット電流よりも大きくなるように、セット電圧VSよりも高く設計されている。このようなリセット動作では、短期間ではあるが、セット電流(IS)とは逆向きのリセット電流($-IR$)を選択メモリセルMC11に流す。リセット電流の絶対値($|-IR|$)は、セット電流(IS)よりも大きい。

[0131] このように、本実施の形態5では、実施の形態1および実施の形態2で述べたような抵抗素子RMを用い、耐熱性が高く、安定したデータ保持特性を備えた半導体装置を実現できる。さらに、書換え動作において、記憶情報に応じた向きに電圧を印加して電流を流すことにより、イオンの偏析を抑制でき、より安定したデータ保持特性を実現することが可能となる。

[0132] すなわち、セット動作においては、例えばビット線BL1Lを高電圧、ビット線BL1Rを低電圧に印加するので、抵抗素子RMの上部電極(88)から下部電極(プラグ85)の向きに電界が発生する。従って、インパクトイオン化されたIn、Ge、Sb、電極から拡散したW、界面層から拡散したTaなどの+イオンは、下部電極付近に引き寄せられる。これとは逆に、リセット動作においては、例えばビット線BL1Rを高電圧、ビット線BL1Lを低電圧に印加するので、下部電極から上部電極の方向に電界が発生する。従って、Inなどの元素は、正にイオン化した元素については、電気力線に沿って、上部電極の方向に引き寄せられる。一方、融解による熱拡散で+イオンが陽極方向に拡散するものもある。これらによって、書換え動作による元素の局在が過度に進行するのを回避することができ、書換え回数を向上させることが可能となる。

[0133] これらの効果により、本発明の膜厚方向組成分布は、多数回書換えを繰り返しても安定に保持される。なお、熱拡散が少なく、相対的にイオンが膜厚方向の一方に寄り易いセット時に上部電極をプラスにし、リセット時に上部電極をマイナスとする電圧極

性を選ぶことにより、Inなどの金属元素が上部電極側よりも下部電極側に多い組成分布を安定に保つことができる。また、これにより、同一のメモリセルに対して、耐熱性の高いROM的使い方と、多数回の書換えが可能なRAM的使い方をさせることが可能になる。

[0134] また、上記のように、セット状態からリセットする場合に逆電圧とすると(すなわち、リセット時に下部電極側をプラスとすると)、電子は上部の原子配列が整った領域で加速されて下部に入るので、下部の温度を上げるのに有利となり、リセット電流が低減できる効果も考えられる。リセット状態の高温保持では、膜厚方向の上部は結晶化するが、全面結晶化や、さらなる高抵抗化は下部電極に近い領域で妨げられるので、耐熱性は保たれる。

[0135] なお、これまでの説明では、メモリセルトランジスタQMの仕様について特に限定しなかった。しかし、ゲート酸化膜が厚いトランジスタをメモリセルトランジスタQMに用いて、ゲート電圧を昇圧することも可能である。このような構成と動作により、抵抗素子RMによって生じる基板バイアス効果によるメモリセルトランジスタQMの駆動能力低下を抑制することが可能となり、従来とは逆方向にも十分な大きさのリセット電流を流すことができる。

[0136] 正電圧印加後の特性と負電圧印加後の特性を比較すると、書換え可能回数は、正電圧印加の場合が106回、負電圧印加の場合が1010回であり、耐熱温度は、正電圧印加の場合が160℃、負電圧印加の場合が270℃であった。

[0137] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

[0138] 例えば、前記実施の形態1で述べた記憶層87の非晶質状態と結晶状態は、メモリ動作をしている領域全体が一様にそれらの状態である必要はなく、非晶質状態にある領域の中に結晶粒が存在したり、結晶状態にある領域の中に非晶質の部分が存在して良い。すなわち、相対的に非晶質部分が多い状態と、非晶質部分が少ない状態との間で変化し、抵抗値が変化すればよい。

[0139] また、前記実施の形態1で述べた組成のカルコゲナイド膜(記憶層)が非晶質領域

からの結晶成長でなく、結晶核生成を伴う結晶化が起きる材料であることは、膜の構造から知ることができる。走査電子顕微鏡 (SEM) または透過電子顕微鏡 (TEM) でカルコゲナイド膜が、膜厚方向に最大3個以上、より好ましくは最大6個以上の粒状に見える場合、結晶核生成を伴う結晶化が起きる材料と判断できる。また、この材料は、本発明の組成範囲であっても、組成によっては相変化だけでなく、金属または半金属の原子、あるいはそれらを含む原子団が電場によって移動し、それらの高濃度領域からなる導電パスが形成されたり、消滅したりすることに起因する抵抗変化が生じることもある。すなわち、Inの添加によって困難になる外側から内側への結晶成長をセットのメカニズムとするのでなければ、必ずしも結晶核形成と核からの成長による相変化だけをセットのメカニズムとする必要はない。

産業上の利用可能性

- [0140] 本発明の半導体装置は、相変化材料を用いた不揮発性メモリ、あるいは同一半導体チップに不揮発性メモリ回路と論理回路とを形成したメモリ混載ロジックなどに広く適用可能であり、このような製品が高温条件下で用いられる場合にさらに有益なものとなる。

請求の範囲

- [1] 抵抗素子と、前記抵抗素子に直列に接続されたMISTランジスタとによって構成された相変化メモリを有する半導体装置であって、
- 前記抵抗素子は、下部電極を構成する第1導電層と、記憶層を構成するカルコゲナイド膜と、上部電極を構成する第2導電層とを含んで構成され、
- 前記抵抗素子の記憶層は、平均組成が下記の一般式(1)
- $$\text{In}_{\alpha} \text{Ge}_X \text{Sb}_Y \text{Te}_Z \text{M}_{\beta} \quad (1)$$
- (ここで、式中の α 、X、Y、Zおよび β は、それぞれ $0.1 \leq \alpha \leq 0.4$ 、 $0.04 \leq X \leq 0.3$ 、 $0.03 \leq Y \leq 0.2$ 、 $0.3 \leq Z \leq 0.6$ 、 $0.01 \leq \beta \leq 0.05$ であり、Mは、V、Nb、Ta、Cr、Mo、W、Ti、Ta、Mo、Pb、Si、Fe、Co、Ni、Eu、Pdからなる群より選ばれた少なくとも1種類の元素である)で表されるカルコゲナイド膜からなることを特徴とする半導体装置。
- [2] 前記記憶層は、前記一般式(1)中のMで表される元素の濃度が異なる複数層のカルコゲナイド膜からなり、複数層のカルコゲナイド膜中のM濃度は、前記下部電極側で高く、前記上部電極側で低いことを特徴とする請求項1記載の半導体装置。
- [3] 前記下部電極側のM濃度と、前記上部電極側のM濃度との差は、5原子%以上であることを特徴とする請求項2記載の半導体装置。
- [4] 前記一般式(1)中のMは、原子番号40以上の遷移金属元素であることを特徴とする請求項1記載の半導体装置。
- [5] 前記下部電極を構成する第1導電層は、層間絶縁膜に設けられた接続孔の内部に形成され、
- 前記記憶層を構成するカルコゲナイド膜と、前記上部電極を構成する第2導電層とは、前記層間絶縁膜上に形成され、
- 前記第1導電層と前記カルコゲナイド膜との間には、両者の剥離を防止する接着層が設けられていることを特徴とする請求項1記載の半導体装置。
- [6] 前記記憶層を構成するカルコゲナイド膜は、5重量%以下の窒素または酸素を含んでいることを特徴とする請求項1記載の半導体装置。
- [7] 前記不揮発性メモリセルに情報を書き込む際には、前記上部電極側に前記下部電

極側よりも高い正電圧を印加することを特徴とする請求項1記載の半導体装置。

- [8] 前記不揮発性メモリセルに情報を書き込む際には、セット時とリセット時で前記上部電極と前記下部電極との間の電圧極性を逆に設定することを特徴とする請求項1記載の半導体装置。

- [9] 前記セット時には前記上部電極側をプラスとし、前記リセット時に前記下部電極側をプラスとすることを特徴とする請求項8記載の半導体装置。

- [10] 抵抗素子と、前記抵抗素子に直列に接続されたMISTランジスタとによって構成された相変化メモリを有する半導体装置の製造方法であって、

前記抵抗素子は、下部電極を構成する第1導電層と、記憶層を構成するカルコゲナイド膜と、上部電極を構成する第2導電層とを含んで構成され、

前記抵抗素子の記憶層は、平均組成が下記の一般式(1)

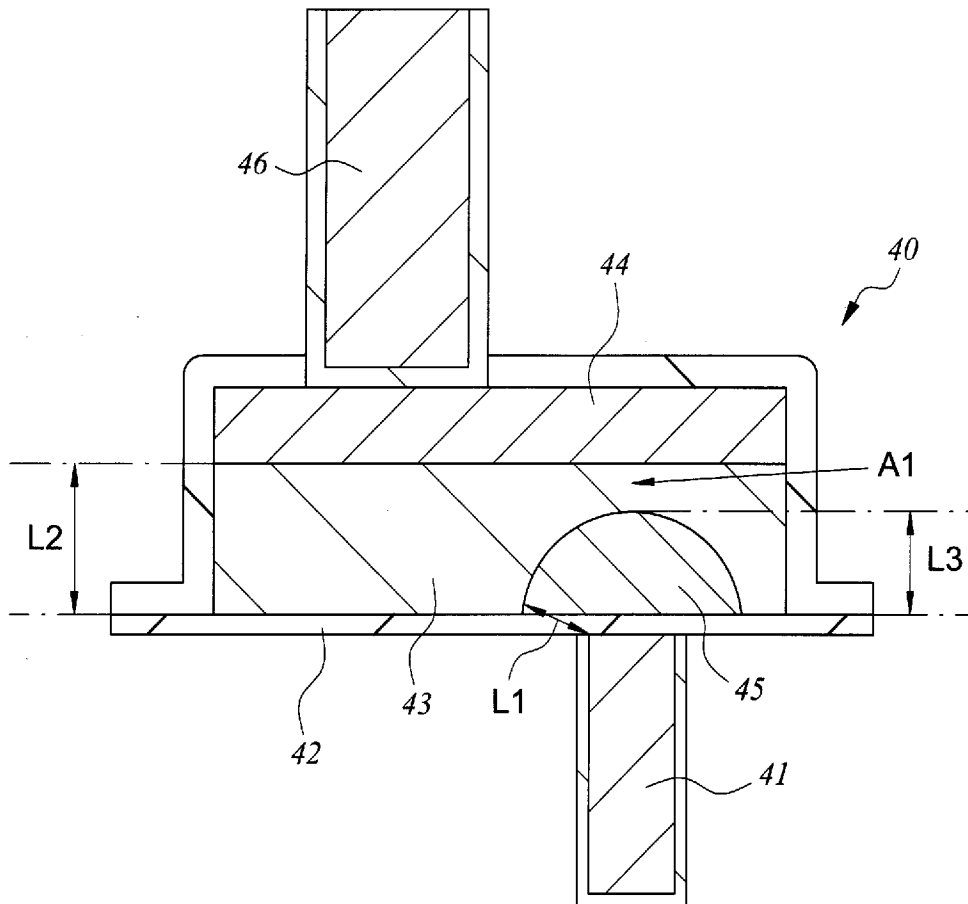


(ここで、式中の α 、X、Y、Zおよび β は、それぞれ $0.1 \leq \alpha \leq 0.4$ 、 $0.04 \leq X \leq 0.3$ 、 $0.03 \leq Y \leq 0.2$ 、 $0.3 \leq Z \leq 0.6$ 、 $0.01 \leq \beta \leq 0.05$ であり、Mは、V、Nb、Ta、Cr、Mo、W、Ti、Ta、Mo、Pb、Si、Fe、Co、Ni、Eu、Pdからなる群より選ばれた少なくとも1種類の元素である)で表されるカルコゲナイド膜からなり、

前記半導体装置が形成された半導体基板を前記カルコゲナイド膜の結晶化温度以上の温度でリフロー実装する工程に先立って、前記半導体基板を前記結晶化温度未満の高温雰囲気曝す工程を含むことを特徴とする半導体装置の製造方法。

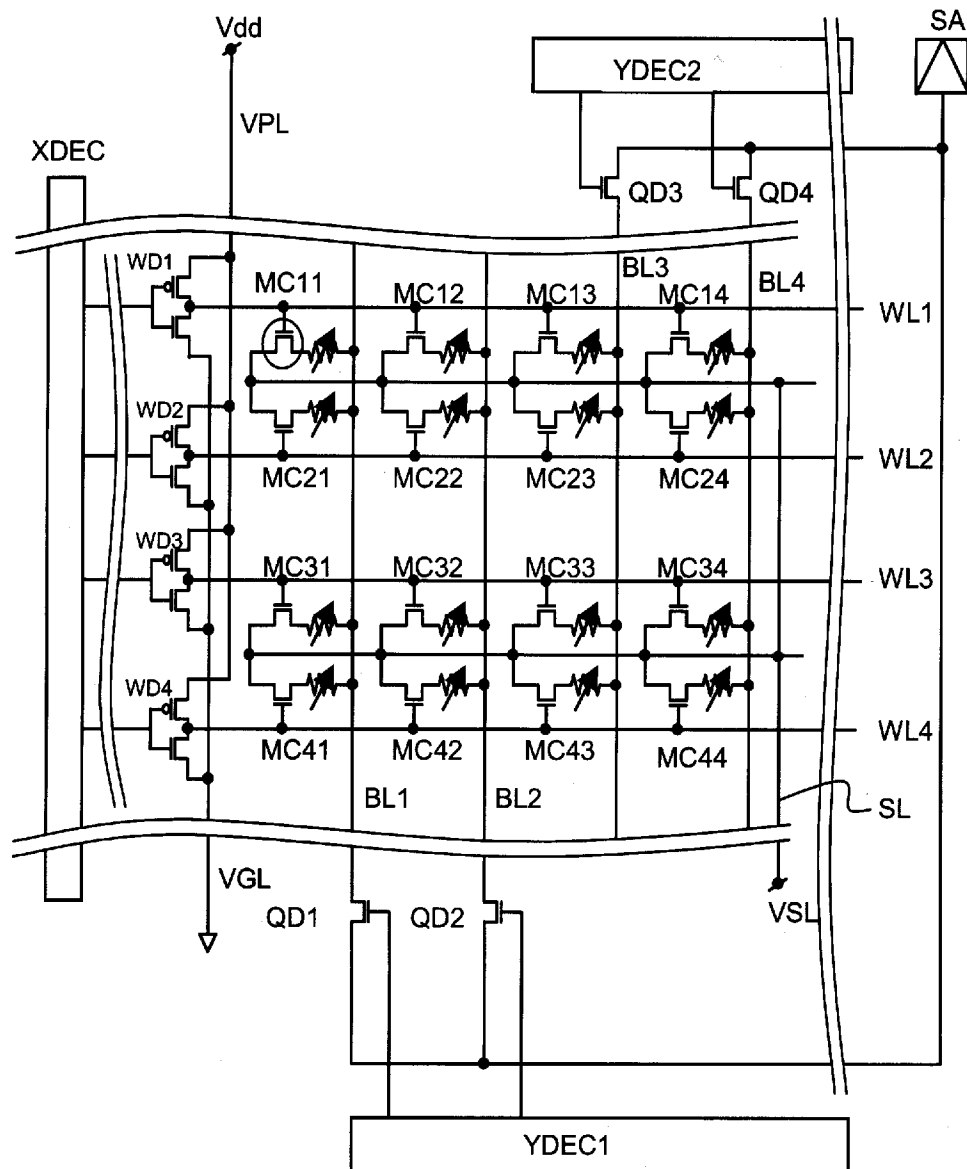
[図1]

図 1



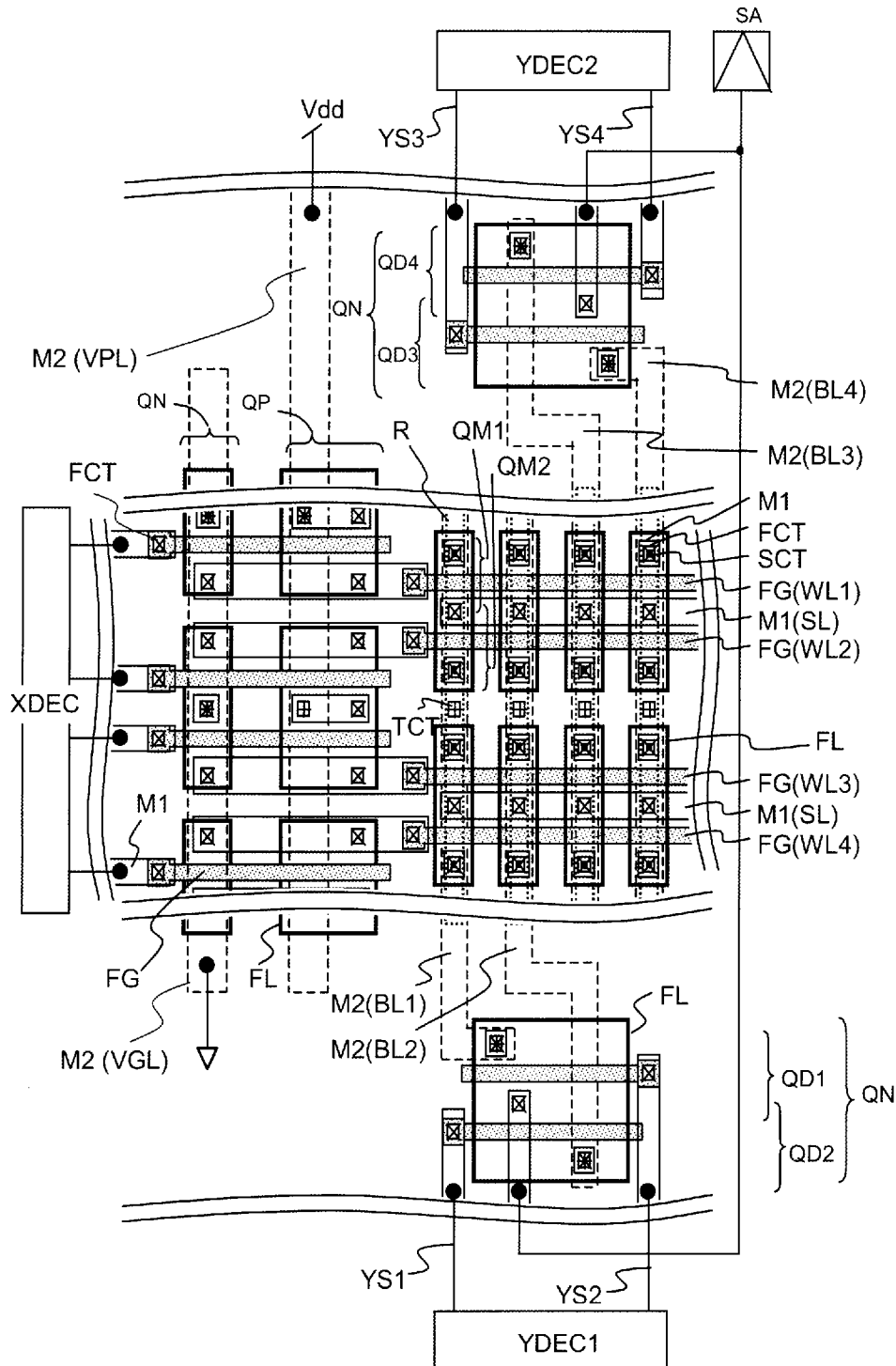
[図2]

図 2



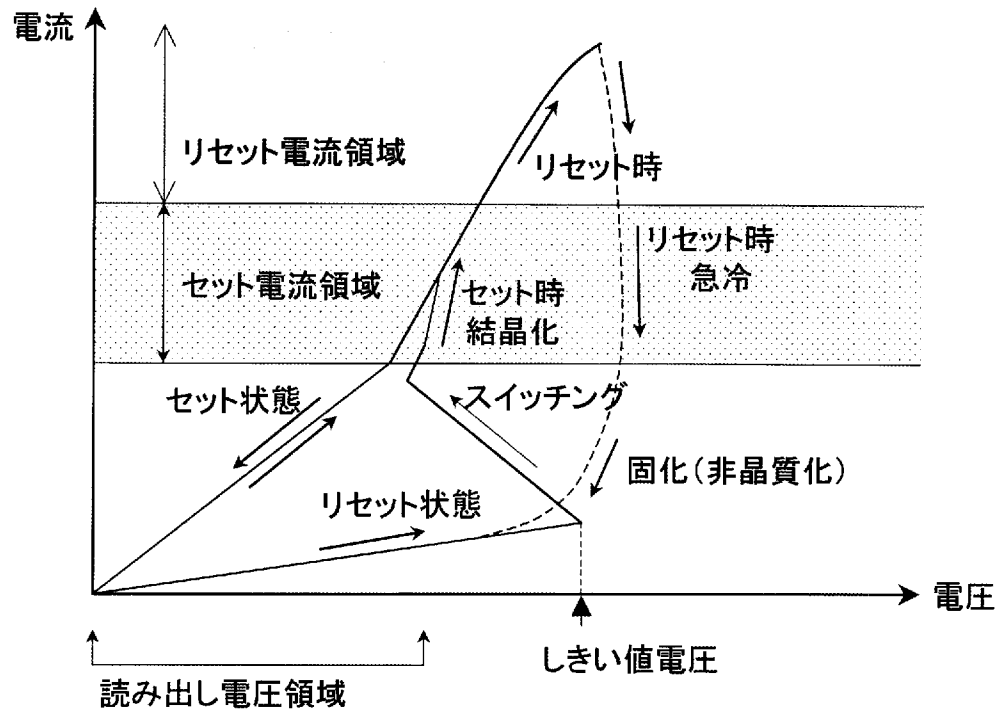
[図3]

図 3



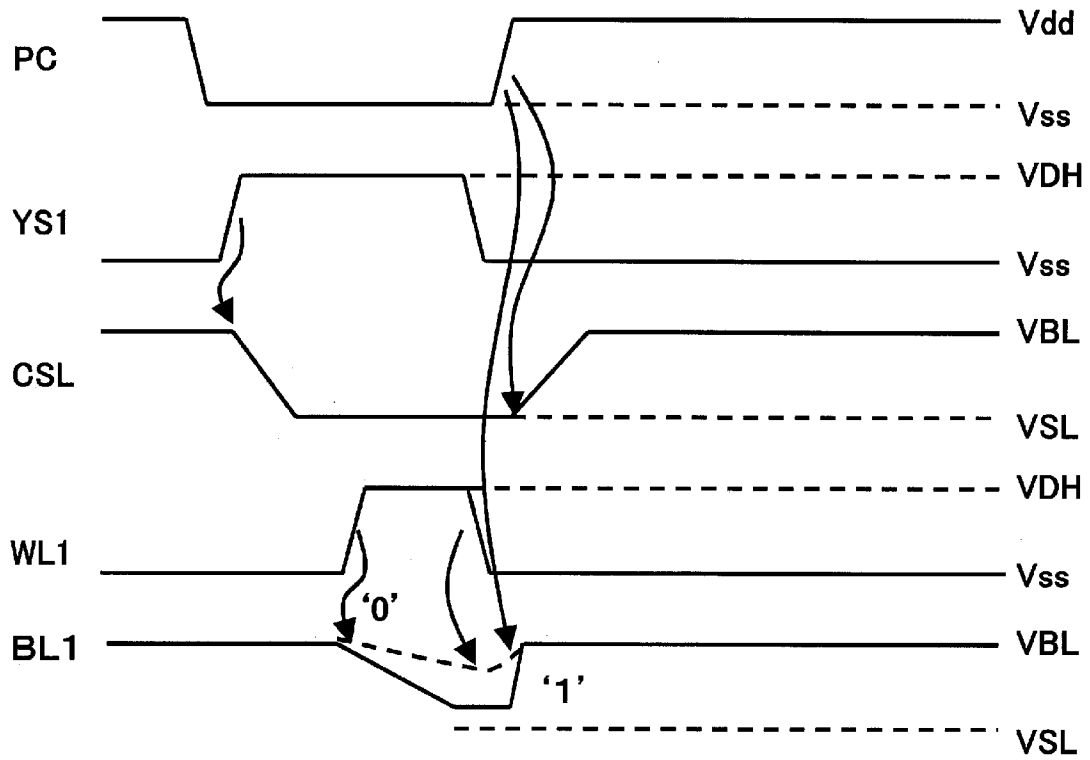
[図4]

図 4



[図5]

図 5



[図6]

図 6

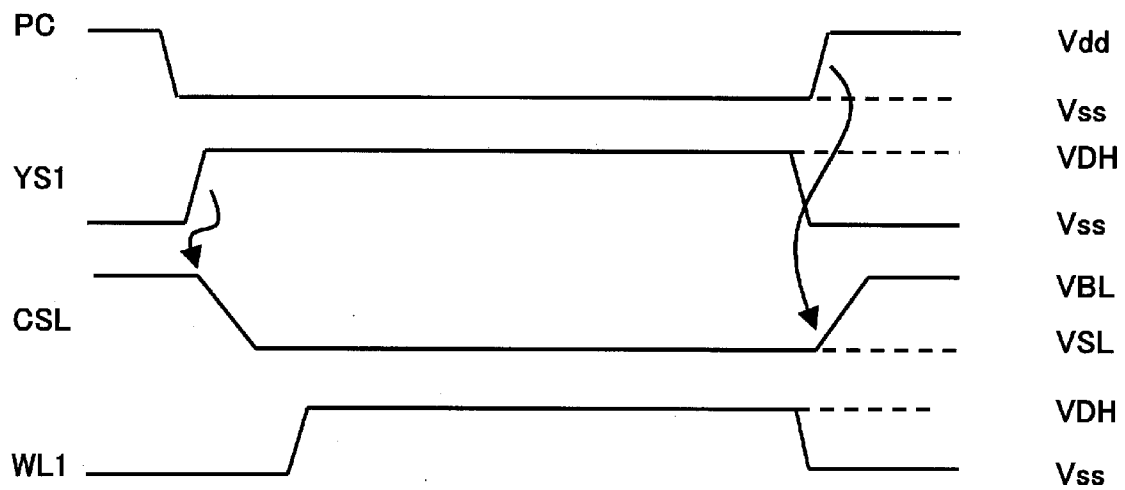
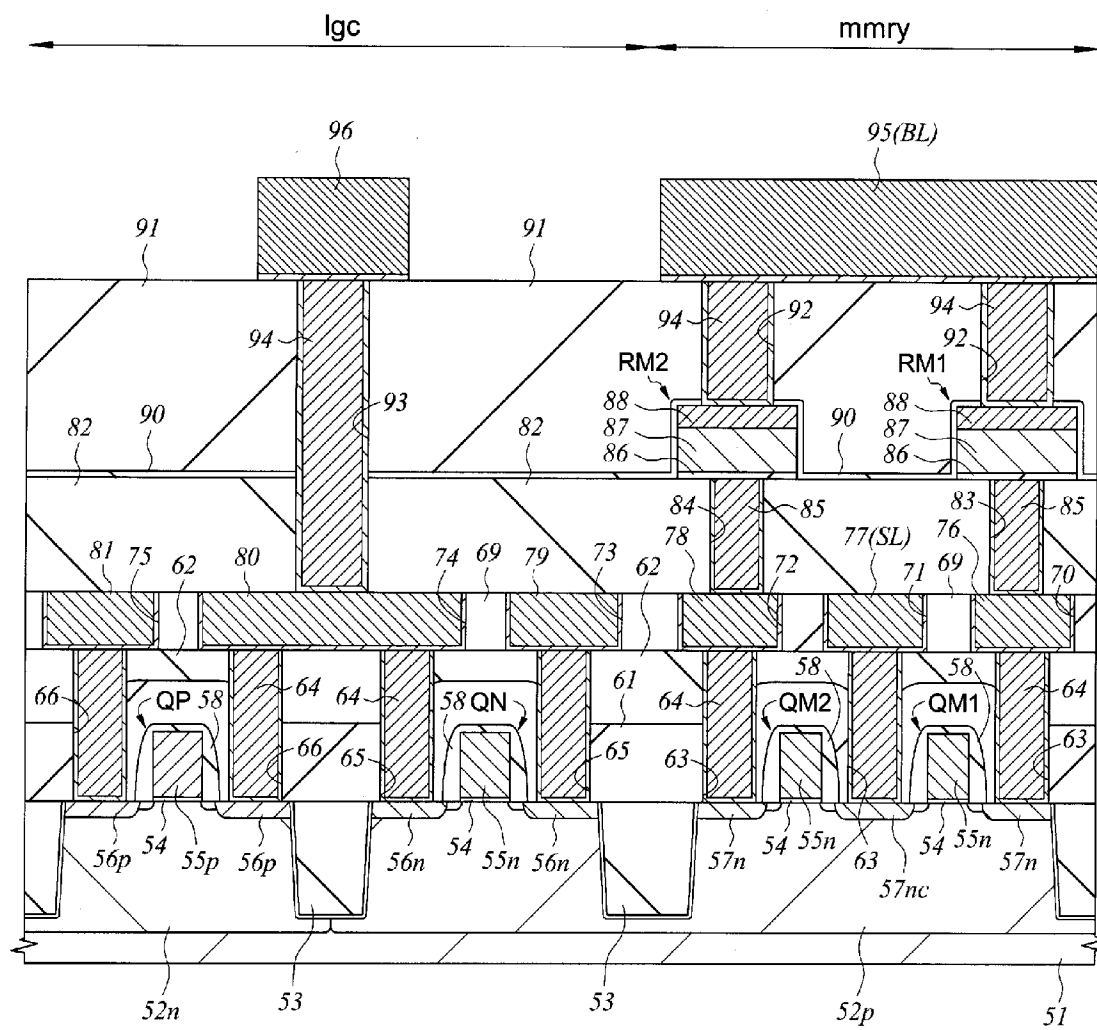
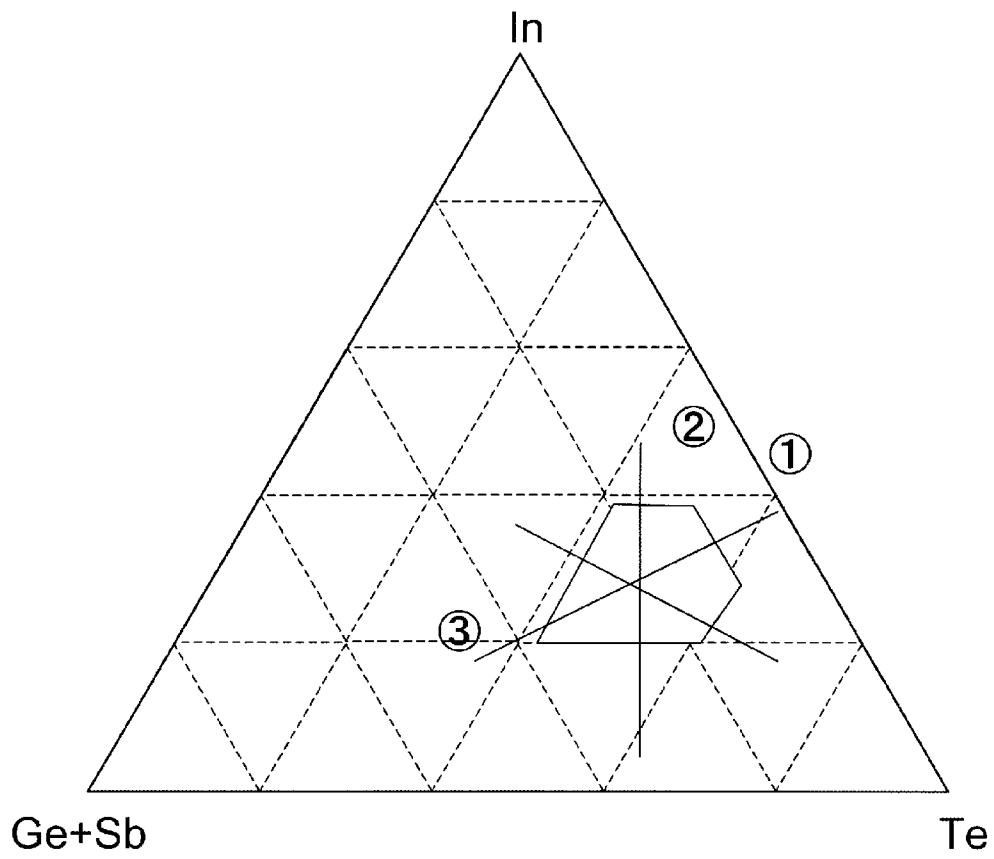


图 7



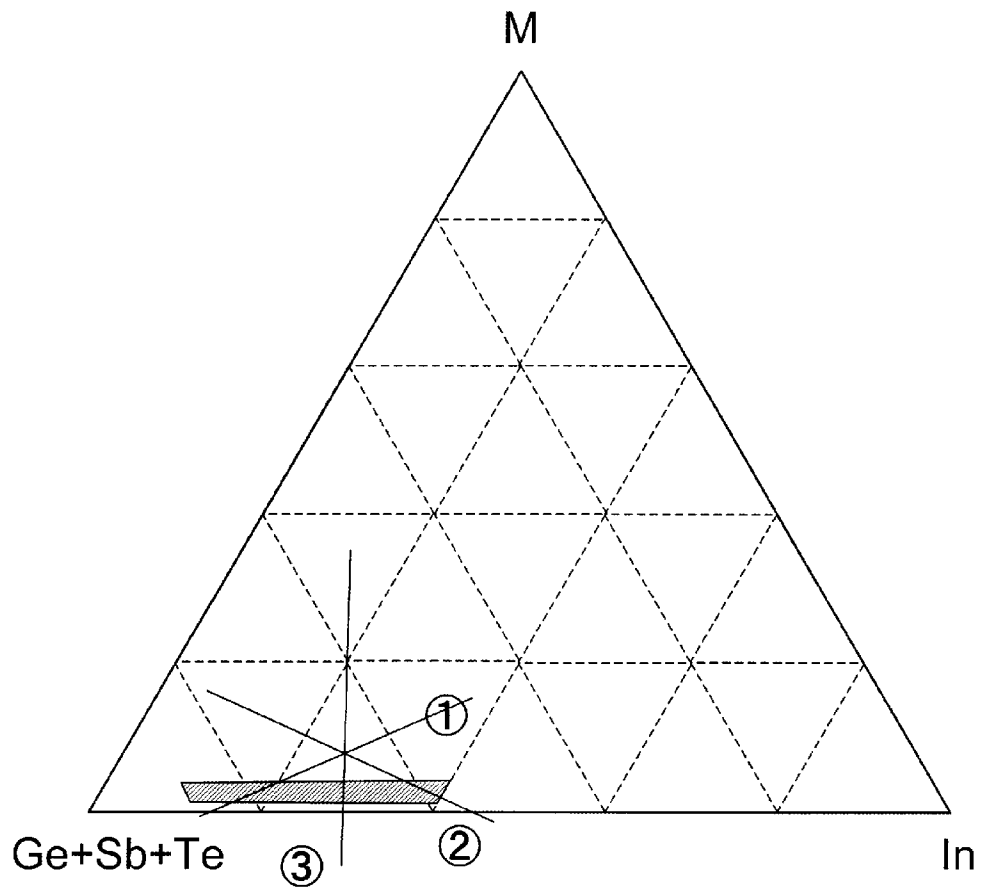
[図8]

図 8



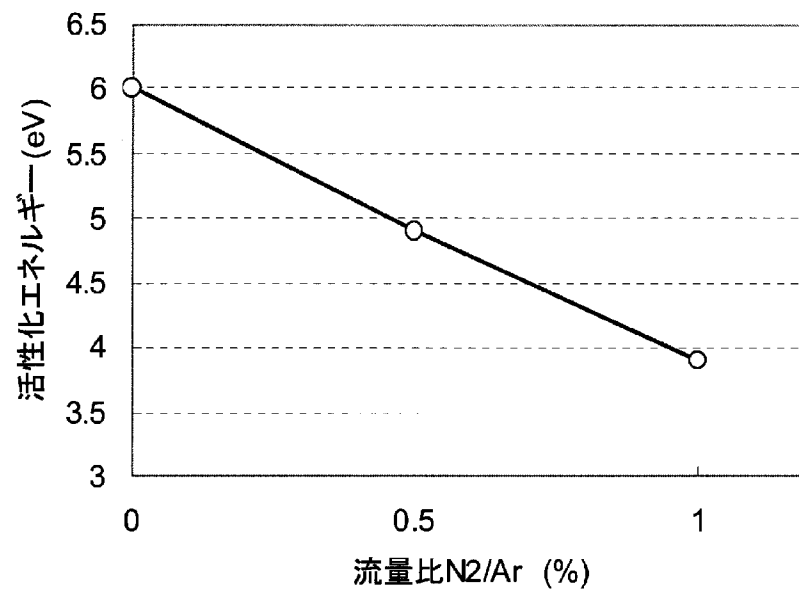
[図9]

図 9



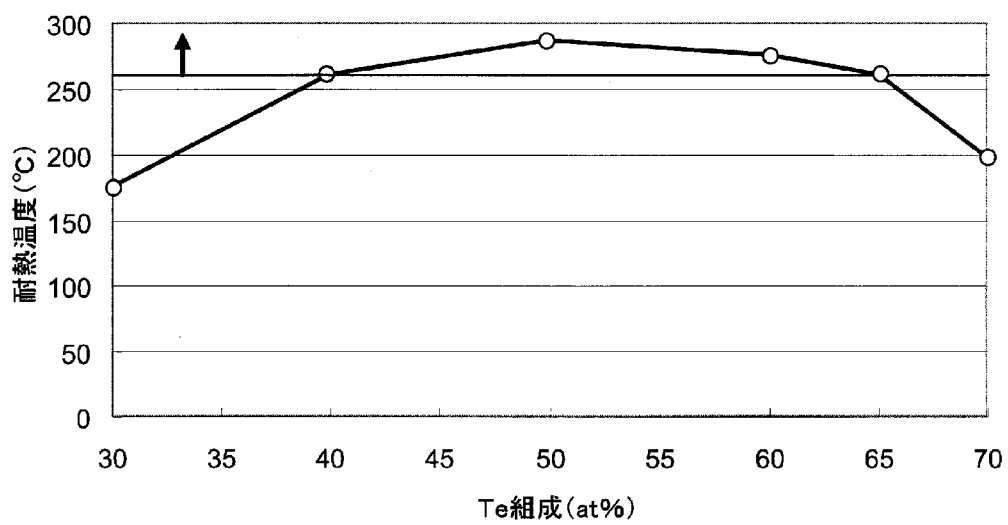
[図10]

図 10



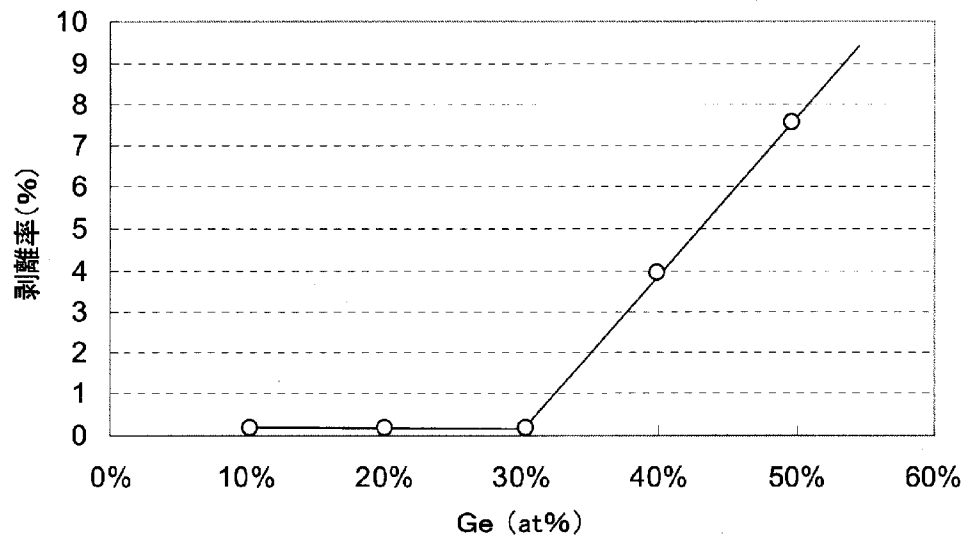
[図11]

図 11



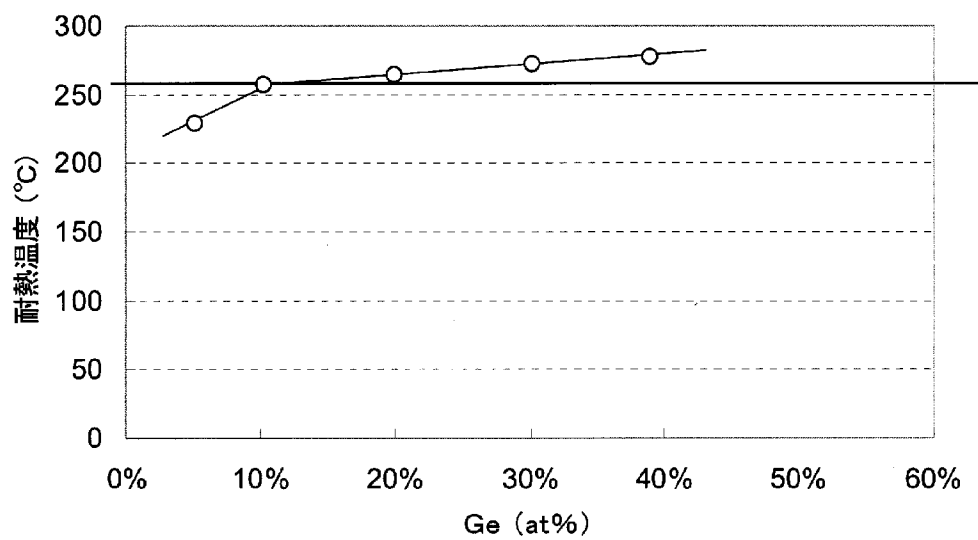
[図12]

図 12



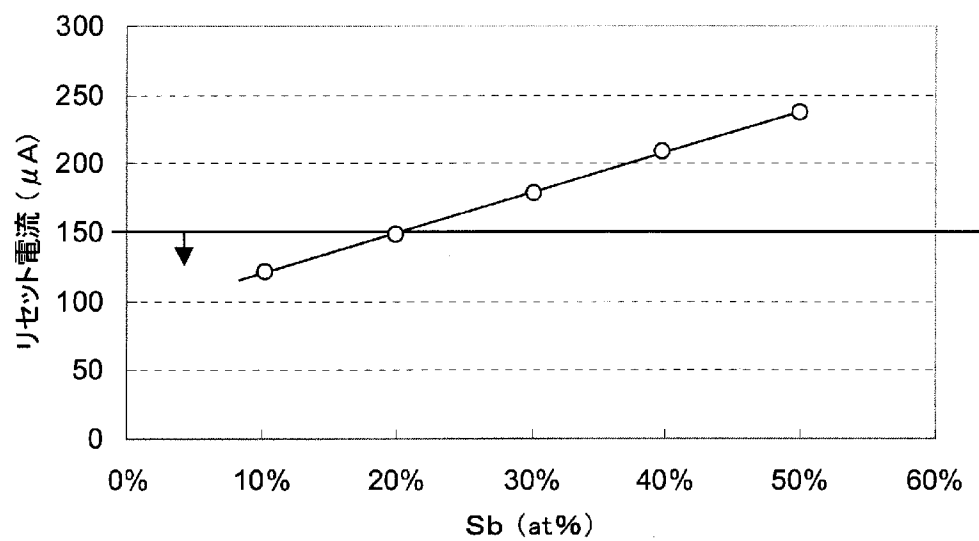
[図13]

図 13



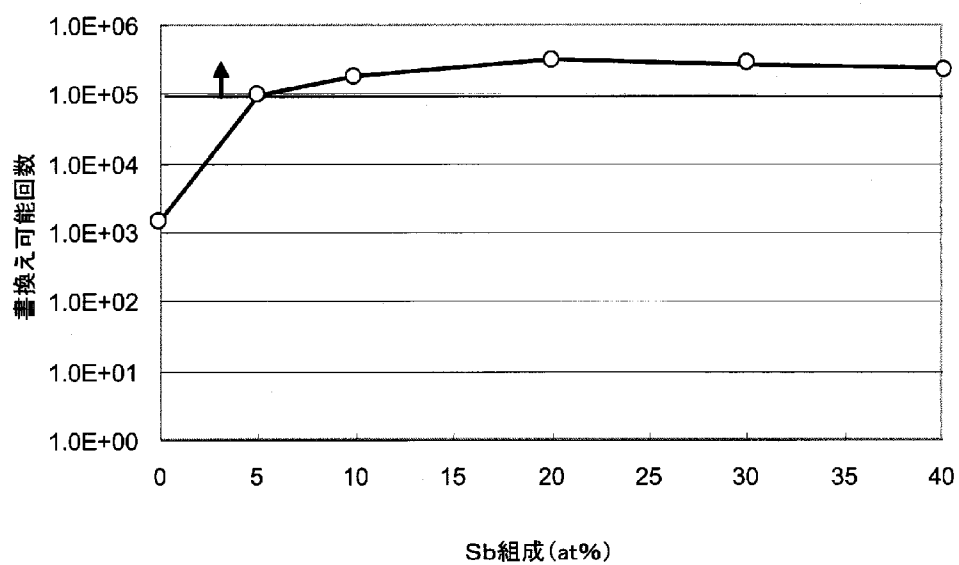
[図14]

図 14



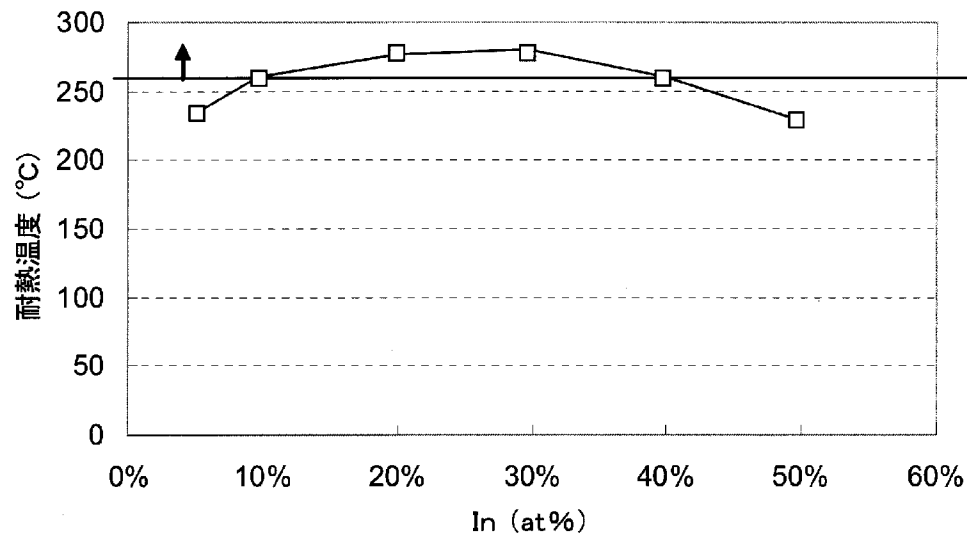
[図15]

図 15



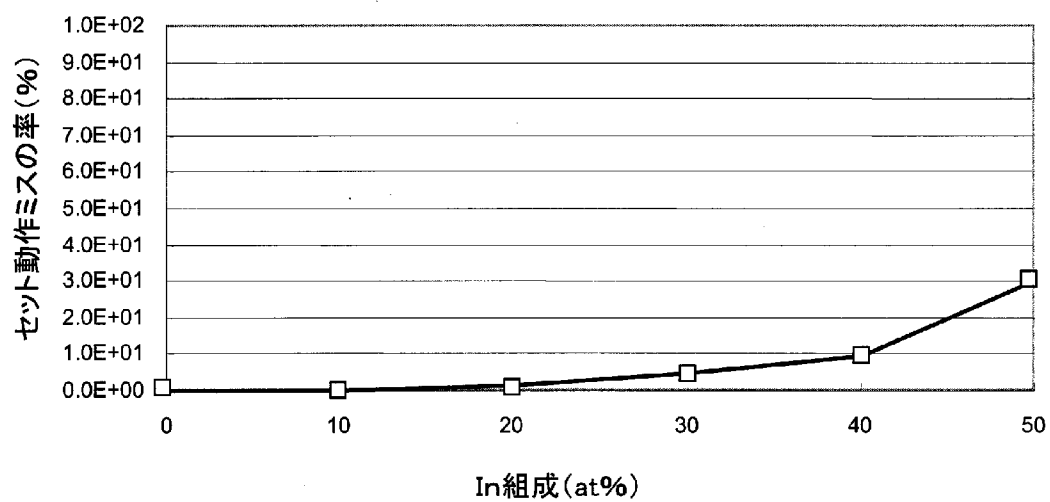
[図16]

図 16



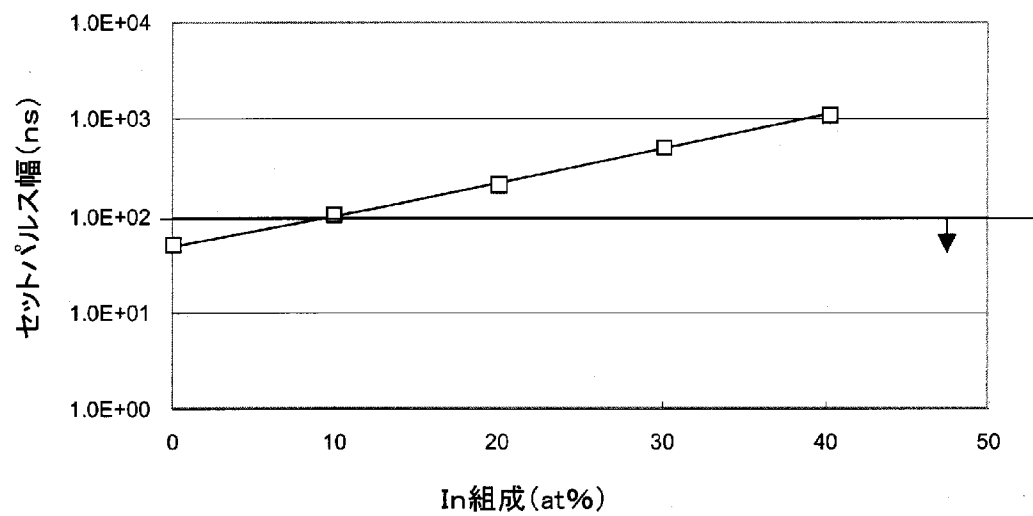
[図17]

図 17



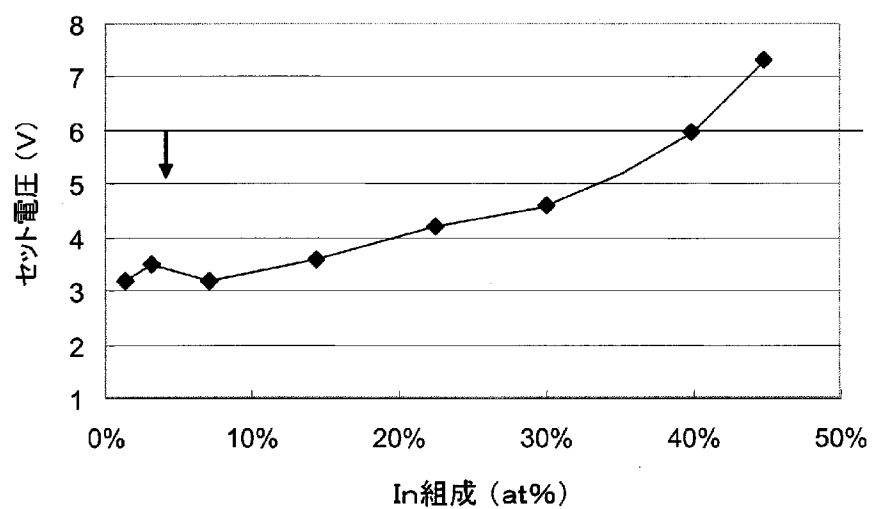
[図18]

図 18



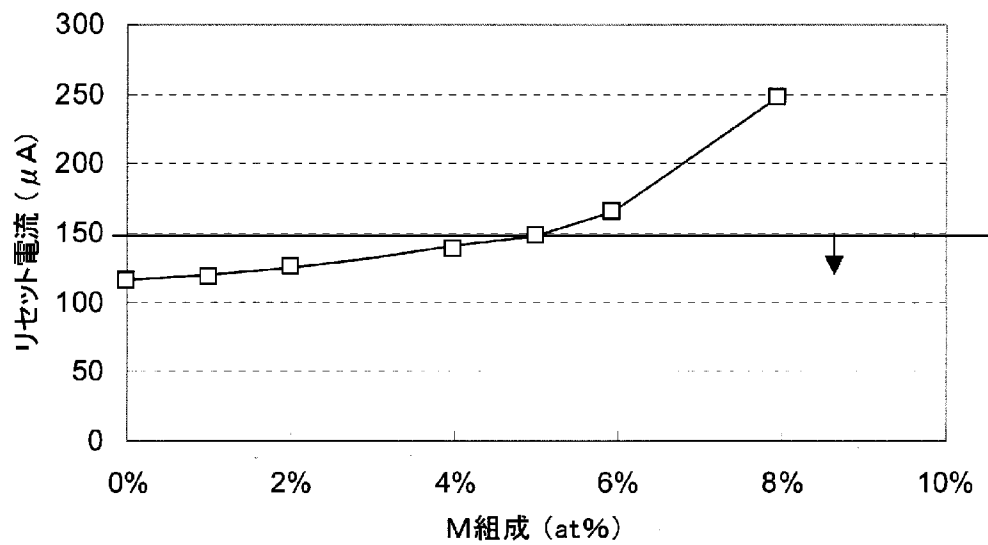
[図19]

図 19



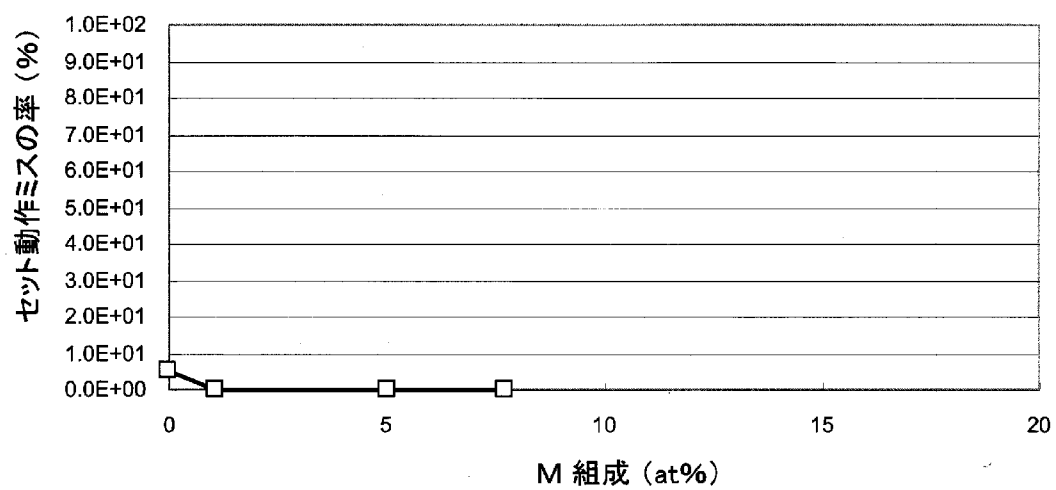
[図20]

図 20



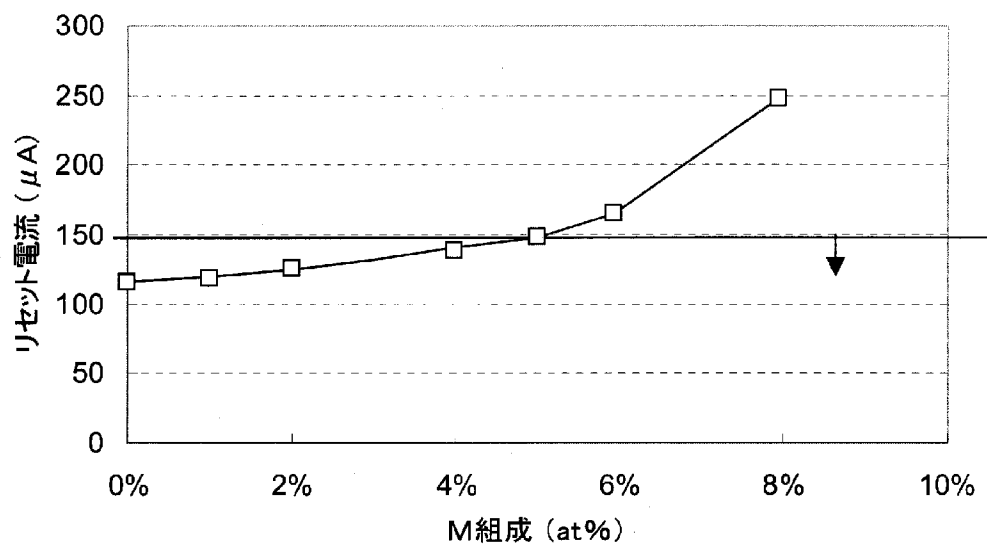
[図21]

図 21



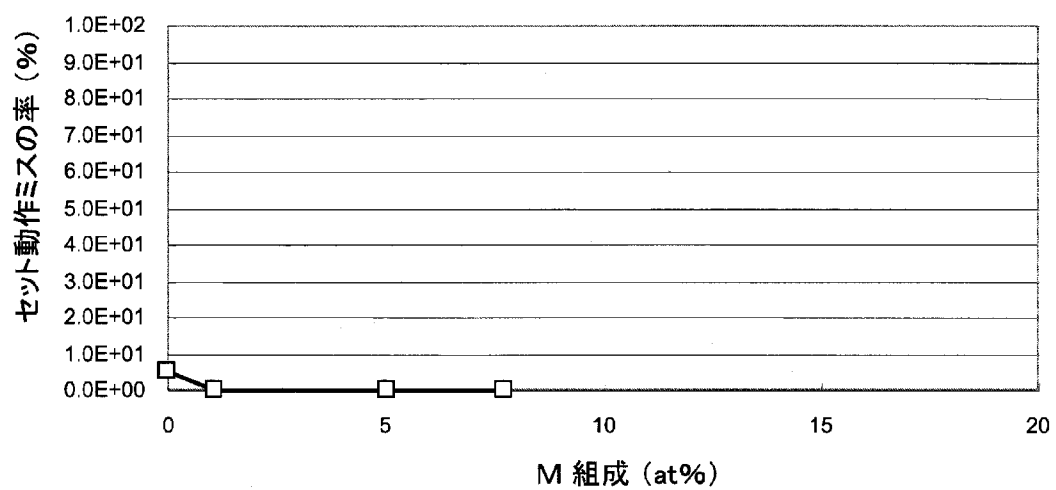
[図22]

図 22



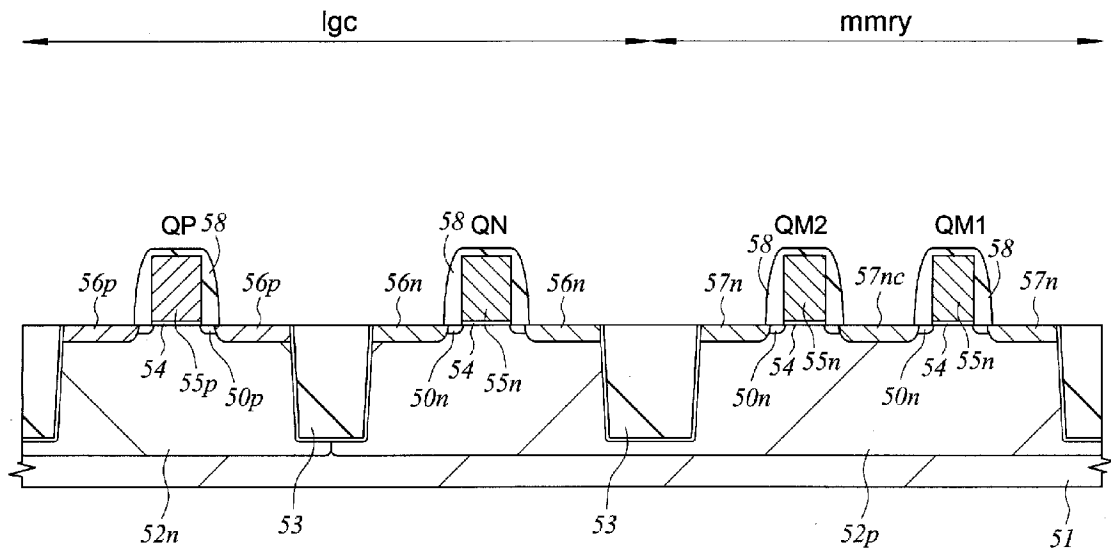
[図23]

図 23



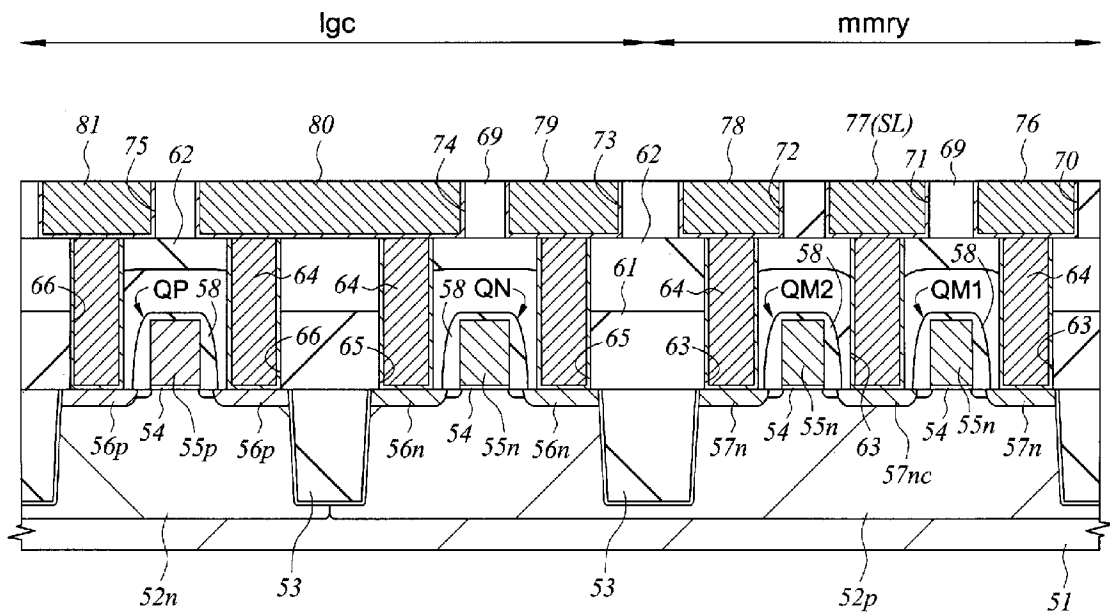
[図24]

図 24



[図25]

図 25



[図26]

図 26

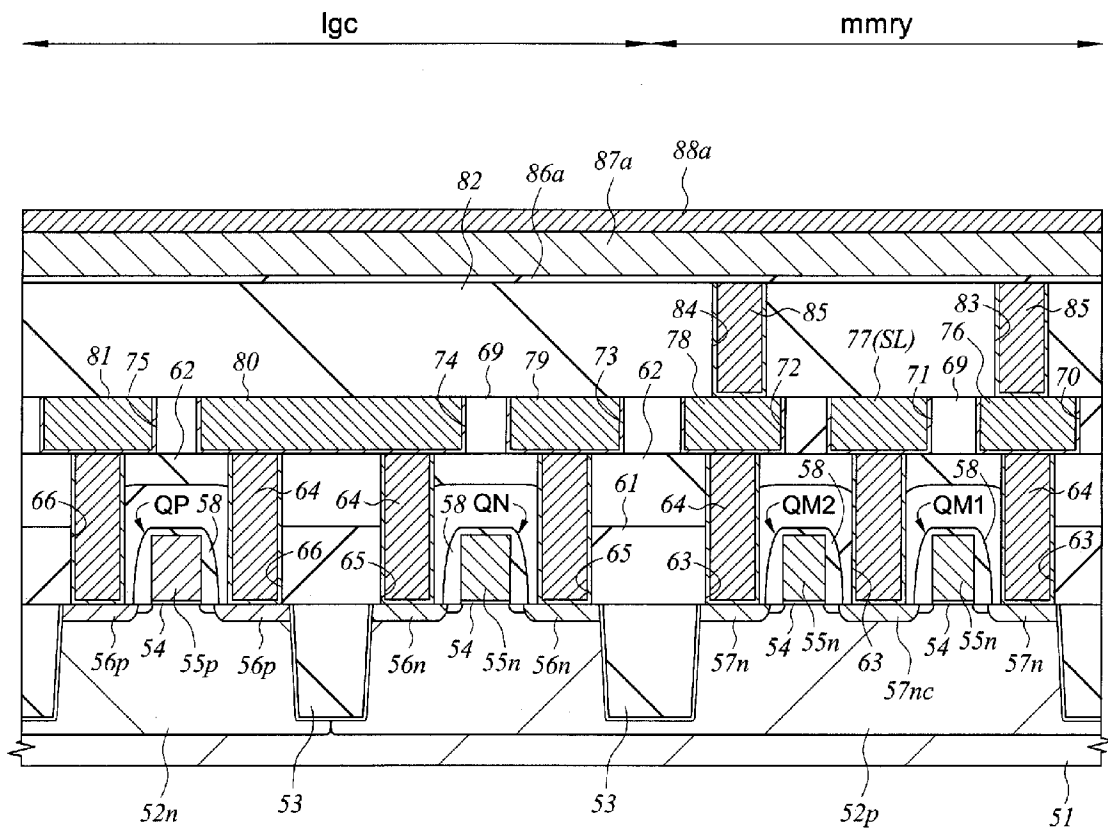
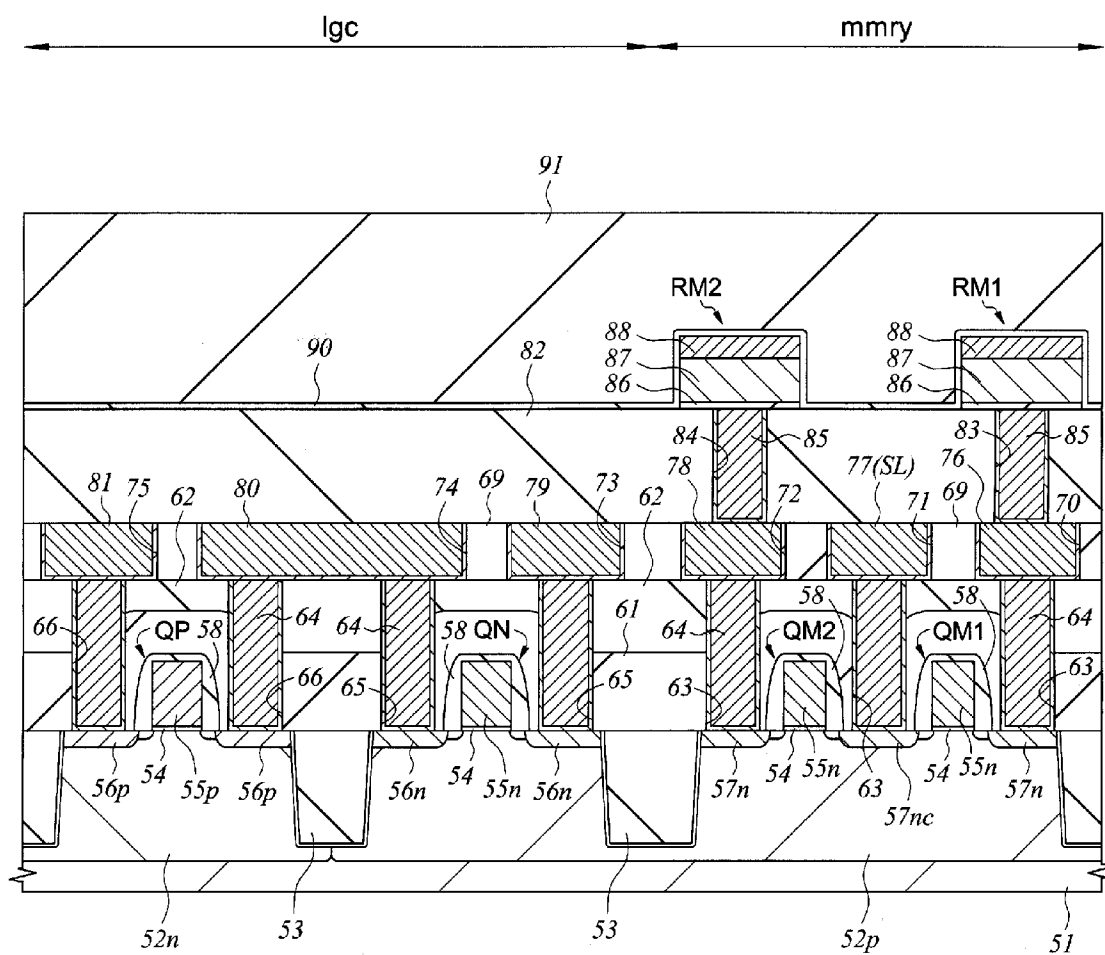
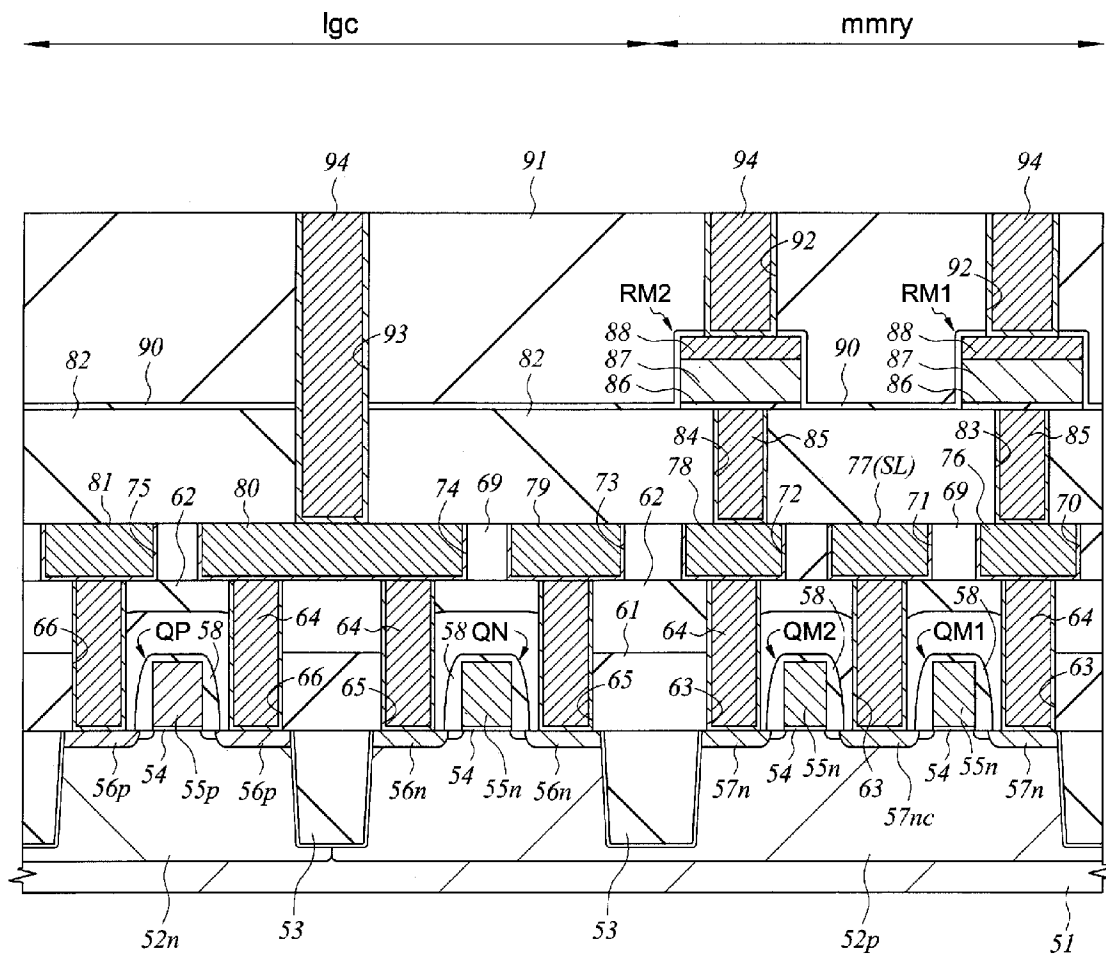


図 27



[図28]

図 28



[図29]

図 29

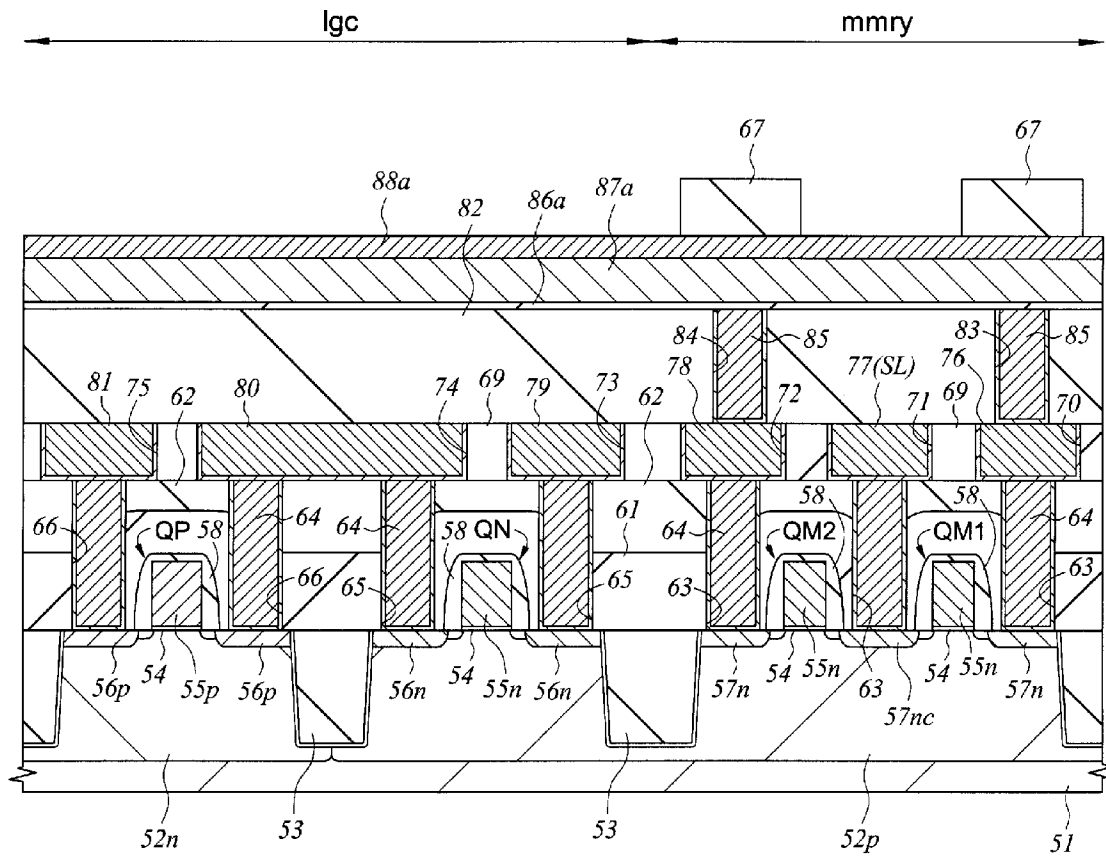
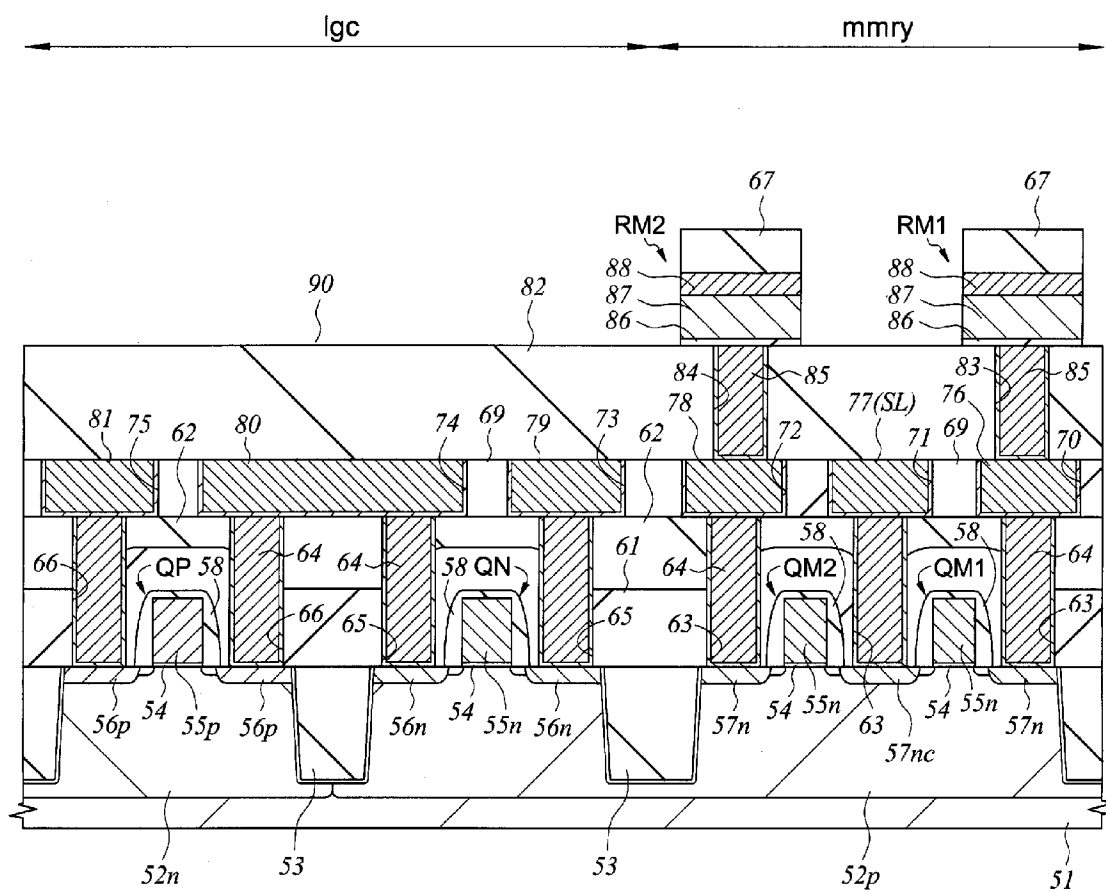
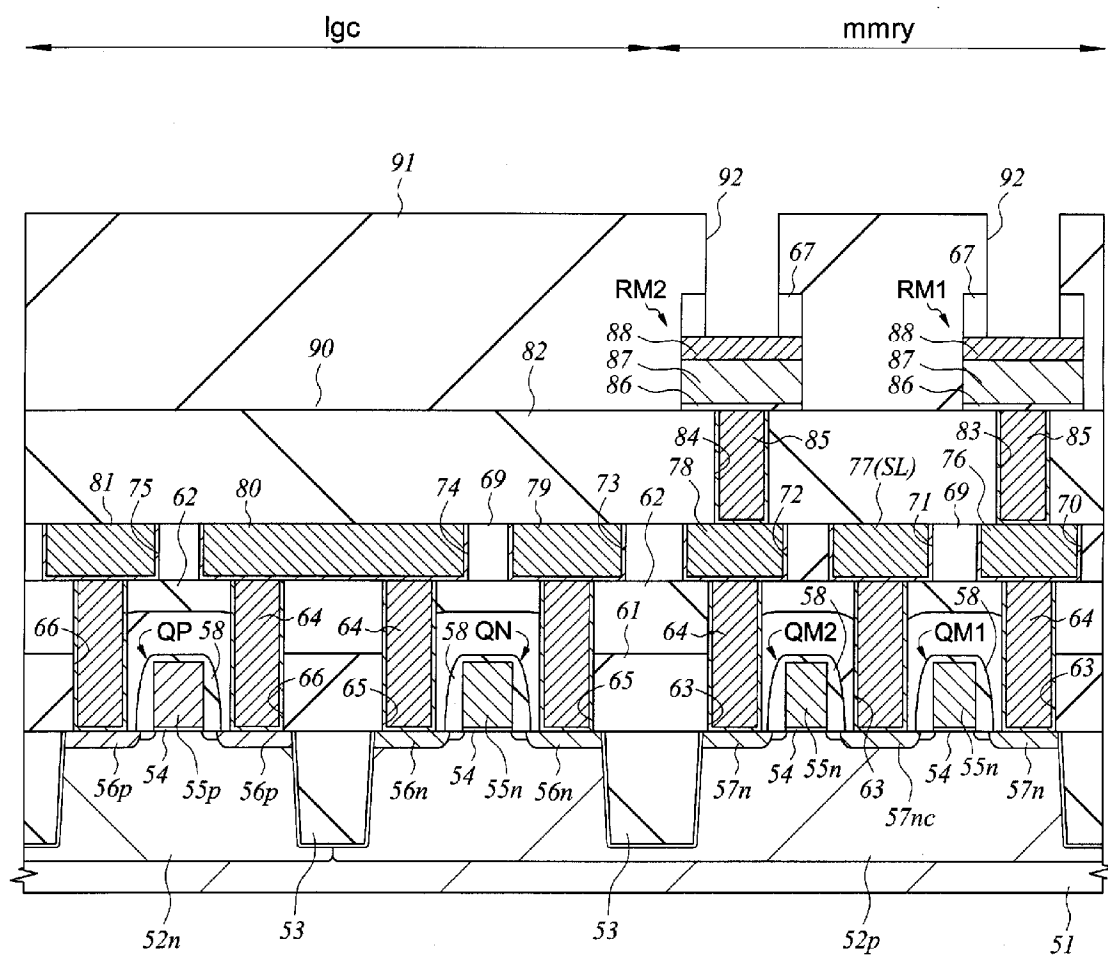


図 30



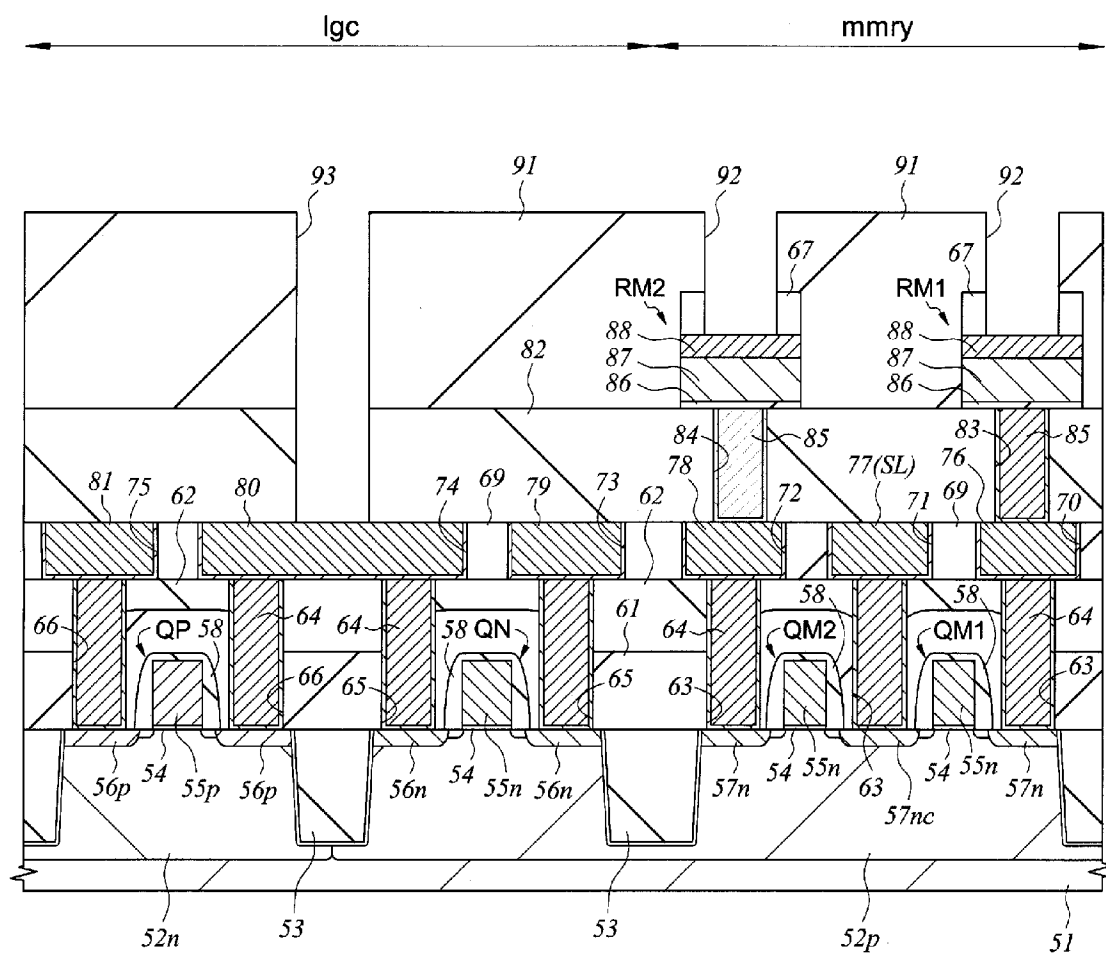
[図31]

図 31



[図32]

図 32



33

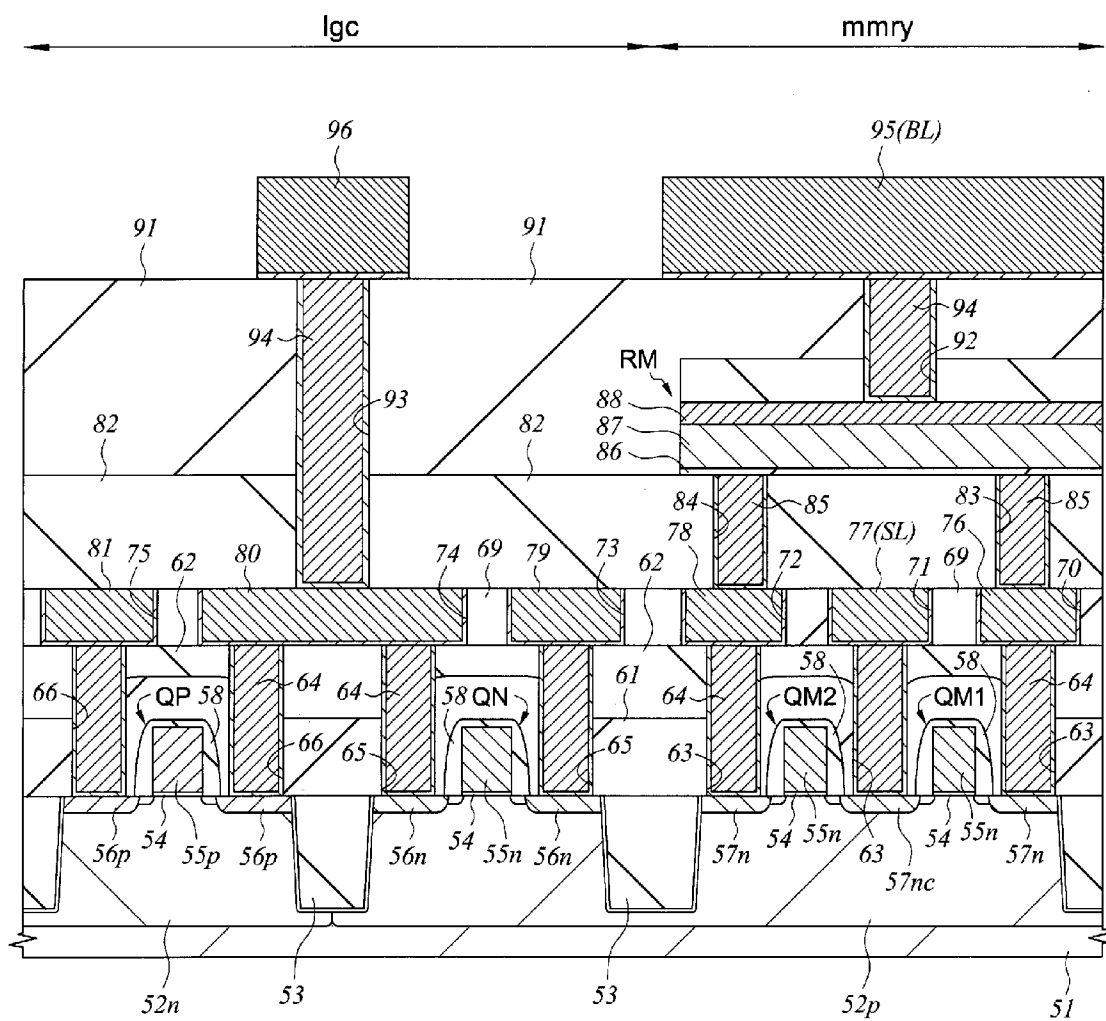
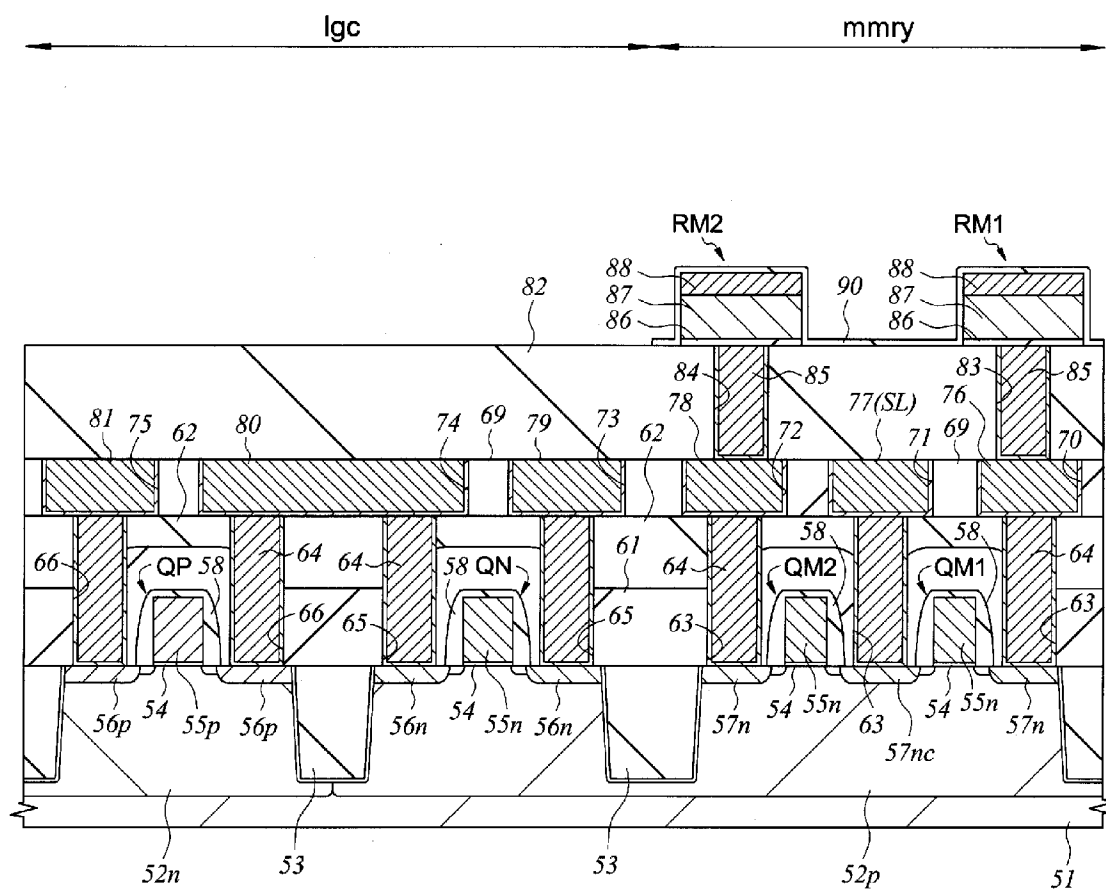
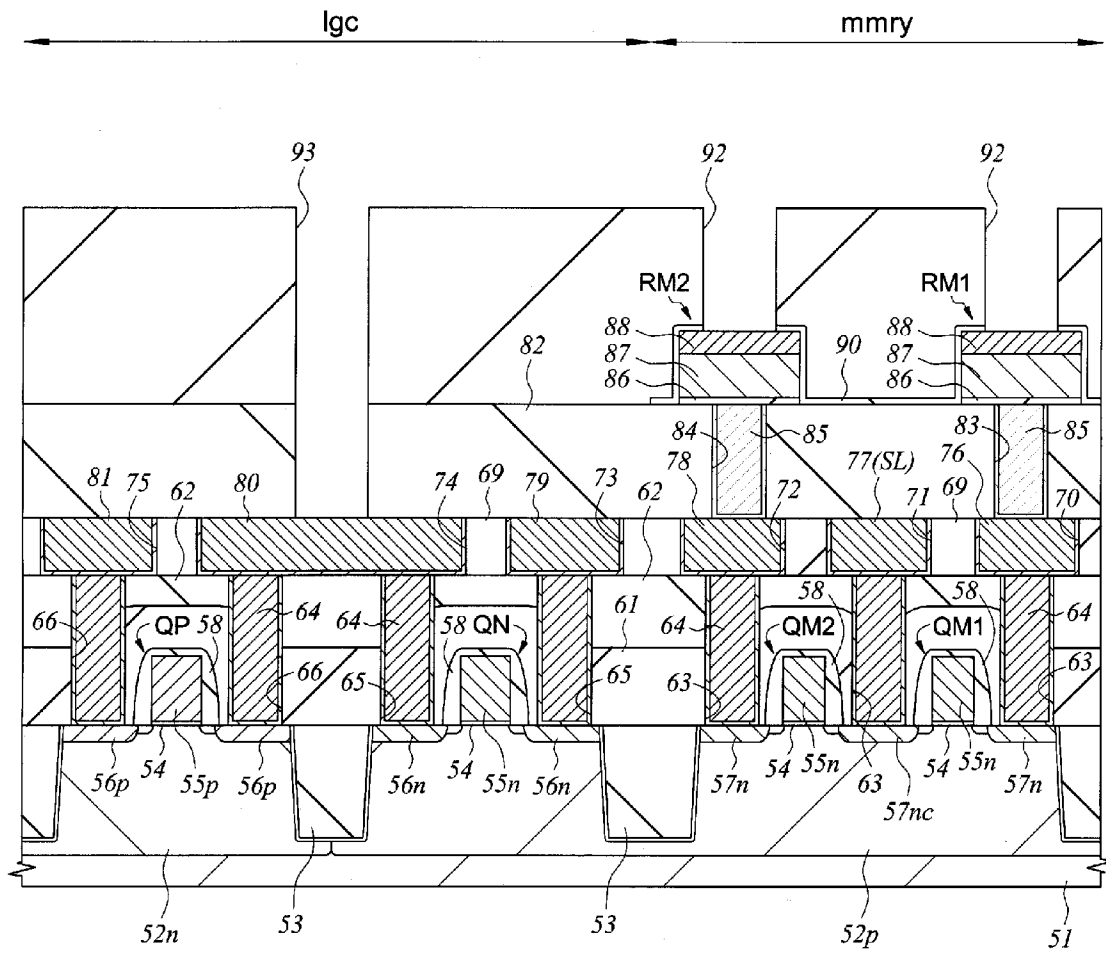


図 34

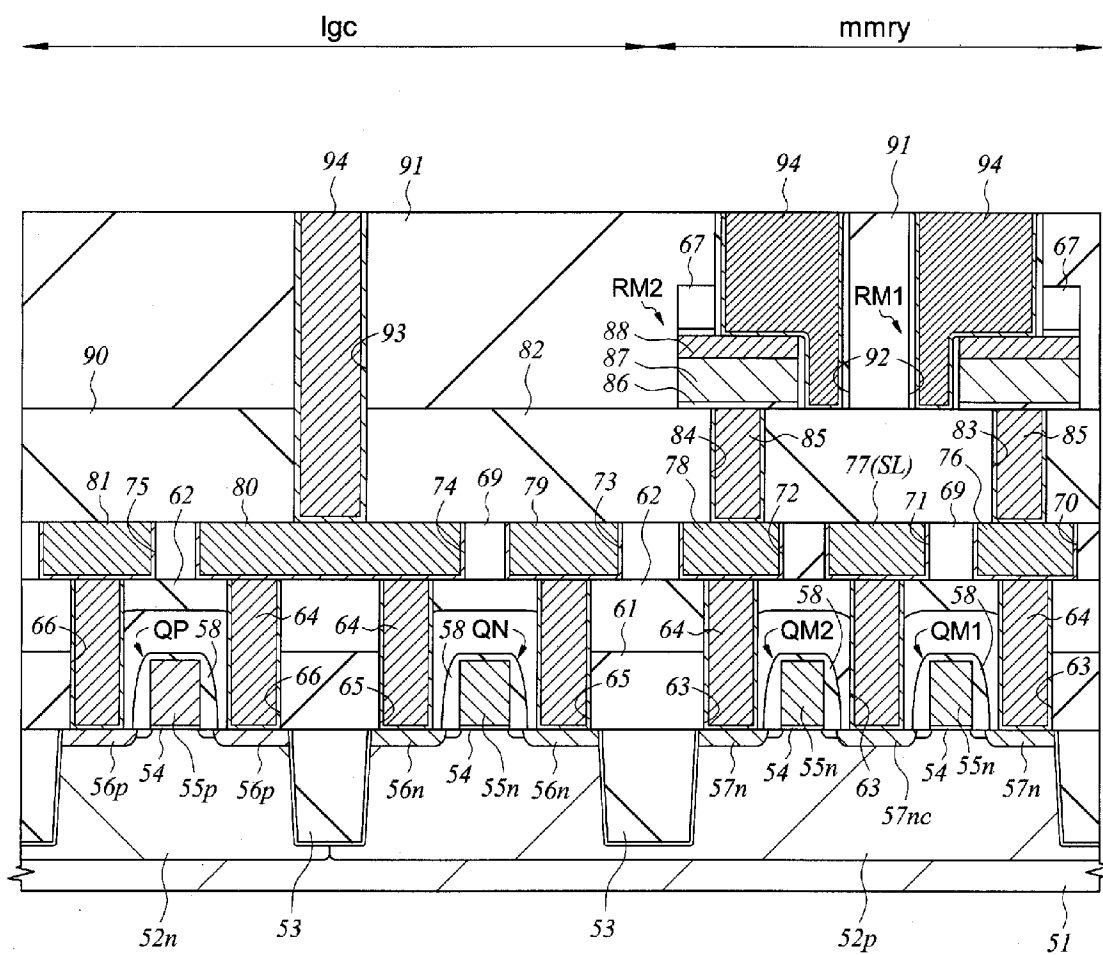


[図35]

図 35

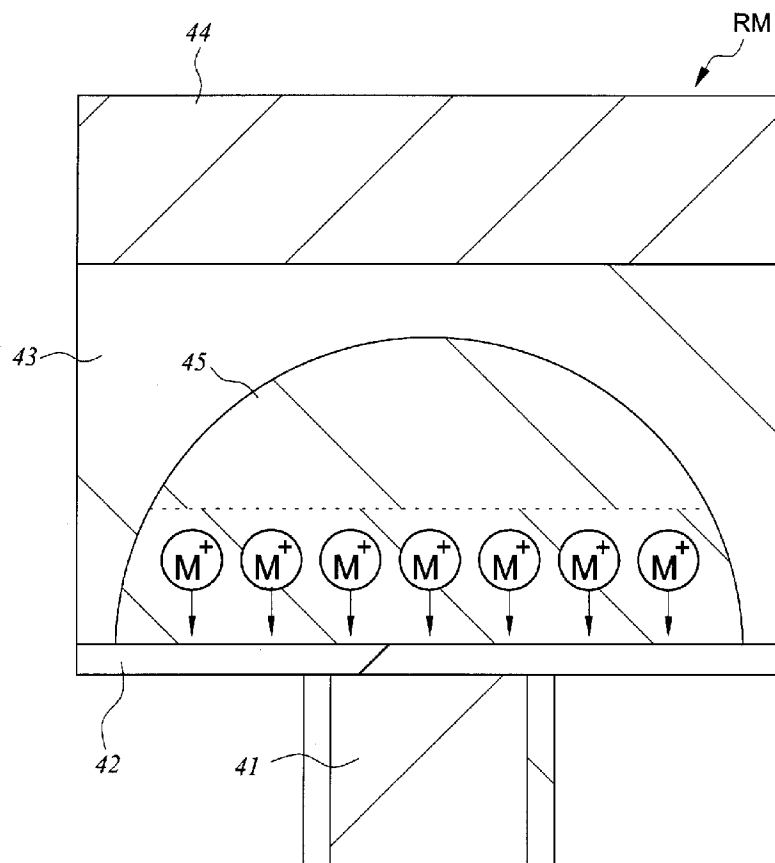


凶 36



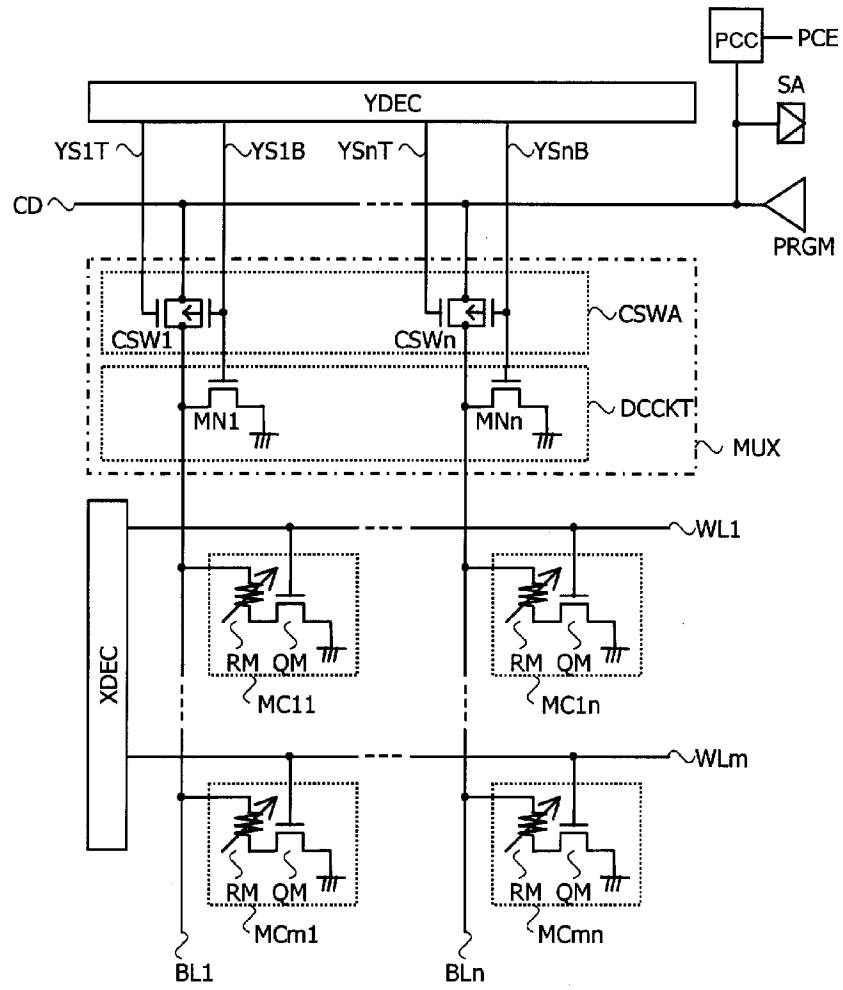
[図37]

図 37



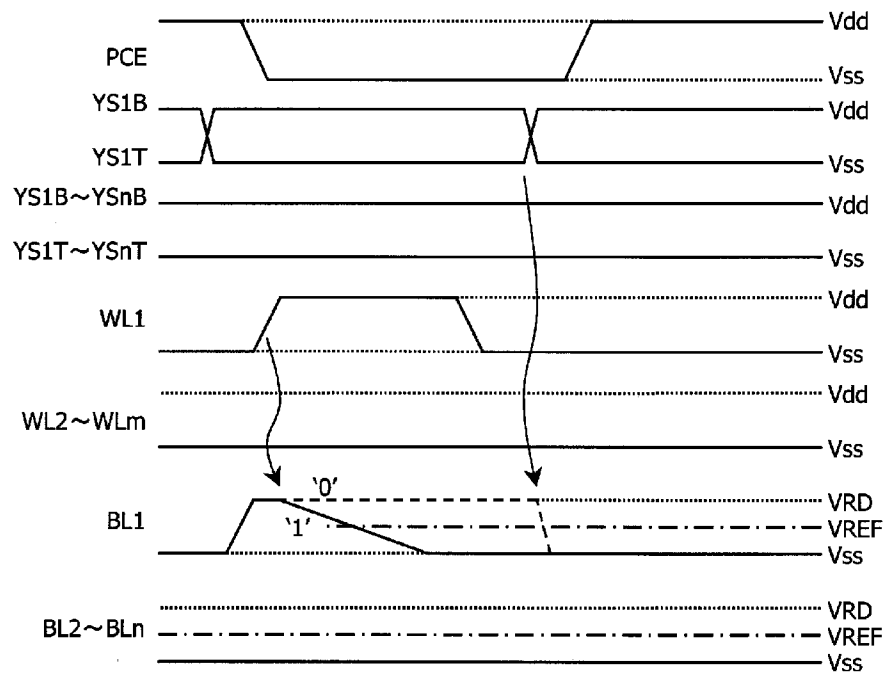
[図38]

図 38



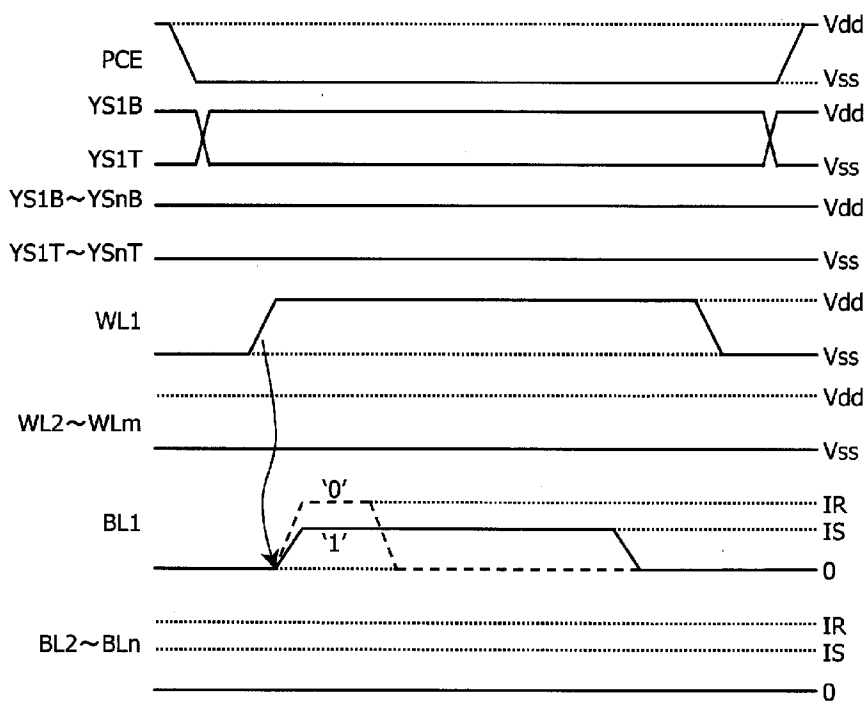
[図39]

図 39



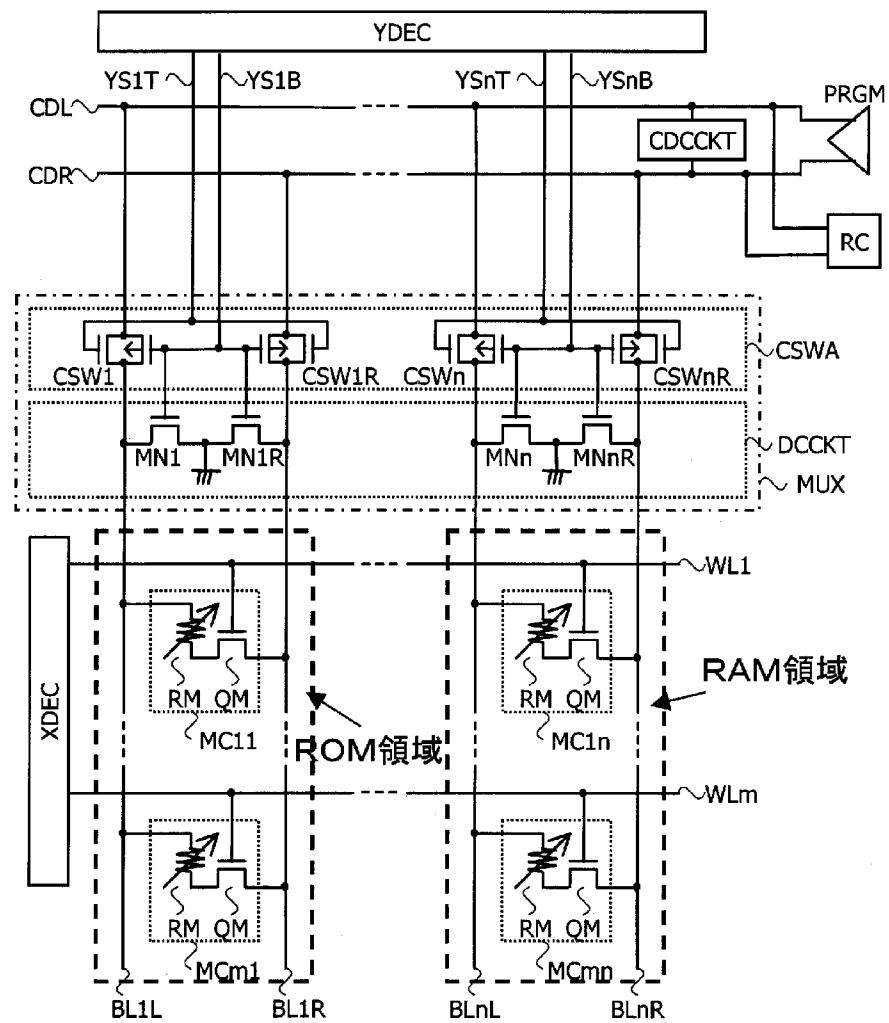
[図40]

図 40



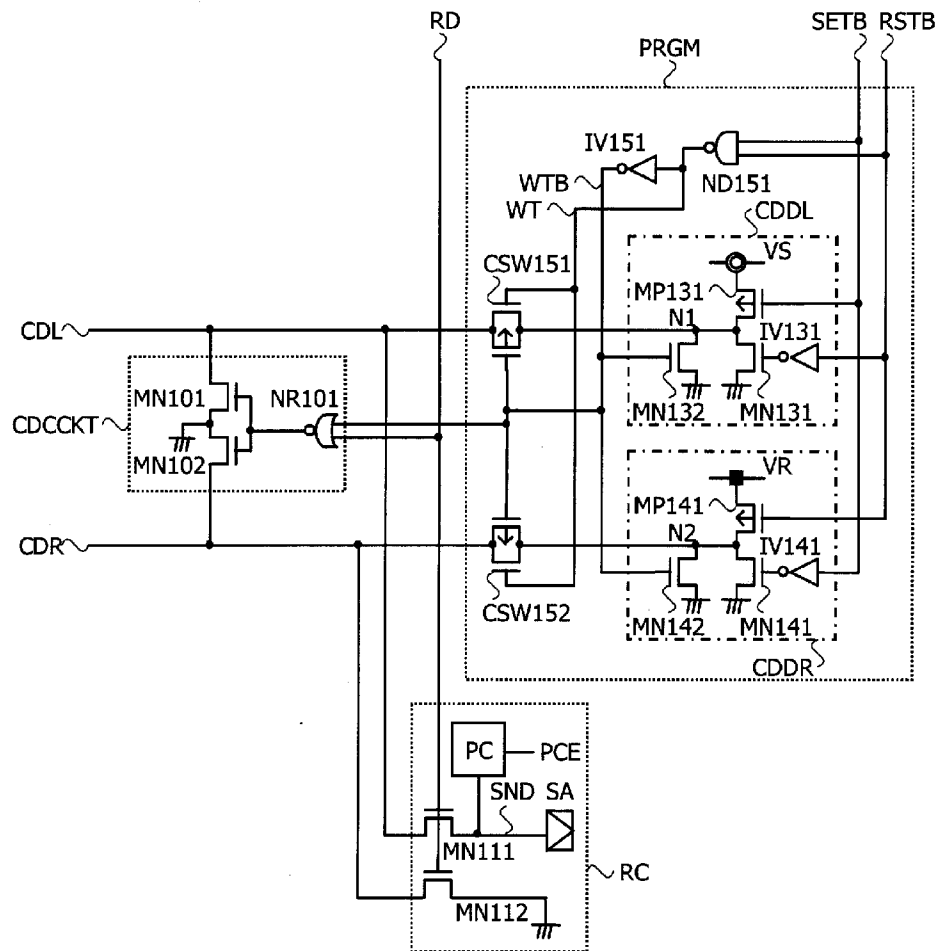
[図41]

図 41



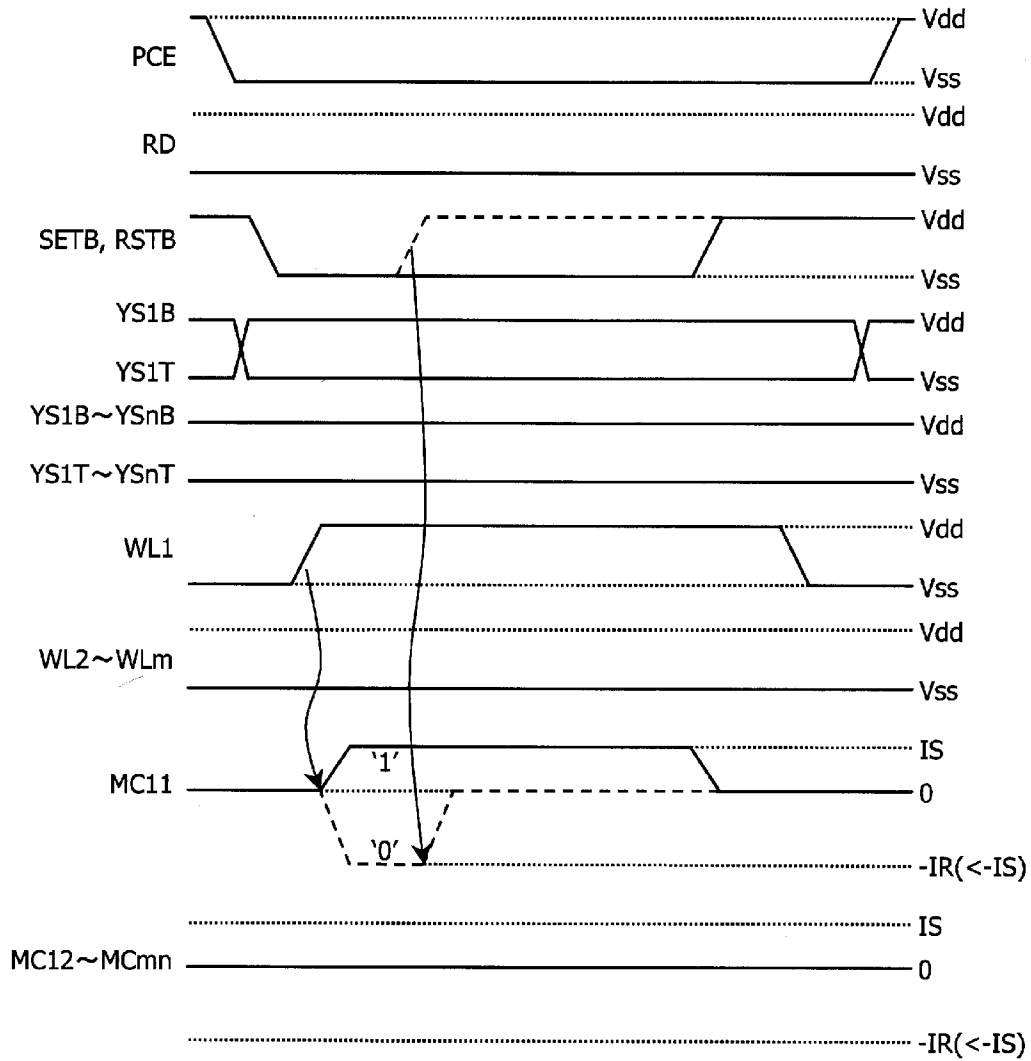
[図42]

図 42



[図43]

図 43



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/056435

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/105(2006.01) i, G11C13/00(2006.01) i, H01L45/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/105, G11C13/00, H01L45/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-117030 A (Mitsubishi Materials Corp.), 28 April, 2005 (28.04.05), Claims 6 to 7 & WO 2005/029585 A1	1-10
A	JP 2006-140395 A (Renesas Technology Corp.), 01 June, 2006 (01.06.06), Claims 1 to 3 & US 2006/0105556 A1	1-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
14 June, 2007 (14.06.07)

Date of mailing of the international search report
26 June, 2007 (26.06.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
 Int.Cl. H01L27/105(2006.01)i, G11C13/00(2006.01)i, H01L45/00(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（I P C））
 Int.Cl. H01L27/105, G11C13/00, H01L45/00

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年
 日本国公開実用新案公報 1 9 7 1 - 2 0 0 7 年
 日本国実用新案登録公報 1 9 9 6 - 2 0 0 7 年
 日本国登録実用新案公報 1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2005-117030 A（三菱マテリアル株式会社）2005.04.28, 請求項 6-7 & WO 2005/029585 A1	1-10
A	JP 2006-140395 A（株式会社ルネサステクノロジ）2006.06.01, 請求項 1-3 & US 2006/0105556 A1	1-10

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献
--	---

国際調査を完了した日 1 4 . 0 6 . 2 0 0 7	国際調査報告の発送日 2 6 . 0 6 . 2 0 0 7		
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官（権限のある職員） 瀧内 健夫	4 M	9 0 5 4
	電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2		