

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-229062

(P2005-229062A)

(43) 公開日 平成17年8月25日(2005.8.25)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 27/12	HO 1 L 27/12	5 F O 3 2
HO 1 L 21/76	HO 1 L 21/76	P

審査請求 未請求 請求項の数 11 O L (全 10 頁)

(21) 出願番号 特願2004-38817 (P2004-38817)
 (22) 出願日 平成16年2月16日 (2004.2.16)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康德
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (72) 発明者 田添 浩一
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

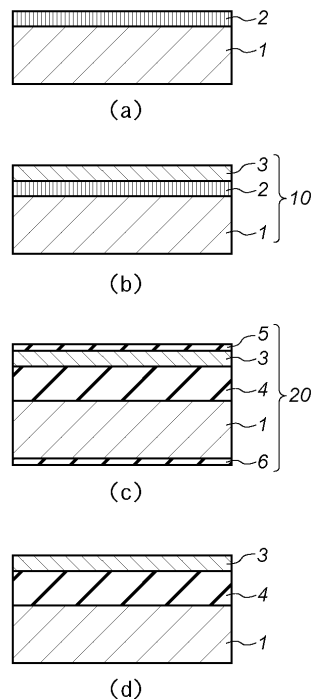
(54) 【発明の名称】 SOI 基板及びその製造方法

(57) 【要約】

【課題】簡単にコスト削減が容易なプロセスでSOI基板を製造する。

【解決手段】本発明のSOI基板の製造方法は、多孔質体2の上に非多孔質半導体層3を有する基板を準備する工程と、該基板に酸化処理を施すことにより、多孔質体2の少なくとも一部を酸化させて埋め込み酸化膜3に変化させる工程とを含む。

【選択図】図1



【特許請求の範囲】

【請求項 1】

SOI 基板の製造方法であって、
多孔質体の上に非多孔質半導体層を有する基板を準備する準備工程と、
前記基板に酸化処理を施すことにより、前記多孔質体の少なくとも一部を酸化させて埋め込み酸化膜に変化させる酸化工程と、
を含むことを特徴とする SOI 基板の製造方法。

【請求項 2】

前記酸化工程は、酸素を含む雰囲気中で 1150 以上かつ前記基板の融点温度未満の温度範囲で実施されることを特徴とする請求項 1 に記載の SOI 基板の製造方法。

10

【請求項 3】

前記酸化工程は、前記酸化工程後に前記非多孔質半導体層の一部が酸化されずに残る条件で実施されることを特徴とする請求項 1 又は請求項 2 に記載の SOI 基板の製造方法。

【請求項 4】

前記酸化工程は、前記酸化工程後に前記多孔質体の孔の一部が残る条件で実施されることを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の SOI 基板の製造方法。

【請求項 5】

前記準備工程は、
半導体基板に多孔質層を形成する工程と、
前記多孔質層の上に、SOI 層となるべき非多孔質半導体層を形成する工程と、
を含むことを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項に記載の SOI 基板の製造方法。

20

【請求項 6】

前記準備工程は、
半導体基板に多孔質層を形成する工程と、
前記多孔質層の表層を酸化させて酸化膜を形成する工程と、
前記多孔質層の酸化された表層を除去する工程と、
前記多孔質層の上に、SOI 層となるべき非多孔質半導体層を形成する工程と、
を含むことを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項に記載の SOI 基板の製造方法。

30

【請求項 7】

前記非多孔質半導体層は、シリコンを含むことを特徴とする請求項 1 乃至請求項 6 のいずれか 1 項に記載の SOI 基板の製造方法。

【請求項 8】

前記半導体基板はシリコン基板であり、前記非多孔質シリコン層はシリコンを含むことを特徴とする請求項 5 又は請求項 6 に記載の SOI 基板の製造方法。

【請求項 9】

SOI 基板であって、
絶縁体と、
前記絶縁体の上に配置された非多孔質半導体層と、
を有し、前記絶縁体が孔を含むことを特徴とする SOI 基板。

40

【請求項 10】

前記絶縁体が前記 SOI 基板の内部に埋め込まれていることを特徴とする請求項 9 に記載の SOI 基板。

【請求項 11】

前記非多孔質半導体層の積層欠陥密度が $10 \text{ 個} / \text{cm}^2$ 未満であることを特徴とする請求項 9 又は請求項 10 に記載の SOI 基板。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、S O I (Semiconductor On Insulator 又は、Silicon On Insulator) 基板及びその製造方法に関する。

【背景技術】

【0002】

絶縁層上にシリコン層等の半導体層を有する基板は、S O I 基板として知られている。S O I 基板の製造方法として幾つかの方法が知られている。

【0003】

特許文献1には、S O I 基板における埋め込み酸化膜の品質を改善し又は厚膜化する方法が開示されている。具体的には、同文献には、S I M O X 基板 (S I M O X 法による S O I 基板) に形成する埋め込み酸化膜を厚膜化し、埋め込み酸化膜のピンホールを低減し、又は、埋め込み酸化膜とその上のシリコン単結晶層との界面の平坦度を向上させる方法が開示されている。同文献に記載された方法では、単結晶シリコン基板に酸素イオンを注入した後に、不活性ガス雰囲気中でアニール処理することにより埋め込み酸化膜を形成し、その埋め込み酸化膜により表面の単結晶シリコン層を絶縁分離する。

10

【0004】

この方法では、アニール処理によって埋め込み酸化膜の厚さが酸素イオン注入量により計算される理論的な膜厚になった後に、基板に高温酸素雰囲気中で酸化処理を施す。アニール処理後の高温酸化では、濃度1%を超える酸素を供給し、1150 以上かつ単結晶シリコン基板の融点温度未満の温度で該基板に酸化処理を施して、埋め込み酸化膜の上に更に酸化膜を形成する。これにより埋め込み酸化膜が厚膜化し、元の埋め込み酸化膜のピンホールが補修され、埋め込み酸化膜の界面の凹凸も平坦化される。この高温酸化処理は、I T O X (I n t e r n a l T h e r m a l O x i d a t i o n) と呼ばれる。

20

【0005】

特許文献2には、貼り合わせ法が開示されている。具体的には、同文献が開示された方法では、表面酸化膜のない表面活性シリコン層側単結晶シリコン基板と、厚さ100nm以下の表面酸化膜を有するベース側単結晶シリコン基板とを貼り合わせ、アニールにより貼り合わせを完了する。次に、表面活性シリコン層側単結晶シリコン基板の表面を研磨し、厚さ1.0µm程度の活性層を形成する。次に、このようにして得られるS O I 基板を、1%を超えるO₂ガス雰囲気中において1150 以上かつ基板の融点未満の温度で数時間酸化処理する。同文献によれば、この方法により埋め込み酸化膜(元の表面酸化膜)の上に更に酸化膜が形成されるので、貼り合わせ界面のボイドが低減するとともに、接着強度がバルクと同等になる。また、同文献によれば、貼り合わせ界面準位密度をバルクと同等の値まで低下させることができる。

30

【0006】

特許文献1、2に開示された技術は、いずれもS O I 基板における埋め込み酸化膜の品質改善として考えることができる。

【0007】

特許文献3には、軽元素であるHe⁺をイオン注入して後に、Ar/O₂雰囲気(Ar/O₂比=100/(1~20))中において1340度で4時間の熱処理を行うことで、SiO₂上に単結晶Si層が配置された構造をウエハ面に配置できるとの報告がある。

40

【特許文献1】特開平7-263538号公報

【特許文献2】特開平8-222715号公報

【非特許文献3】Ogura (Appl. Phys. Lett. 82 (2003) 4480)

【発明の開示】

【発明が解決しようとする課題】

【0008】

上記のようなS O I 基板の製造方法には、それぞれ課題が残されている。貼り合わせ法では、S O I 層、B O X (Buried Oxide) 層の膜厚決定の自由度が大きいのが、ウエハを2枚使用するという点でコストが大きくなりやすい。ウエハの再利用は一つの解決法であるが、ウエハの再利用には再生工程が不可避であり、材料のコストは、少なくともウエハ1

50

枚分 + 再生費となる。

【0009】

これに対して、SIMOX法は、必要な材料ウエハが1枚のみであるので材料コストの観点で有利である。しかしながら、得られるSOI基板の品質としては、貫通転位(Threading Dislocation)と呼ばれる結晶欠陥の密度、及び、SOI層表面やSOI層と埋め込み酸化膜との界面のマイクロラフネスの大きさが、デバイスプロセスへの応用において課題となりうる。特に、微細化が進み、集積度が向上した場合には、回路の歩留まりに与える影響が大きい。このようなSIMOX法の課題を克服するためにITOX法が提案された。

【0010】

しかしながら、SIMOX法へのITOX法の適用は一定の効果をあげたものの、結晶欠陥と表面ラフネスを十分に低減するに至っていない。結晶欠陥の発生は、イオン注入方式に起因する本質的課題であることが懸念されるので、コストと品質の両面を考慮すると、イオン注入を用いず、かつ、ウエハを2枚使用しない、というSOIウエハの製造方法が望まれる。貼り合わせSOIへのITOX法の適用は、ウエハを2枚使用するという課題を解決できない。

10

【0011】

また、CZウエハには、COPと呼ばれる大きさが 10^2 nm程度の正八面体の空洞があり、SOI層をCZウエハの表層で形成した場合、この部分がHF欠陥と呼ばれるSOI層の欠損となり、デバイス製造におけるキラ欠陥となることが知られている。この対策としては、酸素濃度を下げて、COPフリーにしたCZウエハが用いられる方法があるが、SIMOXプロセスに固有の1300度を越える熱処理では、スリップが導入されやすい。

20

【0012】

別の方法として、CZウエハの表面にエピタキシャル成長層を形成し、この層の全体又は一部をSOI層とする方法があるが、イオン注入工程に加え、エピタキシャル成長工程を追加する必要があるので、コスト的には不利である。

【0013】

いずれの従来技術においても、イオン注入を行った後に高温熱処理を行う。例えば、酸素イオン注入の場合には、SOI層に貫通転位が生成され、水素イオン注入の場合にも、イオン注入層近傍に熱処理によって結晶欠陥が高密度に導入されることが報告されているなど、欠陥密度の制御に課題がある。

30

【0014】

また、イオン注入に際しては、イオンのチャネリングを防ぐために、通常は、アモルファス構造の酸化シリコン膜を形成した後に注入を行うので、工程増加の懸念がある。

【0015】

本発明は、上記の課題認識を基礎としてなされたものであり、本発明のSOI基板の製造方法は、例えば、簡単でコスト削減が容易なプロセスでSOI基板を製造することを目的とする。

【0016】

本発明のSOI基板は、例えば、上記の製造方法によって製造されうるSOI基板であって、埋め込み絶縁膜の誘電率が低減されたSOI基板を提供することを目的とする。

40

【課題を解決するための手段】

【0017】

本発明に係るSOI基板の製造方法は、多孔質体の上に非多孔質半導体層を有する基板を準備する準備工程と、前記基板に酸化処理を施すことにより、前記多孔質体の少なくとも一部を酸化させて埋め込み酸化膜に変化させる酸化工程とを含む。

【0018】

本発明の好適な実施形態によれば、前記酸化工程は、酸素を含む雰囲気中で1150以上かつ前記基板の融点温度未満の温度範囲で実施されうる。

50

【0019】

本発明の好適な実施形態によれば、前記酸化工程は、前記酸化工程後に前記非多孔質半導体層の一部が酸化されずに残る条件で実施されうる。

【0020】

本発明の好適な実施形態によれば、前記酸化工程は、前記酸化工程後に前記多孔質体の孔の一部が残る条件で実施されうる。

【0021】

本発明の好適な実施形態によれば、前記準備工程は、半導体基板に多孔質層を形成する工程と、前記多孔質層の上に、SOI層となるべき非多孔質半導体層を形成する工程とを含みうる。或いは、前記準備工程は、半導体基板に多孔質層を形成する工程と、前記多孔質層の表層を酸化させて酸化膜を形成する工程と、前記多孔質層の酸化された表層を除去する工程と、前記多孔質層の上に、SOI層となるべき非多孔質半導体層を形成する工程とを含みうる。

10

【0022】

本発明の好適な実施形態によれば、前記非多孔質半導体層は、シリコンを含みうる。

【0023】

本発明の好適な実施形態によれば、前記半導体基板をシリコン基板とし、前記非多孔質シリコン層をシリコン含有層とすることができる。

【0024】

本発明のSOI基板は、絶縁体と、前記絶縁体の上に配置された非多孔質半導体層とを有し、前記絶縁体が孔を含む。

20

【0025】

本発明の好適な実施形態によれば、前記絶縁体は、前記SOI基板の内部に埋め込まれうる。

【0026】

本発明の好適な実施形態に拠れば、前記非多孔質半導体層の積層欠陥密度は、 10 個/ cm^2 未満でありうる。

【発明の効果】

【0027】

本発明のSOI基板の製造方法によれば、例えば、簡単でコスト削減が容易である。

30

【0028】

本発明のSOI基板によれば、例えば、埋め込み絶縁膜の誘電率が低減されたSOI基板が提供される。

【発明を実施するための最良の形態】

【0029】

以下、添付図面を参照しながら本発明の好適な実施形態を説明する。

【0030】

図1は、本発明の好適な実施形態のSOI (Semiconductor On Insulator、又は、Silicon On Insulator) 基板の製造方法を示す模式的断面図である。

【0031】

図1(a)に示す多孔質層形成工程では、例えば、HF (フッ化水素) 含有液等の陽極化成液中で単結晶シリコン基板等のシリコン基板1を通して電流を流すことにより、基板1の表面に、好ましくは約 10^{11} 個/ cm^2 の密度で数nmの径の微細孔を有する多孔質層(多孔質体)2を形成する。ここで、HF含有液等の陽極化成液の組成やイオン濃度、電流値を変更することで、多孔質層2の多孔度や厚さ等を調整することができる。例えば、HF濃度が30%、電流印加時間が8秒である場合には、多孔質層の厚さが約200nm、多孔度が約40%になりうる。多孔質層2の孔径、多孔度、多孔質厚等の陽極化成工程に依存する構造は、要求される膜構成を考慮して決定されうる。

40

【0032】

なお、多孔質層は、陽極化成法以外の方法によって形成されてもよい。例えば、多数の

50

微細開口を有するマスクを通して基板 1 をドライエッチング又はウエットエッチングすることによっても多孔質層を形成することができる。

【0033】

図 1 (b) に示す S O I 層形成工程では、多孔質層 2 上に、後続の工程で S O I 層となるべき単結晶シリコン層等の半導体層 3 を形成する。例えば、半導体層 3 として単結晶シリコン層を形成する方法の一例として C V D 法によるエピタキシャル成長法を挙げることができる。より具体的には、この方法では、多孔質層 2 が形成された単結晶シリコン基板 1 が収容されたチャンバ内にシリコン含有ガスを供給しながら高温熱処理を実施することにより多孔質層 2 上に単結晶シリコン層 3 を結晶成長させることができる。単結晶シリコン層 3 の厚さは、プロセス条件の変更により任意に調整することができる。例えば、 SiH_2Cl_2 を 80 ~ 300 sccm、 H_2 を 40 L/min の流量で混合したガス雰囲気中で 1 分間にわたって 900 の温度で基板を処理することで 60 ~ 200 nm のエピタキシャルシリコン層を得ることができる。半導体層 3 としては、一般には、単結晶シリコン層が好適であるが、例えば、シリコンにゲルマニウムを添加した層なども有用である。基板 1 の構成材料と異なる半導体層 3 は、例えば C V D 法等の種々の方法によって形成されうる。

10

【0034】

図 1 (c) に示す高温酸化工程 (酸化性熱処理) では、図 1 (b) に示す S O I 層形成工程を経た基板 1 0 を酸素を含む雰囲気中で 1150 以上かつ該基板 1 0 の融点温度未満の温度範囲で数時間にわたって加熱する。この時、 O_2 ガス濃度は、1 % ~ 100 % の範囲内とすることができる。高温酸化工程により基板 1 0 の表面から O_2 ガスが基板 1 0 の内部に拡散し、多孔質層 2 の構成材料であるシリコンと反応する。これにより多孔質層 2 の少なくとも一部が酸化されて埋め込み絶縁層 4 となる。

20

【0035】

ここで、高温酸化工程の実施条件として、

(条件 1) 高温酸化工程によって多孔質シリコン層 2 の全部又は一部が酸化されて半導体層 3 が基板 1 から絶縁分離されること、

(条件 2) 高温酸化工程の後に半導体層 3 の少なくとも一部が未酸化の状態に層状に残ること、

が重要である。

【0036】

図 2 は、高温酸化工程による半導体層 3 及び多孔質層 2 の変化を示す模式図であり、図 2 (a) は、高温酸化工程の実施前 (図 1 (b) に対応) の構造を示し、図 2 (b) は、高温酸化工程の実施後 (図 1 (c) に対応) の構造を示している。図 2 において、 $t_{E P_i}$ は高温酸化工程の実施前の半導体層 3 の厚さ、 t_{P_S} は高温酸化工程の実施前の多孔質層 2 の厚さ、 t_{P_R} は高温酸化工程の実施前の多孔質層 2 の孔の幅、 t_{P_L} は高温酸化工程の実施前の多孔質層 2 の孔の間隔 (孔壁の厚さ)、 $t_{E x o x}$ は基板の表面に形成される酸化膜の厚さである。 $t_{I n o x s}$ 、 $t_{I n o x U}$ 、 $t_{I n o x D}$ はそれぞれ高温酸化処理によって形成される埋め込み酸化膜 4 の構造を示す寸法であり、 $t_{I n o x s}$ は孔 2 a の間隔の 1 / 2、 $t_{I n o x U}$ は孔 2 a の上端から埋め込み酸化膜 4 の上端までの距離、 $t_{I n o x D}$ は孔 2 a の下端から埋め込み酸化膜 4 の下端までの距離である。

30

40

【0037】

ここで、上記の条件 1 は $t_{P_L} > 0.44 t_{I n o x s} \times 2$ として表現され、上記の条件 2 は $t_{E P_i} > 0.44 t_{E x o x} + 0.44 t_{I n o x U}$ として表現される。このような条件 1、2 を満たすようにプロセスを決定することにより、S O I 構造を得ることができる。

【0038】

条件 1 を満たさない場合は、埋め込み酸化膜 4 の一部に、半導体層 3 と基板 1 とを導通させる部分が生じうる。つまり、条件 1 を満たさない場合は、半導体層 3 が基板 1 から完全に絶縁分離されない可能性があることを意味する。ただし、 $t_{I n o x U}$ 、 $t_{I n o x D}$ が十分に厚い場合には、これらの厚さで示される部分によって半導体層 3 が基板 1 から

50

絶縁分離される。条件2を満たさない場合は、SOI層となる半導体層3が全て酸化されることを意味する。

【0039】

条件1を満たす場合において、埋め込み絶縁層4の構造として、孔2aを有しない構造と、孔2aが残存した構造との2通りが考えられる。孔2aが残存した構造を有する埋め込み絶縁層では、酸化物と孔とが混在するため、孔2aが存在しない埋め込み絶縁層よりも誘電率が低い。つまり、孔2aの占有率(多孔度)を高くすることによって誘電率を下げることが可能であり、その結果、通常のSOI構造よりも寄生容量を低下させることができる。多孔質の埋め込み酸化膜の誘電率は、該埋め込み酸化膜の多孔度に概ね比例し、多孔度を制御することにより、埋め込み絶縁膜の誘電率をSiO₂の誘電率から空気の誘電率(1)までの範囲で制御することができる。

10

【0040】

図1(d)に示す酸化膜除去工程は、図1(c)に示す高温酸化工程を経て得られた基板20の表面に形成された酸化膜5及び裏面に形成された酸化膜6のうち少なくとも表面に形成された酸化膜5を除去する。ここで、表面の酸化膜5及び表面の酸化膜6の双方を除去する方が、処理が簡単である。酸化膜5及び酸化膜6の除去は、例えば、フッ化水素含有液中に基板20を浸漬することによりなされうる。以上の工程により、埋め込み酸化膜4上に半導体層3を有するSOI基板或いはSOI構造が得られる。

【0041】

ここで、上記の実施形態では、多孔質層形成工程(図1(a))に次いでSOI層形成工程(図1(b))を実施するが、多孔質層形成工程に次いで、多孔質層2の表層を酸化し、これにより形成される基板の表層の酸化膜をフッ化水素含有液等によって除去し、その後SOI層形成工程を実施し、多孔質層2の表面に半導体層3を形成してもよい。例えば、多孔質シリコン層2を400で低温酸化することにより多孔質シリコン層2の表層を数nm程度酸化し、酸化された表層の酸化シリコン層をHF処理し、再び表面にシリコンを表出させることができる。次いで、表面のシリコン層の上にシリコンをエピタキシャル成長させることで半導体層(エピタキシャルシリコン層)3を形成することができる。陽極化成後に多孔質シリコン層2を酸化することで、高温酸化工程における多孔質シリコン層2の変形を緩和することができるとともに、高温酸化工程を短縮することができる。

20

30

【0042】

次に本発明を適用した一実施例を説明する。この実施例は、53nm厚のSOI層を173nmの埋め込み絶縁層の上に有するSOI基板を製造する方法の一例である。

【0043】

まず、多孔質層形成工程(図1(a))において、単結晶シリコン基板1を陽極として、30%HF溶液中で5.12Aの電流を2秒間流すことにより、基板1の表面に48.5nmの多孔質シリコン層2を形成した。多孔質シリコン層2の多孔度は40%であった。

【0044】

次いで、SOI層形成工程(図1(b))において、表面に多孔質シリコン層3が露出した基板を、SiH₂Cl₂ = 20sccm、H₂ = 25slmを流したチャンバ内で900に保持し、260秒間にわたって処理することで260nm厚のエピタキシャルシリコン層3を形成した。

40

【0045】

次いで、高温酸化工程(図1(c))において、上記基板を1340、20%O₂雰囲気中で4時間にわたって処理した。この処理によって、多孔質シリコン層2が酸化されて173nm厚の埋め込み絶縁層となった。同時に、基板の表面に400nm厚の酸化膜5が形成された。

【0046】

次いで、酸化膜除去工程(図1(d))において、基板の表面及び裏面の酸化膜をHF

50

処理により除去してSOI基板を得た。なお、膜厚を分光エリプソメーターを使って測定したところ、目標通り、53nm厚のSOI層を173nmの埋め込み絶縁層の上に有するSOI基板が得られていることが分かった。SOI基板の断面をTEM像で観察したところ、高温酸化工程による多孔質層2の孔壁の酸化が確認される。また、Cuデコレーション法によって、BOX（埋め込み酸化膜）ピンホールがないことも確認された。したがって、エピタキシャルシリコン層3が埋込絶縁層4によって完全に絶縁分離されていることが確認された。また、半導体層3の積層欠陥密度が10個/cm²未満であることが確認された。

【0047】

本発明の好適な実施形態のSOI基板の製造方法によれば、SIMOX法との比較においては、イオン注入工程を伴わないために結晶欠陥が低減され、貼り合わせ法との比較においては、材料基板が1枚になり、また、工程数が大幅に削減されるため、製造コストを低減することができる。工程数の削減は、設備投資の抑制や品質管理の面においても優位である。また、貼り合わせ法は、典型的には、貼り合わせ後に分離層を利用して貼り合わせ基板を2枚に分割する工程を伴うので、分離界面の平坦性を回復するための処理が重要であるが、本発明のSOI基板の製造方法によれば、このような処理が不要である。

10

【0048】

また、本発明の好適な実施形態のSOI基板の製造方法において、SOI層をエピタキシャル成長法によって形成した場合、COP等のCZ法で作製されたウエハに特有の欠陥に起因するHF欠陥を低減することができる。

20

【0049】

更に、本発明の好適な実施形態のSOI基板によれば、高温酸化工程において埋め込み絶縁膜に孔を残すことにより、埋め込み絶縁膜の誘電率を低下させることができる。これにより、埋め込み絶縁膜の厚さを厚くすることなく、基板とSOI層との間の寄生容量を低減することができる。また、このような多孔質埋め込み絶縁膜は、埋め込み絶縁膜を厚くした場合に生じうるSOI基板の反りの問題も解決する。

【図面の簡単な説明】

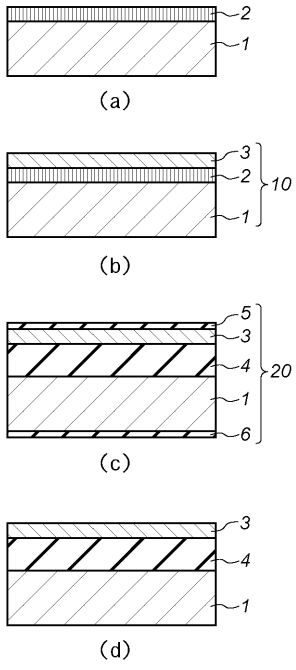
【0050】

【図1】本発明の好適な実施形態のSOI（Semiconductor On Insulator、又は、Silicon On Insulator）基板の製造方法を示す模式的断面図である。

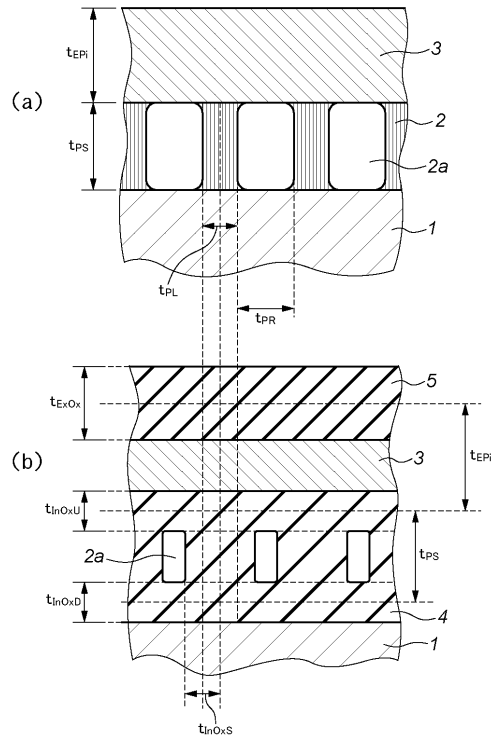
30

【図2】高温酸化工程による半導体層3及び多孔質層2の変化を示す模式図である。

【 図 1 】



【 図 2 】



フロントページの続き

(72)発明者 佐藤 信彦

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 5F032 AA03 DA12 DA55 DA74