

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第2区分
【発行日】令和7年3月31日(2025.3.31)

【国際公開番号】WO2024/018810
【出願番号】特願2024-534981(P2024-534981)
【国際特許分類】
H01L25/07(2006.01)
【FI】
H01L25/04 C

10

【手続補正書】
【提出日】令和6年12月16日(2024.12.16)
【手続補正1】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】

【請求項1】

20

各々が第1電極、第2電極および第3電極を有する複数の半導体素子と、
第1配線部、第2配線部および第3配線部を含む複数の配線部と、
を備え、

前記複数の半導体素子の各々は、前記第3電極に入力される駆動信号に応じて、前記第1電極および前記第2電極間がオンオフ制御され、

前記複数の半導体素子には、前記第1配線部に搭載された少なくとも1つの第1素子と、前記第2配線部に搭載された少なくとも1つの第2素子とがあり、

前記少なくとも1つの第1素子と前記少なくとも1つの第2素子とは、第1方向に見て互いに重ならず、

前記少なくとも1つの第1素子において、前記第1電極は、前記第1配線部に導通し、

30

前記少なくとも1つの第2素子において、前記第1電極は、前記第2配線部に導通し、

前記第3配線部は、前記複数の半導体素子の各々の前記第2電極に導通し、且つ、前記第1方向に直交する第2方向において、前記第1配線部と前記第2配線部との間に位置する、半導体装置。

【請求項2】

前記少なくとも1つの第1素子は、複数の第1素子であり、

前記複数の第1素子は、前記第1方向に沿って配置され、

前記少なくとも1つの第2素子は、複数の第2素子であり、

前記複数の第2素子は、前記第1方向に沿って配置される、請求項1に記載の半導体装置。

40

【請求項3】

前記複数の配線部は、前記第1配線部と前記第2配線部とを繋ぐ連結配線部をさらに備える、請求項1に記載の半導体装置。

【請求項4】

前記連結配線部は、前記第3配線部に対して、前記第1方向の一方側に位置する、請求項3に記載の半導体装置。

【請求項5】

前記複数の半導体素子の各々の前記第3電極に導通する第1信号端子をさらに備える、請求項4に記載の半導体装置。

【請求項6】

50

前記複数の配線部は、前記第 1 信号端子に導通する第 1 信号配線部を含む、請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 信号配線部は、前記第 2 方向において、前記少なくとも 1 つの第 1 素子と、前記少なくとも 1 つの第 2 素子との間に配置されている、請求項 6 に記載の半導体装置。

【請求項 8】

前記第 3 配線部は、前記第 1 方向において前記連結配線部に近い側の端縁から、前記第 1 方向に延びるスリット部を有し、

前記第 1 信号配線部は、前記第 1 方向に延びる帯状部を含み、

前記帯状部は、前記スリット部に配置されている、請求項 7 に記載の半導体装置。

10

【請求項 9】

前記複数の半導体素子の各々の前記第 2 電極に導通する第 2 信号端子をさらに備える、請求項 6 に記載の半導体装置。

【請求項 10】

前記複数の配線部は、各々が前記第 2 信号端子に導通する第 2 信号配線部および第 3 信号配線部を含み、

前記少なくとも 1 つの第 1 素子において、前記第 2 電極は、前記第 2 信号配線部に導通し、

前記第 2 信号配線部は、前記第 2 方向において、前記少なくとも 1 つの第 1 素子に対して、前記第 1 信号配線部と反対側に位置し、

20

前記少なくとも 1 つの第 2 素子において、前記第 2 電極は、前記第 3 信号配線部に導通し、

前記第 3 信号配線部は、前記少なくとも 1 つの第 2 素子に対して、前記第 1 信号配線部と反対側に位置する、請求項 9 に記載の半導体装置。

【請求項 11】

前記複数の配線部は、前記第 1 方向において、前記連結配線部と前記第 3 配線部との間に位置する第 4 信号配線部を含み、

前記第 4 信号配線部は、前記第 2 信号配線部および前記第 3 信号配線部に電氣的に接続される、請求項 10 に記載の半導体装置。

【請求項 12】

30

前記第 3 信号配線部は、前記第 4 信号配線部および前記第 2 信号配線部を介して、前記第 2 信号端子に導通する、請求項 11 に記載の半導体装置。

【請求項 13】

前記複数の配線部は、前記第 2 方向において前記少なくとも 1 つの第 1 素子と前記少なくとも 1 つの第 2 素子との間に位置する共通配線部を含み、

前記少なくとも 1 つの第 1 素子において、前記第 2 電極は、前記共通配線部に導通し、

前記少なくとも 1 つの第 2 素子において、前記第 2 電極は、前記共通配線部に導通する、請求項 9 に記載の半導体装置。

【請求項 14】

前記第 1 配線部に電氣的に接続された第 1 電力端子をさらに備え、

40

前記第 1 電力端子は、前記第 1 配線部を介して、前記複数の半導体素子の各々の前記第 1 電極に導通する、請求項 1 ないし請求項 13 のいずれかに記載の半導体装置。

【請求項 15】

前記第 1 電力端子は、互いに離間する第 1 端子部および第 2 端子部を含む、請求項 14 に記載の半導体装置。

【請求項 16】

前記第 3 配線部に電氣的に接続された第 2 電力端子をさらに備え、

前記第 2 電力端子は、前記第 3 配線部を介して、前記複数の半導体素子の各々の前記第 2 電極に導通する、請求項 14 に記載の半導体装置。

【請求項 17】

50

前記第 2 電力端子は、互いに離間する第 3 端子部および第 4 端子部を含む、請求項 1 6 に記載の半導体装置。

【請求項 1 8】

前記複数の半導体素子の各々に対向する基板主面を有する絶縁基板をさらに備え、
前記複数の配線部は、前記基板主面に形成される、請求項 1 ないし請求項 1 3 のいずれかに記載の半導体装置。

10

20

30

40

50