

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-44795

(P2011-44795A)

(43) 公開日 平成23年3月3日(2011.3.3)

(51) Int.Cl.	F 1	テーマコード (参考)
H03K 19/0175 (2006.01)	H03K 19/00	5 J 001
G11C 11/4076 (2006.01)	G11C 11/34	5 J 039
G11C 11/4093 (2006.01)	G11C 11/34	5 J 056
G11C 11/407 (2006.01)	G11C 11/34	5 M 024
H03K 5/00 (2006.01)	H03K 19/00	1 O 1 N

審査請求 未請求 請求項の数 5 O L (全 15 頁) 最終頁に続く

(21) 出願番号	特願2009-190102 (P2009-190102)	(71) 出願人	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成21年8月19日 (2009.8.19)	(74) 代理人	100103894 弁理士 家入 健
		(72) 発明者	渡辺 一央 神奈川県川崎市中原区下沼部1753番地 N E C エレクトロニクス株式会社内
		F ターム (参考)	5J001 AA05 BB12 BB14 BB25 CC03 DD06 DD08 5J039 EE06 EE24 EE27 JJ07 JJ12 JJ13 KK05 KK09 KK10 KK13 KK15 KK20 KK29 MM00

最終頁に続く

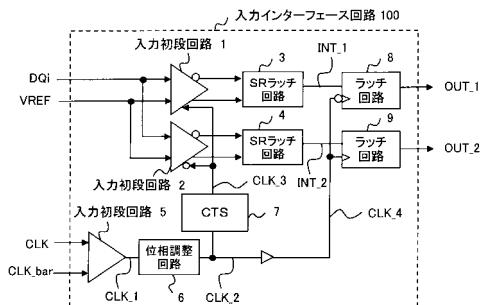
(54) 【発明の名称】入力インターフェース回路

(57) 【要約】

【課題】有効なセットアップ特性及びホールド特性を良好に確保することが可能な入力インターフェース回路を提供すること。

【解決手段】本発明に係る入力インターフェース回路100は、データが外部入力される信号端子に接続される入力初段回路と、外部入力されるクロックと、入力初段回路に含まれるラッチ回路3、4へのラッチタイミング信号とを同位相に調整する位相調整回路6と、を備える。位相調整回路6は、クロックと当該クロックから擬似する擬似遅延回路の出力との比較結果に基づいてクロックツリーリ回路7を通過してラッチ回路3、4へと供給されるラッチタイミング信号の遅延時間を調整する。

【選択図】図1



【特許請求の範囲】

【請求項 1】

データが外部入力される信号端子に接続される入力初段回路と、
外部入力されるクロックと、前記入力初段回路に含まれるラッチ回路へのラッチタイミング信号とを同位相に調整する位相調整回路と、を備え、
前記位相調整回路は、
前記クロックと当該クロックから擬似する擬似遅延回路の出力との比較結果に基づいてクロックツリー回路を通過して前記ラッチ回路へと供給される前記ラッチタイミング信号の遅延時間を調整する
ことを特徴とする入力インターフェース回路。

10

【請求項 2】

前記位相調整回路は、
前記クロックの遅延時間を調整する遅延調整回路と、
前記遅延調整回路により遅延時間が調整されたクロックが入力され、前記クロックツリー回路を擬似する擬似クロックツリー回路と、
前記擬似クロックツリー回路の出力結果と、前記クロックとの位相を比較する位相比較器と、
前記位相比較器の比較結果に基づいて、前記遅延調整回路の遅延量を調整する遅延調整コントロール回路と、を備える
ことを特徴とする請求項 1 に記載の入力インターフェース回路。

20

【請求項 3】

前記遅延調整回路は、
前記クロックの遅延時間を粗調整する粗遅延調整回路と、
前記クロックの遅延時間を微調整する微遅延調整回路と、を備え、
前記遅延調整コントロール回路は、
前記粗遅延調整回路により前記クロックの遅延時間を粗調整した後に、前記微遅延調整回路により前記粗調整したクロックの遅延時間を微調整する
ことを特徴とする請求項 1 又は 2 に記載の入力インターフェース回路。

【請求項 4】

前記位相調整回路は、
前記クロックと、当該クロックの反転信号とが入力され、選択した信号を前記遅延調整回路に出力するマルチプレクサーを更に備え、
前記遅延調整コントロール回路は、
前記位相比較器の比較結果に基づいて、前記マルチプレクサーを制御する
ことを特徴とする請求項 1 乃至 3 いずれか 1 項に記載の入力インターフェース回路。

30

【請求項 5】

前記入力初段回路は、第 1 及び第 2 のラッチ回路を備え、
前記位相調整回路は、
前記クロックの立ち上がりエッジと当該クロックから擬似する擬似遅延回路の出力との比較結果に基づいて第 1 のクロックツリー回路を通過して前記第 1 のラッチ回路へと供給される前記ラッチタイミング信号の遅延時間を調整する第 1 の位相調整回路と、
前記クロックの立ち下がりエッジと当該クロックから擬似する擬似遅延回路の出力との比較結果に基づいて第 2 のクロックツリー回路を通過して前記第 2 のラッチ回路へと供給される前記ラッチタイミング信号の遅延時間を調整する第 2 の位相調整回路と、を備える
ことを特徴とする請求項 1 乃至 4 いずれか 1 項に記載の入力インターフェース回路。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体メモリ装置のインターフェース技術に関し、特に入力インターフェース回路に関する。

50

【背景技術】

【0002】

高速インターフェース技術の急速な進化に伴い、デバイス間のデータ通信の動作スピードが高速化している。近年では、各デバイスの入出力インターフェース回路間でのデータ通信に関して、その動作スピードは 1 GHz を超えている。

【0003】

特に、シンクロナスマモリと CPU 間のインターフェースにおいては、シンクロナスマモリは、CPU から出力されるクロック信号とそのクロック信号に同期したデータ信号とを受信し、クロック信号の立ち上がりと立ち下がり信号を用いてデータ信号をラッチするというシステム構成がとられている。

【0004】

図 11 に、本発明に関連する一般的な入力回路を示す。図 11 に示す入力インターフェース回路 300 は、入力初段回路 61、63 と、クロックツリー回路 (CTS) 64、クロックツリーレプリカ回路 (CTS レプリカ) 62 と、ラッチ回路 65、66 と、を備えている。図 11 では、DQi から入力されるデータを、ラッチ回路 2、3 を用いてラッチする構成を示している。尚、図 12 に、入力初段回路 61、63 としてのバッファを示す。

【0005】

図 13 は、外部から入力されるクロック信号と、データ (DQi 信号) と、入力インターフェース回路 300 における内部信号と、の波形を示す。

【0006】

DDR インターフェースでは、入力クロック (CLK) に対して位相が 90 度ずれたデータ (DQi 信号) が入力される。また、1 つの CLK pin によるクロックで複数のアドレスやデータの入力をラッチするシステムとなっているために、各アドレス及びデータに対して CLK を分配しなくてはならない。

【0007】

CLK を分配することで、CLK ラインには t6 で示すクロック遅延 (図 11 に示した CTS 64 を通過することで付加される遅延) が付いてしまう。このため、ラッチ回路 65、66 を用いてデータを正常にラッチするためには、CLK ラインに付加される遅延と同等の遅延量 (t7 で示す遅延) をデータに対しても付加する必要がある (図 11 に示した CTS レプリカ 62 を通過することで付加される遅延)。その理由は、ラッチ回路 65、66 は、CLK の立ち上がり及び立ち下がりエッジに対して、t8 で示すセットアップ特性と、t9 で示すホールド特性とを十分に確保する必要があるためである。

【0008】

特許文献 1 には、シンクロナスマモリのデータ信号をラッチするための、メモリインターフェース回路が開示されている。図 14 は、特許文献 1 に記載のメモリインターフェース回路を示すブロック図である。

【0009】

図 14 において、211 は DDR - SDRAM、212 は DQS 信号、213a、213b はデータ信号、215 は入力バッファ、216 は遅延回路、217 はデータラッチ、221 はメモリインターフェース回路、222 はリードクロック発生回路、223 はメインストートマシン、257 はデータストローブ信号、253 はリードクロック、250 は発振回路、260 は位相比較器、262 は制御回路である。

【0010】

DDR - SDRAM 211 は、クロックに同期して DQS 信号 212 及びデータ信号 213 を出力する。メモリインターフェース回路 221 は、DDR - SDRAM 211 と接続可能である。遅延回路 216 は、発振回路 250 が出力するクロックを遅延してリードクロック 253 として出力する。位相比較器 260 は、入力されたデータストローブ信号 257 とリードクロック 253 の位相差を測定する。遅延回路 216 は、測定した位相差に従ってリードクロック 253 の遅延時間を加減する。データラッチ 217 は、リードク

ロック 253 に同期してデータ信号 213 を取り込む。これにより、特許文献 1 に記載のメモリインターフェース回路 221 は、伝送条件の悪化や不整合がある場合においても、安定した信頼性の高いデータ信号のラッチ動作を可能とするものとである。

【先行技術文献】

【特許文献】

【0011】

【特許文献 1】特開 2008-71018 号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

しかしながら、図 11 に示した一般的な DDR 入力インターフェースでは、図 12 に示したバッファを用いて DQi のデータ信号のレベルを増幅した後に、CTS64 を通過する際に相当する遅延量を CTS レプリカ 62 において付加させるという構成をとることで、ラッチ回路 65、66 でデータをラッチしている。このため、バッファ及びクロック遅延を経由することで、ラッチ回路 65、66 に必要とされる有効なセットアップ特性及びホールド特性を悪化させてしまうという問題がある。すなわち、理想的な回路であれば、図 13 においては "t10 = t8" 及び "t11 = t9" となるのが理想であるが、実際の回路では、トランジスタのばらつきや電源変動により、通常は "t10 > t8"、"t11 > t9" となってしまう。

【0013】

また、遅延量の付加は、t8 及び t9 を劣化させる要因を増加することになるため、高周波動作においては、セットアップ特性及びホールド特性の大幅な悪化をもたらすことがある。

【0014】

特許文献 1 に記載のメモリインターフェース回路 221 においても、データ信号線 213a が入力バッファ 215 を経由することで、有効なセットアップ特性及びホールド特性を悪化させてしまう。また、内部発信回路 250 を用いているために、クロック入力信号 212 や内部発振回路 250 とは独立してジッタやデューティ崩れが生じてしまい、セットアップ特性及びホールド特性の悪化を招くという問題がある。

【課題を解決するための手段】

【0015】

本発明に係る入力インターフェース回路は、データが外部入力される信号端子に接続される入力初段回路と、外部入力されるクロックと、前記入力初段回路に含まれるラッチ回路へのラッチタイミング信号とを同位相に調整する位相調整回路と、を備え、前記位相調整回路は、前記クロックと当該クロックから擬似する擬似遅延回路の出力との比較結果に基づいてクロックツリー回路を通過して前記ラッチ回路へと供給される前記ラッチタイミング信号の遅延時間を調整するものである。

【0016】

これにより、遅延回路において発生するジッタやデューティの悪化を抑制することができるため、ラッチ回路に必要となる有効なセットアップ特性及びホールド特性を良好に確保することができる。

【発明の効果】

【0017】

本発明にかかる入力インターフェース回路によれば、有効なセットアップ特性及びホールド特性を良好に確保することが可能な入力インターフェース回路を提供することができる。

【図面の簡単な説明】

【0018】

【図 1】本実施の形態 1 に係る入力インターフェース回路を示すブロック図である。

【図 2】本実施の形態 1 に係る入力初段回路を示すブロック図である。

10

20

30

40

50

【図3】本実施の形態1に係るSRラッチ回路を示すブロック図である。

【図4】本実施の形態1に係る位相調整回路を示すブロック図である。

【図5】本実施の形態1に係る粗遅延調整回路を示すブロック図である。

【図6】本実施の形態1に係る微遅延調整回路を示すブロック図である。

【図7】本実施の形態1に係る位相比較器を示すブロック図である。

【図8】本実施の形態1に係る信号を示す波形図である。

【図9】本実施の形態1に係る遅延調整コントロール回路による遅延調整シーケンスを示すフロー・チャート図である。

【図10】本実施の形態2に係る入力インターフェース回路を示すブロック図である。

【図11】本発明に関連する一般的な入力インターフェース回路を示すブロック図である

10

。【図12】本発明に関連する入力初段回路を示すブロック図である。

【図13】本発明に関連する入力インターフェース回路における信号を示す波形図である

。【図14】本発明に関連する入力インターフェース回路を示すブロック図である。

【発明を実施するための形態】

【0019】

以下、本発明を実施するための最良の形態について、図面を参照しながら詳細に説明する。説明の明確化のため、以下の記載及び図面は、適宜、省略及び簡潔化がなされている。各図面において同一の構成又は機能を有する構成要素及び相当部分には、同一の符号を付し、その説明を省略する。

【0020】

実施の形態1.

図1は、本発明の実施の形態1に係る入力インターフェース回路を示すブロック図である。入力インターフェース回路100は、DDRメモリ(不図示)と接続され、クロック(CLK)に同期したDQi信号及びデータ信号が入力される。

【0021】

入力インターフェース回路100は、入力初段回路1、2と、SRラッチ回路3、4と、入力初段回路5と、位相調整回路6と、クロックツリー回路(CTS)7と、立ち下りエッジでデータをラッチするラッチ回路8、立ち上がりエッジでデータをラッチするラッチ回路9と、を備えている。図1において、ラッチ型入力初段回路が、入力初段回路1、2と、SRラッチ回路3、4と、に相当する。

【0022】

入力初段回路1は、CLK_3の立ち上がり信号に同期して、外部端子DQiの信号レベルと外部Vref端子の信号レベルとを比較し、比較結果を出力する。入力初段回路1は、CLK_3の立ち上がりエッジにおいて、DQi信号とVREF信号(例えば、DQi信号の振幅レベルの中間電位。)の信号レベルを比較した結果を増幅する。増幅した信号レベルは、CLK_3信号の立ち上がりエッジから次の立ち上がりエッジまでの1サイクルの間、SRラッチ回路3によってラッチされる。

【0023】

入力初段回路2は、CLK_3の立ち下がり信号に同期して、外部端子DQiの信号レベルと外部Vref端子の信号レベルとを比較し、比較結果を出力する。入力初段回路2は、CLK_3の立ち下がりエッジにおいて、DQi信号とVREF信号の信号レベルを比較した結果を増幅する。増幅した信号レベルは、CLK_3信号の立ち下がりエッジから次の立ち下がりエッジまでの1サイクルの間、SRラッチ回路4によってラッチされる。

【0024】

SRラッチ回路3、4は、入力初段回路1及び入力初段回路2の出力結果をそれぞれラッチする、SR型のラッチ回路である。入力初段回路5は、CLK用の初段回路であり、CLK信号及びその反転信号(CLK_bar)が入力される。

20

30

40

50

【0025】

位相調整回路6は、入力初段回路1及び入力初段回路2に入力されるCLK_3の位相を、外部CLK端子のクロックと同相に調整する。クロックツリー回路(CTS)7は、各データにCLK_3を分配するクロック遅延素子から構成される。

【0026】

ラッチ回路8、9は、CLK_4を用いて、内部的にデータをラッチする。具体的には、ラッチ回路8は、CLK_4の立ち下がりエッジで、SRラッチ回路3の出力結果(INT_1)をラッチする。また、ラッチ回路9は、CLK_4の立ち上がりエッジで、SRラッチ回路4の出力結果(INT_2)をラッチする。

【0027】

図2は、入力初段回路1、2を示す。図に示すように、入力クロック信号(CLK_3)が、Pchトランジスタ11、12、15のゲートにそれぞれ入力される。入力信号IN及び入力信号VREFが、Nchトランジスタ18、19のそれぞれのゲートに入力される。また、Pchトランジスタ11、12、13、14のソース端子が電源端子VDDに接続され、Nchトランジスタ20のソース端子がGNDに接続される。

10

【0028】

出力端子OUTが、Pchトランジスタ12、14、15のドレイン端子と、Pchトランジスタ13及びNchトランジスタ17のゲートと、Nchトランジスタ16のドレインと、に接続される。出力端子OUTBが、Pchトランジスタ11、13のドレイン端子と、Pchトランジスタ15のソース端子と、Pchトランジスタ14と、Nchトランジスタ16のゲートと、Nchトランジスタ17のドレインと、に接続される。

20

【0029】

Nchトランジスタ16のソースが、Nchトランジスタ18のドレインと接続される。Nchトランジスタ17のソースが、Nchトランジスタ19のドレインと接続される。Nchトランジスタ20のドレインが、Nchトランジスタ18、19のソースと接続される。

【0030】

図3は、SRラッチ回路3、4を示す。図に示すように、SRラッチ回路3、4は、入力初段回路1、2の出力結果(OUT、OUTB)を、それぞれINT_1、INT_2として入力する。NAND_1には、INT_1及びO_1が入力され、SRラッチ回路3、4の出力であるOUTを出力する。また、NAND_2には、INT_2及びOUTが入力され、O_1を出力する。

30

【0031】

図4は、位相調整回路6の詳細な構成を示すブロック図である。位相調整回路6は、CLK_7の位相がCLK_1の位相に近づくように位相を調整する。位相調整回路6は、インバーター31と、マルチプレクサー32と、遅延調整コントロール回路33と、粗遅延調整回路34と、微遅延調整回路35と、入力初段回路36と、クロックツリー回路(CTSレプリカ)37と、位相比較器38と、を備えている。

【0032】

位相調整回路6に入力されるCLK_1が、インバーター31と、マルチプレクサー32に入力され、また、インバーター31の出力がマルチプレクサー32に入力される。インバーター31を通過した反転クロックであるCLK_5が、マルチプレクサー32に入力される。

40

【0033】

マルチプレクサー32は、遅延調整コントロール回路33からの出力信号M_0によって制御される。すなわち、マルチプレクサー32は、信号M_0に応じて、インバーター31からの出力クロックCLK_5及びCLK_1を選択する。

【0034】

マルチプレクサー32の出力信号(CLK_6)が、粗遅延調整回路34に入力される。粗遅延調整回路34の出力信号(CLK_8)が、微遅延調整回路35に入力される。

50

微遅延調整回路 3 5 の出力信号 (C L K _ 2) が、入力初段回路 3 6 に入力されると共に、位相調整回路 6 の出力信号として出力される。 C T S レプリカ 3 7 を通過した出力信号 (C L K _ 7) と、 C L K _ 1 とが、位相比較器 3 8 に入力される。位相比較器 3 8 は、 C L K _ 7 及び C L K _ 1 の位相を比較し、比較結果信号 (O U T _ 5) を、遅延調整コントロール回路 3 3 に出力する。

【 0 0 3 5 】

入力初段回路 3 6 は、入力初段回路 3 6 を擬似したレプリカ回路である。 C T S レプリカ 3 7 は、 C T S 7 を擬似したレプリカ回路であり、 C T S 7 と同様のクロック遅延を付加するための、クロック信号レプリカ素子から構成される。すなわち、微遅延調整回路 3 5 から出力される C L K _ 2 が入力初段回路 3 6 及び C T S レプリカ 3 7 を通過することで得られる C L K _ 7 は、外部 C L K が入力初段回路 5 及び C T S 7 を通過することで得られる C L K _ 3 と同様の遅延量を有することになる。

10

【 0 0 3 6 】

遅延調整コントロール回路 3 3 は、位相比較結果に基づいて、マルチブレクサー 3 2 の制御を行うことで、粗遅延調整回路 3 4 及び微遅延調整回路 3 5 の遅延を調整する。このため、制御信号として、 M _ 0 、 N _ 0 [n : 0] 、 N _ 1 [n : 0] を出力する。

【 0 0 3 7 】

図 5 は、粗遅延調整回路 3 4 を示す。粗遅延調整回路 3 4 は、遅延調整コントロール回路 3 3 から入力される入力信号 N _ 0 [n : 0] の値に応じて、 C L K _ 6 に対する C L K _ 8 の遅延を調整することができる。図 5 に示す例では、各トランジスタのサイズは同一であり、 H i g h に対する N _ 0 [n : 0] の個数を増加させることで、 C L K _ 6 の位相に対する C L K _ 8 の遅延量を増加させることができる。初期状態では、 N _ 0 0 のみを H i g h とすることで、最小の遅延値が設定される。そして、 N _ 0 1 、 N _ 0 2 、 … 、 N _ 0 n を順次 H i g h とすることで、遅延量を増加させていくことができる。

20

【 0 0 3 8 】

図 6 は、微遅延調整回路 3 5 を示す。微遅延調整回路 3 5 は、遅延調整コントロール回路 3 3 から入力される入力信号 N _ 1 [n : 0] の値に応じて、 C L K _ 8 に対する C L K _ 2 の遅延を調整することができる。図 6 に示す例では、各トランジスタのサイズは同一であり、 L o w に対する N _ 1 [n : 0] の個数を増加させることで、 C L K _ 8 の位相に対する C L K _ 2 の遅延量を増加させることができる。初期状態では、全ての N _ 1 [n : 0] を H i g h とすることで、最小の遅延値が設定される。そして、 N _ 1 1 、 N _ 1 2 、 … 、 N _ 1 m を順次 L o w とすることで、遅延量を増加させていくことができる。

30

【 0 0 3 9 】

図 7 は、位相比較器 3 8 を示す。位相比較器 3 8 は、 C L K _ 1 の位相と、遅延回路を経由した C L K _ 7 の位相と、を比較する。位相比較器 3 8 は、 C L K _ 1 の位相に対して C L K _ 7 の位相が 180 度以上遅れている場合には、 O U T _ 5 の出力として H i g h を出力し、位相遅れが 180 度より小さい範囲の遅れである場合には、 O U T _ 5 の出力として L o w を出力する。

【 0 0 4 0 】

図 8 は、 C L K と、 D Q i と、入力インターフェース回路 1 0 0 における内部信号と、の波形を示す。DDR インターフェースの入力においては、入力クロック (C L K) に対するデータ (D Q i) の入力タイミングは、スペックにより規定されたセットアップ時間 (図 4 において t 4 で示す時間) 及びホールド時間 (図 4 において t 5 で示す時間) が確保されたタイミングで行われる。このため、入力初段回路 1 、 2 に入力される C L K _ 3 信号の位相に関して、位相調整回路 6 により t 2 で示す遅延時間を調整することで、 C L K _ 3 が C L K と同位相となるように調整する必要がある。ここでは、入力初段回路 5 を通過する際に t 1 で示す遅延時間が付加され、 C T S 7 を通過する際に t 3 で示す遅延時間が付加される。尚、位相調整回路 6 による位相調整動作の詳細については後述する。

40

【 0 0 4 1 】

50

図 8において、D Q 0 は D Q i のうちの一つのデータ波形である。D Q 0 の波形に含まれる太線で示す部分は、D Q 0 のうちの有効な D a t a 部分に対応する。まず、C L K _ 3 の立ち上がりエッジで、入力初段回路 1 における D Q 0 と V R E F との比較結果信号である I N _ 1 及び I N _ 2 が outputされる。S R ラッチ回路 3 は、入力初段回路 1 からの I N _ 1 及び I N _ 2 に基づき、有効 D a t a をラッチ回路 8 に出力する。S R ラッチ回路 8 は、有効 D a t a を、C L K _ 4 の立ち下がりエッジでラッチする。一方で、C L K _ 3 の立ち下がりエッジで、入力初段回路 2 における D Q 0 と V R E F との比較結果信号である I N _ 1 及び I N _ 2 が outputされる。S R ラッチ回路 4 は、入力初段回路 2 からの I N _ 1 及び I N _ 2 に基づき、有効 D a t a をラッチ回路 9 に出力する。S R ラッチ回路 9 は、有効 D a t a を、C L K _ 4 の立ち上がりエッジでラッチする。

10

【0042】

尚、位相調整回路 6 が初期状態である場合には、マルチプレクサー 3 2 は、C L K _ 1 をそのまま通過させる設定であり、また、粗遅延調整回路 3 4 及び微遅延調整回路 3 5 には、最小の遅延値が出力される設定がなされているものとする。このため、初期状態では、位相調整回路 6 における遅延を 0 であるとした場合（すなわち、t 2 = 0 の場合）には、C L K _ 3 の位相は C L K _ 1 の位相に対して t 1 + t 3 だけ遅れることになる。

【0043】

次に、図 9 を参照して、本発明の実施の形態 1 に係る位相調整動作について説明する。図 9 は、遅延調整コントロール回路 3 3 による、遅延調整のシーケンスを示す。

【0044】

S E Q 1 において、遅延調整コントロール回路 3 3 が動作し始めた場合に、まず、初期位相を確認する（S 1）。ここでは、位相比較器 3 8 は、C L K _ 1 の位相に対して C L K _ 7 の位相が 180 度以上遅れている場合には H i g h を出力し、位相遅れが 180 度よりも小さい範囲の場合には L o w を出力するものとして説明する。

20

【0045】

遅延調整コントロール回路 3 3 は、位相確認の結果、C L K _ 1 の位相に対して C L K _ 7 の位相が 180 度より小さい範囲の遅れである場合（S 1 において Y E S の場合）には、C L K _ 1 の反転信号が出力するようにマルチプレクサー 3 2 の制御を行う（S 2）（すなわち、マルチプレクサー 3 2 がインバーター 3 1 からの出力（C L K _ 5 ）を選択するように M _ 0 の値を制御する。）。

30

【0046】

本来、C L K _ 1 の位相に対して C L K _ 7 の位相が 180 度より小さい範囲の遅れである場合には、C L K _ 7 及び C L K _ 1 の位相関係を等しくするためには、180 度以上の遅延調整が必要となる。このため、S E Q 1 において、位相の判定及び反転を行うことで、S E Q 2 の開始状態において、位相比較器 3 8 は、H i g h（C L K _ 7 が C L K _ 1 の位相より、180 度以上遅れている。）を必ず出力することになる。

【0047】

次いで、S E Q 2 において、位相比較器 3 8 による出力結果から C L K _ 7 の位相を検知する（S 3）。位相検知の結果、C L K _ 1 の位相に対して C L K _ 7 の位相が 180 度以上遅れている場合（位相比較器 3 8 の出力が H i g h ある場合、すなわち、S 3 において N o ）である場合には、位相比較器 3 8 の出力が L o w になるまでの間（S 3 において Y E S となるまでの間）、粗遅延調整回路 3 4 の遅延値を増加させていく。例えば、現在、粗遅延調整回路 3 4 の n 番目のトランジスタまでの制御信号が H i g h となっている場合に、その次のトランジスタのアドレス（n + 1 番目）の制御信号を H i g h とする。上述したように、S E Q 2 の開始状態においては、位相比較器 3 8 の出力は H i g h であるため、この状態から位相比較器 3 8 の出力が L o w になるまでの間、粗遅延調整回路 3 4 の遅延値を増加させていく（S 4）。

40

【0048】

そして、位相比較器 3 8 の出力が L o w になった場合には、粗遅延調整回路 3 4 の遅延値は、位相比較器 3 8 の出力が L o w になる 1 つ手前の遅延値に設定される（S 5）。例

50

えば、現在、粗遅延調整回路 3 4 の n 番目のトランジスタまでの制御信号が High となっている場合には、その n 番目のトランジスタの制御信号を Low とすることで、その一つ前のトランジスタのアドレス (n - 1 番目) までの制御信号が High であるようにする。尚、SEQ 3 の開始状態においても、位相比較器 3 8 の出力は High となる。

【0049】

次いで、SEQ 3において、位相比較器 3 8 による出力結果から CLK_7 の位相を検知する (S6)。位相検知の結果、CLK_1 の位相に対して CLK_7 の位相が 180 度以上遅れている場合 (位相比較器 3 8 の出力が High ある場合、すなわち、S6において No) である場合には、位相比較器 3 8 の出力が Low になるまでの間 (S6において YES となるまでの間)、微遅延調整回路 3 5 の遅延値を増加させていく (S7)。例えば、現在、微遅延調整回路 3 5 の n 番目のトランジスタまでの制御信号が Low となっている場合に、その次のトランジスタのアドレス (n + 1 番目) の制御信号を Low とする。

10

【0050】

そして、位相比較器 3 8 の出力が Low になった時点で、微遅延調整回路 3 5 の遅延値は、位相比較器 3 8 の出力が Low になる 1 つ手前の遅延値に設定される (S8)。例えば、現在、微遅延調整回路 3 5 の n 番目のトランジスタまでの制御信号が Low となっている場合には、その n 番目のトランジスタの制御信号を High とすることで、その一つ前のトランジスタのアドレス (n - 1 番目) までの制御信号が Low であるようにする。

20

【0051】

さらに、SEQ 4においては、位相比較器 3 8 により位相を常時検知しながら、位相の補正を行う (S9、10、11)。SEQ 4 では、CLK_1 の位相に対して CLK_7 の位相が追従するように、微遅延調整回路 3 5 による遅延の調整が行われる。

【0052】

以上説明したように、入力インターフェースとしてラッチ型の入力初段回路を備えることで (すなわち、SR ラッチ回路 3、4 を備え、位相調整回路 6 によって外部 CLK と SR ラッチ回路 3、4 へと供給する CLK 3 とを同相になるように調整することで)、従来、ジッタやデューティを悪化させていた初段回路や初段回路以降の遅延の影響を無視することができる。

30

【0053】

さらに、遅延調整コントロール回路 3 3 の初期状態において、入力初段回路 3 6 を通過した CLK_7 が、CLK 入力端子の CLK_1 に対して 180 度より進んでいない場合には初期位相を反転し、180 度以上進んでいる場合には位相を反転させずにスルーすることで、位相調整回路 6 において調整する遅延量を小さくすることができる。

【0054】

従って、遅延回路において発生するジッタやデューティの悪化を抑制することができるため、ラッチ回路 8、9 に必要となる有効なセットアップ特性及びホールド特性を良好に確保することができる。

【0055】

実施の形態 2 .

40

図 10 は、本発明の実施の形態 2 に係る入力インターフェース回路を示すブロック図である。入力インターフェース回路 200 は、図 1 に示した入力インターフェース回路 100 と比べて、位相調整回路 6 に換えて、立ち下がり CLK 用の位相調整回路 (立ち下がりエッジ用位相調整回路) 4 6 と、立ち上がり CLK 用の位相調整回路 (立ち上がりエッジ用位相調整回路) 4 7 と、の 2 つの位相調整回路を備えたことを特徴とする。尚、入力初段回路 4 1、4 2 は図 1 に示した入力初段回路 1、2 と、SR ラッチ回路 4 3、4 4 は SR ラッチ回路 3、4 と、入力初段回路 4 5 は入力初段回路 5 と、CTS 4 8、4 9 は CTS 7 と、ラッチ回路 5 0、5 1 はラッチ回路 8、9 と同様の構成であるため、ここではその説明を省略する。

【0056】

50

図1に示した入力インターフェース回路100では、位相比較器38が比較する信号は、CLK_1でのCLK_7の立ち上がりエッジのみを検出対象としている。このため、位相調整回路6から出力されるCLK_2の立ち下がりエッジについては、正確に位相の合わせこみを行うことができない。従って、入力初段回路2に入力されるCLK_3の立ち下りエッジの位相は、CLK_1の立ち下がりエッジの位相と比較して、ずれている可能性がある。

【0057】

これに対して、図10に示す入力インターフェース回路200は、立ち下がりエッジ及び立ち上がりエッジの両エッジの遅延に対して、それぞれ位相調整回路46、47を備えることで、入力初段回路41、42に入力される両方のエッジ(CLK_12のエッジ、CLK_13のエッジ)を、CLK_9の位相に合わせることできる。

10

【0058】

尚、本発明は上述した実施の形態のみに限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能であることは勿論である。

【符号の説明】

【0059】

100 入力インターフェース回路、

1、2 入力初段回路、3、4 SRラッチ回路、5 入力初段回路、

6 位相調整回路、7 クロックツリーアンプ回路(CTS)、8、9 ラッチ回路、

20

31 インバーター、32 マルチプレクサー、

33 遅延調整コントロール回路、34 粗遅延調整回路、

35 微遅延調整回路、36 入力初段回路、

37 クロックツリーアンプ回路(CTSレプリカ)、38 位相比較器、

200 入力インターフェース回路、

46 立ち下がりエッジ用位相調整回路、47 立ち上がりエッジ用位相調整回路、

41、42 入力初段回路、43、44 SRラッチ回路、45 入力初段回路、

48、49 CTS、50、51 ラッチ回路、

30

300 入力インターフェース回路、

61、63 入力初段回路、

62 クロックツリーレプリカ回路(CTSレプリカ)、

64 クロックツリーアンプ回路(CTS)、65、66 ラッチ回路、

211 DDR-SDRAM、212 DQS信号、

213a、213b データ信号、215 入力バッファ、216 遅延回路、

217 データラッチ、221 メモリインターフェース回路、

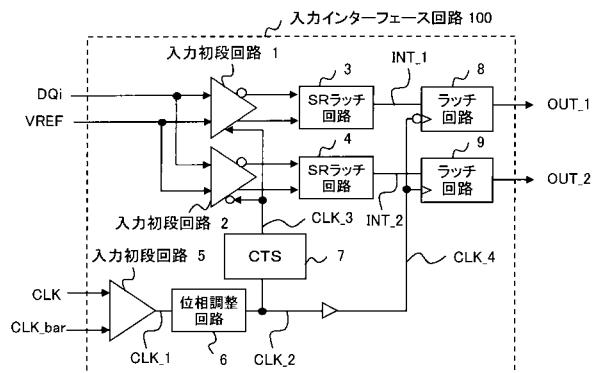
222 リードクロック発生回路、223 メインステートマシン、

257 データストローブ信号、253 リードクロック、250 発振回路、

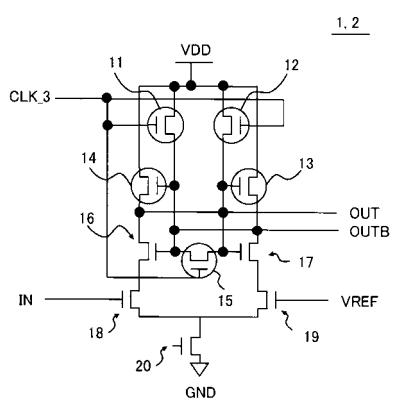
260 位相比較器、262 制御回路

40

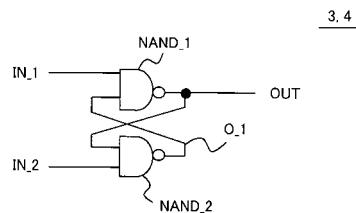
【図1】



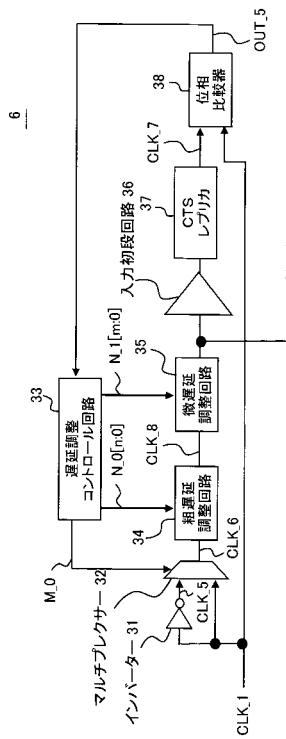
【図2】



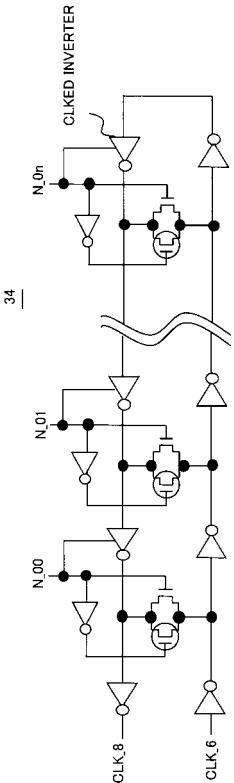
【図3】



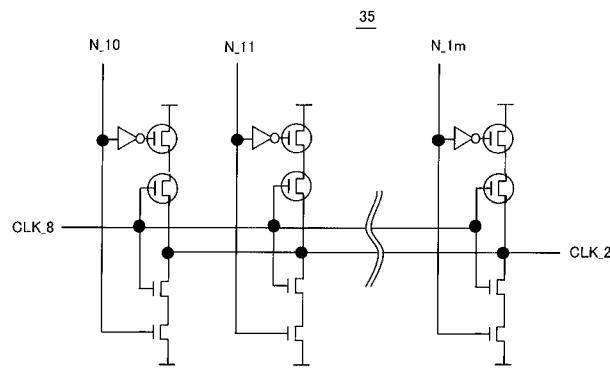
【図4】



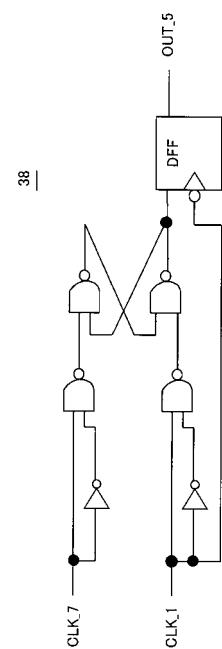
【図5】



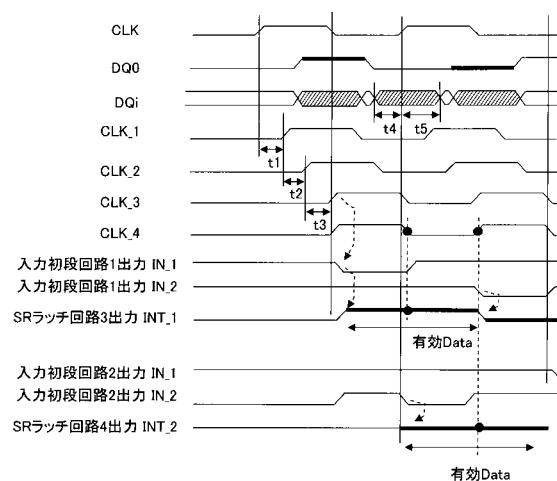
【図6】



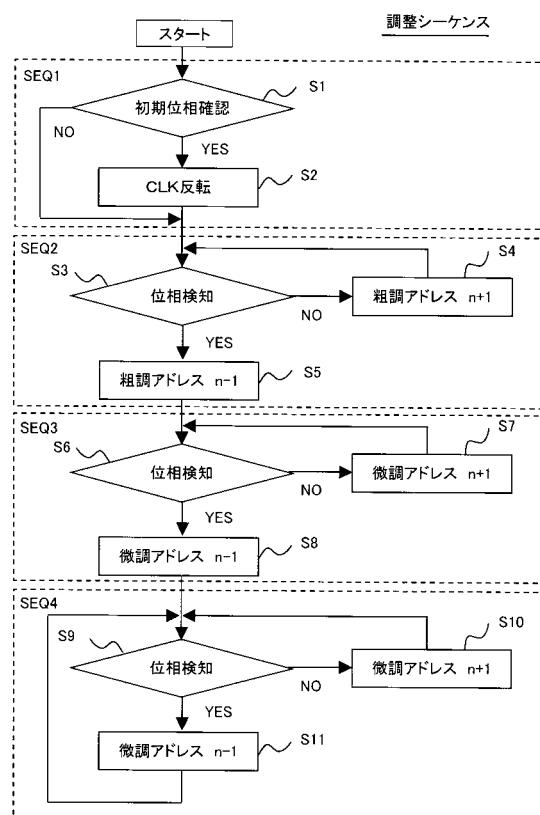
【図7】



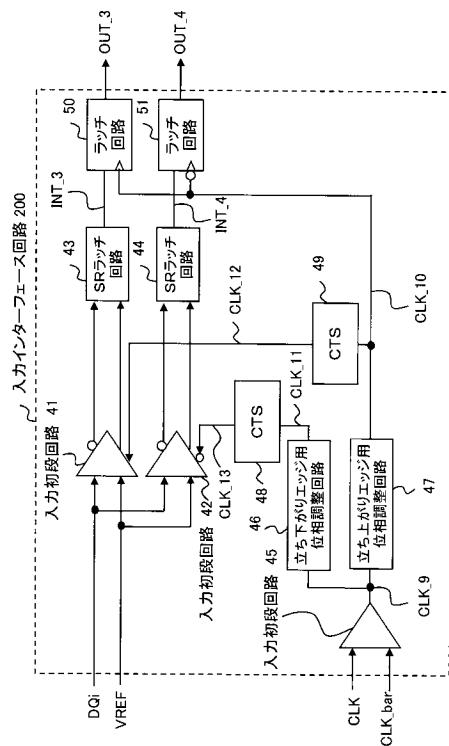
【図8】



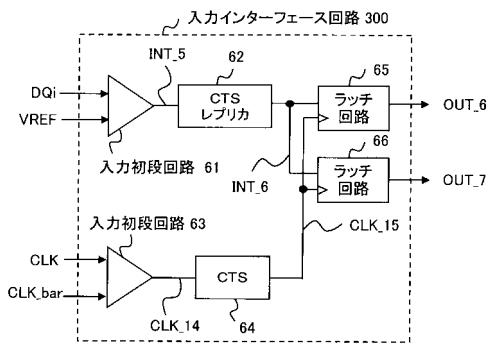
【図9】



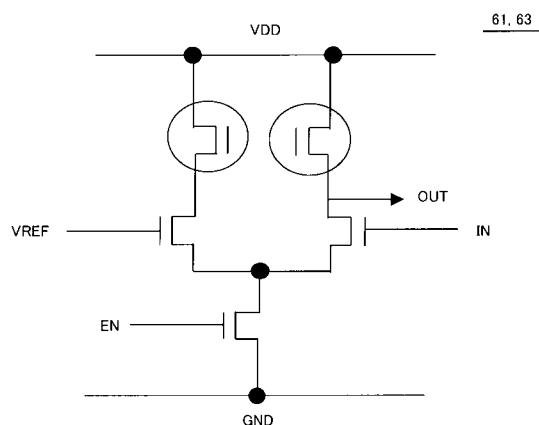
【図 1 0】



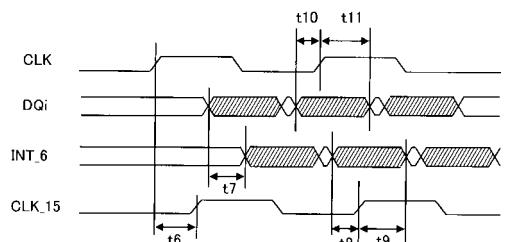
【図 1 1】



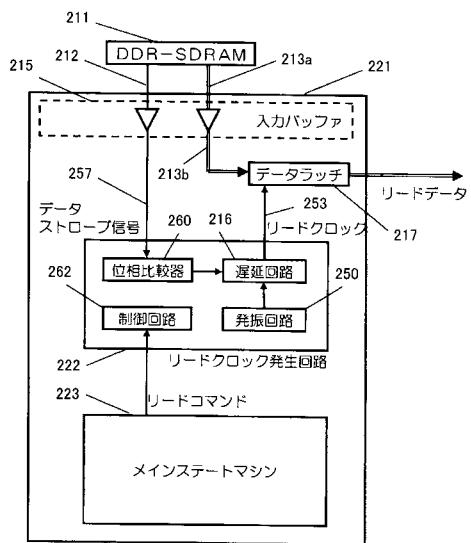
【図 1 2】



【図 1 3】



【図 14】



フロントページの続き

(51)Int.CI.			F I			テーマコード(参考)	
<i>H 0 3 K</i>	<i>5/26</i>	<i>(2006.01)</i>	<i>H 0 3 K</i>	<i>5/00</i>		<i>K</i>	
<i>H 0 3 K</i>	<i>5/135</i>	<i>(2006.01)</i>	<i>H 0 3 K</i>	<i>5/26</i>		<i>P</i>	
<i>H 0 3 K</i>	<i>5/15</i>	<i>(2006.01)</i>	<i>H 0 3 K</i>	<i>5/135</i>			
			<i>H 0 3 K</i>	<i>5/15</i>		<i>P</i>	

F ターム(参考) 5J056 AA01 AA39 BB38 BB40 CC00 CC01 CC05 CC09 CC14 DD12
DD29 EE06 EE15 FF05 FF06 FF08 GG08 GG14 KK01
5M024 AA44 AA49 BB03 BB27 BB34 DD32 DD35 DD39 DD83 JJ03
JJ34 PP01 PP02 PP03 PP07