



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2018년09월04일

(11) 등록번호 10-1894824

(24) 등록일자 2018년08월29일

(51) 국제특허분류(Int. Cl.)

H01L 25/065 (2006.01) *G11C 5/02* (2006.01)*G11C 5/06* (2006.01) *H01L 23/13* (2006.01)*H01L 23/49* (2006.01) *H01L 25/10* (2006.01)

(21) 출원번호 10-2014-7012016

(22) 출원일자(국제) 2012년09월26일

심사청구일자 2017년09월25일

(85) 번역문제출일자 2014년05월02일

(65) 공개번호 10-2014-0085485

(43) 공개일자 2014년07월07일

(86) 국제출원번호 PCT/US2012/057179

(87) 국제공개번호 WO 2013/052322

국제공개일자 2013년04월11일

(30) 우선권주장

13/440,212 2012년04월05일 미국(US)

(뒷면에 계속)

(56) 선행기술조사문현

EP01205977 A2

US05973403 A

US20030030995 A1

US20050194672 A1

(73) 특허권자

인벤파스 코포레이션

미국 캘리포니아 산 호세 오처드 파크웨이 3025
(우편번호 95134)

(72) 발명자

크리스프 리차드 드윗

미국 95134 캘리포니아주 샌 호제 오처드 파크웨이 3025

조니 와엘

미국 95134 캘리포니아주 샌 호제 오처드 파크웨이 3025

(뒷면에 계속)

(74) 대리인

유미특허법인

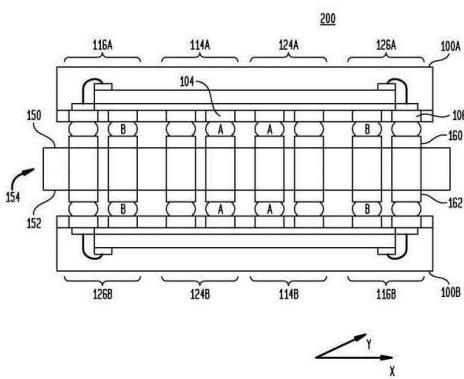
전체 청구항 수 : 총 30 항

심사관 : 안경민

(54) 발명의 명칭 원도우 없는 와이어 본드 어셈블리를 위해 이중의 단자 세트를 이용하는 스터브 최소화

(57) 요약

메모리 저장 어레이의 기능을 갖는 마이크로 전자 요소(101)는, 마이크로 전자 패키지(100)의 기판(102)으로부터 멀어지는 방향을 향하는 전면(105)을 갖고 전면(105) 위로 연장되는 도전성 구조체(112)를 통해 기판(102)과 전기적으로 연결된다. 제1 단자의 제1 세트(114) 및 제2 세트(124)는 이론상 축(132)의 제1 측과 제2 측 각각의 측에서 기판(102)의 표면(110)에서 노출되고, 각각의 세트는 마이크로 전자 요소의 메모리 저장 어레이의 어드레스 가능한 메모리 위치를 결정하는데 이용될 수 있는 어드레스 정보를 전달하도록 구성된다. 제1 세트에서 제1 단자의 신호 할당은 제2 세트에서 제1 단자의 신호 할당의 미러 이미지이다.

대 표 도 - 도7a

(72) 발명자

하바 벨가셈

미국 95070 캘리포니아주 사라토가 밀러 코트
19487

람브레히트 프랭크

미국 94040 캘리포니아주 마운틴 뷰 캘리포니아
#23 2025

(30) 우선권주장

61/542,553 2011년10월03일 미국(US)

61/600,527 2012년02월17일 미국(US)

명세서

청구범위

청구항 1

마이크로 전자 패키지로서,

서로 반대편인 제1 표면과 제2 표면을 갖고, 상기 제1 표면 상에 기판 콘택을 갖는 기판;

메모리 저장 어레이의 기능을 가지며, 상기 제1 표면에 대면하는 후면, 상기 후면의 반대편인 전면, 및 상기 전면 위로 연장되는 도전성 구조체를 통해 상기 기판 콘택과 전기적으로 연결되는 상기 전면 상의 콘택을 갖는 마이크로 전자 요소; 및

상기 마이크로 전자 패키지를 상기 마이크로 전자 패키지의 외부에 있는 적어도 하나의 컴포넌트와 연결하도록 구성되는, 상기 제2 표면 상의 복수의 단자

를 포함하고,

상기 단자는 상기 기판 콘택과 전기적으로 연결되며 서로 평행한 제1 그리드 및 제2 그리드 내의 위치에 배치된 제1 단자를 포함하고, 각각의 그리드는 축의 각각의 축에 배치되며, 각각의 그리드에서 상기 제1 단자는, 상기 마이크로 전자 요소 내에서의 메모리 저장 어레이의 모든 이용가능한 어드레스가능 메모리 위치 중에서 어드레스가능 메모리 위치를 결정하기 위해, 상기 마이크로 전자 패키지 내의 회로에 의해 이용될 수 있는 어드레스 정보를 전달(carry)하도록 구성되고,

상기 제1 단자는 신호 할당을 가지되, 상기 제1 그리드에서 상기 제1 단자의 신호 할당은 상기 제2 그리드에서 상기 제1 단자의 신호 할당과 상기 축을 중심으로 대칭을 이루어, 어드레스 정보를 전달하도록 구성되는 상기 제1 그리드의 각각의 제1 단자가 이러한 제1 단자에 대해 상기 축을 중심으로 대칭인 위치에 있는 상기 제2 그리드의 대응하는 각각의 제1 단자와 동일한 어드레스 정보를 전달하도록 구성되는, 마이크로 전자 패키지.

청구항 2

제1항에 있어서,

상기 도전성 구조체는 상기 콘택을 상기 기판 콘택과 전기적으로 연결하는 와이어 본드를 포함하는, 마이크로 전자 패키지.

청구항 3

제1항에 있어서,

상기 제1 그리드 및 제2 그리드 각각의 상기 제1 단자는, 상기 어드레스가능 메모리 위치를 결정하기 위해 상기 마이크로 전자 패키지 내의 상기 회로에 의해 이용될 수 있는 모든 상기 어드레스 정보를 전달하도록 구성되는, 마이크로 전자 패키지.

청구항 4

제1항에 있어서,

각각의 그리드에서 상기 제1 단자는 상기 마이크로 전자 요소의 동작 모드를 제어하는 정보를 전달하도록 구성되는, 마이크로 전자 패키지.

청구항 5

제3항에 있어서,

각각의 그리드에서 상기 제1 단자는 상기 마이크로 전자 패키지에 전송되는 모든 명령 신호를 전달하도록 구성되고, 상기 명령 신호는 기록 인에이블, 로우(row) 어드레스 스트로브 신호, 및 컬럼 어드레스 스트로브 신호인, 마이크로 전자 패키지.

청구항 6

제1항에 있어서,

각각의 그리드에서 상기 제1 단자는 상기 마이크로 전자 패키지에 전송되는 클록 신호를 전달하도록 구성되고, 상기 클록 신호는 상기 어드레스 정보를 전달하는 신호를 샘플링하기 위해 이용되는 클록인, 마이크로 전자 패키지.

청구항 7

제1항에 있어서,

각각의 그리드에서 상기 제1 단자는 상기 마이크로 전자 패키지에 전송되는 모든 뱅크 어드레스 신호를 전달하도록 구성되는, 마이크로 전자 패키지.

청구항 8

제1항에 있어서,

상기 축은 상기 기판의 서로 반대편인 제1 에지 및 제2 에지로부터 등거리에 있는, 마이크로 전자 패키지.

청구항 9

제1항에 있어서,

상기 제1 그리드 및 제2 그리드에서 단자의 컬럼은, 상기 기판의 서로 반대편인 제1 에지 및 제2 에지에 평행한 방향으로 연장되고,

상기 축은, 상기 기판의 상기 제1 에지 및 제2 에지에 평행하고 상기 제1 에지 및 제2 에지로부터 등거리에 있는 라인으로부터의 거리가, 상기 단자의 임의의 인접한 2개의 컬럼들 사이의 최소 피치의 3.5배 이하인, 마이크로 전자 패키지.

청구항 10

제1항에 있어서,

각각의 제1 그리드 및 제2 그리드에서 단자의 적어도 하나의 컬럼은, 상기 기판의 서로 반대편인 제1 에지 및 제2 에지에 평행하고 상기 제1 에지 및 제2 에지로부터 등거리에 있는 라인으로부터의 거리가, 상기 제1 단자의 임의의 인접한 2개의 컬럼들 사이의 최소 피치의 3.5배 이하인, 마이크로 전자 패키지.

청구항 11

제1항에 있어서,

상기 제1 그리드 및 제2 그리드 각각은 상기 제1 단자의 서로 평행한 제1 컬럼 및 제2 컬럼을 포함하는, 마이크로 전자 패키지.

청구항 12

제11항에 있어서,

상기 제1 그리드 또는 상기 제2 그리드 중 적어도 하나의 그리드는 이러한 그리드의 서로 평행한 상기 제1 컬럼과 상기 제2 컬럼 사이에 적어도 하나의 단자를 포함하는, 마이크로 전자 패키지.

청구항 13

제1항에 있어서,

각각의 그리드는 상기 제1 단자의 서로 평행하면서 인접하는 2개의 컬럼을 포함하는, 마이크로 전자 패키지.

청구항 14

제1항에 있어서,

상기 단자는 제2 단자를 포함하고, 상기 제2 단자 중 적어도 몇몇은 상기 어드레스 정보 이외의 정보를 전달하도록 구성되는, 마이크로 전자 패키지.

청구항 15

제14항에 있어서,

상기 제2 단자는 상기 제1 그리드 및 제2 그리드 이외의 상기 제2 표면 상의 위치에 배치되는, 마이크로 전자 패키지.

청구항 16

제14항에 있어서,

상기 제2 단자 중 적어도 몇몇은 상기 제1 그리드 및 제2 그리드 내에 배치되는, 마이크로 전자 패키지.

청구항 17

제14항에 있어서,

상기 제2 단자의 일부분은 제3 그리드에 배열되며, 상기 제2 단자의 다른 부분은 제4 그리드에 배열되고, 상기 제3 그리드 및 제4 그리드의 단자의 컬럼은 서로 평행하면서 상기 제1 그리드 및 제2 그리드의 단자의 컬럼과 평행하고,

상기 제3 그리드에서 상기 제2 단자의 신호 할당은 상기 제4 그리드에서 상기 제2 단자의 신호 할당의 미리 이미지인, 마이크로 전자 패키지.

청구항 18

제17항에 있어서,

상기 제1 그리드 및 제2 그리드는 상기 제3 그리드 및 제4 그리드를 서로 분리하는, 마이크로 전자 패키지.

청구항 19

제14항에 있어서,

상기 제2 단자의 일부분은 제5 그리드에 배열되며, 상기 제2 단자의 다른 부분은 제6 그리드에 배열되고, 상기 제5 그리드 및 제6 그리드의 단자의 컬럼은 서로 평행하며, 상기 제1 단자 및 제2 단자에서의 단자의 컬럼이 연장되는 제1 방향을 가로지르는 제2 방향으로 연장되고,

상기 제5 그리드에서 상기 제2 단자의 신호 할당은 상기 제6 그리드에서 상기 제2 단자의 신호 할당에 대해 상기 축을 중심으로 대칭을 이루는, 마이크로 전자 패키지.

청구항 20

제1항에 있어서,

상기 마이크로 전자 패키지는 상기 기판의 상기 제1 표면에 대면하는 표면을 갖는 제1 칩을 더 포함하고, 상기 제1 칩은 상기 제1 그리드 및 제2 그리드 중 적어도 하나의 상기 제1 단자와 전기적으로 연결되며, 상기 제1 칩은 상기 제1 단자를 통해 수신되는 적어도 하나의 신호를 재생성하고 이와 같이 재생성된 신호를 상기 마이크로 전자 요소의 적어도 하나의 콘택에 제공하도록 구성되는, 마이크로 전자 패키지.

청구항 21

제20항에 있어서,

상기 제1 단자는 상기 마이크로 전자 요소의 동작 모드를 제어하는 정보를 전달하도록 구성되고, 상기 제1 칩은 상기 동작 모드를 제어하는 정보를 재생성하거나 또는 적어도 부분적인 디코딩하는 것 중 적어도 하나를 수행하도록 구성되는, 마이크로 전자 패키지.

청구항 22

제1항에 있어서,

상기 마이크로 전자 요소는 제1 마이크로 전자 요소이며, 상기 기판 콘택의 세트는 기판 콘택의 제1 세트이고, 상기 마이크로 전자 패키지는 제2 마이크로 전자 요소를 더 포함하며, 상기 제2 마이크로 전자 요소는 상기 기판의 상기 제1 표면에 대면하는 후면을 포함하고, 상기 제2 마이크로 전자 요소는 또한 상기 제2 마이크로 전자 요소의 후면의 반대편인 전면, 및 상기 제2 마이크로 전자 요소의 전면 위로 연장되는 도전성 구조체를 통해 상기 기판 콘택과 전기적으로 연결되는 상기 제2 마이크로 전자 요소의 전면 상의 복수의 요소 콘택을 포함하고, 상기 제2 마이크로 전자 요소는 메모리 저장 어레이의 기능을 가지고,

각각의 그리드에서 상기 제1 단자는, 상기 제1 마이크로 전자 요소 및 제2 마이크로 전자 요소 내에서의 메모리 저장 어레이의 모든 이용가능한 어드레스가능 메모리 위치 중에서 어드레스가능 메모리 위치를 결정하기 위해, 상기 마이크로 전자 패키지 내의 회로에 의해 이용될 수 있는 어드레스 정보를 전달하도록 구성되는, 마이크로 전자 패키지.

청구항 23

제22항에 있어서,

상기 제1 마이크로 전자 요소 및 제2 마이크로 전자 요소의 후면은, 상기 기판의 상기 제1 표면에 인접하면서 상기 제1 표면에 평행한 하나의 평면에 배열되는, 마이크로 전자 패키지.

청구항 24

제22항에 있어서,

상기 제1 그리드의 상기 제1 단자는 상기 제1 마이크로 전자 요소와 전기적으로 연결되고, 상기 제2 그리드의 상기 제1 단자는 상기 제2 마이크로 전자 요소와 전기적으로 연결되는, 마이크로 전자 패키지.

청구항 25

제24항에 있어서,

상기 제1 그리드의 제1 단자는 상기 제1 마이크로 전자 요소 및 제2 마이크로 전자 요소 각각과 전기적으로 연결되고, 상기 제2 그리드의 제1 단자는 상기 제1 마이크로 전자 요소 및 제2 마이크로 전자 요소 각각과 전기적으로 연결되는, 는, 마이크로 전자 패키지.

청구항 26

제22항에 있어서,

상기 제1 그리드의 상기 제1 단자는 상기 제1 마이크로 전자 요소와 전기적으로 연결되지만 상기 제2 마이크로 전자 요소와는 전기적으로 연결되지 않고, 상기 제2 그리드의 상기 제1 단자는 상기 제2 마이크로 전자 요소와 전기적으로 연결되지만 상기 제1 마이크로 전자 요소와는 전기적으로 연결되지 않는, 마이크로 전자 패키지.

청구항 27

제1항에 있어서,

상기 기판은 유전체 요소를 포함하고, 상기 유전체 요소는 상기 유전체 요소의 평면에서 $30 \text{ ppm}/\text{°C}$ (섭씨 온도당 ppm) 미만의 열팽창 계수(CTE)를 갖는, 마이크로 전자 패키지.

청구항 28

제1항에 있어서,

상기 기판은 $12 \text{ ppm}/\text{°C}$ 미만의 CTE를 갖는 요소를 포함하는, 마이크로 전자 패키지.

청구항 29

마이크로 전자 패키지로서,

서로 반대편인 제1 표면과 제2 표면을 갖고, 상기 제1 표면 상에 기판 콘택을 갖는 기판;

임의의 여타 기능을 위한 능동 소자의 수보다 메모리 저장 어레이의 기능을 제공하기 위한 더 많은 수의 능동 소자를 구현하는 마이크로 전자 요소로서, 상기 제1 표면에 대면하는 후면, 상기 후면의 반대편인 전면, 및 상기 전면 위로 연장되는 도전성 구조체를 통해 상기 기판 콘택과 전기적으로 연결되는 상기 전면 상의 콘택을 갖는 마이크로 전자 요소; 및

상기 마이크로 전자 패키지를 상기 마이크로 전자 패키지의 외부에 있는 적어도 하나의 컴포넌트와 연결하도록 구성되는, 상기 제2 표면 상의 복수의 단자

를 포함하고,

상기 단자는 상기 기판 콘택과 전기적으로 연결되며 서로 평행한 제1 그리드 및 제2 그리드 내의 위치에 배치되는 제1 단자를 포함하고, 각각의 그리드는 축의 각각의 측에 배치되며, 각각의 그리드에서 상기 제1 단자는, 상기 마이크로 전자 요소 내에서의 메모리 저장 어레이의 모든 이용가능한 어드레스 가능한 메모리 위치 중에서 어드레스 가능한 메모리 위치를 결정하기 위해, 상기 마이크로 전자 패키지 내의 회로에 의해 이용될 수 있는 어드레스 정보의 과반을 전달하도록 구성되고,

상기 제1 단자는 신호 할당을 가지되, 상기 제1 그리드에서 상기 제1 단자의 신호 할당은 상기 제2 그리드에서 상기 제1 단자의 신호 할당과 상기 축을 중심으로 대칭을 이루어, 어드레스 정보를 전달하도록 구성되는 상기 제1 그리드의 각각의 제1 단자가 이러한 제1 단자에 대해 상기 축을 중심으로 대칭인 위치에 있는 상기 제2 그리드의 대응하는 각각의 제1 단자와 동일한 어드레스 정보를 전달하도록 구성되는, 마이크로 전자 패키지.

청구항 30

제29항에 있어서,

각각의 그리드에서 상기 제1 단자는, 상기 어드레스 가능한 메모리 위치를 결정하기 위해, 상기 마이크로 전자 패키지 내의 회로에 의해 이용될 수 있는 상기 어드레스 정보 중 적어도 3/4를 전달하도록 구성되는, 마이크로 전자 패키지.

발명의 설명

기술 분야

[0001]

본 출원은 2012년 4월 5일에 출원된 미국 출원 제13/440,212호의 계속 출원이며, 이러한 미국 출원은 2012년 2월 17일에 출원된 미국 임시 출원 제61/600,527호 및 2011년 10월 3일에 출원된 61/542,553호에 대해 우선권을 주장하고, 이러한 모든 출원의 개시 내용은 원용에 의해 본원에 통합된다.

[0002]

본 출원의 주제는 마이크로 전자 패키지 및 마이크로 전자 패키지를 통합하는 어셈블리에 관한 것이다.

배경 기술

[0003]

반도체 칩은 통상적으로 개별적인 패키징된 유닛으로서 제공된다. 표준 칩은 칩의 내부 회로에 연결되는 콘택을 갖는 큰 전면을 구비하는 평탄한 직사각형 본체부를 갖는다. 각각의 개별적인 칩은 통상적으로 칩의 콘택에 연결되는 외부 단자를 갖는 패키지에 포함되어 있다. 그 다음에 단자, 즉 패키지의 외부 연결 포인트는 회로 패널, 예컨대 인쇄 회로 기판에 전기적으로 연결되도록 구성된다. 많은 기존 설계에서, 칩 패키지는 칩 자체의 면적보다 상당히 더 큰 회로 패널의 면적을 차지한다. 본 명세서에서 전면을 갖는 평탄한 칩을 참조하여 사용되는 경우 "칩의 면적"이란 전면의 면적을 지칭하는 것으로 이해되어야 한다.

[0004]

크기는 칩의 임의의 물리적 배열에 있어서 중요한 고려사항이다. 휴대가능 전자 디바이스가 급속히 진보하면서 칩의 보다 콤팩트한 물리적 배열이 한층 더 요구되고 있다. 단지 예를 들면, 통상 "스마트 폰"으로 지칭되는 디바이스는, 셀룰러 폰의 기능에, 고해상도 디스플레이 및 연관된 이미지 처리 칩과 함께, 강력한 데이터 프로세서, 메모리 및 보조 디바이스, 예컨대 GPS 수신기, 전자 카메라, 및 근거리통신망(LAN) 연결을 통합한다. 이러한 디바이스들은, 완전한 인터넷 접속, 폴 해상도 비디오를 포함하는 엔터테인먼트, 내비게이션, 전자 뱅킹 등과 같은 기능을 모두 포켓 사이즈 디바이스에서 제공할 수 있다. 복잡한 휴대가능 디바이스는 수많은 칩들을 작은 공간 안에 패킹할 것을 요구한다. 나아가, 이러한 칩들 중 일부는 통상 "I/O"로 지칭되는 많은 입출력 연결을 갖는다. 이러한 I/O는 다른 칩의 I/O와 상호접속되어야 한다. 이러한 상호접속을 형성하는 컴포넌트들이

어셈블리의 크기를 크게 늘려서는 안 된다. 예를 들면 향상된 성능 및 크기 감소가 요구되는 인터넷 서치 엔진에서 이용되는 것과 같은 데이터 서버의 경우와 마찬가지로 다른 응용에서도 유사한 요구가 생기고 있다.

[0005] 메모리 저장 어레이를 포함하는 반도체 칩, 특히 DRAM(디램 칩) 및 플래시 메모리 칩은 통상적으로 단일 칩 또는 다중 칩 패키지 및 어셈블리로 패키징된다. 각각의 패키지는 단자와 칩 사이에서 신호, 접지, 및 전력을 전달하기 위해 많은 전기적 연결을 갖는다. 이러한 전기적 연결은, 칩의 콘택 지지 표면에 대해 수평 방향으로 연장되는 수평 도전체들(예를 들어, 트레이스, 빔 리드 등), 칩의 표면에 대해 수직 방향으로 연장되는 수직 도전체들(예컨대, 비아), 및 칩의 표면에 대해 수평 방향 및 수직 방향 모두로 연장되는 와이어 본드와 같은 다양한 종류의 도전체들을 포함할 수 있다.

[0006] 기존의 마이크로 전자 패키지는 주로 메모리 저장 어레이의 기능을 제공하도록 구성되는 마이크로 전자 요소, 즉 임의의 여타 기능보다, 메모리 저장 어레이의 기능을 제공하기 위한 더 많은 수의 능동 소자를 구현하는 마이크로 전자 요소를 포함할 수 있다. 이러한 마이크로 전자 요소는 DRAM 칩, 또는 이러한 반도체 칩의 적층된 전기적 상호접속 어셈블리이거나 이를 포함할 수 있다. 통상적으로, 이러한 패키지의 모든 단자는 마이크로 전자 요소가 장착되는 패키지 기판의 하나 이상의 주변 에지에 인접하는 컬럼의 세트로 배치된다. 예를 들어, 도 1에 도시되어 있는 하나의 기존 마이크로 전자 패키지(12)에서, 단자의 3개의 컬럼(14)은 패키지 기판(20)의 제1 주변 에지(16)에 인접하여 배치될 수 있고, 단자의 다른 3개의 컬럼(18)은 패키지 기판(20)의 제2 주변 에지(22)에 인접하여 배치될 수 있다. 기존의 패키지에서 패키지 기판(20)의 중앙 영역(24)은 단자의 어떠한 컬럼도 갖지 않는다. 도 1은 또한, 한 면(28) 상에 요소 콘택(26)을 갖는 패키지 내의 반도체 칩(11)을 나타내고, 이러한 요소 콘택(26)은 패키지 기판(20)의 중앙 영역(24)에서의 애피쳐, 예컨대 본드 윈도우를 통해 연장되는 와이어 본드(30)를 통하여 패키지(12)의 단자의 컬럼(14, 18)과 전기적으로 상호접속된다. 일부의 경우에는, 마이크로 전자 요소와 기판 사이의 기계적 연결을 강화하도록 마이크로 전자 요소(11)의 면(28)과 기판(20) 사이에 접착 층(32)이 배치될 수 있고, 와이어 본드는 접착 층(32)의 개구를 통해 연장된다.

[0007] 상기 설명의 측면에서, 마이크로 전자 패키지 상에 단자를 배치함에 있어서, 전기적 성능을 향상시키기 위해 특정한 개선이 이루어질 수 있고, 특히 이러한 패키지들 및 이러한 패키지들이 장착되어 서로 전기적으로 상호접속할 수 있는 회로 패널을 포함하는 어셈블리에서 이러한 개선이 이루어질 수 있다.

발명의 내용

[0008] 본 발명의 일 양상에 따르면, 마이크로 전자 패키지는, 서로 반대편인 제1 표면과 제2 표면을 갖고, 상기 제1 표면에서 노출된 복수의 기판 콘택을 갖는 기판을 포함할 수 있다. 이러한 패키지는 메모리 저장 어레이의 기능을 갖는 마이크로 전자 요소를 포함할 수 있다. 마이크로 전자 요소는, 상기 제1 표면에 대면하는 후면, 상기 후면의 반대편인 전면, 및 상기 전면 위로 연장되는 도전성 구조체를 통해 상기 기판 콘택과 전기적으로 연결되는 상기 전면 상의 콘택을 가진다.

[0009] 제2 표면에서 노출되는 복수의 단자는 상기 마이크로 전자 패키지를 상기 마이크로 전자 패키지의 외부에 있는 적어도 하나의 컴포넌트와 연결하도록 구성될 수 있다. 상기 단자는 상기 기판 콘택과 전기적으로 연결되며 복수의 제1 단자를 포함하고, 상기 제1 단자는 이론상 축(theoretical axis)의 제1 측에 배치된 단자의 제1 세트 및 상기 제1 측의 반대편인 상기 이론상 축의 제2 측에 배치된 단자의 제2 세트를 포함하며, 상기 제1 세트 및 제2 세트 각각은, 마이크로 전자 요소의 메모리 저장 어레이의 모든 이용가능한 어드레스가능 메모리 위치 중에서 어드레스가능 메모리 위치를 결정하기 위해, 상기 마이크로 전자 패키지 내의 회로에 의해 이용될 수 있는 어드레스 정보를 전달(carry)하도록 구성된다. 상기 제1 세트에서 상기 제1 단자의 신호 할당은 상기 제2 세트에서 상기 제1 단자의 신호 할당의 미러 이미지일 수 있다.

[0010] 일례로서, 패키지는 임의의 여타 기능보다, 메모리 저장 어레이의 기능을 제공하기 위한 더 많은 수의 능동 소자를 구현하는 마이크로 전자 요소를 포함할 수 있다.

[0011] 일례로서, 상기 도전성 구조체는 상기 콘택을 상기 기판 콘택과 전기적으로 연결하는 와이어 본드를 포함할 수 있다.

[0012] 일례로서, 제1 그리드 및 제2 그리드 각각의 제1 단자는, 상기 어드레스가능 메모리 위치를 결정하기 위해 상기 마이크로 전자 패키지 내의 상기 회로에 의해 이용될 수 있는 모든 상기 어드레스 정보를 전달하도록 구성될 수 있다.

[0013] 대안으로서, 제1 그리드 및 제2 그리드 각각의 상기 제1 단자는, 상기 마이크로 전자 요소 내에서의 메모리 저

장 어레이의 모든 이용가능한 어드레스가능 메모리 위치 중에서 어드레스가능 메모리 위치를 결정하기 위해, 상기 마이크로 전자 패키지 내의 회로에 의해 이용될 수 있는 어드레스 정보의 과반수를 전달하도록 구성될 수 있다. 특정 예로서, 상기 제1 세트 및 제2 세트 각각의 제1 단자는, 상기 어드레스가능 메모리 위치를 결정하기 위해, 상기 마이크로 전자 패키지 내의 회로에 의해 이용될 수 있는 상기 어드레스 정보 중 적어도 3/4를 전달하도록 구성될 수 있다.

[0014] 특정 예로서, 상기 제1 세트 및 제2 세트 각각의 상기 제1 단자는 상기 마이크로 전자 요소의 동작 모드를 제어하는 정보를 전달하도록 구성될 수 있다.

[0015] 특정 예로서, 상기 제1 세트 및 제2 세트 각각의 상기 제1 단자는 상기 마이크로 전자 패키지에 전송되는 모든 명령 신호를 전달하도록 구성될 수 있고, 상기 명령 신호는 기록 인에이블, 로우(row) 어드레스 스트로브 신호, 및 컬럼 어드레스 스트로브 신호 중 하나 이상 또는 이를 모두일 수 있다.

[0016] 특정 예로서, 상기 제1 세트 및 제2 세트 각각의 상기 제1 단자는 상기 마이크로 전자 패키지에 전송되는 클록 신호, 예를 들어 상기 어드레스 정보를 전달하는 신호를 샘플링하기 위해 이용되는 클록 신호를 전달하도록 구성될 수 있다.

[0017] 일례로서, 상기 제1 세트 및 제2 세트 각각의 상기 제1 단자는 상기 마이크로 전자 패키지에 전송되는 모든 뱅크 어드레스 신호를 전달하도록 구성될 수 있다.

[0018] 일례로서, 상기 축은 상기 기판의 서로 반대편인 제1 에지 및 제2 에지로부터 등거리에 있을 수 있다.

[0019] 일례로서, 상기 제1 세트 및 제2 세트의 단자의 컬럼은 상기 기판의 서로 반대편인 제1 에지 및 제2 에지에 평행한 방향으로 각각 연장되는 제1 그리드 및 제2 그리드의 컬럼 내의 위치에 배치된다. 일례로서, 상기 축은, 상기 기판의 상기 제1 에지 및 제2 에지에 평행하고 상기 제1 에지 및 제2 에지로부터 등거리에 있는 라인으로부터의 거리가, 상기 제1 단자의 임의의 인접한 2개의 컬럼들 사이의 최소 피치의 3.5배 이하일 수 있다.

[0020] 일례로서, 상기 제1 세트 및 제2 세트의 상기 제1 단자는, 상기 기판의 서로 반대편인 제1 에지 및 제2 에지에 평행한 방향으로 각각 연장되는 제1 그리드 및 제2 그리드 내의 위치에 배치되고, 상기 제1 그리드 및 제2 그리드 각각에서 적어도 하나의 컬럼은, 상기 기판의 상기 제1 에지 및 제2 에지에 평행하고 상기 제1 에지 및 제2 에지로부터 등거리에 있는 라인으로부터, 상기 제1 단자의 임의의 인접한 2개의 컬럼들 사이의 최소 피치의 3.5배 이하의 거리 내에 배치된다.

[0021] 일례로서, 상기 제1 세트 및 제2 세트의 상기 제1 단자는, 상기 기판의 서로 반대편인 제1 에지 및 제2 에지에 평행한 방향으로 각각 연장되는 제1 그리드 및 제2 그리드 내의 위치에 배치되고, 상기 제1 그리드 및 제2 그리드 각각은 상기 제1 단자의 서로 평행한 제1 컬럼 및 제2 컬럼을 포함할 수 있다. 이러한 예에서, 상기 제1 그리드 또는 상기 제2 그리드 중 적어도 하나의 그리드는 이러한 그리드의 서로 평행한 상기 제1 컬럼과 상기 제2 컬럼 사이에 적어도 하나의 단자를 포함할 수 있다.

[0022] 일례로서, 상기 제1 세트 및 제2 세트의 상기 제1 단자는, 상기 기판의 서로 반대편인 제1 에지 및 제2 에지에 평행한 방향으로 각각 연장되는 제1 그리드 및 제2 그리드 내의 위치에 배치되고, 각각의 그리드는 상기 제1 단자의 서로 평행한 2개의 컬럼을 포함할 수 있다. 상기 제1 단자의 평행한 컬럼은 서로 인접할 수 있지만 서로 인접하지 않을 수도 있다.

[0023] 일례로서, 단자는 제2 단자를 포함할 수 있고, 상기 제2 단자 중 적어도 몇몇은 상기 어드레스 정보 이외의 정보를 전달하도록 구성된다. 이러한 예에서, 상기 제1 세트 및 제2 세트의 상기 제1 단자는 기판의 서로 반대편인 제1 에지와 제2 에지에 평행한 방향으로 각각 연장되는 제1 그리드 및 제2 그리드 내의 위치에 배치될 수 있고, 상기 제2 단자는 상기 제1 그리드 및 제2 그리드 이외의 상기 제2 표면 상의 위치에서 노출될 수 있다. 대안으로서, 제2 단자 중 적어도 몇몇은 상기 제1 그리드 및 제2 그리드 내에 배치될 수 있다.

[0024] 이러한 예에서, 상기 제2 단자의 일부분은 제3 그리드에 배열될 수 있으며, 상기 제2 단자의 다른 부분은 제4 그리드에 배열될 수 있고, 상기 제3 그리드 및 제4 그리드의 단자의 컬럼은 서로 평행하면서 상기 제1 그리드 및 제2 그리드의 단자의 컬럼과 평행하다. 상기 제3 그리드에서 상기 제2 단자의 신호 할당은 상기 제4 그리드에서 상기 제2 단자의 신호 할당의 미리 이미지일 수 있다. 나아가, 본 예에서 상기 제1 그리드 및 제2 그리드는 상기 제3 그리드 및 제4 그리드를 서로 분리할 수 있다.

[0025] 일례로서, 상기 제2 단자의 일부분은 제5 그리드에 배열될 수 있으며, 상기 제2 단자의 다른 부분은 제6 그리드에 배열될 수 있고, 상기 제5 그리드 및 제6 그리드의 단자의 컬럼은 서로 평행하며, 상기 제1 단자 및 제2 단

자에서의 단자의 컬럼이 연장되는 제1 방향을 가로지르는 제2 방향으로 연장될 수 있다. 이러한 예에서, 상기 제5 그리드에서 상기 제2 단자의 신호 할당은 상기 제6 그리드에서 상기 제2 단자의 신호 할당의 미러 이미지일 수 있다.

[0026] 일례로서, 마이크로 전자 패키지는 기판의 제1 표면에 대면하는 표면을 갖는 제1 반도체 칩을 더 포함하고, 상기 제1 칩은 단자를 통해 수신되는 신호를 베퍼링, 즉 재생성하는 기능을 가질 수 있다. 이러한 제1 반도체 칩, 또는 "베퍼 칩"은 제1 그리드 및 제2 그리드 중 적어도 하나의 제1 단자와 전기적으로 연결될 수 있다. 이러한 예에서, 상기 제1 칩은 상기 제1 단자를 통해 수신되는 적어도 하나의 신호를 재생성하고 이와 같이 재생성된 신호를 상기 마이크로 전자 요소로 출력하도록 구성될 수 있다.

[0027] 일례로서, 상기 제1 단자는 상기 마이크로 전자 요소의 동작 모드를 제어하는 정보를 전달하도록 구성될 수 있고, 상기 제1 칩은 상기 동작 모드를 제어하는 정보를 재생성 또는 적어도 부분적인 디코딩 중 적어도 하나를 수행하도록 구성될 수 있다.

[0028] 특정 예로서, 상기 마이크로 전자 요소는 제1 마이크로 전자 요소이며, 상기 기판 콘택의 세트는 기판 콘택의 제1 세트이고, 상기 마이크로 전자 패키지는 제2 마이크로 전자 요소를 더 포함한다. 상기 제2 마이크로 전자 요소는, 상기 기판의 상기 제1 표면에 대면하는 후면과 상기 후면의 반대편인 전면을 갖는다. 상기 제2 마이크로 전자 요소의 상기 전면 상의 복수의 요소 콘택은, 상기 제2 마이크로 전자 요소의 전면 위로 연장되는 도전성 구조체를 통해 상기 기판 콘택과 전기적으로 연결될 수 있다. 상기 제2 마이크로 전자 요소는 임의의 여타 기능보다, 메모리 저장 어레이의 기능을 제공하기 위한 더 많은 수의 능동 소자를 구현할 수 있다. 상기 제1 그리드 및 제2 그리드 각각의 상기 제1 단자는, 상기 제1 마이크로 전자 요소 및 제2 마이크로 전자 요소 내에서의 메모리 저장 어레이의 모든 이용가능한 어드레스 가능 메모리 위치 중에서 어드레스 가능 메모리 위치를 결정하기 위해, 상기 마이크로 전자 패키지 내의 회로에 의해 이용될 수 있는 어드레스 정보를 전달하도록 구성될 수 있다.

[0029] 일례로서, 상기 제1 마이크로 전자 요소 및 제2 마이크로 전자 요소의 후면은, 상기 기판의 상기 제1 표면에 인접하면서 상기 제1 표면에 평행한 하나의 평면에 배열될 수 있다.

[0030] 일례로서, 상기 제1 그리드의 상기 제1 단자는 상기 제1 마이크로 전자 요소와 전기적으로 연결될 수 있고, 상기 제2 그리드의 상기 제1 단자는 상기 제2 마이크로 전자 요소와 전기적으로 연결될 수 있다.

[0031] 일례로서, 상기 제1 그리드 및 제2 그리드의 상기 제1 단자는 상기 제1 마이크로 전자 요소 및 제2 마이크로 전자 요소 각각과 전기적으로 연결될 수 있다.

[0032] 일례로서, 상기 제1 세트의 상기 제1 단자는 상기 제1 마이크로 전자 요소와 전기적으로 연결될 수 있고 상기 제2 마이크로 전자 요소와는 전기적으로 연결되지 않을 수 있다. 이러한 예에서, 상기 제2 세트의 상기 제1 단자는 상기 제2 마이크로 전자 요소와 전기적으로 연결될 수 있고 상기 제1 마이크로 전자 요소와는 전기적으로 연결되지 않을 수 있다.

[0033] 일례로서, 상기 기판은 유전체 요소를 포함할 수 있고, 상기 유전체 요소는 상기 유전체 요소의 평면에서 30 ppm/°C(섭씨 온도당 ppm) 미만의 열팽창 계수(CTE)를 가진다.

[0034] 일례로서, 상기 기판은 12 ppm/°C 미만의 CTE를 갖는 요소를 포함할 수 있다.

도면의 간단한 설명

[0035] 도 1은 기존의 마이크로 전자 패키지를 나타내는 단면도이다.

도 2는 본원에서 언급되는 마이크로 전자 어셈블리를 나타내는 개략적인 사시도이다.

도 3은 본원에서 언급되는 마이크로 전자 어셈블리를 나타내는 단면도이다.

도 4는 도 3에 도시된 바와 같은 어셈블리에서 한 쌍의 마이크로 전자 패키지들 사이의 전기적 상호접속을 나타내는 개략도이다.

도 5a는 본 발명의 일 실시예에 따라 마이크로 전자 패키지 상에서 단자들의 배열을 나타내는 평면도이다.

도 5b는 도 5a에 도시된 바와 같은 패키지 상에서 단자들의 가능한 배열을 나타내는 추가적인 평면도이다.

도 5c는 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 단면도이다.

도 6a, 6b, 6c는 본 발명의 일 실시예에 따른 패키지에 통합되는 마이크로 전자 요소 상의 요소 콘택의 다양한 배열을 나타내는 평면도이다.

도 7a는 본 발명의 일 실시예에 따른 마이크로 전자 어셈블리를 나타내는 단면도이다.

도 7b는 본 발명의 일 실시예에 따른 마이크로 전자 어셈블리를 나타내는 개략적인 사시도이다.

도 8은 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 단면도이다.

도 9는 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 단면도이다.

도 10은 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 단면도이다.

도 11은 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 단면도이다.

도 12는 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 평면도이다.

도 13은 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 단면도이다.

도 14는 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 단면도이다.

도 15a는 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 단면도이다.

도 15b는 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 단면도이다.

도 16은 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 평면도이다.

도 17은 도 16에 도시된 바와 같은 마이크로 전자 패키지를 추가적으로 나타내는 단면도이다.

도 18은 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 추가적으로 나타내는 평면도이다.

도 19는 도 16에 도시된 바와 같은 제1 및 제2 마이크로 전자 패키지를 통합하는 마이크로 전자 어셈블리를 나타내는 단면도이다.

도 20 및 21은 도 16에 도시된 바와 같은 본 발명의 일 실시예에 따른 마이크로 전자 패키지에서 대안적인 단자 배열을 나타낸다.

도 22는 도 16에 도시된 본 발명의 일 실시예의 변형에 따른 마이크로 전자 패키지를 나타내는 단면도이다.

도 23은 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 평면도이다.

도 24는 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 평면도이다.

도 25는 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 평면도이다.

도 26은 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 평면도이다.

도 27은 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 평면도이다.

도 28은 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 평면도이다.

도 29는 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 평면도이다.

도 30은 본 발명의 일 실시예에 따른 마이크로 전자 패키지를 나타내는 평면도이다.

도 31은 본 발명의 일 실시예에 따른 시스템을 나타내는 개략적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0036] 도 1과 관련하여 기술되는 예시적인 기준의 마이크로 전자 패키지(10)의 측면에서, 본 발명자들은 메모리 저장 어레이 칩을 통합하는 패키지 및 이러한 패키지를 통합하는 어셈블리의 전기적인 성능을 개선하는데 도움이 될 수 있는 개선사항을 인식하였다.

[0037] 특히 도 2 내지 4에 도시된 바와 같은 어셈블리로 제공될 때 마이크로 전자 패키지의 용도를 위해 개선이 이루어질 수 있고, 이러한 도면에서는 패키지(12A)가 회로 패널의 표면에 장착되고, 다른 유사한 패키지(12B)가 회로 패널의 반대쪽 표면에 이와 반대로 장착된다. 패키지(12A, 12B)는 통상적으로 서로 기능상 그리고 기계적으로 동등하다. 기능 및 기계적으로 동등한 패키지의 다른 쌍들(12C 및 12D; 12E 및 12F) 또한 동일한 패널

(34)에 장착될 수 있다. 회로 패널 및 회로 패널에 어셈블링된 패키지는 통상 DIMM(dual in-line memory module)로 지칭되는 어셈블리의 일부를 형성할 수 있다. 각각 반대로 장착된 패키지들의 쌍에서의 패키지들, 예컨대 패키지들(12A, 12B)은 회로 패널의 양쪽 표면 상의 콘택에 연결되어 각 쌍의 패키지들이 통상적으로 각각의 면적의 90% 이상 서로 겹치게 된다. 회로 패널(34) 내의 국부 와이어링에 의해 각 패키지 상의 단자들, 예컨대 "1" 및 "5"로 표기된 단자들이 회로 패널 상의 전역 와이어링에 연결된다. 전역 와이어링은 회로 패널(34) 상의 연결 사이트, 예컨대 연결 사이트(I, II, III)로 몇몇 신호를 전도하는데 이용되는 버스(36)의 신호 도전체를 포함한다. 예를 들면, 패키지(12A, 12B)는 연결 사이트(I)에 커플링된 국부 와이어링에 의해 버스(36)에 전기적으로 연결되고, 패키지(12C, 12D)는 연결 사이트(II)에 커플링된 국부 와이어링에 의해 버스에 전기적으로 연결되며, 패키지(12E, 12F)는 연결 사이트(III)에 커플링된 국부 와이어링에 의해 버스에 전기적으로 연결된다.

[0038]

회로 패널(34)은 십자형(crisscross) 또는 신발끈(shoelace) 패턴과 유사한 형태의 국부적인 상호접속 와이어링을 이용하여 각각의 패키지(12A, 12B)의 단자들을 전기적으로 상호접속하고, 이러한 패턴에서는, 패키지(12A)의 하나의 에지(16) 근방에 "1"로 표기된 단자가 회로 패널(34)을 통해 패키지(12B)의 동일한 에지(16) 근방의 패키지(12B)의 "1"로 표기된 단자에 연결된다. 그러나, 회로 패널(34)에 어셈블링된 패키지(12B)의 에지(16)는 패키지(12A)의 에지(16)와는 떨어져 있다. 또한 도 2 내지 4에 도시된 바에 따르면, 패키지(12A)의 에지(22) 근방에 "5"로 표기된 단자는 회로 패널(34)을 통해 패키지(12B)의 동일한 에지(22) 근방의 패키지(12B)의 "5"로 표기된 단자에 연결된다. 어셈블리(38)에서 패키지(12A)의 에지(22)는 패키지(12B)의 에지(22)와는 떨어져 있다.

[0039]

각 패키지, 예를 들면 패키지(12A) 상의 단자와 이와 반대로 장착된 패키지, 예컨대 패키지(12B) 상의 대응하는 단자 간의 회로 패널을 통한 연결은 상당히 길다. 도 3에 추가로 도시된 바와 같이, 유사한 마이크로 전자 패키지(12A, 12B)의 이러한 어셈블리에서, 버스로부터의 동일한 신호가 각각의 패키지에 전송되어야 하는 경우, 회로 패널(34)은 버스(36)의 신호 도전체를 "1"로 표기된 패키지(12A)의 단자 및 "1"로 표기된 패키지(12B)의 대응하는 단자와 전기적으로 상호접속시킬 수 있다. 마찬가지로, 회로 패널(34)은 버스(36)의 다른 신호 도전체를 "2"로 표기된 패키지(12A)의 단자 및 "2"로 표기된 패키지(12B)의 대응하는 단자에 전기적으로 상호접속시킬 수 있다. 각 패키지(12A, 12B)의 "3"으로 표기된 단자들 간의 회로 패널(34)을 통한 전기적 연결에 대해서도 동일한 사항이 적용될 수 있다. 동일한 연결 배열은 또한, 버스의 다른 신호 도전체 및 각 패키지의 대응하는 단자들에도 적용될 수 있다. 보드의 연결 사이트(I)에서 회로 패널 상의 버스(36)와 패키지들의 개별적인 쌍의 각 패키지(예를 들면, 패키지(12A, 12B))(도 2 참조) 사이의 국부 와이어링은 비종단형 스타브(unterminated stub)의 형태일 수 있다. 일부 경우에서 이러한 국부 와이어링이 비교적 긴 경우 어셈블리(38)의 성능에 영향을 미치게 되는데, 이에 대해서는 이후 논의한다. 나아가, 회로 패널(34)은 또한 국부 와이어링이 다른 패키지의 특정 단자들을 전기적으로 상호접속시킬 것을 요구한다; 패키지(12C, 12D)의 쌍 및 패키지(12E, 12F)의 쌍이 버스(36)의 전역 와이어링에 연결되고 이러한 와이어링은 또한 동일한 방식으로 어셈블리의 성능에 영향을 미칠 수 있다.

[0040]

도 4는 마이크로 전자 패키지(12A, 12B) 사이에서 "1", "2", "3", "4", "5", "6", "7", "8"의 신호를 전달하도록 할당된 단자들의 각 쌍의 상호접속을 추가로 나타낸다. 도 4에 도시된 바와 같이, 단자의 컬럼(14, 18)은 각 패키지(12A, 12B)의 에지(15, 22) 근방에 각각 위치하기 때문에, 단자의 컬럼(14, 18)이 연장되는 방향(42)을 가로지르는 방향(40)으로 회로 패널(34)을 가로지르는데 필요한 와이어링은 상당히 길 수 있다. DRAM 칩의 길이가 각각의 측에서 10 밀리미터의 범위 내일 수 있다는 점을 인식하면, 반대편에 장착된 2개의 패키지(12A, 12B)의 대응하는 단자로 동일한 신호를 라우팅하는데 필요한, 도 2 내지 4에 도시된 어셈블리(38)에서의 회로 패널(34)의 국부 와이어링의 길이는, 일부의 경우에 5 내지 10 밀리미터의 범위일 수 있고, 통상적으로 대략 7 밀리미터일 수 있다.

[0041]

일부 경우에서, 이러한 반대편에 장착된 마이크로 전자 패키지의 단자들을 연결하는데 필요한 회로 패널 와이어링의 길이는 어셈블리의 전기적인 성능에 심각한 영향을 미치지 않을 수도 있다. 그러나, 패키지(12A, 12B) 상의 연결된 단자 쌍에 의해 전달되는 신호가, 어드레스 정보 또는 다른 정보, 예를 들면 회로 패널에 연결된 복수의 패키지의 메모리 저장 어레이 기능의 동작에 공통되는 어드레스 정보를 샘플링하기 위해 이용될 수 있는 클록 정보를 전달하는데 이용되는 버스(36)로부터의 신호인 경우, 본 발명자들은 버스(36)로부터 각 패키지 상의 단자까지 연장되는 스타브의 와이어링 길이가 성능에 상당한 영향을 미칠 수 있다는 점을 인식하였다. 상호접속 와이어링이 비교적 긴 경우, 보다 심각한 충격이 생기고, 이는 정착 시간(settling time), 렉잉, 지터, 또는 송신된 신호에 대한 심볼간 간섭을 수용할 수 없는 정도까지 높일 수 있다.

- [0042] 특정 실시예에서, 어드레스 정보를 전달하는데 이용되는 버스(36)는, 명령 정보, 어드레스 정보, 뱅크 어드레스 정보, 및 클록 정보를 전달하도록 구성되는 공통-어드레스 버스(36)일 수 있다. 특정 구현예에서, 이러한 명령 정보는 회로 패널 상의 각각의 신호 도전체 상에서 명령 신호로 송신될 수 있다. 또한 어드레스 정보는 각각의 신호 도전체 상에서 어드레스 신호로 송신될 수 있고, 뱅크 어드레스 정보는 각각의 신호 도전체 상에서 뱅크 어드레스 신호로 송신될 수 있으며, 클록 정보는 각각의 도전체 상에서 클록 신호로 송신될 수 있다. DRAM 칩과 같은 메모리 저장 어레이를 갖는 마이크로 전자 요소의 특정 구현예에서, 버스(36)에 의해 전달될 수 있는 명령 신호는 기록 인에이블, 로우 어드레스 스트로브 및 컬럼 어드레스 스트로브일 수 있고, 버스(36)에 의해 전달될 수 있는 클록 신호는 버스(36)에 의해 전달되는 어드레스 신호를 샘플링하기 위해 적어도 이용되는 클록 신호일 수 있다.
- [0043] 따라서, 본원에서 기술되는 본 발명의 특정 실시예에 의해 마이크로 전자 패키지가 제공되며, 이러한 마이크로 전자 패키지는, 제1 패키지 및 제2 패키지가 회로 패널(예를 들어, 회로 보드, 모듈 보드 또는 카드, 또는 플렉서블 회로 패널)의 양쪽 표면 상에서 서로 반대편에 장착되는 경우 회로 패널 상의 스터브의 길이를 감소시키도록 구성된다. 회로 패널 상에 서로 반대쪽에 장착된 제1 마이크로 전자 패키지 및 제2 마이크로 전자 패키지를 포함하는 어셈블리는 각각의 패키지들 사이의 스터브 길이를 상당히 감소시킬 수 있다. 이러한 어셈블리 내의 스터브 길이의 감소는, 예를 들어 특히 정착 시간, 링잉, 지터, 또는 심볼간 간섭 중 하나 이상을 줄임으로써, 전기적인 성능을 개선할 수 있다. 나아가, 예를 들면 회로 패널의 구조의 단순화, 또는 회로 패널의 설계 또는 제조, 또는 설계 및 제조 양자 모두의 복잡성 및 비용 감소 등과 같은 다른 이점 또한 얻을 수 있다.
- [0044] 따라서 본 발명의 일 실시예에 따른 마이크로 전자 패키지(100)가 도 5a-5c에 도시된다. 이러한 도면에 도시된 바와 같이, 패키지(100)는 메모리 저장 어레이 기능을 갖는 마이크로 전자 요소(101)를 포함할 수 있다. 일례로서 마이크로 전자 요소는, 어떠한 다른 기능보다도, 메모리 저장 어레이 기능을 제공하도록 구성되는 더 많은 수의 능동 소자, 예컨대 트랜지스터를 갖는다는 점에서, 주로 메모리 저장 어레이의 기능을 제공하도록 구성될 수 있다. 그러나, 다른 예로서 마이크로 전자 요소(101)는 주로 메모리 저장 어레이 기능을 제공하도록 구성될 필요가 없다.
- [0045] 마이크로 전자 요소는 전면(105)에 요소 콘택(111, 113)을 가지며, 이러한 이러한 요소 콘택은 기판(102)의 제1 표면(108)에서 노출되는 각각의 기판 콘택(121, 123)에 전기적으로 연결된다. 본원에서 사용될 때 전기적으로 도전성인 요소가 구조체의 표면"에서 노출"된다는 표현은, 전기적으로 도전성인 요소가 구조체의 외부로부터 표면을 향해 표면에 수직인 방향으로 이동하는 이론상의 점과 접촉할 수 있음을 나타낸다. 따라서, 구조체의 표면에서 노출되는 단자 또는 다른 도전성 요소가 이러한 표면으로부터 돌출될 수 있거나; 이러한 표면과 동일 평면일 수 있거나; 또는 이러한 표면에 대하여 리세스되어 구조체 내의 홀 또는 함몰부를 통해 노출될 수 있다.
- [0046] 일례로서, 와이어 본드(112)는 요소 콘택(111, 113)을 기판 콘택(121, 123)과 전기적으로 연결시킬 수 있다. 대안으로서, 다른 유형의 도전체, 예컨대 리드 프레임의 부분, 플렉서블 리본 본드 등이, 요소 콘택(111, 113)을 각각의 기판 콘택(121, 123)과 전기적으로 연결하는데 이용될 수 있고, 이는 일부 경우에서 마이크로 전자 요소(101)의 전면(105)보다 기판 표면(108)으로부터 더 높은 위치에 배치된 다른 도전성 요소에 요소 콘택(111, 113)을 연결할 수 있다. 이러한 마이크로 전자 요소(101)의 한 가지 유형으로, 요소 콘택(111, 113) 중 일부 콘택은 각각, 마이크로 전자 요소에 공급되는 어드레스 정보 중 특정 어드레스 정보를 수신하도록 구성될 수 있다. 특정 실시예에서, 이러한 콘택(111, 113) 각각은, 마이크로 전자 요소의 외부로부터, 즉 예를 들어 와이어 본드(112)와 같은 패키지의 와이어링을 통해서, 그리고 기판의 표면(110)에서 노출되는 단자(104, 106)를 통해서, 마이크로 전자 요소(101)에 공급되는 복수의 어드레스 신호의 각 어드레스 신호를 수신하도록 구성될 수 있다.
- [0047] 이러한 유형의 마이크로 전자 요소(101)의 한 가지 특정한 예로서, 요소 콘택(111, 113)에 존재하는 어드레스 정보는 각각의 마이크로 전자 요소에 의해 이용되는 클록의 에지에 대하여, 즉 상이한 제1 전압 상태와 제2 전압 상태 사이에서의 클록의 천이 시에, 샘플링될 수 있다. 즉, 각각의 어드레스 신호는, 보다 낮은 전압 상태와 보다 높은 전압 상태 사이에서 클록의 상승 천이 시에, 또는 보다 높은 전압 상태와 보다 낮은 전압 상태 사이에서 클록의 하강 천이 시에, 샘플링될 수 있다. 이와 같이 복수의 어드레스 신호는 모두 클록의 상승 천이 시에 샘플링될 수 있거나, 이러한 어드레스 신호는 모두 클록의 하강 천이 시에 샘플링될 수 있거나, 또는 다른 예로서, 요소 콘택(111, 113) 중 하나에서 어드레스 신호가 클록의 상승 천이 시에 샘플링될 수 있고 다른 하나의 외부 콘택에서 어드레스 신호가 클록의 하강 천이 시에 샘플링될 수 있다.
- [0048] 주로 메모리 저장 어레이 기능을 제공하도록 구성되는 마이크로 전자 요소(101)의 다른 유형에서, 하나 이상의

어드레스 콘택이 다중화된 방식으로 이용될 수 있다. 이러한 예에서, 각각의 마이크로 전자 요소(101)의 특정 요소 콘택(111, 113)은 외부로부터 마이크로 전자 요소로 공급되는 둘 이상의 상이한 신호를 수신할 수 있다. 따라서, 특정 콘택(111, 113)에서 제1 어드레스 신호가, 상이한 제1 전압 상태와 제2 전압 상태 사이에서 클록의 제1 천이 시에(예를 들면, 상승 천이) 샘플링될 수 있고, 특정 콘택에서 제1 어드레스 신호와는 다른 신호가, 제1 전압 상태와 제2 전압 상태 사이에서 클록의 제1 천이와는 반대인 제2 천이 시에(예를 들면, 하강 천이) 샘플링될 수 있다.

[0049] 이러한 다중화된 방식으로, 2개의 상이한 신호가 각각의 마이크로 전자 요소(101)의 동일한 요소 콘택(111, 113)의 동일한 사이클 내에서 수신될 수 있다. 특정한 경우, 이러한 방식의 다중화에 의해, 각각의 마이크로 전자 요소(101)의 동일한 요소 콘택(111, 113) 상에서 동일한 클록 사이클에 제1 어드레스 신호 및 상이한 신호가 수신될 수 있다. 또 다른 예로서, 이러한 방식의 다중화에 의해, 각각의 마이크로 전자 요소(101)의 동일한 요소 콘택(111, 113) 상에서 동일한 클록 사이클에 제1 어드레스 신호 및 제2의 상이한 어드레스 신호가 수신될 수 있다.

[0050] 일부 실시예에서, 기판(102)은 판형 또는 보드형 유전체 요소를 포함할 수 있고, 이러한 유전체 요소는 특히 필수적으로 고분자 재료, 예를 들면 수지 또는 폴리이미드로 이루어질 수 있다. 대안으로서, 기판은 예를 들어, BT 수지 또는 FR-4 구성의, 유리 강화 에폭시와 같은 복합 구성을 갖는 유전체 요소를 포함할 수 있다. 일부 예에서, 유전체 요소는 유전체 요소의 평면에서, 즉 제1 표면(108)에 평행한 방향으로, 30 ppm/°C(섭씨 온도당 ppm) 미만의 열팽창 계수(CTE)를 갖는다. 다른 예로서, 기판은 12 ppm/°C 미만의 열팽창 계수(CTE)를 갖는 재료의 지지 요소를 포함할 수 있고, 그 위에 단자 및 다른 도전성 구조체가 배치된다. 예를 들어, 이러한 낮은 CTE 요소는 필수적으로 유리, 세라믹 또는 반도체 재료 또는 액정 폴리머 재료, 또는 이러한 재료의 조합물로 이루어질 수 있다.

[0051] 도 5c에 도시된 바와 같이, 기판 콘택의 제1 세트(121) 및 제2 세트(123)는 기판의 제1 표면(108)에서 노출될 수 있다. 기판 콘택의 제1 세트(121)는, 예를 들어 마이크로 전자 요소의 면(105) 위로 연장되는 전기적으로 도전성인 구조체를 통해, 마이크로 전자 요소의 요소 콘택(132)의 컬럼(111)(도 6a)과 전기적으로 연결될 수 있다. 예를 들어, 도전성 구조체는 와이어 본드(112)일 수 있다. 일부 경우에서, 마이크로 전자 요소의 후면(107)과 기판(102)의 표면(108) 사이에 다이 부착 접착제가 배치될 수 있고, 이는 마이크로 전자 요소와 기판 사이의 연결을 기계적으로 강화할 수 있다. 기판 콘택의 제2 세트(123)는 요소 콘택(132)의 컬럼(113)(도 6a)과 전기적으로 연결될 수 있다.

[0052] 도 6a에 추가로 도시된 바와 같이, 마이크로 전자 요소(130)의 에지(170)는 제1 방향(12)으로 연장될 수 있고, 에지(170)에 인접한 콘택(132)의 컬럼(111)은 면(105)을 따라 동일한 제1 방향(142)으로 연장될 수 있다. 에지(170)에 평행한 마이크로 전자 요소(130)의 다른 에지(172)는 제1 방향(142)으로 연장되고 콘택(132)의 제2 컬럼(113)은 에지(172)에 인접하여 면(105)을 따라 동일한 제1 방향(142)으로 연장될 수 있다. 또한 도 6a에 도시된 바와 같이, 마이크로 전자 요소 상의 콘택의 컬럼은 컬럼(111)의 경우와 마찬가지로 완전 실장(fully populated)되어 있을 수 있거나, 콘택의 컬럼은 컬럼(113)의 경우와 마찬가지로 단지 컬럼 내의 일부 위치에서만 콘택을 가질 수도 있다. 와이어 본드(112)(도 5c)와 같은 도전성 구조체는 콘택(111, 113)을 기판의 제1 표면(108) 상에서 대응하는 콘택(121, 123)과 전기적으로 연결할 수 있다.

[0053] 도 6b는 도 6a에 도시된 실시예의 변형예를 나타내고, 여기서는 마이크로 전자 요소(180)의 콘택(132)이 마이크로 전자 요소(180)의 각각의 주변 에지(170, 172, 176, 178)에 인접하는 컬럼 및 로우로 배치되어 이러한 에지와 정렬될 수 있다. 에지(170, 172)는 평행하고 제1 방향(142)으로 연장된다.

[0054] 도 6c는 도 6a에 도시된 실시예의 다른 변형예를 나타내고, 여기서는 마이크로 전자 요소(190)의 콘택이 마이크로 전자 요소의 에지(170, 172)에 인접하는 컬럼(188, 189)으로 배치된다. 그러나 이러한 경우, 마이크로 전자 요소(190)는 그 위에 도전성 재분배 층을 가지는 반도체 칩을 포함하고, 콘택(132)은 재분배 콘택의 컬럼(188, 189)을 포함할 수 있고, 이러한 재분배 콘택은 반도체 칩의 콘택(192, 194)과 접촉하도록 형성된 금속화 비아 또는 도전성 트레이스에 의해 반도체 칩의 콘택(192, 194)에 연결된다(또는 재분배 콘택이 금속화 비아 및 트레이스 양자 모두에 의해 칩의 콘택(192, 194)에 연결될 수 있음). 이러한 경우, 콘택(192, 194)은 일부 경우에서 반도체의 BEOL(Back End Of Line) 와이어링을 통해서 반도체 칩의 능동 소자와 연결될 수 있고, 이러한 와이어링은 비아 또는 이와 다른 전기적으로 도전성인 구조체를 포함할 수 있으며, 일부 경우에서 콘택(192, 194) 아래에 배치될 수 있다.

[0055] 특히 도 6a-6c에 도시된 바와 같이, 일부 실시예에서, 마이크로 전자 요소의 콘택은 콘택(192)에 대해 도시된

바와 같이 단일한 컬럼으로 배열될 수 있거나, 콘택은 콘택(111, 113)에 대해 도시된 바와 같이 복수의 컬럼으로 배열될 수 있다. 각각의 컬럼은 방향(142)을 따라 컬럼의 각각의 수직 레이아웃 위치에 콘택을 포함할 수 있거나, 콘택(113)의 컬럼들 중 하나의 컬럼의 경우와 마찬가지로 컬럼의 하나 이상의 위치에서 콘택이 빠질 수 있다. 특정한 실시예에서, 콘택은 마이크로 전자 요소의 면(105) 위에서 영역 어레이로 배열될 수 있다. 다른 예로서 마이크로 전자 요소의 콘택은, 도 5b에서 마이크로 전자 요소의 경계를 정하는 점선으로 표시된 마이크로 전자 요소의 하나 이상의 주변 에지에 인접하는 하나 이상의 콘택 세트로 배열될 수 있다. 특정 실시예에서, 마이크로 전자 요소는 하나의 반도체 칩일 수 있고, 그 위의 콘택(111 또는 113)은 반도체 칩의 콘택인 "칩 콘택"일 수 있다. 도 6c에 도시된 바와 같은 다른 예로서, 특정 마이크로 전자 요소(190)는 각각 칩 콘택을 갖는 하나 이상의 반도체 칩을 포함할 수 있고, 콘택(111 또는 113)은, 면(105) 상에 형성되어 있고 예를 들어 트레이스 및 비아와 같은 도전성 요소에 의해 칩 콘택에 전기적으로 연결되는 재분배 콘택을 포함할 수 있다. 달리 말하지 않는 경우, 본원의 각각의 예에서 마이크로 전자 요소의 "콘택"은 이와 같이 기술된 방법 중 임의의 방법으로 배열될 수 있다.

[0056] 마이크로 전자 요소는 또한 요소 콘택의 컬럼 내에 배치되지 않을 수 있는 부가적인 콘택을 포함할 수 있다. 이러한 부가적인 콘택은 전력, 접지로의 연결을 위해 이용되거나, 예를 들면 테스트를 위해 이용될 수 있는 프로브 디바이스와 접촉을 위해 이용가능한 콘택으로 이용될 수 있다.

[0057] 도 5c에 도시된 바와 같이, 패키지(100)는 예를 들어 회로 패널과 같은, 패키지(100) 외부의 컴포넌트와 패키지(100)를 전기적 및 기계적으로 연결하기 위해 제1 단자(104) 및 제2 단자(106)를 가질 수 있다. 단자(104, 106)는 기판의 표면(110)에서 노출된 전기적으로 도전성인 패드, 포스트, 또는 다른 전기적으로 도전성인 구조체일 수 있다. 도 5c에 도시된 예에서, 일부 경우 이러한 단자는 결합 요소(133)를 포함할 수 있고, 예를 들면 특히 솔더, 주석, 인듐, 금, 또는 공정(eutectic) 재료와 같은 본드 금속, 또는 다른 도전성 접합 재료를 포함할 수 있고, 일부 경우에는 또한 도전성 패드 또는 포스트와 같은 기판의 도전성 구조체에 부착되는 도전성 범프와 같은 부가적인 구조체를 포함할 수도 있다. 제1 단자(104) 및 제2 단자(106)는 예를 들어 트레이스 및 비아와 같은 기판 상의 전기적으로 도전성인 구조체를 통해 기판 콘택(121, 123)과 전기적으로 연결될 수 있다.

[0058] 제1 단자(104)의 제1 세트는 제1 표면(108)으로부터 반대편에 있는 기판(102)의 제2 표면(110)에서 제1 그리드(114) 내의 위치에 배열될 수 있다. 제1 표면(108) 및 제2 표면(110)은 반대 방향으로 향하고 있고, 즉 서로에 대하여 반대이고, "서로 반대편인 표면"이다. 제1 단자(104)의 제2 세트는 기판의 제2 표면(110)에서 제2 그리드(124) 내의 위치에 배열될 수 있다. 일부 도면에서 제1 그리드와 제2 그리드는 마이크로 전자 요소의 전면의 외측 경계를 넘어 연장되는 것으로 도시되어 있지만, 그럴 필요는 없다. 본 발명의 일부 실시예에서, 제1 단자의 제1 그리드(114) 및 제2 그리드(124) 각각은 위에서 논의된 어드레스 정보, 또는 특정 실시예에서는 명령 어드레스 버스의 특정 신호를 전달하도록 구성될 수 있다.

[0059] 예를 들어, 마이크로 전자 요소(101)가 DRAM 반도체 칩을 포함하거나 DRAM 반도체 칩인 경우, 제1 그리드(114) 및 제2 그리드(124) 각각은 마이크로 전자 패키지(100)에 전송되는 어드레스 정보를 전달하도록 구성되고, 이러한 어드레스 정보는, 패키지에서 마이크로 전자 요소 내의 메모리 저장 어레이의 모든 이용가능한 어드레스가능 메모리 위치 중에서 어드레스가능 메모리 위치를 결정하기 위해, 패키지 내의 회로, 예를 들면 로우 어드레스 및 컬럼 어드레스 디코더, 및 뱅크 선택 회로(존재하는 경우)에 의해 이용될 수 있다. 특정 실시예에서, 제1 그리드(114) 및 제2 그리드(124)는 이러한 메모리 저장 어레이 내에서 어드레스가능 메모리 위치를 결정하기 위해 마이크로 전자 패키지(100) 내의 이러한 회로에 의해 이용되는 모든 어드레스 정보를 전달하도록 구성될 수 있다.

[0060] 이러한 실시예의 변형예로서, 제1 그리드(114) 및 제2 그리드(124) 각각의 제1 단자는, 이러한 메모리 저장 어레이 내에서 어드레스가능 메모리 위치를 결정하기 위해 마이크로 전자 패키지(100) 내의 이러한 회로에 의해 이용되는 어드레스 정보의 과반수를 전달하도록 구성될 수 있고, 그러면 다른 단자가, 예컨대 마이크로 전자 패키지 상의 상기 제2 단자(106) 중 적어도 일부가 어드레스 정보의 잔여 부분을 전달하도록 구성될 것이다. 이러한 변형에서, 특정 실시예로서, 제1 그리드(114) 및 제2 그리드(124) 각각의 제1 단자는, 이러한 메모리 저장 어레이 내에서 어드레스가능 메모리 위치를 결정하기 위해 마이크로 전자 패키지(100) 내의 이러한 회로에 의해 이용되는 어드레스 정보 중 3/4 또는 그 이상을 전달하도록 구성된다.

[0061] 특정 실시예에서, 제1 그리드(114) 및 제2 그리드(124) 각각은 칩 셀렉트 정보, 예를 들면 칩 내의 메모리 저장 위치에 액세스하기 위해 마이크로 전자 패키지(100) 내의 특정 칩을 선택하는데 이용될 수 있는 정보를 전달하도록 구성되지 않을 수도 있다. 다른 실시예로서, 제1 그리드(114) 및 제2 그리드(124) 중 적어도 하나는 실제

로 칩 셀렉트 정보를 전달할 수 있다.

[0062] 통상적으로, 마이크로 전자 패키지(100) 내의 마이크로 전자 요소(101)가 DRAM 칩이거나 DRAM 칩을 포함하는 경우, 어드레스 정보는 일 실시예에서 패키지 외부의 컴포넌트로부터 패키지에 전송되는 모든 어드레스 정보를 포함할 수 있고, 이러한 외부 컴포넌트의 예로는 회로 패널, 예컨대 이하 설명하는 회로 패널(154)(도 7a)이 있고, 어드레스 정보는 관독 액세스를 위해, 또는 관독 또는 기록 액세스를 위해, 마이크로 전자 패키지 내의 랜덤 액세스 어드레스 가능 메모리 위치를 결정하는데 이용된다.

[0063] 제2 단자(106) 중 적어도 일부는 제1 그리드(114) 및 제2 그리드(124)의 제1 단자(104)에 의해 전달되는 어드레스 신호 이외의 신호를 전달하도록 구성될 수 있다. 특정 예로서, 제2 단자(106)는 데이터, 데이터 스트로브 신호, 또는 다른 신호 또는 기준 전위, 예컨대 칩 셀렉트, 리셋, 전원 전압, 예를 들어 Vdd, Vddq, 및 접지, 예를 들면 Vss 및 Vssq 중 하나 이상을 전달할 수 있다. 제2 단자의 일부 또는 모두가 제1 그리드(114) 및 제2 그리드(124) 내의 위치에 배치될 수 있다. 이러한 경우, 제1 그리드(114) 및 제2 그리드(124) 내의 위치에 배치된 일부 단자가, 데이터, 데이터 스트로브 신호, 또는 다른 신호 또는 기준 전위, 예컨대 칩 셀렉트, 리셋, 전원 전압, 예를 들어 Vdd, Vddq, 및 접지, 예를 들면 Vss 및 Vssq 중 하나 이상을 전달하도록 구성될 수 있다. 제3 그리드(116) 및 제4 그리드(126) 내의 위치에 배치된 일부 단자가, 데이터, 데이터 스트로브 신호, 또는 다른 신호 또는 기준 전위, 예컨대 칩 셀렉트, 리셋, 전원 전압, 예를 들어 Vdd, Vddq, 및 접지, 예를 들면 Vss 및 Vssq 중 하나 이상을 전달하도록 구성될 수 있다.

[0064] 특정 실시예에서, 각각의 마이크로 전자 패키지의 제1 그리드(114) 및 제2 그리드(124) 각각의 제1 단자는 마이크로 전자 요소(101)의 동작 모드를 제어하는 정보를 전달하도록 구성될 수 있다. 보다 구체적으로, 제1 그리드(114) 및 제2 그리드(124) 각각은 마이크로 전자 패키지(100)에 전송되는 명령 신호 및/또는 클록 신호의 특정 세트 모두를 전달하도록 구성될 수 있다. 일 실시예로서 제1 단자(104)는, 외부의 컴포넌트, 예컨대 회로 패널 또는 다른 디바이스로부터 마이크로 전자 패키지(100)에 전송되는 명령 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호 모두를 전달하도록 구성될 수 있고, 여기서 명령 신호는 로우 어드레스 스트로브, 컬럼 어드레스 스트로브 및 기록 인에이블을 포함한다.

[0065] 하나 이상의 마이크로 전자 요소가 DRAM 반도체 칩, 또는 DRAM 칩의 어셈블리에 의해 제공되는 것과 같은 동적 메모리 저장 어레이 기능을 제공하도록 구성되는 실시예에서, 명령 신호는 기록 인에이블, 로우 어드레스 스트로브, 컬럼 어드레스 스트로브 신호일 수 있다. ODT(on die termination), 칩 셀렉트, 클록 인에이블과 같은 다른 신호는 제1 그리드(114) 및 제2 그리드(124) 내에 배치된 단자에 의해 전달될 수도 있고 그렇지 않을 수도 있다. 클록 신호는 어드레스 신호를 샘플링하기 위해 하나 이상의 마이크로 전자 요소에 의해 이용되는 클록일 수 있다. 예를 들어 도 7에 도시되고 도 5a에 추가적으로 도시된 바와 같은 마이크로 전자 패키지에서, 제1 단자(104)는 클록 신호(CK, CKB), 로우 어드레스 스트로브(RAS), 컬럼 어드레스 스트로브(CAS), 기록 인에이블 신호(WE) 뿐만 아니라 어드레스 신호(A0 내지 A15 포함), 및 뱅크 어드레스 신호(BA0, BA1, BA2)를 전달하도록 구성될 수 있다.

[0066] 도 5a-5c에 도시된 실시예에서, 제3 그리드(116) 및 제4 그리드(126) 내의 위치에 배치될 수 있는 제2 단자(106) 중 적어도 일부는, 제1 그리드(114) 및 제2 그리드(124)의 제1 단자(104)에 의해 전달되는 명령 신호, 어드레스 신호, 및 클록 신호 이외의 신호를 전달하도록 구성될 수 있다. 신호 또는 기준 전위, 예컨대 칩 셀렉트, 리셋, 전원 전압, 예를 들어 Vdd, Vddq, 및 접지, 예를 들면 Vss 및 Vssq는, 달리 언급되지 않는 한, 본원에서 참조하는 임의의 실시예에서 제2 단자(106)에 의해 전달될 수도 있고 또는 그렇지 않을 수도 있다.

[0067] 일 실시예에서, 어드레스 신호 이외의 신호를 전달하도록 구성되는 제2 단자(106) 중 적어도 일부는 제1 그리드(114) 및 제2 그리드(124) 내의 위치에 배열될 수 있다. 일례로서, 명령 신호, 어드레스 신호, 및 클록 신호 이외의 신호를 전달하도록 구성되는 제2 단자(106) 중 적어도 일부는 제1 그리드(114) 및 제2 그리드(124) 내의 위치에 배열될 수 있다. 제2 단자(106)의 특정 구성이 도면에 도시되어 있지만, 이러한 특정 구성은 예시의 목적으로 제시된 것이고 제한하고자 의도가 아니다. 예를 들어, 제2 단자(106)는 또한 전원 또는 접지 신호에 연결되도록 구성되는 단자를 포함할 수 있다.

[0068] 패키지의 제1 그리드(114) 및 제2 그리드(124) 내에서 제1 단자의 배열은 특히 도 5a-5c에 도시되어 있다. 일례로서, 각각의 그리드(114, 124)는 단자의 서로 평행한 제1 및 제2 컬럼(136)을 포함할 수 있다. 각각의 그리드 내의 단자의 컬럼(136)은 서로 인접할 수 있다. 대안으로서, 도 5a-5c에 도시되어 있지는 않지만, 적어도 하나의 단자가 단자의 제1 컬럼과 제2 컬럼 사이에 배치될 수 있다. 다른 예로서, 도 5b에 도시된 바와 같이 그리드는, 컬럼 축(119)이 컬럼의 단자(104)의 다수를 통해 연장되는 단자의 컬럼, 즉 컬럼 축(119)이 그 중심

에 위치하는 단자의 컬럼을 포함할 수 있다. 그러나 이러한 컬럼에서, 하나 이상의 단자는 단자(104')의 경우와 마찬가지로 컬럼 축(119)에 중심을 두고 있지 않을 수 있다. 이러한 경우, 이러한 단자(들)는 축(119)에 중심을 두고 있지 않을 수 있지만, 이들은 어떠한 다른 컬럼의 축보다도 이러한 특정 컬럼의 축(119)에 가깝기 때문에, 이러한 하나 이상의 단자는 이러한 특정 컬럼의 일부라고 간주된다. 컬럼 축(119)은 컬럼 축에 중심을 두고 있지 않은 이러한 하나 이상의 단자를 통해 연장될 수 있거나, 일부 경우에는 이러한 중심을 두지 않은 단자들이 컬럼 축으로부터 더 멀리 떨어져 있어 컬럼 축(119)이 컬럼의 이러한 중심을 두지 않은 단자들을 통해 통과하지 않게 될 수도 있다. 하나의 컬럼 또는 둘 이상의 컬럼 내에서 하나, 몇몇, 또는 많은 단자들이 그리드 내의 각 컬럼의 컬럼 축에 중심을 두지 않을 수 있다.

[0069] 나아가, 단자의 그리드가, 예를 들면 링, 다각형 형상의 배열, 또는 단자의 분산된 분배와 같이, 컬럼이 아닌 형태로 그룹화된 단자의 배열을 포함하는 것도 가능하다. 도 5c에 도시된 바와 같이, 봉합재(146)가 기판의 제1 표면(108) 위에 놓일 수 있고, 그 안의 마이크로 전자 요소(101)에 접촉할 수 있다. 일부 경우에는, 봉합재는 기판(102)로부터 멀어지는 방향을 향하는 마이크로 전자 요소의 전면(105) 위에 놓일 수 있다.

[0070] 도 5a에 도시된 바와 같이, 제2 그리드(124) 내의 위치에 있는 제1 단자의 제2 세트 내의 제1 단자의 신호 할당은, 제1 그리드(114) 내의 각각의 위치에 있는 제1 단자의 제1 세트 내의 제1 단자의 신호 할당(124)의 미러 이미지이다. 제1 세트 내의 제1 단자의 신호 할당은 제2 세트 내의 대응하는 제1 단자의 신호 할당에 대응하고 이의 미러 이미지이다. 달리 말하면, 제1 그리드 및 제2 그리드 내의 제1 단자의 신호 할당은, 제1 그리드(114)와 제2 그리드(124) 사이의 이론상 축(132), 본 예에서는 제1 단자의 컬럼(136)이 연장되는 방향(142)으로 연장되는 축(132) 주위로 대칭을 이룬다. 이와 같이, 그리드(124)에서 제1 단자의 제2 세트 내의 제1 단자의 신호 할당은 그리드(114)에서 제1 단자의 제1 세트 내의 제1 단자의 신호 할당의 미러 이미지이다. 이에 따르는 하나의 예에서, (그리드(114, 124) 내에서) 제1 세트 및 제2 세트 각각의 제1 단자는 명백하게 패키지(100) 내의 하나 이상의 마이크로 전자 요소의 대응하는 요소 콘택을 지정하고 있고(도 5), 이러한 요소 콘택은 마이크로 전자 패키지에 통합된 하나 이상의 마이크로 전자 요소 상에서 "A3"의 동일한 명칭을 갖는다. 따라서, 제1 세트 및 제2 세트 각각에서 패키지의 외부에 있는 이러한 대응하는 제1 단자를 통해 동일한 명칭, 예를 들어 "A3"를 갖는 마이크로 전자 요소의 요소 콘택에 정보가 전송되고, 이러한 대응하는 제1 단자는, 제1 세트 및 제2 세트 내의 대응하는 제1 단자의 명칭이 상이하지만 미러 이미지 신호 할당을 갖는 것으로 간주된다. 따라서 일례로서, 미러 이미지 신호 할당(예컨대, 제1 단자의 제1 세트 및 제2 세트 각각에서 "A3"로 지정된 신호 할당)을 갖는 제1 단자의 각각의 쌍에 할당되는 신호는, 마이크로 전자 요소 상에서 "A3"의 명칭을 갖는 요소 콘택에 입력되는 정보를 전달하는 단자를 식별하지만, 제1 세트 및 제2 세트 각각에서 대응하는 단자의 명칭은 상이할 수 있고, 예를 들면 제1 세트에서는 A3L(A3 좌측)의 명칭이 제2 세트에서는 A3R(A3 우측)의 명칭이 부여될 수 있다.

[0071] 나아가, 도 5a에서 "A3"로 도시된, 제1 단자의 대응하는 쌍에서 패키지에 제공되는 어드레스 정보는, 일부 경우에서 마이크로 전자 구조체 외부의 위치에 있는 드라이버 회로의 동일한 출력으로부터 기인한다.

[0072] 결과적으로, 신호 "A3"를 전달하기 위해(즉, 위에서 언급한 바와 같이 명칭이 "A3"인 마이크로 전자 요소의 요소 콘택에 정보를 전송하기 위해) 할당되는 제1 그리드(114)의 제1 단자(104)는, 신호 "A3"를 전달하기 위해 할당되는 제2 그리드(124)의 대응하는 제1 단자(104)와 그리드 내에서 동일한 상대적 수직 위치에 있다(방향(142)으로). 그러나, 제1 그리드(114)는 2개의 컬럼(136)을 포함하고 신호 A3를 전달하기 위해 할당된 제1 그리드(114)의 단자는 제1 그리드(114)의 2개의 컬럼(136) 중에서 좌측 컬럼에 있기 때문에, 미러 이미지 배열은, 신호 A3를 전달하기 위해 할당된 제2 그리드(124)의 대응하는 단자가 제2 그리드(124)의 2개의 컬럼 중에서 우측 컬럼에 있을 것을 요구한다. 이러한 배열의 다른 결과로서, 신호 A9를 전달하기 위해 할당된 단자는 또한 제1 그리드(114) 및 제2 그리드(124) 각각에서 그리드 내의 동일한 상대적 수직 위치에 있게 된다. 그러나, 제1 그리드(114)에서, A9를 전달하기 위해 할당된 단자는 제1 그리드의 2개의 컬럼(136) 중 우측 컬럼에 있고, 미러 이미지 배열은 신호 A9을 전달하기 위해 할당된 제2 그리드(124)의 대응하는 단자가 제2 그리드(124)의 2개의 컬럼 중에서 좌측의 컬럼에 있을 것을 요구한다. 도 5a에 도시된 바와 같이, 동일한 관계가 제1 그리드 및 제2 그리드 각각에서 각각의 제1 단자에 대해 적용되고, 적어도 위에서 논의한 바와 같이 명령 어드레스 버스 신호를 전달하기 위해 할당된 각각의 제1 단자에 대해 적용된다.

[0073] 제1 단자의 신호 할당이 그 주위로 대칭을 이루는 축(132)은 기판 상의 다양한 위치에 위치할 수 있다. 특정 실시예에서, 이러한 축은 기판의 서로 반대편인 제1 애지(140) 및 제2 애지(141)로부터 등거리에 위치하는 패키지의 중심 축일 수 있는데, 이는 특히 제1 단자의 컬럼(136)이 애지(140, 141)에 평행한 방향으로 연장되고 제1 그리드 및 제2 그리드가 이러한 중심 축 주위로 대칭인 위치에 배치되는 경우 그러하다. 일례로서, 이러한 축

(132)은 기판의 제1 에지(140) 및 제2 에지(141)에 평행하고 이러한 에지로부터 등거리에 있는 라인으로부터, 단자의 임의의 인접한 2개의 컬럼들 사이의 최소 피치의 3.5배 이하의 거리 내에 위치될 수 있다. 대안으로서, 이러한 대칭 축(132)은 에지들(140, 141) 사이에서 등거리에 있는 중심 축으로부터 수평 방향(135)으로 오프셋되어 있을 수 있다.

[0074] 특정 예에서, 제1 그리드 및 제2 그리드 내의 단자는 패키지의 중심 영역에 위치할 수 있다. 일례로서, 제1 그리드(114) 및 제2 그리드(124) 각각에서 단자의 적어도 하나의 컬럼(136)은, 기판의 제1 에지(140) 및 제2 에지(141)에 평행하고 이로부터 등거리에 있는 라인으로부터, 단자의 임의의 인접한 2개의 컬럼들 사이의 최소 피치의 3.5배 이하의 거리 내에 위치될 수 있다.

[0075] 위에서 언급한 바와 같이, 제2 단자(106)는 상기 어드레스 정보 또는 상기 명령 어드레스 버스의 신호 이외의 정보를 전달하도록 구성될 수 있다. 일례로서 제2 단자(106)는, 마이크로 전자 요소로의 및/또는 마이크로 전자 요소로부터의 단방향 또는 양방향 데이터 신호, 데이터 스트로브 신호, 그리고 평행한 터미네이션-터미네이션 저항(Terminations to Termination Resistor)들을 턴온 또는 턴오프하는데 이용되는 "ODT(on die termination)" 및 데이터 마스크를 전달하기 위해 이용되는 단자를 포함할 수 있다. 특정 예로서, 제2 단자는 칩 셀렉트, 리셋, 클록 인레이블, 그리고 기준 전위, 예컨대 전원 전압, 예를 들어 Vdd, Vddq, 및 접지, 예를 들면 Vss 및 Vssq와 같은 신호를 전달할 수 있다. 일부 실시예에서, 명령 어드레스 버스 신호 이외의 신호를 전달하도록 구성되는 일부 단자 또는 모든 단자가, 적절히 위치될 수 있는 경우라면, 패키지 상에서 제2 단자(106)로서 배치되는 것도 가능하다. 예를 들어, 제2 단자(106) 중 일부 또는 모두가 제1 단자(104)가 배열되는 기판(102) 상의 동일한 그리드(114, 124) 내에 배치될 수 있다. 제2 단자(106) 중 일부 또는 모두가 제1 단자(104) 중 일부 또는 모두와 동일한 컬럼 내에 또는 이와 상이한 컬럼에 배치될 수 있다. 일부 예에서, 하나 이상의 제2 단자는 동일한 그리드 또는 이의 컬럼에서 제1 단자를 사이에 배치될 수 있다.

[0076] 특정 예로서, 제2 단자(106) 중 일부 또는 모두가 기판의 제2 표면(110) 상에서 제3 그리드(116)에 배치될 수 있고, 제2 단자의 다른 세트는 패키지 표면(110) 상의 제4 그리드(126)에 배치될 수 있다. 특정한 경우, 제1 그리드와 제2 그리드에 대해 위에서 설명한 것과 마찬가지로, 제3 그리드(116)에서 제2 단자의 신호 할당은 제4 그리드(126)에서 제2 단자의 신호 할당의 미려 이미지이다. 일부 경우에서 제3 그리드(116) 및 제4 그리드(126)는 제1 그리드 및 제2 그리드가 연장되는 방향(134)으로 연장되고 서로 평행할 수 있다. 제3 그리드 및 제4 그리드는 또한 제1 그리드(114) 및 제2 그리드(124)에 평행할 수 있다. 대안으로서, 도 5a를 참조하면, 제2 단자가 배치되어 있는 그리드(127, 129)는 방향(142)을 가로지르거나 이러한 방향에 수직인 다른 방향(135)으로 연장될 수 있다. 다른 예로서, 일부 제2 단자는 도 5a에 도시된 각각의 그리드(116, 126, 127, 129) 내에 배치될 수 있다. 일부 제2 단자는 제1 그리드(114) 및 제2 그리드(124) 내의 위치에 배치될 수 있고, 또는 그렇지 않을 수도 있다.

[0077] 또한 도 5a에 도시된 바와 같이, 그리드(127) 내의 제2 단자의 신호 클래스 할당은 수직 축(132) 주위로 대칭일 수 있고, 그리드(129) 내의 제2 단자의 신호 클래스 할당은 수직 축(132) 주위로 대칭일 수 있다. 본원에서 사용될 때 2개의 신호 클래스 할당은, 이러한 신호 할당이 할당의 동일한 클래스 내에 있다면, 클래스 내의 수치 인덱스(numerical index)가 상이하더라도, 서로에 대해 대칭일 수 있다. 예시적인 신호 클래스 할당은 데이터 신호, 데이터 스트로브 신호, 데이터 스트로브 보상 신호, 및 데이터 마스크 신호를 포함할 수 있다. 특정 예로서, 그리드(127)에서, 신호 할당(DQSH 및 DQLS)을 갖는 제2 단자는, 이러한 제2 단자가 상이한 신호 할당을 갖지만, 데이터 스트로브인 이들의 신호 클래스 할당과 관련하여 수직 축(132) 주위로 대칭을 이루고 있다.

[0078] 도 5a에 추가로 도시된 바와 같이, 예를 들어 데이터 신호(DQ0, DQ1, ...)에 대하여, 마이크로 전자 패키지 상의 제2 단자의 공간적 위치로의 데이터 신호의 할당은 수직 축(132) 주위로 modulo-X 대칭을 가질 수 있다. 이러한 modulo-X 대칭은 도 7a 및 7b에 도시된 바와 같이 어셈블리(200 또는 354)에서 신호 무결성을 유지하는데 도움이 될 수 있고, 여기서는 하나 이상의 쌍의 제1 패키지 및 제2 패키지가 서로 반대로 회로 패널에 장착되고 이러한 회로 패널은 서로 반대로 장착된 패키지 쌍 각각에서 제1 패키지 및 제2 패키지의 제2 단자의 대응하는 쌍을 전기적으로 연결한다. 단자의 신호 할당이 소정 축 주위로 "modulo-X 대칭"을 갖는 경우, 동일한 수의 "modulo-X"를 갖는 신호를 전달하는 단자는 이러한 축 주위로 대칭인 위치에 배치된다. 그러므로, 도 7a-7b에 도시된 바와 같은 이러한 어셈블리(200 또는 354)에서, modulo-X 대칭에 의해 회로 패널을 통해 전기적인 연결이 이루어질 수 있어, 제1 패키지의 단자(DQ0)가 회로 패널을 통해 동일한 수의 modulo-X(이 경우에는 X가 8)를 갖는 제2 패키지의 단자(DQ8)에 전기적으로 연결될 수 있고, 따라서 회로 패널의 두께를 통하는 실질적으로 직선 방향으로, 즉 회로 패널의 두께에 수직인 방향으로 이러한 연결이 이루어질 수 있게 된다. 이런 식으로, 8 modulo 8 과 같은 수는 0이고, 9 modulo 8 과 같은 수는 1이다. 그러므로, 신호 할당이 modulo-8 대칭을 갖

는 경우, modulo 1 연산이 "1"의 결과를 낳는, DQ1과 같은 신호를 전달하도록 구성되는 단자는, modulo 8 연산이 동일한 결과인 "1"을 낳는, DQ9 또는 DQ17과 같은 신호를 전달하도록 구성되는 다른 단자와, 소정 축 주위로 대칭을 이루는 기판 상의 위치에 배치된다.

[0079] 일례로서, "X"는 2^n (2의 n승)일 수 있거나(n은 2 이상), X가 $8 \times N$ 일 수 있다(N은 2 이상). 그러므로 일례로서, X는 1/2 바이트의 비트 수(4 비트), 1 바이트(8 비트), 복수의 바이트($8 \times N$, N은 2 이상), 워드(32 비트), 또는 복수의 워드의 비트 수와 동일할 수 있다. 이런 식으로, 일례로서, 도 5a에 도시된 바와 같은 modulo-8 대칭이 있는 경우, 데이터 신호(DQ0)를 전달하도록 구성되는 그리드(127)에서의 패키지 단자(DQ0)의 신호 할당은 데이터 신호(DQ8)를 전달하도록 구성되는 다른 패키지 단자(DQ8)의 신호 할당과 수직 축(132) 주위로 대칭을 이룬다. 또한, 동일한 사항이 그리드(129)에서 패키지 단자(DQ0 및 DQ8)의 신호 할당에 대해서도 성립한다. 도 5a에 추가로 도시된 바와 같이, 그리드(127)에서 패키지 단자(DQ2 및 DQ10)의 신호 할당은 수직 축 주위로 modulo-8 대칭을 갖고, 동일한 사항이 그리드(129)에 대해서도 성립한다. 본원에서 기술된 바와 같은 modulo-8 대칭은, 그리드(127, 129)에서 패키지 단자(DQ0 내지 DQ15)의 각각의 신호 할당에 대하여 나타나 있다.

[0080] 도시되지는 않았으나, 모듈로 수 "X"는 2^n (2의 n승) 이외의 수일 수 있고, 2보다 큰 임의의 수일 수 있다는 점에 주목해야 한다. 그러므로, 이러한 대칭이 기초로 하는 모듈로 수 "X"는, 패키지가 구성되거나 이루어져 있는 데이터 크기에 얼마나 많은 비트가 존재하는지에 따라 달라질 수 있다. 예를 들어, 데이터 크기가 8이 아닌 10인 경우, 신호 할당은 modulo-10 대칭을 가질 수 있다. 데이터 크기가 홀수의 비트를 갖는 경우에는 모듈로 수 X도 그러한 수가 될 수 있다.

[0081] 도 7a는 회로 패널(154)의 서로 반대편인 제1 표면(150) 및 제2 표면(152)에 장착되는, 제1 마이크로 전자 패키지(100A) 및 제2 마이크로 전자 패키지(100B)의 어셈블리(200)를 나타내고, 각각의 마이크로 전자 패키지는 위에서 도 5a-5c와 관련하여 기술한 바와 같은 마이크로 전자 패키지(100)이다. 회로 패널은 다양한 유형을 가질 수 있고, 예를 들면 특히 DIMM(dual-inline memory module) 모듈에서 사용되는 인쇄 회로 기판, 시스템 내의 다른 컴포넌트와 연결되는 회로 보드 또는 패널, 또는 마더보드일 수 있다. 제1 마이크로 전자 패키지(100A) 및 제2 마이크로 전자 패키지(100B)는 각각, 회로 패널(154)의 제1 표면(150)과 제2 표면(152)에서 노출되는 대응하는 콘택(160, 162)에 장착될 수 있다.

[0082] 특히 도 7a에 도시된 바와 같이, 패키지(100A, 100B)가 회로 패널의 서로 반대편에 장착되는 경우, 각각의 패키지의 제2 그리드에서 제1 단자의 신호 할당은 각 패키지의 제1 그리드에서 제1 단자의 신호 할당의 미러 이미지이기 때문에, 제1 패키지(100A)의 제1 그리드(114A)의 각각의 제1 단자는, 동일한 신호 할당을 가지고 전기적으로 연결되어 있는 제2 패키지(100B)의 제2 그리드(124B)의 대응하는 제1 단자와 정렬될 수 있다. 나아가, 제1 패키지(100A)의 제2 그리드(124A)에서의 각각의 제1 단자는, 동일한 신호 할당을 가지고 전기적으로 연결되어 있는 제1 그리드(114B)의 대응하는 제1 단자와 정렬될 수 있다.

[0083] 명확하게도, 연결된 단자들의 각각의 쌍의 정렬은 일정한 공차 이내일 수 있고, 따라서 연결된 단자들의 각각의 쌍은 회로 패널(154)의 제1 표면(150)을 따라 서로 직교하는 x 및 y 방향으로 서로 하나의 볼 피치(ball pitch) 내에서 정렬될 수 있다. 도 7a로부터 명백한 것처럼, 각각의 그리드의 제1 단자는 회로 패널의 표면(350)에 평행한 서로 직교하는 x 및 y 방향으로 서로 하나의 볼 피치 내에서 정렬될 수 있고, 이러한 볼 피치는 양쪽 패키지 상에서 단자들의 임의의 인접하는 2개의 평행한 칼럼들 사이의 최소 피치 이하이다. 특정 예로서, 제1 마이크로 전자 패키지 및 제2 마이크로 전자 패키지 상의 제1 단자 중 적어도 일부가 서로 일치하도록, 그리드가 서로 x 및 y 방향으로 정렬될 수 있다. 본원에서 사용될 때, 회로 패널의 양쪽 표면들에서 패키지의 제1 단자들이 서로 "일치"하는 경우에는, 이러한 정렬이 관례적인 제조 공차 이내일 수 있거나, 제1 회로 패널 표면 및 제2 회로 패널 표면에 평행한 서로 직교하는 x 및 y 방향으로 서로 하나의 볼 피치의 1/2 미만의 공차 이내일 수 있고, 이러한 볼 피치는 위에서 기술된 바와 같다.

[0084] 특정 예에서, 제1 패키지(100A) 및 제2 패키지(100B) 각각의 정렬된 그리드(예를 들어, 제1 패키지의 제1 그리드(114A) 및 제2 패키지의 제2 그리드(124B))의 위치들 중 적어도 절반은 회로 패널(154)의 제1 표면(150)을 따라 직교하는 x 및 y 방향으로 서로 정렬될 수 있다.

[0085] 따라서, 도 7a에 추가로 도시된 바와 같이, 제1 패키지(100A)의 그리드(114A)에서 "A"로 표기된 신호를 전달하는 특정한 제1 단자는, 동일한 신호 "A"를 전달하는 제2 패키지(100B)의 그리드(124B)의 대응하는 제1 단자와 정렬된다. 이와 마찬가지로, 제1 패키지(100A)의 그리드(124A)에서 "A"로 표기된 신호를 전달하는 특정한 제1

단자 또한, 동일한 신호 "A"를 전달하는 제2 패키지(100B)의 그리드(114B)의 대응하는 제1 단자와 정렬된다.

[0086] 이런 식으로, 도 7a에 추가로 도시된 바와 같이, 제1 패키지(100A) 및 제2 패키지(100B)의 전기적으로 연결된 제1 단자들의 각각의 쌍 사이에 이루어지는 회로 패널을 통한 전기적 연결의 길이는, 전기적으로 연결된 제2 단자들의 이러한 각각의 쌍에서의 단자들이 서로 겹쳐질 수 있거나 적어도 서로 하나의 볼 피치 내에서 정렬될 수 있다는 점에서, 상당히 감소될 수 있다. 이러한 전기적 연결의 길이 감소에 의해, 회로 패널 및 어셈블리에서 스터브 길이가 감소될 수 있고, 이는 제1 단자에 의해 전달되고 제1 패키지와 제2 패키지 모두의 마이크로 전자 요소에 전송되는 위에서 언급한 신호에 대하여, 전기적 성능의 개선, 예를 들어 특히 정착 시간, 텅잉, 지터, 또는 심볼간 간섭의 감소 등에 도움이 될 수 있다. 나아가, 예를 들면 회로 패널의 구조의 단순화, 또는 회로 패널의 설계 또는 제조의 복잡성 및 비용 감소 등과 같은 다른 이점 또한 얻을 수 있다.

[0087] 도 7a에 추가로 도시된 바와 같이, 각 패키지(100A, 100B)의 제2 단자가 도 5a-5c와 관련하여 위에서 기술한 특정한 미러 이미지 배열을 갖는 제3 그리드 및 제4 그리드에 배열되는 경우, 각 패키지의 제3 그리드의 각각의 단자는 동일한 신호 할당을 갖고 전기적으로 연결되는 나머지 패키지의 제4 그리드의 대응하는 제2 단자와 정렬될 수 있다. 따라서 도 7a에 도시된 바와 같이, 제1 패키지(100A)의 제3 그리드(116A)의 각 단자는, 동일한 신호 할당을 갖고 전기적으로 연결되는 제2 패키지(100B)의 제4 그리드(126B)의 대응하는 단자와 하나의 볼 피치 내에서 정렬될 수 있다. 나아가, 제1 패키지(100A)의 그리드(126A)의 각 단자는, 동일한 신호 할당을 갖고 전기적으로 연결되는 제3 그리드(126B)의 대응하는 단자와 하나의 볼 피치 내에서 정렬될 수 있다. 또한, 연결된 단자들의 각각의 쌍의 정렬은 일정한 공차 이내일 수 있고, 따라서 연결된 단자들의 각각의 쌍은 회로 패널(154)의 제1 표면(150)을 따라 직교하는 x 및 y 방향으로 서로의 하나의 볼 피치 내에서 정렬될 수 있다. 특정 실시예에서, 이러한 정렬은 패키지(100A, 100B)의 대응하는 연결된 단자들이 서로 일치하도록 될 수 있다.

[0088] 따라서 도 7a에 추가적으로 도시된 바와 같이, 제1 패키지(100A)의 그리드(116A)에서 "B"로 표기된 신호를 전달하는 특정한 제1 단자는, 동일한 신호 "B"를 전달하고 전기적으로 연결되어 있는 제2 패키지(100B)의 그리드(126B)의 대응하는 제1 단자와 하나의 볼 피치 내에서 정렬된다. 이와 마찬가지로, 제1 패키지(100A)의 그리드(126A)에서 "B"로 표기된 신호를 전달하는 특정한 제1 단자 또한, 동일한 신호 "B"를 전달하고 전기적으로 연결되어 있는 제2 패키지(100B)의 그리드(116B)의 대응하는 제1 단자와 하나의 볼 피치 내에서 정렬된다.

[0089] 위에서 기술한 바와 같은 제1 패키지와 제2 패키지의 대응하는 제1 단자들(104) 사이의 연결과 마찬가지로, 이러한 실시예에서는, 제1 패키지 및 제2 패키지의 전기적으로 연결된 제2 단자들(106)의 각각의 쌍 사이에 이루어지는 회로 패널을 통한 전기적 연결의 길이는, 전기적으로 연결된 제2 단자들의 이러한 각각의 쌍의 단자들이 서로 일치할 수 있거나 적어도 회로 패널 표면에 평행한 서로 직교하는 x 및 y 방향으로 서로 하나의 볼 피치 내에서 정렬될 수 있다는 점에서, 상당히 감소될 수 있다. 나아가, 마이크로 전자 패키지의 제2 단자가 이런 식으로 배열될 때, 즉 명령 어드레스 버스의 위에서 언급한 신호들 이외의 신호를 전달하기 위해 할당될 수 있는 단자가 이런 식으로 배열될 때, 위에서 기술한 것과 유사한 효과, 제1 패키지와 제2 패키지 사이의 연결에 대해 스터브 길이의 감소 및 회로 패널의 구조의 단순화 등의 효과를 얻을 수 있다.

[0090] 도 7b는 추가적으로, 2개의 쌍(100A-100B), 또는 위에서 기술하거나 이하 기술하는 바와 같은 구성을 각각 갖는 마이크로 전자 패키지의 더 많은 수의 쌍이, 패키지(100A, 100B)와 유사한 배향으로, 회로 패널(354), 예를 들면 DIMM의 보드 상의 각 패널 콘택과 전기적으로 상호접속될 수 있음을 나타낸다. 이와 같이 도 7b는 3쌍의 패키지(100A-100B)를 나타내며, 각각의 쌍은 위에서 기술한 바와 같이 서로 대면하는 반대 배향으로 회로 패널(354)과 전기적으로 상호접속한다.

[0091] 도 7b는 회로 패널, 및 서로 반대편의 표면에 반대로 장착되는 복수의 마이크로 전자 패키지를 포함하는, 예컨대 특히 DIMM와 같은 마이크로 전자 어셈블리를 나타낸다. 도 7b에 도시된 바와 같이, 위에서 주목한 어드레스 정보, 또는 일부 경우에는 명령 어드레스 버스 신호가, 각 쌍의 마이크로 전자 패키지(100A-100B)가 회로 패널의 양측에 연결되는 연결 사이트들(I, II, 또는 III) 사이에서 적어도 하나의 방향(143)으로, 회로 패널 또는 회로 보드(354) 상의 버스(36), 예컨대 어드레스 버스 또는 명령 어드레스 버스 상에서 라우팅될 수 있다. 이러한 버스(36)의 신호는 약간 다른 시간에 각각의 연결 사이트(I, II, 또는 III)에서 각각의 패키지 쌍에 도달한다. 상기 적어도 하나의 방향(12)은, 각 패키지(100A 또는 100B) 내의 적어도 하나의 마이크로 전자 요소 상의 복수의 콘택의 적어도 하나의 컬럼(111)이 연장되는 방향(142)을 가로지르거나 또는 이에 대해 수직일 수 있다. 이런 식으로, 회로 패널(354) 상의(즉, 회로 패널 상의 또는 회로 패널 내의) 버스(36)의 신호 도전체는 일부의 경우, 회로 패널에 연결된 패키지(100A 또는 100B) 내의 마이크로 전자 요소 상의 콘택의 적어도 하나의 컬럼(111)에 평행한 방향(142)으로, 서로 이격되어 있을 수 있다.

- [0092] 특히 각각의 마이크로 전자 패키지의 제1 그리드(104)의 단자가 이러한 방향(142)으로 연장되는 하나 이상의 컬럼으로 배열되는 경우, 이러한 구성은 버스(36)의 신호를 라우팅하는데 이용되는 회로 패널 상의 하나 이상의 전역 라우팅 층의 신호 도전체의 라우팅을 단순화하는데 도움이 될 수 있다. 예를 들어, 비교적 적은 제1 단자가 각 패키지 상에서 동일한 수직 레이아웃 위치에 배치되는 경우, 회로 패널 상의 명령 어드레스 버스 신호의 라우팅을 단순화할 수 있다. 따라서 도 5c에 도시된 예에서, 각 패키지의 제1 그리드(114) 및 제2 그리드(124)는 동일한 수직 레이아웃 위치에 배치된 단지 4개의 단자를 갖고, 예를 들면 도 5a에 추가로 도시된 바와 같이 어드레스 신호(A3 및 A1)를 수신하도록 구성되는 제1 그리드(114) 및 제2 그리드(124)의 단자들을 갖는다.
- [0093] 일 실시예에서, 마이크로 전자 어셈블리(354)는 마이크로 전자 요소(358)를 가질 수 있고, 이러한 마이크로 전자 요소(358)는 어셈블리(354)의 마이크로 전자 패키지(100A, 100B)에 전송되는 적어도 몇몇 신호의 베퍼링을 수행하도록 구성되는 반도체 칩을 포함할 수 있다. 베퍼링 기능을 갖는 이러한 마이크로 전자 요소(358)는, 마이크로 전자 어셈블리(354) 외부의 컴포넌트에 대하여 마이크로 전자 패키지(100A, 100B)의 마이크로 전자 요소 각각에 대해 임피던스 격리를 제공하는데 도움이 되도록 구성될 수 있다.
- [0094] 예시적인 실시예에서, 마이크로 전자 어셈블리(354)는, 솔리드 스테이트 드라이브 제어기와 같은 주로 로직 기능을 수행하도록 구성된 반도체 칩을 포함할 수 있는 마이크로 전자 요소(358)를 가질 수 있고, 마이크로 전자 패키지(100A, 100B)에서 하나 이상의 마이크로 전자 요소가 각각 비휘발성 플래시 메모리와 같은 메모리 저장 요소를 포함할 수 있다. 마이크로 전자 요소(358)는 전용 프로세서를 포함할 수 있고, 이러한 전용 프로세서는, 시스템(2500)(도 31)과 같은 시스템의 중앙 처리 장치가 마이크로 전자 요소에 포함된 메모리 저장 요소로 또한 이러한 메모리 저장 요소로부터 데이터의 전송을 감독하는 부담을 경감시키도록 구성된다. 솔리드 스테이트 드라이브 제어기를 포함하는 이러한 마이크로 전자 요소(358)는 시스템(2500)과 같은 시스템의 마더보드(예를 들면, 도 31에 도시된 회로 패널(2502)) 상에서 데이터 버스로의 직접 메모리 액세스 및 이러한 데이터 버스로부터의 직접 메모리 액세스를 제공할 수 있다.
- [0095] 제어기 기능 및/또는 베퍼링 기능을 포함하는 마이크로 전자 요소(358)를 갖는 마이크로 전자 어셈블리(354)의 이러한 실시예에서, 명령 어드레스 버스 신호는 각 연결 사이트(I, II, 또는 III)에서 마이크로 전자 요소(358)와 각 쌍의 패키지(100A, 100B) 사이에서 라우팅될 수 있다. 도 7b에 도시된 특정 예에서, 연결 사이트(I, II, 또는 III)를 넘어 연장되는 명령 어드레스 버스(36) 중 일부는, 방향(143)으로, 또는 방향(143)을 가로지르는 다른 방향으로 연장되어 마이크로 전자 요소(358)의 콘택에 도달하게 될 수 있다. 일례로서, 명령 어드레스 버스(36)는 방향(143)으로 연장되어 마이크로 전자 요소(358)의 콘택에 도달할 수 있다.
- [0096] 도 8은 도 5a-7a와 관련하여 위에서 기술된 실시예의 변형예에 따른 마이크로 전자 패키지(200)를 나타내며, 여기서는 마이크로 전자 요소가 제1 및 제2 반도체 칩(101A, 101B)을 포함하는 복합 구조를 갖는다. 제2 반도체 칩(101B)은 제1 반도체 칩과 마찬가지로, 또한 기판 콘택(121, 123)과 전기적으로 연결되는 전면(105) 상의 요소 콘택(111B, 113B)을 갖는다. 특정 실시예에서, 제1 반도체 칩의 전면(105)과 제2 반도체 칩의 후면(107) 사이에 스페이서 요소(103)가 배치될 수 있고, 이는 제2 반도체 칩(101B)이 제1 반도체 칩 위에 스페이서 요소(103)와 함께 적층된 이후 처리 단계에서 제1 반도체 칩(101A)에 연결되는 와이어 본드(112)를 형성하는데 도움이 될 수 있다.
- [0097] 도 9는 도 8에 도시된 실시예의 다른 변형예를 나타내며, 여기서는 마이크로 전자 요소가 기판의 제1 표면(108)과 제1 반도체 칩(101A)의 후면(107) 사이에 배치된 또 다른 반도체 칩(109)을 더 포함한다. 반도체 칩(109)은, 대응하는 콘택(115, 117)과 대면하고 이에 결합되어 있는 전면(125) 상의 콘택(129)을 가질 수 있다. 칩(109)과 대응하는 기판 콘택(115, 117) 간의 결합은 전기적으로 도전성인 결합 요소(118)를 이용하여 이루어질 수 있고, 이러한 결합 요소는 본드 금속, 전기적으로 도전성인 증착 재료, 금속의 포스트 또는 필러(pillar), 예컨대 구리, 니켈, 또는 이들의 조합물과 같은 강성 금속의 포스트 또는 필러를 포함할 수 있다. 특정 예로서, 반도체 칩(109)은 베어 칩, 즉 패키징되지 않은 칩일 수 있다. 대안으로서, 반도체 칩(109)은 특히 리드, 트레이스, 또는 비아와 같은 도전성 구조체를 포함할 수 있거나, 패키징된 반도체 요소일 수 있다.
- [0098] 마이크로 전자 패키지가 도 8 또는 9에 도시되거나 다음에서 기술되는 예에서 볼 수 있는 것과 같이 반도체 칩의 수직으로 적층된 배열을 포함하는 경우, 패키지 내의 하나 이상의 칩이, 패키지 내의 다른 반도체 칩으로의 전송을 위해, 신호를 베퍼링하거나, 패키지의 단자(104 또는 106) 또는 이러한 단자 양자 모두에서 수신되는 정보를 재생성하도록 이루어질 수 있고, 예를 들어 이렇게 설계, 구성, 또는 설정될 수 있다. 예를 들면, 도 8에 도시된 구성에서, 기판에 인접한 제1 반도체 칩(101A)은 제2 반도체 칩으로의 전송을 위해 하나 이상의 신호 또는 정보를 베퍼링 또는 재생성할 수 있다. 도 9에 도시된 구성에서, 반도체 칩(109)은 반도체 칩(101A, 101B)

중 하나 이상으로의 전송을 위해 신호를 버퍼링하거나 정보를 재생성할 수 있다. 대안적으로 또는 부가적으로, 반도체 칩(109)은 단자(104, 106) 또는 이러한 양 단자 모두로의 전송을 위해 반도체 칩(101A, 101B) 중 하나 이상으로부터 수신되는 신호를 재생성할 수 있고, 또는 단자로부터 반도체 칩(101A, 101B)으로, 또는 반도체 칩(101A, 101B)으로부터 마이크로 전자 패키지의 단자로, 또는 양 방향으로 전송되는 신호를 재생성할 수 있다.

[0099] 대안적으로 또는 위에서 논의한 신호의 재생성에 부가하여, 일례로서 이러한 복합 마이크로 전자 요소의 제1 칩은 마이크로 전자 요소의 동작 모드를 제어하는 정보를 부분적으로 또는 전적으로 디코딩하도록 구성될 수 있다. 특정 예에서, 이러한 복합 마이크로 전자 요소의 제1 반도체 칩은 단자에서, 예를 들어 마이크로 전자 패키지의 제1 단자에서 수신되는 명령 정보 또는 어드레스 정보 중 적어도 하나를 부분적으로 또는 전적으로 디코딩하도록 구성될 수 있다. 그 다음, 제1 칩은 하나 이상의 제2 반도체 칩(101A, 101B)으로 전송하기 위해 이러한 부분적이거나 전적인 디코딩의 결과를 출력할 수 있다.

[0100] 패키지의 단자에서 수신되는 신호 또는 정보는 기판 콘택(115)으로, 그리고 결합 요소(118)를 통해 반도체 칩(109)으로 라우팅될 수 있다. 그 다음, 반도체 칩(109)은 수신된 신호 또는 정보를 재생성하고 기판 콘택(117)에 전송할 수 있다. 기판 콘택(117)으로부터 신호 또는 정보는 기판에 의해, 예를 들어 도전성 트레이스를 통해, 기판 콘택(111, 113)으로 라우팅될 수 있고, 이러한 콘택에서 신호 또는 정보는 예를 들어 와이어 본드(112)를 통해 반도체 칩(101A, 101B)으로 라우팅될 수 있다. 특정 예에서, 반도체 칩(109)은 반도체 칩(101A, 101B)으로 전송되는 위에서 언급한 명령 신호, 어드레스 신호 및 클록 신호를 버퍼링하도록 구성될 수 있다.

[0101] 도 10은 특정 예에 따른 마이크로 전자 패키지(600)를 나타내며, 여기서는 마이크로 전자 요소가 전기적으로 상호접속된 제1 반도체 칩(632)과 복수의 제2 반도체 칩(634)의 수직 스택(630)을 포함하며, 이러한 제2 반도체 칩은 각각 기판(602)으로부터 멀어지는 방향을 향하는 콘택 지지 면(631)을 갖는다. 와이어 본드(635)는 반도체 칩(632, 634) 상의 콘택(626)을 기판 상의 대응하는 콘택(636)에 전기적으로 상호접속한다. 스페이서(638)가 반도체 칩(634)의 인접하는 면들 사이에 배치될 수 있고, 스페이스(638)는 반도체 칩(632)의 콘택 지지 면(631)과 반도체 칩(634)의 후면 사이에 배치될 수 있다. 일부 경우에서, 각각의 스페이서와 이러한 스페이서에 인접하는 반도체 칩의 면들 사이에 접착층(미도시)이 제공될 수 있다. 도 10에 도시된 바와 같이, 하나 이상의 제2 반도체 칩(634)은 제1 반도체 칩(632)과 전기적으로 상호접속되어 있다. 예를 들어 도 10에 도시된 바와 같이, 그 면(631)이 서로 평행한, 수직으로 적층된 3개의 제2 반도체 칩(634)이 있다.

[0102] 도 10에 도시된 마이크로 전자 패키지(600)에서, 제1 반도체 칩(632) 및 제2 반도체 칩(634) 각각은, 각각의 반도체 칩이 임의의 여타 기능보다도 메모리 저장 어레이 기능을 제공하기 위한 더 많은 수의 능동 소자를 구현하도록 구성될 수 있다. 예를 들어, 제1 반도체 칩 및 제2 반도체 칩 각각은 메모리 저장 어레이, 및 이러한 메모리 어레이에 데이터를 입력하고 어레이로부터 데이터를 출력하기 위해 필요한 모든 회로를 포함할 수 있다. 예를 들어 각각의 반도체 칩의 메모리 저장 어레이가 기록 가능한 경우, 각각의 반도체 칩은 패키지의 단자로부터 입력되는 외부 데이터를 수신하도록 구성되는 회로, 및 이러한 반도체 칩으로부터 패키지의 단자로 출력되는 데이터를 전송하도록 구성되는 회로를 포함할 수 있다. 따라서, 제1 반도체 칩(632) 및 제2 반도체 칩(634) 각각은, 이러한 반도체 칩 내에서 메모리 저장 어레이로부터 데이터를 입출력하고 마이크로 전자 패키지 외부의 컴포넌트로 이러한 데이터를 송신할 수 있는 DRAM 칩 또는 다른 메모리 칩일 수 있다. 달리 말하면, 이러한 경우 각각의 DRAM 칩 또는 다른 메모리 칩 내에서 메모리 저장 어레이로의 신호 및 어레이로부터의 신호는 마이크로 전자 패키지 내의 추가적인 반도체 칩에 의한 버퍼링을 필요로 하지 않는다.

[0103] 대안으로서, 다른 예에서 이러한 하나 이상의 제2 반도체 칩(634)은 임의의 여타 기능보다도 메모리 저장 어레이 기능을 제공하기 위한 더 많은 수의 능동 소자를 구현할 수 있지만, 제1 반도체 칩(632)은 상이한 유형의 칩일 수 있다. 이러한 경우, 제1 반도체 칩(632)은 이러한 하나 이상의 제2 반도체 칩(634)으로의 전송을 위해 단자에서 수신되는 신호를 버퍼링, 즉 재생성하거나, 단자로의 전송을 위해 제2 반도체 칩(634) 중 하나 이상으로부터 수신되는 신호를 재생성하거나, 또는 단자로부터 하나 이상의 제2 반도체 칩(634)으로, 그리고 하나 이상의 반도체 칩으로부터 마이크로 전자 패키지의 단자로 양 방향으로 전송되는 신호를 재생성하도록 이루어질 수 있고, 예를 들어 이렇게 설계, 구성, 또는 설정될 수 있다.

[0104] 특정 예로서, 제1 반도체 칩은 어드레스 정보를 버퍼링하도록 구성될 수 있거나, 하나 이상의 제2 반도체 칩으로 전송되는 명령 신호, 어드레스 신호, 및 클록 신호를 버퍼링하도록 구성될 수 있다. 예를 들어 제1 반도체 칩(632)은 다른 디바이스, 예를 들면 하나 이상의 제2 반도체 칩(634)으로 신호를 전송함에 있어서, 임의의 여타 기능보다도 버퍼링 기능을 제공하기 위한 더 많은 수의 능동 소자를 구현하는 버퍼 칩일 수 있다. 그 다음, 하나 이상의 제2 반도체 칩은, 메모리 저장 어레이를 갖지만 DRAM 칩에 공통된 회로, 예를 들어 특히 버퍼

회로, 디코더 또는 프리디코더 또는 워드라인 드라이버가 생략될 수 있는 감소된 기능 칩(reduced function chip)일 수 있다. 이러한 경우, 제1 칩(632)은 스택에서 "마스터" 칩으로 기능하여 제2 반도체 칩(634) 각각에서의 동작을 제어할 수 있다. 특정 예에서, 제2 반도체 칩은 버퍼링 기능을 수행할 수 없도록 구성될 수 있고, 따라서 제1 반도체 칩 및 제2 반도체 칩의 적층된 배열은, 마이크로 전자 패키지에서 필요한 버퍼링 기능이 제1 반도체 칩에 의해 수행될 수 있고 적층된 배열에서 제2 반도체 칩 중 어느 것에 의해서도 수행될 수 없도록 구성된다. 위에서 기술한 것과 마찬가지로, 제1 반도체 칩은 제1 및 제2 반도체 칩으로 이루어진 마이크로 전자 요소의 동작 모드를 제어하는, 제1 단자에서 수신되는 정보를 부분적으로 또는 전적으로 디코딩하도록 구성될 수 있다. 대안적으로, 또는 부가적으로, 제1 반도체 칩은 제1 단자에서 수신되는 어드레스 또는 명령 정보 중 적어도 하나를 부분적으로 또는 전적으로 디코딩하도록 구성될 수 있다. 특정 예에서, 하나 이상의 제2 반도체 칩은, 마이크로 전자 패키지의 제1 단자에서 수신되는 정보, 예를 들어 어드레스 정보, 명령 정보 또는 마이크로 전자 요소의 동작 모드를 제어하는 정보를 전적으로 디코딩하도록 구성되지 않을 수도 있다.

[0105] 본원에서 기술되는 임의의 실시예에서, 하나 이상의 제2 반도체 칩은 다음 중 하나 이상으로 구현될 수 있다: 특히, DRAM, NAND 플래시 메모리, RRAM("저항성 RAM"), 상 변화 메모리("PCM"), 자기저항성 RAM(예를 들어, 터널 접합 디바이스를 구현하는 것과 같은), 스핀 토크 RAM, 또는 내용 주소화 메모리.

[0106] 도 11 및 12는 추가적인 변형예에 따른 마이크로 전자 패키지(660)를 나타내는 단면도 및 이에 대응하는 평면도이고, 여기서는 제2 반도체 칩(634)이 서로에 대해 계단식으로 장착되어, 제1 반도체 칩(632)의 콘택이 제1 반도체 칩(632) 바로 위에서 제2 반도체 칩(634A)의 에지(618)를 넘어 노출되며, 이러한 반도체 칩(634A)의 콘택이 제2 반도체 칩 바로 위에서 제2 반도체 칩(634B)의 에지(618)를 넘어 노출된다. 제1 칩, 제2 칩, 기판 그리고 칩들 사이에서의 전기적 연결은 반도체 칩의 스택 내의 인접하는 칩을 전기적으로 연결하는 와이어 본드(635)에 의해, 또는 칩을 패키지 기판(662)에 직접 전기적으로 연결하는 와이어 본드(637)에 의해 제공될 수 있다.

[0107] 도 13은, 도 10과 관련하여 위에서 기술한 실시예의 추가적인 변형예에 따른 마이크로 전자 패키지(670)를 나타내고, 여기서는 하나 이상의 제2 반도체 칩(634)의 콘택들 간의 연결이, 적층된 반도체 칩(630)의 유닛의 하나 이상의 에지를 따라, 즉 이러한 유닛(630) 내의 반도체 칩(634)의 에지를 따라 연장되는 트레이스 또는 리드(640)를 포함할 수 있다. 유닛(630)은, 예를 들어 솔더, 주석, 금, 인듐, 공정(eutectic)과 같은 본드 금속, 또는 전기적으로 도전성인 범프, 또는 양자 모두를 이용하여 제1 반도체 칩(632)의 콘택(627)과 전기적으로 상호접속되도록 장착되고, 일부 경우에는 여기에 도전성 포스트, 예컨대 마이크로필러가 포함될 수 있다. 트레이스(654)는 제1 반도체 칩의 면(631)을 따라 콘택(627)으로부터 제2 콘택(626)으로 연장될 수 있고, 이러한 제2 콘택은 예를 들어 와이어 본드(645)를 통해 기판과 전기적으로 연결될 수 있다.

[0108] 제2 반도체 칩(634) 간의 전기적 연결은 제2 반도체 칩(634)의 전면을 따라 연장되는 트레이스(644)를 더 포함할 수 있다. 도 13에 추가로 도시된 바와 같이, 제2 반도체 칩의 전면(642)은 기판(602)으로부터 멀어지는 방향으로 위쪽을 향하거나 기판(602)을 향해 아래쪽으로 향할 수 있다.

[0109] 도 14는 마이크로 전자 패키지(680)를 추가로 나타내고, 여기서는 제2 반도체 칩(634)이 콘택(647)을 가지며, 이러한 콘택(647)은 제1 칩의 콘택(627)에 대변하고, 예를 들어 솔더, 주석, 금, 인듐, 공정과 같은 본드 금속, 또는 전기적으로 도전성인 범프, 또는 양자 모두를 통해 플립 칩 방식으로 이에 결합된다. 트레이스(654)는 콘택(627)을, 기판에 전기적으로 연결되는 제1 칩 상의 다른 콘택(626)과, 예를 들어 와이어 본드를 통해 전기적으로 연결할 수 있다.

[0110] 도 15a는 추가적으로 특정 예에 따른 마이크로 전자 패키지(690)를 나타내며, 여기서는 하나 이상의 제2 반도체 칩(634)이 쓰루-실리콘-비아(TSV)(650)에 의해 서로 전기적으로 연결되고, 이러한 TSV는 제2 반도체 칩(634) 중 적어도 일부의 두께(652)의 방향으로, 즉 칩(634)의 면(642)에 수직인 방향으로 연장된다. 도 15a에 도시된 바와 같이, 일례로서 TSV(650)는, 예를 들어 솔더, 주석, 금, 인듐, 공정과 같은 본드 금속, 또는 전기적으로 도전성인 범프, 또는 양자 모두를 이용하여 제1 반도체 칩(632)의 콘택(627)과 전기적으로 연결될 수 있고, 일부 경우에는 여기에 도전성 포스트, 예컨대 마이크로필러가 포함될 수 있다. 트레이스(654)는 콘택(627)으로부터 제2 콘택(626)으로 제1 반도체 칩의 면(631)을 따라 연장될 수 있고, 이러한 제2 콘택은 기판에 와이어 본드될 수 있다.

[0111] 일례로서, 패키지(690)의 단자, 예컨대 제1 단자, 제2 단자, 또는 양자 모두의 단자에서 수신되는 정보 또는 신호는, 기판 콘택(636)에 결합되는 와이어 본드(645)를 통해 제1 반도체 칩(632)에 의해 수신될 수 있고, 기판 콘택은 마이크로 전자 패키지의 이러한 단자에 결합된다. 그 다음, 버퍼 요소로 동작하는 제1 반도체 칩(632)

은 수신된 정보 또는 신호를 재생성할 수 있고, 그 후 재생성된 정보 또는 신호를 하나 이상의 제2 반도체 칩으로, 예를 들어 제1 칩(632)과 제2 칩(634) 사이의 연결을 통해 그리고 제2 칩(634)의 스택 내의 TSV(650)를 통해 전송할 수 있다.

[0112] 도 15b는 도 15a에 도시된 마이크로 전자 패키지의 변형예를 나타낸다. 도 15a에 도시된 패키지와는 달리, 어드레스 정보 또는 다른 정보를 재생성하거나 적어도 부분적으로 디코딩, 예를 들어 패키지 내의 다른 반도체 칩으로의 전송을 위해 신호를 재생성하도록 구성되는 반도체 칩(664)은 기판(602)의 제1 표면(108)에 인접하게 위치하지 않는다. 오히려 이러한 경우, 반도체 칩(664)은 하나 이상의 다른 반도체 칩과 겹쳐지는 반도체 내의 위치에 배치될 수 있다. 예를 들어, 도 15b에 도시된 바와 같이, 칩(664)은 기판(602)의 제1 표면(108)에 인접하여 배치되는 반도체 칩(662)과 적어도 부분적으로 겹쳐지고, 칩(664)은 반도체 칩(662) 위에 배치되는 반도체 칩(663A, 663B, 663C)과 적어도 부분적으로 겹쳐진다. 일례로서, 반도체 칩(662 및 663A, 663B 및 663C)은 메모리 저장 어레이를 포함할 수 있다. 위에서 기술된 예와 마찬가지로, 이러한 칩(662 및 663A, 663B 및 663C)은 각각, 이러한 칩에 기록될 데이터, 또는 이러한 칩으로부터 판독되는 데이터, 또는 양자 모두를 버퍼링, 예컨대 일시적으로 저장하도록 구성된 회로를 포함할 수 있다. 대안으로서, 칩(662 및 663A, 663B 및 663C)은 기능이 더 제한될 수 있고, 칩에 기록될 데이터 또는 칩으로부터 판독되는 데이터, 또는 양자 모두를 일시적으로 저장하도록 구성되는 적어도 하나의 다른 칩과 함께 이용되어야 할 수 있다.

[0113] 반도체 칩(664)은, 반도체 칩(663A)의 전면(631)과 부분적으로 겹쳐지고 기판의 제1 표면(108)에서 노출된 콘택(636)에 연결되는 전기적으로 도전성인 구조체를 통해, 예를 들어 와이어 본드(665)를 통해, 마이크로 전자 패키지의 단자에, 예를 들어 제1 단자(604) 및 제2 단자(606)가 배치된 그리드에 전기적으로 연결될 수 있다. 전기적으로 도전성인 구조체, 예를 들어 와이어 본드(665)는, 칩(663A) 상의 콘택(638)을 통해, 그리고 칩(663A)의 면(631)을 따라 또는 칩(664)의 마주하는 면(641)을 따라 연장되거나 칩(663A, 664) 양자 모두의 면(631, 641)을 따라 연장되는 도전체(미도시)를 통해, 반도체 칩(664)에 전기적으로 연결될 수 있다. 위에서 기술한 바와 같이, 반도체 칩(664)은 도전성 구조체, 예를 들어 와이어 본드(665)를 통해 수신하는 신호 또는 정보를 재생성 또는 적어도 부분적으로 디코딩하도록 구성될 수 있고, 이와 같이 재생성 또는 적어도 부분적으로 디코딩된 신호 또는 정보를 패키지 내의 다른 칩, 예를 들어 칩(662, 및 663A, 663B 및 663C)으로 전송하도록 구성될 수 있다.

[0114] 추가로 도 15b에 도시된 바와 같이, 반도체 칩(662, 663A, 663B 및 663C)은 하나, 둘, 또는 셋 이상의 이러한 칩을 통해 연장될 수 있는 복수의 쓰루 실리콘 비아(672, 674, 676)에 의해 반도체 칩(664)에 전기적으로 연결되고 서로 전기적으로 연결될 수 있다. 이러한 각각의 쓰루 실리콘 비아는 와이어링, 예컨대 패키지 내에서 반도체 칩(662, 663A, 663B 및 663C, 및 664)의 둘 이상의 도전성 패드 또는 트레이스와 전기적으로 연결될 수 있다. 특정 예에서(미도시), 쓰루 실리콘 비아는 모든 반도체 칩(662, 663A, 663B 및 663C)의 두께를 통해 연장될 수 있지만, 각각의 쓰루 실리콘 비아는 그것이 연장되는 각각의 이러한 반도체 칩과 전기적으로 연결되지 않을 수 있다.

[0115] 추가로 도 15b에 도시된 바와 같이, 복수의 핀(fin, 671)을 포함할 수 있는 히트 싱크 또는 히트 스프레더(668)가 예를 들어, 특히 열 접착제, 열 전도성 그리스, 또는 솔더와 같은 열 전도성 재료(669)를 통해, 반도체 칩(664)의 일면에, 예를 들면 후면(633)에 열적 커플링될 수 있다.

[0116] 도 15b에 도시된 마이크로 전자 어셈블리(695)는, 기판 상에 제공되는 제1 단자 및 제2 단자를 통해 마이크로 전자 패키지 상으로 또는 마이크로 전자 패키지로부터 지정된 수의 사이클당 데이터 비트를 전송할 수 있는 메모리 모듈로 동작하도록 구성될 수 있다. 예를 들어 마이크로 전자 어셈블리는, 단자(604, 606)와 전기적으로 연결될 수 있는 회로 패널과 같은 외부 컴포넌트로 또는 외부 컴포넌트로부터, 다수의 데이터 비트, 예를 들면 다른 가능한 구성 중에서도, 32 데이터 비트, 64 데이터 비트, 또는 96 데이터 비트를 전송하도록 구성될 수 있다. 다른 예로서, 패키지로 그리고 패키지로부터 전송되는 비트가 여러 정정 코드 비트를 포함하는 경우, 패키지로 또는 패키지로부터 사이클당 전송되는 비트의 수는 36 비트, 72 비트 또는 108 비트일 수 있다. 본원에서 특별히 기술된 것과 다른 데이터 폭도 가능하다.

[0117] 도 16 내지 18은 본 발명의 다른 실시예에 따른 마이크로 전자 패키지(1400)를 나타내고, 여기서는 패키지 상의 제1 단자가 서로 평행한 제1 그리드(1414) 및 제2 그리드(1424) 내의 위치에 배치되며, 각 그리드(1414, 1424)는 상기 어드레스 정보를 전달하도록 구성된다. 특정 실시예에서, 각 그리드의 제1 단자는 명령 어드레스 버스 신호의 그룹을 모두 전달하도록 구성될 수 있다: 즉, 마이크로 전자 패키지에 전송되는 뱅크 어드레스 신호 및 클록 신호, 명령 신호, 어드레스 신호를 전달하도록 구성될 수 있고, 여기서 명령 신호는 기록 인에이블, 로우

어드레스 스트로브, 및 컬럼 어드레스 스트로브 신호이며, 클록 신호는 어드레스 신호를 샘플링하기 위해 이용될 수 있다. 그리드(1414, 1424)의 단자는 패키지(1400) 내의 마이크로 전자 요소(1401, 1403)의 대응하는 콘택과 전기적으로 연결되고, 각 그리드는 패키지 내의 마이크로 전자 요소에 명령 어드레스 버스의 상기 신호 모두를 전도하도록 구성된다. 부가적으로, 특히 도 16에 도시되고 이하 추가로 기술되는 바와 같이, 제1 그리드(1414)에서 단자의 신호 할당은 제2 그리드(1424)에서 단자의 신호 할당의 미러 이미지이다.

[0118] 하나의 그리드의 신호 할당이 다른 그리드의 신호 할당의 미러 이미지인, 서로 평행한 제1 그리드 및 제2 그리드에서의 제1 단자의 이중 세트를 제공함으로써, 회로 패널에 서로 반대로 장착된 제1 마이크로 전자 패키지 및 제2 마이크로 전자 패키지의 어셈블리에서 스터브의 길이를 줄이는데 도움이 될 수 있다. 제1 마이크로 전자 패키지 및 제2 마이크로 전자 패키지가 패키지를 전기적으로 상호접속하는 회로 패널을 이용하여 회로 패널의 서로 반대로 장착된 표면에 연결되는 경우, 제1 패키지의 제1 그리드의 각각의 제1 단자는, 전기적으로 연결되어 있는 제2 패키지의 제2의 미러 이미지 그리드의 대응하는 제1 단자와 하나의 볼 피치 내에서 정렬될 수 있다. 부가적으로, 제2 패키지의 제1 그리드의 제1 단자 각각은, 연결된 제1 패키지의 제2의 미러 이미지 그리드의 대응하는 제1 단자와 하나의 볼 피치 내에서 이와 같이 정렬될 수 있다. 결과적으로, 제1 패키지의 각각의 제1 단자는 제2 패키지의 대응하는 제1 단자와 전기적으로 연결될 수 있고, 서로 반대편인 회로 패널 표면상의 각각의 단자 쌍의 장착 위치는 회로 패널의 표면 중 하나의 표면에 평행한 서로 직교하는 x 및 y 방향으로 서로 하나의 볼 피치 내에 있다. 일부 경우, 서로 반대편인 회로 패널 표면 상에서 각각의 연결된 단자 쌍의 장착 위치는 또한 서로 일치할 수 있다. 따라서, 전기적으로 연결된 제1 단자의 이러한 쌍들 각각의 단자가 서로 일치할 수 있거나, 또는 제1 회로 패널 표면을 따라 직교하는 x 및 y 방향으로 서로 하나의 볼 피치 내에서 정렬될 수 있다는 점에서, 제1 및 제2 패키지의 전기적으로 연결된 제1 단자의 쌍들 사이에서 회로 패널을 통한 전기적 연결의 길이가 상당히 줄어들 수 있다.

[0119] 회로 패널 구성은 또한 이러한 구성을 갖는 어셈블리에서 단순화될 수 있는데, 제1 단자의 전기적으로 연결된 각각의 쌍 사이의 라우팅이 대부분 수직 방향, 즉 회로 패널의 두께를 통하는 방향일 수 있기 때문이다. 즉, 회로 패널 상의 비아 연결이, 회로 패널의 서로 반대편의 표면에 장착된 패키지의 대응하는 제1 단자의 각 쌍을 전기적으로 연결하는데 요구되는 모든 것일 수 있다.

[0120] 나아가, 마이크로 전자 패키지의 각각의 쌍이 연결되어 있는 연결 사이트들 사이에 회로 패널을 따라 버스(36) (도 7b) 상에서 상기 어드레스 정보를 라우팅하는데 필요한 회로 패널 상의 와이어링의 전역 라우팅 총의 개수 또한, 부착된 마이크로 전자 패키지가 본원의 원리에 따라 구성되는 경우 줄어들 수 있다. 특히, 회로 패널을 따라 이러한 신호를 라우팅하는데 필요한 전역 라우팅 총의 개수는 일부 경우 2개 또는 그 이하의 라우팅 총으로 줄어들 수 있다. 그러나 회로 패널 상에서, 버스(36) 상에서 상기 정보 또는 신호 이외의 신호를 전달하는 전역 라우팅 총의 수가 더 늘어날 수도 있다.

[0121] 마이크로 전자 패키지는 또한 제1 단자 이외의 제2 단자를 가질 수 있고, 이러한 단자는 통상적으로 상기 명령 어드레스 버스 신호 이외의 신호를 전달하도록 구성된다. 일례로서 제2 단자는, 마이크로 전자 요소로의 그리고 마이크로 전자 요소로부터의 단방향 또는 양방향 데이터 신호, 데이터 스트로브 신호, 및 평행한 터미네이션-터미네이션 저항들을 터온 또는 터오프하는데 이용되는 "ODT(on die termination)" 신호 및 데이터 마스크를 전달하기 위해 이용되는 단자를 포함할 수 있다. 제2 단자에 의해, 칩 셀렉트, 리셋파, 전원 전압, 예를 들어 Vdd, Vddq, 및 접지, 예를 들면 Vss 및 Vssq와 같은 기준 전위 또는 신호도 전달될 수 있다; 이러한 신호 또는 기준 전위 중 어느 것도 제1 단자에 의해 전달될 필요가 없다. 일부 실시예에서, 명령 어드레스 버스 신호 이외의 신호를 전달하도록 구성되는 일부 단자 또는 모든 단자가, 패키지 상에 임의의 위치에 제2 단자로서 배치되는 것도 가능하다.

[0122] 대안으로서, 일부 실시예에서 명령 어드레스 버스 신호 이외의 신호를 전달하도록 구성되는 일부 단자 또는 모든 단자가, 제1 그리드에, 그리고 패키지 상의 제1 단자의 제2의 미러 이미지 그리드 내에 배치되는 것도 가능하다. 이런 식으로, 앞서 기술한 바와 같이, 이러한 대응하는 제1 단자를 사이에 회로 패널 상에 제공된 전기적 연결의 스터브 길이가 감소될 수 있다.

[0123] 다른 실시예에서, 명령 어드레스 버스 신호 이외의 신호를 전달하도록 구성되는 일부 단자 또는 모든 단자는 패키지 표면 상에 제3 그리드로 제2 단자의 세트로 배열될 수 있고, 제2 단자의 다른 세트가 동일한 패키지 표면상에 제4 그리드로 배열될 수 있으며, 여기서 제3 그리드에서 제2 단자의 신호 할당은 제4 그리드에서 제2 단자의 신호 할당의 미러 이미지이다. 이와 같이, 앞서 기술한 바와 같은 제1 패키지 및 제2 패키지의 대응하는 제1 단자들 간의 연결과 마찬가지로, 전기적으로 연결된 제2 단자의 이러한 쌍들 각각의 단자가 서로 일치할 수

있거나, 또는 서로 하나의 볼 퍼치 내에서 정렬될 수 있다는 점에서, 제1 패키지 및 제2 패키지의 전기적으로 연결된 제2 단자의 쌍들 간에 회로 패널을 통한 전기적 연결의 길이가 상당히 줄어들 수 있다. 나아가, 마이크로 전자 패키지의 제2 단자가 이런 식으로 배열되는 경우, 제1 패키지와 제2 패키지 사이의 연결에 대해 스터브 길이를 줄이고 회로 패널의 구성을 단순화하는, 위에서 기술된 이점과 마찬가지의 이점을 달성할 수 있다.

[0124] 도 17을 참조하면, 패키지(1400)는 제1 마이크로 전자 요소(1401) 및 제2 마이크로 전자 요소(1403)를 포함할 수 있고, 위에서 기술된 바와 같이 임의의 다른 기능보다도, 메모리 저장 어레이 기능을 제공하도록 구성되는 더 많은 수의 능동 소자, 예를 들면 트랜지스터를 갖는다는 점에서, 이러한 마이크로 전자 요소 각각은 주로 메모리 저장 어레이 기능을 제공하도록 구성, 즉 이루어진다. 제1 및 제2 마이크로 전자 요소는, 도 17에 도시된 바와 같이, 기판(1402)으로부터 멀어지는 방향을 향하고 기판의 제1 표면(1408)에서 노출된 대응하는 기판 콘택트와 전기적으로 연결되는 마이크로 전자 요소의 면(1431)에 요소 콘택트(1436)을 가진다.

[0125] 도 16 내지 17에서 알 수 있는 바와 같이, 패키지(1400)는 예를 들어 회로 패널과 같은, 패키지(1400) 외부의 컴포넌트와 패키지(1400)를 전기적, 기계적으로 연결하기 위해 제1 단자(1414, 1424) 및 제2 단자(1406)를 가질 수 있다. 이러한 단자는 전기적으로 도전성인 패드, 포스트, 또는 다른 전기적으로 도전성인 구조체일 수 있다. 도 17에 도시된 예에서, 특히 솔더, 주석, 인듐, 금, 또는 공정 재료와 같은 본드 금속, 또는 다른 도전성 본드 재료를 포함할 수 있는 결합 유닛(1430)이 단자의 제1 및 제2 그리드(1404, 1406)에 부착될 수 있다. 제1 단자(1404) 및 제2 단자(1406)는 예를 들어 트레이스 및 비아와 같은, 기판 상의 전기적으로 도전성인 구조체를 통해 기판 콘택트(1446)과 전기적으로 연결될 수 있다.

[0126] 패키지의 제1 그리드(1414) 및 제2 그리드(1424)에서 제1 단자의 배열은 특히 도 16에 도시된 것과 같을 수 있다. 일례로서, 각 그리드(1414, 1424)는 단자의 서로 평행한 제1 및 제2 컬럼(1438)을 포함할 수 있다. 각 그리드에서 단자의 컬럼(1438)은 서로 인접할 수 있다. 대안으로서, 도 16에 도시되지는 않았지만, 단자의 제1 컬럼과 제2 컬럼 사이에 적어도 하나의 단자가 배치될 수 있다. 도 16에 도시된 바와 같이, 제2 그리드(1424)에서 제1 단자의 신호 할당은 제1 그리드(1414)에서 제1 단자의 신호 할당(1424)의 미러 이미지이다. 달리 말하면, 제1 그리드 및 제2 그리드에서 제1 단자의 신호 할당은 축방향 평면(1432) 주위로 대칭을 이루며, 이러한 축방향 평면은 기판의 표면(1410)에 수직인 방향으로 연장되며 제1 그리드(1414)와 제2 그리드(1424) 사이에 중심을 둔 라인을 따라 표면(1410)과 교차하고, 이 경우 축방향 평면은 제1 단자의 컬럼(1438)이 연장되는 방향(1434)으로 연장된다. 제2 그리드(1424)에서 신호 할당은 제1 그리드(1414)에서의 신호 할당의 미러 이미지이며, 신호 CK(클록)를 전달하도록 할당되는 제1 그리드(1414)의 제1 단자(1404)는, 신호 CK를 전달하도록 할당되는 제2 그리드(1414)의 대응하는 제1 단자(1404)와, 그리드 내에서 동일한 상대적인 수직 위치에 있다(방향(1434)으로). 그러나, 제1 그리드(1414)가 2개의 컬럼(1438)을 포함하고 신호 CK를 전달하도록 할당된 제1 그리드(1414)의 단자가 제1 그리드의 2개의 컬럼(1438) 중에서 좌측 컬럼에 있다. 미러 이미지 신호 할당은, 신호 CK를 전달하도록 할당된 제2 그리드(1424)의 대응하는 단자가 제2 그리드의 2개의 컬럼 중에서 우측 컬럼(1438)에 있을 것을 요구한다. 이러한 할당의 다른 결과로서, 신호 WE(기록 인에이블)를 전달하도록 할당된 단자 또한, 제1 그리드(1414) 및 제2 그리드(1424) 각각의 그리드 내에서 동일한 상대적인 수직 위치에 있다. 그러나, 제1 그리드(1414)에서, WE를 전달하도록 할당된 단자는 제1 그리드의 2개의 컬럼(1438) 중에서 우측 컬럼에 있고, 미러 이미지 할당은, 신호 WE를 전달하도록 할당된 제2 그리드(1424)의 대응하는 단자가 제2 그리드(1424)의 2개의 컬럼 중에서 좌측 컬럼(1438)에 있을 것을 요구한다. 도 16에서 알 수 있는 바와 같이, 동일한 관계가 제1 그리드 및 제2 그리드 각각에서 각각의 제1 단자에, 적어도 위에서 기술된 바와 같은 명령 어드레스 버스 신호를 전달하도록 할당된 각각의 제1 단자에 적용된다.

[0127] 제1 단자의 신호 할당이 그 주위로 대칭을 이루는 축방향 평면(1432)은 기판 상에서 다양한 위치에 배치될 수 있다. 특정 실시예에서 축방향 평면은, 특히 제1 단자의 컬럼(1438)이 에지(1440, 1442)에 평행한 방향으로 연장되고 제1 그리드 및 제2 그리드가 이러한 중심 축 주위로 대칭인 위치에 배치되어 있는 경우, 기판의 서로 반대편인 제1 에지(1440) 및 제2 에지(1442)로부터 등거리에 위치하는, 기판의 표면(1410) 상의 라인을 따라 이러한 표면과 교차할 수 있다.

[0128] 특정 예에서, 제1 그리드(1414)의 제1 단자(1404)는 제1 마이크로 전자 요소(1401)와 전기적으로 연결될 수 있고, 제2 그리드(1424)의 제1 단자(1404)는 제2 마이크로 전자 요소(1403)와 전기적으로 연결될 수 있다. 이러한 경우, 제1 그리드(1414)의 제1 단자(1404)는 또한 제2 마이크로 전자 요소(1403)와 전기적으로 연결되지 않을 수도 있고, 패키지(1400)의 제2 그리드(1424)의 제1 단자(1404)는 또한 제1 마이크로 전자 요소(1401)와 전기적으로 연결되지 않을 수도 있다. 또 다른 예로서, 제1 그리드(1414) 및 제2 그리드(1424) 각각의 제1 단자

(1404)는 제1 마이크로 전자 요소(1401) 및 제2 마이크로 전자 요소(1403) 각각과 전기적으로 연결될 수 있다.

[0129] 위에서 언급된 바와 같이, 제2 단자(1406)는 명령 어드레스 버스의 신호 또는 어드레스 정보 이외의 신호 또는 정보를 전달하도록 구성될 수 있다. 일례로서 제2 단자(1406)는, 마이크로 전자 요소로의 그리고 마이크로 전자 요소로부터의 단방향 또는 양방향 데이터 신호, 데이터 스트로브 신호, 및 평행한 터미네이션-터미네이션 저항들을 턴온 또는 턴오프하기 위해 칩에 의해 이용되는 "ODT(on die termination)" 신호 및 데이터 마스크를 전달하기 위해 이용되는 단자를 포함할 수 있다. 제1 단자(1404) 또는 제2 단자(1406)에 의해 전달되는 신호에는, 칩 셀렉트, 리셋과, 전원 전압, 예를 들어 Vdd, Vddq, 및 접지, 예를 들면 Vss 및 Vssq와 같은 기준 전위 또는 신호 등이 있을 수 있다. 그러나, 이러한 신호 또는 기준 전위 중 어느 것도 제1 단자(1404)에 의해 전달될 필요가 없다. 도 16 내지 18에 추가로 도시된 바와 같이, 제2 단자(1406)는 기판의 제2 표면(1410) 상에서 제3 그리드(1416)로 배치될 수 있고, 제2 단자의 다른 세트가 패키지 표면(1410) 상에 제4 그리드로 배열될 수 있다. 특정한 경우, 앞서 제1 그리드 및 제2 그리드와 마찬가지로, 제3 그리드(1416)에서 제2 단자의 신호 할당은 제4 그리드(1426)에서 제2 단자의 신호 할당의 미러 이미지이다. 제3 그리드(1416) 및 제4 그리드(1426)는 제1 그리드 및 제2 그리드가 연장되는 방향(1434)으로 연장될 수 있고, 서로 평행할 수 있다. 제3 그리드(1416) 및 제4 그리드(1426)는 또한 제1 그리드(1414) 및 제2 그리드(1424)에 평행할 수도 있다. 대안으로서, 제3 그리드(1416) 및 제4 그리드(1426) 각각은 방향(1434)에 수직인 또 다른 방향(1435)으로 연장될 수 있다.

[0130] 도 17에 도시된 바와 같이, 봉합재(1448)가 기판의 제1 표면(1408) 위에 놓일 수 있고, 그 안의 마이크로 전자 요소(1401, 1403)에 접촉할 수 있다. 일부 경우에서, 봉합재는 기판(1402)로부터 멀어지는 방향을 향하는 마이크로 전자 요소의 표면(1431) 위에 놓일 수 있다.

[0131] 도 19는 회로 패널(1464)의 서로 반대편인 제1 표면(1460) 및 제2 표면(1462)에 장착된 제1 마이크로 전자 패키지(1400A) 및 제2 마이크로 전자 패키지(1400B)의 어셈블리(1450)를 나타내며, 이러한 각각의 마이크로 전자 패키지는 앞서 도 16 내지 18과 관련하여 기술된 바와 같은 마이크로 전자 패키지(1400)이다. 회로 패널은 특히 DIMM 모듈에 사용되는 인쇄 회로 기판, 시스템의 다른 컴포넌트와 연결될 회로 보드 또는 패널, 또는 마더보드와 같은 다양한 유형일 수 있다. 제1 마이크로 전자 패키지(1400A) 및 제2 마이크로 전자 패키지(1400B)는 회로 패널(1464)의 제1 표면(1460) 및 제2 표면(1462)에서 노출된 대응하는 콘택(1470, 1472)에 장착될 수 있다.

[0132] 특히 도 16에 도시된 바와 같이, 각 패키지의 제2 그리드(1424)에서 제1 단자의 신호 할당은 각 패키지의 제1 그리드(1414)에서의 제1 단자의 신호 할당의 미러 이미지이므로, 패키지(1400A, 1400B)가 도 19와 마찬가지로 서로 반대편으로 회로 패널에 장착되는 경우, 제1 패키지(1400A)의 제1 그리드(1414A)에서의 각각의 제1 단자는, 동일한 신호 할당을 가지고 전기적으로 연결되어 있는 제2 패키지(1400B)의 제2 그리드(1424B)에서의 대응하는 제1 단자와 정렬된다. 나아가, 제1 패키지(1400A)의 제2 그리드(1424A)에서의 각각의 제1 단자는, 동일한 신호 할당을 가지고 전기적으로 연결되어 있는 제1 그리드(1414B)에서의 대응하는 제1 단자와 정렬된다. 분명히, 연결된 단자의 각 쌍이 회로 패널(1464)의 제1 표면(1460)을 따라 직교하는 x 및 y 방향으로 서로 하나의 볼 피치 내에서 정렬될 수 있도록, 연결된 단자의 각 쌍의 할당은 일정한 공차 이내에 있다.

[0133] 따라서, 도 19에 추가로 도시된 바와 같이, 제1 패키지(1400A)의 그리드(1414A)에서 "A"로 표기된 신호를 전달하는 특정한 제1 단자는, 동일한 신호 "A"를 전달하는 제2 패키지(1400B)의 그리드(1424B)의 대응하는 제1 단자와 정렬된다. 이와 마찬가지로, 제1 패키지(1400A)의 그리드(1424A)에서 "A"로 표기된 신호를 전달하는 특정한 제1 단자 또한, 동일한 신호 "A"를 전달하는 제2 패키지(1400B)의 그리드(1414B)의 대응하는 제1 단자와 정렬된다.

[0134] 이런 식으로, 도 19에 추가로 도시된 바와 같이, 전기적으로 연결된 제2 단자의 이러한 쌍들 각각의 단자가 서로 접칠 수 있거나, 또는 서로 하나의 볼 피치 내에서 정렬될 수 있다는 점에서, 제1 패키지(1400A) 및 제2 패키지(1400B)의 전기적으로 연결된 각 쌍의 제1 단자들 간에 회로 패널을 통한 전기적 연결의 길이가 상당히 줄어들 수 있다. 이러한 전기적 연결의 길이 감소에 의해, 회로 패널 및 어셈블리에서 스터브 길이가 감소될 수 있고, 이는 제1 단자에 의해 전달되고 제1 패키지와 제2 패키지 모두의 마이크로 전자 요소에 전송되는 위에서 언급한 신호에 대하여, 전기적 성능의 개선, 예를 들어 특히 정착 시간, 링잉, 지터, 또는 심볼간 간섭의 감소 등에 도움이 될 수 있다. 나아가, 예를 들면 회로 패널의 구조의 단순화, 또는 회로 패널의 설계 또는 제조의 복잡성 및 비용 감소 등과 같은 다른 이점 또한 얻을 수 있다.

[0135] 도 19에 추가로 도시된 바와 같이, 각 패키지(1400A, 1400B)의 제2 단자가 도 16 내지 18과 관련하여 앞서 기술한 특정 미러 이미지 배열을 갖고 제3 그리드 및 제4 그리드로 배열되는 경우, 각 패키지의 제1 그리드의 각각

의 제2 단자는 동일한 신호 할당을 갖고 전기적으로 연결되어 있는 나머지 패키지의 제2 그리드의 대응하는 제2 단자와 정렬될 수 있다. 따라서, 도 19에 도시된 바와 같이, 제1 패키지(1400A)의 제3 그리드(1416A)의 각각의 제2 단자(1406)는, 동일한 신호 할당을 가지고 전기적으로 연결되어 있는 제2 패키지(1400B)의 제4 그리드(1426B)에서의 대응하는 제2 단자와 정렬된다. 나아가, 제1 패키지(1400A)의 제4 그리드(1426A)에서 각각의 제2 단자는, 동일한 신호 할당을 가지고 전기적으로 연결되어 있는 제3 그리드(1416B)에서의 대응하는 제2 단자와 정렬된다. 다시, 연결된 단자의 각 쌍이 회로 패널(1464)의 제1 표면(1460)을 따라 직교하는 x 및 y 방향으로 서로 하나의 볼 피치 내에서 정렬될 수 있도록, 연결된 단자의 각 쌍의 할당은 일정한 공차 이내에 있다.

[0136] 따라서, 도 19에 추가로 도시된 바와 같이, 제1 패키지(1400A)의 그리드(1416A)에서 "B"로 표기된 신호를 전달하는 특정한 제1 단자는, 동일한 신호 "B"를 전달하고 전기적으로 연결되어 있는 제2 패키지(1400B)의 그리드(1426B)의 대응하는 제1 단자와 정렬된다. 이와 마찬가지로, 제1 패키지(1400A)의 그리드(1426A)에서 "B"로 표기된 신호를 전달하는 특정한 제1 단자 또한, 동일한 신호 "B"를 전달하고 전기적으로 연결되어 있는 제2 패키지(1400B)의 그리드(1416B)의 대응하는 제1 단자와 정렬된다.

[0137] 앞서 기술한 제1 패키지 및 제2 패키지의 대응하는 제1 단자(1404) 사이의 연결과 마찬가지로, 본 실시예에서는, 전기적으로 연결된 제2 단자의 이러한 쌍들 각각의 단자가 서로 겹칠 수 있거나, 또는 회로 패널 표면에 평행하는 직교하는 x 및 y 방향으로 서로 하나의 볼 피치 내에서 정렬될 수 있다는 점에서, 제1 패키지 및 제2 패키지의 전기적으로 연결된 각 쌍의 제2 단자들(1406) 간에 회로 패널을 통한 전기적 연결의 길이가 상당히 줄어들 수 있다. 나아가, 마이크로 전자 패키지의 제2 단자가 이런 식으로 배열되는 경우, 즉 명령 어드레스 버스의 상기 신호 이외의 신호를 전달하도록 할당될 수 있는 단자가 이런 식으로 배열되는 경우, 제1 패키지와 제2 패키지 사이의 연결에 대해 스터브 길이를 줄이고 회로 패널의 구성을 단순화하는, 위에서 기술된 이 점과 마찬가지의 이점을 달성할 수 있다.

[0138] 도 20은 패키지(1480)의 각각의 제1 그리드(1474, 1484) 및 제2 그리드(1476, 1486) 내에서 단자의 특정 배열을 나타내고, 각각의 그리드에서 인접한 컬럼(1438, 1439)에서 동일한 상대적 수직 위치에서의 단자가 패키지의 수직 레이아웃 방향(1434)으로 서로 오프셋되어 있는 위치에 배치될 수 있는 엇갈린 배열을 나타낸다.

[0139] 도 21은 마이크로 전자 패키지 상에서 서로 평행한 제1 그리드(1478) 및 제2 그리드(1488)에서의 제1 단자의 특정 배열을 나타내고, 여기서 각 그리드는 단자의 3개의 인접한 컬럼을 포함한다. 위에서 언급한 바와 같이, 일부 실시예에서, 상기 명령 어드레스 버스 신호 이외의 신호가, 상기 명령 어드레스 버스 신호를 또한 전달하는 동일한 그리드 내의 단자에 할당될 수도 있다. 위에서 기술된 바와 같이 미러 이미지 신호 할당을 갖는 한 쌍의 그리드(1478, 1488) 각각이 2개 또는 3개가 아닌 단자의 4개의 컬럼을 가지는 다른 배열도 제공될 수 있다.

[0140] 도 16 내지 18에 도시된 실시예의 추가적인 변형예에서, 상기 명령 어드레스 버스 신호를 전달하도록 배열된 제1 단자가 단자의 개별적인 제1 컬럼 및 제2 컬럼에 제공될 수도 있고, 여기서 각각의 개별 컬럼은 상기 명령 어드레스 버스 신호 모두를 전달하도록 구성되는 제1 단자의 세트를 포함한다. 제1 컬럼과 제2 컬럼이 연장되는 동일한 방향으로 연장되는 축 주위로 신호 할당이 대칭을 이룬다는 점에서, 제1 단자들은, 제1 컬럼 및 제2 컬럼에서의 신호 할당이 서로의 미러 이미지가 되도록 배열될 수 있다. 이런 식으로, 제1 컬럼에서 제1 단자의 신호 할당은 패키지 상의 제2 컬럼에서 동일한 상대적 수직 위치에 있는 제1 단자의 신호 할당과 동일하다.

[0141] 도 22는 마이크로 전자 요소(1401, 1403)가 반도체 칩의 수직 적층된 어셈블리인 또 다른 변형예에 따른 마이크로 전자 패키지(1490)를 나타낸다. 따라서, 도 22에 도시된 바와 같이, 마이크로 전자 요소(1401, 1403) 중 하나 이상은 기판(1402)으로부터 멀어지는 방향을 향하는 콘택 지지 면(1431)을 갖는 제1 반도체 칩(1451), 그리고 앞서 도 16 내지 18과 관련하여 기술한 바와 같이 기판(1402) 상의 기판 콘택에 와이어 본딩되는 면(1431) 상의 콘택(1436)을 포함할 수 있다. 일례로서, 이러한 마이크로 전자 요소의 제2 반도체 칩(1453)은, 예를 들어 앞서 기술한 바와 같이 전기적으로 도전성인 범프, 예컨대 본드 금속을 통하여, 제1 반도체 칩(1451)의 대응하는 콘택(1445)에 대면하는 콘택(1455)을 가질 수 있고 이에 결합될 수 있다.

[0142] 다른 변형예로서, 패키지(1490)에서 마이크로 전자 요소(1401, 1403) 중 하나 이상은, 도 10, 11, 12, 13, 14, 또는 15와 관련하여 앞서 기술한 바와 같이 구성될 수 있다.

[0143] 도 23은 제1, 제2, 제3, 제4 마이크로 전자 요소(1501, 1503, 1505, 및 1507)가 통합되어 있는, 도 16 내지 18의 상기 실시예의 변형에 따른 마이크로 전자 패키지(1500)를 나타낸다. 패키지는 또한, 명령 어드레스 버스의 상기 신호를 전달하도록 할당되는 제1 단자의 4개의 그리드(1514, 1524, 1534, 1544)를 보여준다. 위에서 기술

한 예시와 마찬가지로, 제1 단자의 각 그리드는 마이크로 전자 요소 중 단지 하나와 전기적으로 연결될 수 있거나, 마이크로 전자 요소 중 둘 이상에 연결될 수 있다. 도 23은 제1 단자의 그리드(1514, 1524, 1534, 1544)와 제2 단자의 그리드(1516, 1526, 1536, 1546)의 한 가지 가능한 배열을 보여주는 패키지(1500)의 한 가지 가능한 배열을 나타낸다.

[0144] 도 23에 도시된 바와 같이, 각각의 마이크로 전자 요소는 통상적으로 서로 평행한 2개의 "기다란" 에지(1510)를 가지며, 이러한 에지는 앞서 도 6b, 6c, 6d, 7a에 관해 설명한 바와 같이, 마이크로 전자 요소 상의 콘택의 하나 이상의 컬럼이 연장되는 방향과 동일한 방향으로 연장된다. 일례로서, 이러한 "기다란" 에지는 각각, 각각의 마이크로 전자 요소의 서로 평행한 2개의 짧은 에지(1512)보다 길 수 있다. 다른 예로서, 이러한 "기다란" 에지(1510)는 단지 콘택의 하나 이상의 컬럼과 동일한 방향으로 연장될 수도 있으며, 실제로 동일한 마이크로 전자 요소의 "짧은" 에지(1512)보다 짧을 수도 있다. 이하에서 기술하는 각각의 패키지에서 마이크로 전자 요소의 "기다란" 에지 및 "짧은" 에지에 대한 언급은 이러한 정의를 포함한다.

[0145] 추가로 도 23에 도시된 바와 같이, 이러한 특정 변형예에서, 2개의 그리드(1524, 1534)가 마이크로 전자 요소(1503, 1505)를 분리하는 패키지의 중심선(1530)에 인접하여 배치될 수 있는 한편, 나머지 그리드(1514, 1544)는 패키지의 주변 에지(1550, 1552) 근방에 배치될 수 있다.

[0146] 도 24는 도 23에 도시된 것의 변형에 따른 패키지(1560)를 나타내는 평면도이고, 여기서는 패키지 상의 제1 단자의 그리드의 위치가 변화한다. 이러한 경우, 도 23의 패키지(1500)와 패키지(1560) 간의 차이점을 살펴보면, 패키지(1560) 내의 그리드(1534)의 위치는 제2 단자의 그리드(1536)의 위치와 교환되어, 그리드(1536)는 이제 제1 단자의 그리드(1524, 1534) 사이에 배치된다. 부가적으로, 패키지(1560) 내에서 그리드(1544)의 위치는 제2 단자의 그리드(1546)의 위치와 교환되어, 그리드(1546)는 이제 제1 단자의 그리드(1534, 1544) 사이에 배치된다.

[0147] 도 25는 도 23에 도시된 것의 변형에 따른 패키지(1570)를 나타내는 평면도이고, 여기서는 제1 단자의 그리드의 위치가 변화한다. 이러한 경우, 도 23의 패키지(1500)와 패키지(1570) 간의 차이점을 살펴보면, 패키지(1570) 내의 제1 단자의 그리드(1524)의 위치는 제2 단자의 그리드(1526)의 위치와 교환되어, 그리드(1524)는 이제 제1 단자의 그리드(1514, 1526) 사이에 그리고 이에 인접하여 배치된다. 부가적으로, 패키지(1570) 내에서 그리드(1534)의 위치는 도 23에 도시된 것에 대하여 제2 단자의 그리드(1536)의 위치와 교환되어, 그리드(1534)는 이제 제1 단자의 그리드(1536, 1544) 사이에 배치된다.

[0148] 도 26은 도 16 내지 18의 상기 실시예의 추가적인 변형에 따른 패키지(1600)를 나타내는 평면도이고, 여기서 제1, 제2, 제3, 제4 마이크로 전자 요소(1601, 1603, 1605, 1607)는 기판 상에 매트릭스로 배열되고, 각 마이크로 전자 요소는 제1 방향(1620)으로 연장되는 평행한 제1 에지(1610), 및 기판의 제1 표면(1408)(도 17)에 평행하고 제1 방향을 가로지르는, 예컨대 제1 방향(1620)에 수직인 제2 방향(1622)으로 연장되는 평행한 제2 에지(1612)를 갖는다. 제1 에지(1610)는 이러한 에지가 각각의 마이크로 전자 요소의 길이 치수를 나타내는 경우 "기다란 에지"일 수 있고, 제2 에지(1612)는 이러한 에지가 상기 길이보다 짧은 각각의 마이크로 전자 요소의 치수를 나타내는 경우 "짧은 에지"일 수 있다. 대안으로서, 제2 에지(1612)는 이러한 에지가 각각의 마이크로 전자 요소의 길이 치수를 나타내는 경우 "기다란 에지"일 수 있고, 제1 에지(1610)는 이러한 에지가 상기 길이보다 짧은 각각의 마이크로 전자 요소의 치수를 나타내는 경우 "짧은 에지"일 수 있다.

[0149] 도 26에 도시된 바와 같이, 마이크로 전자 요소는 마이크로 전자 요소(1601, 1603)의 제1 에지(1610)가 서로 인접하고 평행하게 배열될 수 있다. 마이크로 전자 요소(1605, 1607)의 제1 에지(1610)는 또한 서로 인접하고 평행할 수 있다. 마이크로 전자 요소는 또한 마이크로 전자 요소(1601)의 하나의 제2 에지(1612)가 나머지 마이크로 전자 요소(1607)의 제2 에지(1612)에 인접하고 평행하며, 마이크로 전자 요소(1603)의 하나의 제2 에지(1612)가 나머지 마이크로 전자 요소(1605)의 하나의 제2 에지(1612)에 인접하고 평행하도록 배열된다. 일부 경우 마이크로 전자 요소(1601)의 각각의 제1 에지(1610)는 마이크로 전자 요소(1607)의 제1 에지(1610)와 동일 선상에 있을 수 있다. 마찬가지로, 일부 경우 마이크로 전자 요소(1603)의 각각의 제1 에지(1610)는 마이크로 전자 요소(1605)의 제1 에지(1610)와 동일 선상에 있을 수 있다.

[0150] 제2 단자의 그리드(1651, 1653, 1655, 1657)는 각각의 마이크로 전자 요소(1601, 1603, 1605, 1607)의 일부와 겹칠 수 있고 그와 전기적으로 연결되며, 임의의 적합한 배열로 배치된 단자를 가질 수 있고, 이러한 제2 단자를, 그리드(1651, 1653, 1655, 또는 1657) 중 임의의 하나에서의 신호 할당이 나머지 그리드(1651, 1653, 1655, 또는 1657) 중 임의의 하나의 단자의 신호 할당의 미러 이미지인 그리드로 배치할 필요가 없다.

- [0151] 특정 예로서, 그리드 중 임의의 하나의 신호 할당이 다른 그리드의 신호 할당에 대하여 기판 표면(1602)에 평행한 수직 레이아웃 방향으로 수직 축(1680) 주위로 대칭을 이를 수 있다는 점에서, 그리드(1651, 1653, 1655, 또는 1657) 중 임의의 하나에서의 제2 단자의 신호 할당은 그리드(1651, 1653, 1655, 또는 1657) 중 하나 또는 둘의 나머지 그리드에서의 제2 단자의 신호 할당의 미러 이미지일 수 있다. 대안으로서, 또는 부가적으로, 그리드 중 임의의 하나의 신호 할당은 다른 그리드의 신호 할당에 대하여 수평 축(1682) 주위로 대칭일 수 있다.
- [0152] 예를 들어, 도 26에 도시된 바와 같이, 그리드(1651)의 신호 할당은 그리드(1653)의 신호 할당에 대하여 수직 축(1680) 주위로 대칭이고, 여기서 수직 축(1680)은 도시된 예에서 그리드(1651, 1653) 사이에 있는 수직 레이아웃 방향(1620)으로 연장된다. 또한, 그리드(1651)의 신호 할당은 그리드(1657)의 신호 할당에 대하여 수평 축(1682) 주위로 대칭이고, 여기서 수평 축(1682)은 도시된 예에서 그리드(1651, 1657) 사이에 있는 수평 레이아웃 방향(1622)으로 연장된다. 대안적으로 배열로서, 각각의 그리드(1651, 1657)는 수평 축(1682)의 양쪽에서 기판 표면의 일부로 연장될 수 있고, 위에서 기술된 관계가 존재할 수 있다. 마찬가지로, 이러한 배열은 그리드(1653, 1655)에 대해 존재할 수 있다.
- [0153] 도 26에 도시된 특정 예에서, 그리드(1651, 1657)의 신호 할당은 각각의 그리드(1653, 1655)의 신호 할당에 대하여 수직 축(1680) 주위로 대칭이다. 또한, 그리드(1651, 1655)의 신호 할당은 각각의 그리드(1657, 1655)의 신호 할당에 대하여 수평 축 주위로 대칭을 이룬다.
- [0154] 도 27은 상기 실시예(도 23)의 또 다른 변형에 따른 마이크로 전자 패키지(1700)를 나타내는 평면도이고, 여기서 제1 마이크로 전자 요소(1701) 및 제2 마이크로 전자 요소(1703)의 제1 에지(1710)는 단자 지지 기판 표면(1704)의 제1 주변 에지(1740)에 평행한 제1 방향(1720)으로 연장되고, 마이크로 전자 요소(1701, 1703)의 제2 에지(1712)는 단자 지지 기판 표면(1704)에 평행한 제2 방향(1722)으로 연장된다. 패키지(1700)는 제3 마이크로 전자 요소(1705) 및 제4 마이크로 전자 요소(1707)를 더 포함한다. 그러나, 제3 마이크로 전자 요소(1705) 및 제4 마이크로 전자 요소(1707)의 제1 에지(1730)는 제2 방향(1722)으로 연장되고, 제3 마이크로 전자 요소(1705) 및 제4 마이크로 전자 요소(1707)의 제2 에지(1732)는 제2 방향(1720)으로 연장된다. 도 27에 추가로 도시된 바와 같이, 상기 명령 어드레스 버스 신호를 전달하도록 구성된 제1 단자의 제1 그리드(1414) 및 제2 그리드(1724)는 기판의 제1 및 제2 주변 에지(1740, 1742)로부터 떨어진, 기판 표면의 중심 영역에 제공될 수 있고, 여기서 제2 그리드(1724)에서의 신호 할당은 앞서 기술한 바와 같이 제1 그리드(1714)에서의 신호 할당의 미러 이미지이다. 도 27에 도시된 바와 같은 일례에서, 제1 단자의 제1 및 제2 그리드(1714, 1724)는 제1 마이크로 전자 요소(1701) 및 제2 마이크로 전자 요소(1703)의 인접하는 제1 에지(1710) 사이에 배치될 수 있고, 제3 마이크로 전자 요소(1705) 및 제4 마이크로 전자 요소(1707)의 일부와 겹칠 수 있다. 제2 단자(1751, 1753, 1755, 1757)의 그리드는 적어도 부분적으로, 제2 단자가 전기적으로 연결되는 각각의 마이크로 전자 요소(1701, 1703, 1705, 1707)와 겹칠 수 있다. 도 27에 도시된 바와 같이, 그리드(1753)에서 제2 단자의 신호 할당은 그리드(1751)에서 제2 단자의 신호 할당의 미러 이미지이다. 유사한 구성의 2개의 패키지(1700)가 회로 패널의 양쪽 표면 상에 서로 반대편에 장착되는 경우, 그리드(1714, 1724) 및 그리드(1751, 1753)에서 단자의 미러 이미지 신호 할당에 의해 회로 패널에서의 스터브 길이가 앞서 기술한 바와 같이 감소될 수 있다.
- [0155] 제2 단자의 그리드(1755, 1757)는 마이크로 전자 요소(1705, 1707)의 일부와 겹칠 수 있고 전기적으로 연결되며, 임의의 적합한 배열로 배치된 단자를 가질 수 있고, 이러한 제2 단자를, 그리드(1755) 중 하나에서의 신호 할당이 나머지 그리드(1757)에서의 단자의 신호 할당의 미러 이미지인 그리드로 배치할 필요가 없다. 그러나, 특정 실시예에서, 신호 할당이 그리드(1755)와 그리드(1758) 사이에서 소정 방향(1722)으로 연장되는 축(1735) 주위로 대칭을 이를 수 있다는 점에서, 그리드(1755)에서의 제2 단자의 신호 할당은 다른 그리드(1757)에서의 제2 단자의 신호 할당의 미러 이미지일 수 있다. 이러한 경우, 그리드(1755, 1757)에서 이러한 제2 단자에 대해 도 27의 수평 방향으로 연장되는 축(1735) 주위로 대칭이 존재할 수 있다.
- [0156] 나아가, 제1 단자의 그리드 간에 또는 제2 단자의 나머지 그리드(1751, 1753) 간에 신호 할당의 대칭이 선택적으로 제공될 수 있는 그러한 구성이 마이크로 전자 패키지에 제공될 수 있다. 도 17에 추가로 도시된 바와 같이, 그리드(1755, 1757)의 단자는 도 5a와 관련하여 앞서 기술한 바와 같이 신호 클래스 대칭 또는 modulo-X 대칭 중 하나 이상을 가질 수 있다.
- [0157] 도 27에 추가로 도시된 바와 같이, 제1, 제2, 제3, 제4 마이크로 전자 요소(1701, 1703, 1705, 1707)의 인접한 에지(1730, 1710) 사이에 패키지(1700)의 중앙 영역에 배치된 마이크로 전자 요소로서 하나 이상의 버퍼 요소(1750)가 제공될 수 있다. 이러한 각각의 버퍼 요소는, 특히 패키지의 제1 단자에서 수신되는 상기 명령 어드레스 버스 신호 및 패키지 내의 마이크로 전자 요소 중 하나 이상에 대하여, 패키지의 단자들 사이에 신호 격리

를 제공하는데 이용될 수 있다. 이러한 하나 이상의 버퍼 요소는 제1 단자 또는 제2 단자에서 수신되는 신호를 재생성하고, 이렇게 재생성된 신호를 패키지 내의 마이크로 전자 요소 중 하나 이상에 전송한다.

[0158] 대안적으로 또는 부가적으로, 마이크로 전자 요소의 인접한 예지(1710, 1730) 사이의 기판(1702)의 영역에 의해, 패키지의 내부 전원 또는 접지 버스에 연결되는 하나 이상의 디커플링 커패시터가 패키지 상에 또는 패키지 내에 제공될 수 있다.

[0159] 도 28은 도 27에 도시된 실시예의 변형을 나타내고, 여기서는 제1 그리드(1714) 및 제2 그리드(1724)의 위치가 제1 마이크로 전자 요소(1701) 및 제2 마이크로 전자 요소(1703)의 적어도 일부와 겹치도록 변화될 수 있다. 이러한 경우, 제3 마이크로 전자 요소(1705) 및 제4 마이크로 전자 요소(1707)의 위치 또한, 제3 마이크로 전자 요소(1705) 및 제4 마이크로 전자 요소(1707)의 제1 예지(1730)의 위치가 패키지의 중심으로부터 멀어지게 이동할 수 있도록 변화될 수 있다. 이러한 경우, 제3 및 제4 마이크로 전자 요소의 제1 예지(1730)는 방향(1720)으로 제1 및 제2 마이크로 전자 요소의 제2 예지(1712)의 일부에 평행하고 이로부터 이격되어 있다. 결과적으로, 하나 이상의 버퍼 요소 또는 디커플링 커패시터, 또는 다른 디바이스의 연결을 위해 이용가능한, 패키지의 중심에서의 영역(1760)의 양은 도 27에 도시된 것보다 클 수 있다. 도 28은 또한, 기판의 제1 및 제2 예지(1736, 1738)에 인접하여 그리드 내에 배치된 제2 단자의 신호 할당이 예지(1736, 1738)에 평행한 제1 방향(1720)으로 연장되는 축(미도시) 주위로 대칭을 나타낼 수 있는 배열을 보여준다. 대안적으로 또는 부가적으로, 기판의 제3 및 제4 예지(1737, 1739)에 인접하여 그리드 내에 배치된 제2 단자의 신호 할당은 제1 방향(1720)을 가로지르는(예를 들면, 제3 및 제4 예지(1737, 1739)에 평행할 수 있는) 제2 방향으로 연장되는 축(미도시) 주위로 대칭을 나타낼 수 있다.

[0160] 도 29는 상기 실시예(도 28)의 변형에 따른 마이크로 전자 패키지(1800)를 나타낸다. 이러한 변형에서, 마이크로 전자 요소(1801, 1803, 1805, 1807)는, 마이크로 전자 요소(1801, 1803)의 제1 예지(1810)가 마이크로 전자 요소(1805, 1807)의 제2 예지(1830)와 동일한 방향(1820)으로 연장되는 풍차 형태 구성으로 배열된다. 부가적으로, 마이크로 전자 요소(1805, 1808)의 제1 예지(1830)는 마이크로 전자 요소(1801, 1803)의 제2 예지(1812)와 동일한 방향(1822)으로 연장된다. 마이크로 전자 요소(1801)의 제1 예지들 중 하나의 일부는 마이크로 전자 요소(1807)의 제2 예지(1830)들 중 하나의 일부에 평행하게 이격되어 있다. 마찬가지로, 마이크로 전자 요소(1805)의 제1 예지들 중 하나의 일부는 마이크로 전자 요소(1801)의 제2 예지들 중 하나에 평행하게 이격되어 있다. 이러한 관계는, 마이크로 전자 요소(1803)의 제1 예지(1810)들 중 하나의 일부 및 마이크로 전자 요소(1805)의 제2 예지(1830)들 중 하나의 일부뿐만 아니라, 마이크로 전자 요소(1807)의 제1 예지들 중 하나의 일부 및 마이크로 전자 요소(1803)의 제2 예지들 중 하나의 일부에 대하여 패키지 내부에서 반복될 수 있다.

[0161] 부가적으로, 마이크로 전자 요소(1801)의 제1 예지(1810)들 중 하나를 포함하고 다른 마이크로 전자 요소(1805)의 제1 예지(1830)와 교차하는 기판에 수직인 평면(1840)이 제공됨을 알 수 있다. 마찬가지로, 마이크로 전자 요소(1805)의 제1 예지(1830)들 중 하나를 포함하고 다른 마이크로 전자 요소(1803)의 제1 예지(1810)와 교차하는 기판에 수직인 평면(1842)이 제공된다. 도 29를 살펴보면, 마이크로 전자 요소(1807)의 제1 예지들 중 하나를 포함하는 유사한 평면이 마이크로 전자 요소(1801)의 제1 예지와 교차하고, 마이크로 전자 요소(1803)의 제1 예지들 중 하나를 포함하는 유사한 평면이 마이크로 전자 요소(1807)의 제1 예지와 교차함을 알 수 있다. 이러한 패키지는, 하나의 마이크로 전자 요소의 제1 예지를 포함하는 평면이, 패키지 내에서 기껏해야 다른 하나의 마이크로 전자 요소의 제1 예지와 교차하도록 구성될 수 있다.

[0162] 추가로 도 29에 도시된 바에 따르면, 미려 이미지 신호 할당을 갖는 제1 단자의 그리드(1814, 1824)는 각각, 패키지(1800)에서 하나 이상의 마이크로 전자 요소와 부분적으로 또는 전적으로 겹칠 수 있다. 제1 단자를 포함하는 그리드 및 제2 단자를 포함하는 그리드 내에서 신호 할당은 도 27 또는 도 28과 관련하여 앞서 기술한 바와 같을 수 있다. 부가적으로, 마이크로 전자 요소의 인접한 예지(1810, 1832) 사이에 배치되고 마이크로 전자 요소의 어떠한 면도 그 위에 배치되지 않는 기판의 중앙 영역(1850)은, 도 27 내지 28과 관련하여 위에서 기술된 바와 같이 하나 이상의 버퍼 요소 또는 디커플링 커패시터 또는 양자 모두를 수용할 수 있다.

[0163] 도 30은 도 25와 관련하여 앞서 기술한 마이크로 전자 패키지(1570)의 변형에 따른 마이크로 전자 패키지를 나타내고, 이러한 패키지는 4개의 마이크로 전자 요소 대신에 기판(1902) 상에서 서로 이격되어 있는 3개의 마이크로 전자 요소(1901A, 1902B, 1902C)를 포함한다. 도 25에 도시된 실시예에서 제1 및 제2 그리드(1514, 1524), 그리고 제3 및 제4 그리드(1534, 1544)와 마찬가지로, 패키지(1900)의 제1 그리드(1914)에서 제1 단자의 신호 할당은 제2 그리드(1924)에서 제1 단자의 신호 할당의 미려 이미지일 수 있다. 나아가, 동일한 사항이 패키지(1900)의 제3 그리드(1934)에서 제1 단자의 신호 할당에 적용될 수도 있고, 이러한 신호 할당은 제4 그리-

드(1944)에서 제1 단자의 신호 할당의 미려 이미지일 수 있다. 부가적으로, 도 30에 도시된 바와 같이, 특정 실시예에서 제1 그리드(1914)는 제1 마이크로 전자 요소(1901A)와 겹칠 수 있는 반면, 제2 그리드(1924)는 제2 마이크로 전자 요소(1901B)와 겹칠 수 있다. 도 30에 추가로 도시된 바와 같이, 제3 그리드(1934)는 제3 마이크로 전자 요소(1901C)와 겹칠 수 있다. 제4 그리드(1944)는 도 30에 도시된 바와 같이 제3 마이크로 전자 요소(1901C)의 에지(1942)를 넘어 기판(1902)의 표면 중 일부와 겹칠 수 있다. 대안으로서, 도시되지는 않았지만, 제4 그리드(1944) 또한 제3 마이크로 전자 요소(1901C)와 겹칠 수 있다.

[0164] 도 5 내지 도 30과 관련하여 앞서 기술한 마이크로 전자 패키지 및 마이크로 전자 어셈블리는 도 31에 도시된 시스템(2500)과 같은 다양한 전자 시스템의 구성에서 활용될 수 있다. 예를 들어, 본 발명의 추가적인 실시예에 따른 시스템(2500)은 다른 전자 컴포넌트(2508, 2510, 1511)와 관련하여 앞서 기술한 바와 같이 마이크로 전자 패키지 및/또는 마이크로 전자 어셈블리와 같은 복수의 모듈 또는 컴포넌트(2506)를 포함한다.

[0165] 도시된 예시적인 시스템(2500)에서, 시스템은 회로 패널, 마더보드, 또는 플렉서블 인쇄 회로 기판과 같은 라이저 패널(2502)을 포함할 수 있고, 회로 패널은 모듈 또는 컴포넌트(2506, 2508, 2510)를 서로 상호접속하는 수 많은 도전체(2504)를 포함할 수 있으며, 다만 도 31에는 하나만이 도시되어 있다. 이러한 회로 패널(2502)은 시스템(2500)에 포함된 마이크로 전자 패키지 및/또는 마이크로 전자 어셈블리 각각으로 또는 이를 각각으로부터 신호를 전송할 수 있다. 그러나 이는 단지 예시적인 것이다; 모듈 또는 컴포넌트(2506) 사이에 전기적 연결을 이루기 위한 임의의 적합한 구조체가 이용될 수 있다.

[0166] 특정 실시예에서, 시스템(2500)은 또한 반도체 칩(2508)과 같은 프로세서를 포함할 수 있고, 이에 의해 각 모듈 또는 컴포넌트(2506)는 클록 사이클에 N개의 데이터 비트를 병렬로 전송하도록 구성될 수 있고, 프로세서는 클록 사이클에 M개의 데이터 비트를 병렬로 전송하도록 구성될 수 있으며, 여기서 M은 N 이상이다.

[0167] 일례로서, 시스템(2500)은 클록 사이클에 32 데이터 비트를 병렬로 전송하도록 구성되는 프로세서 칩(2508)을 포함할 수 있고, 시스템은 또한 도 5a 내지 5c와 관련하여 기술된 마이크로 전자 패키지(100)와 같은 4개의 모듈(2506)을 포함할 수 있고, 각각의 모듈(2506)은 클록 사이클에 8 데이터 비트를 병렬로 전송하도록 구성된다 (즉, 각 모듈(2506)은 제1 및 제2 마이크로 전자 요소를 포함할 수 있고, 이러한 2개의 마이크로 전자 요소 각각은 클록 사이클에 4 데이터 비트를 병렬로 전송하도록 구성된다).

[0168] 다른 예로서, 시스템(2500)은 클록 사이클에 64 데이터 비트를 병렬로 전송하도록 구성되는 프로세서 칩(2508)을 포함할 수 있고, 시스템은 또한 도 23 내지 29와 관련하여 기술된 마이크로 전자 패키지와 같은 4개의 모듈(2506)을 포함할 수 있고, 각각의 모듈(2506)은 클록 사이클에 16 데이터 비트를 병렬로 전송하도록 구성된다 (즉, 각 모듈(2506)은 4개의 마이크로 전자 요소를 포함할 수 있고, 이러한 4개의 마이크로 전자 요소 각각은 클록 사이클에 4 데이터 비트를 병렬로 전송하도록 구성된다).

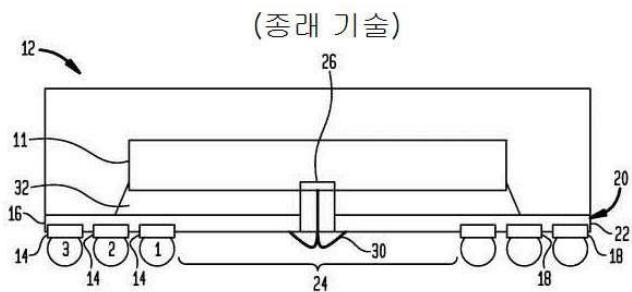
[0169] 도 31에 도시된 예에서, 컴포넌트(2508)는 반도체 칩이고, 컴포넌트(2510)는 디스플레이 스크린이지만, 임의의 다른 컴포넌트가 시스템(2500)에서 이용될 수 있다. 물론 도 31에서는 설명의 명확화를 위해서 단지 2개의 부가적인 컴포넌트(2508, 2511)가 도시되어 있지만, 시스템(2500)은 임의의 수의 이러한 컴포넌트를 포함할 수 있다.

[0170] 모듈 또는 컴포넌트(2506) 및 컴포넌트(2508, 2511)는 개략적으로 점선으로 도시된 공통의 하우징(2501) 내에 장착될 수 있고, 요구되는 회로를 형성하는데 필요한만큼 서로 전기적으로 상호접속될 수 있다. 하우징(2501)은 예를 들어 셀룰러 폰 또는 PDA에서 이용될 수 있는 유형의 휴대형 하우징으로 도시되어 있고, 스크린(2510)은 하우징의 표면에서 노출될 수 있다. 구조체(2506)가 이미징 칩과 같은 감광 요소를 포함하는 실시예에서, 이러한 구조체에 광을 라우팅하기 위해 렌즈(2511) 또는 기타 다른 광학 디바이스도 제공될 수 있다. 다시 도 31에 도시된 단순화된 시스템은 단지 예시적인 것이다; 위에서 논의된 구조체를 이용하여, 통상 고정형 구조체로 간주되는 시스템을 포함하는 다른 시스템, 예를 들어 데스크탑 컴퓨터, 라우터 등이 만들어질 수 있다.

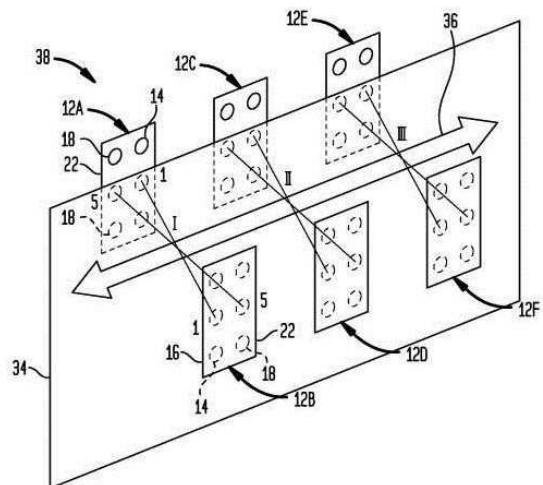
[0171] 본 발명의 앞서 기술한 실시예의 다양한 특징은 본 발명의 사상 및 범위를 벗어나지 않고 위에서 특정하게 기술된 것과는 다른 방식으로 조합될 수 있다. 본 개시 내용은 위에서 기술된 본 발명의 실시예의 이러한 모든 조합 및 변형을 커버하는 것으로 의도된다.

도면

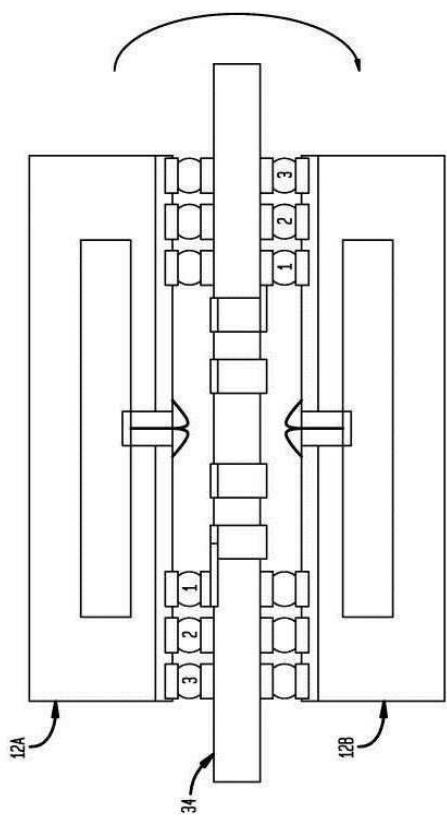
도면1



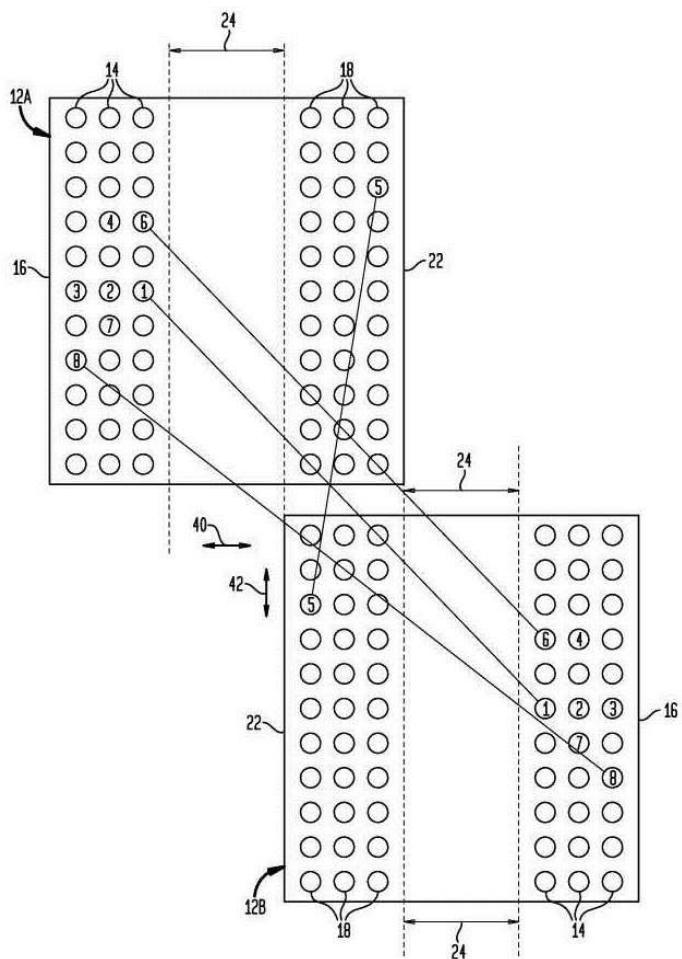
도면2



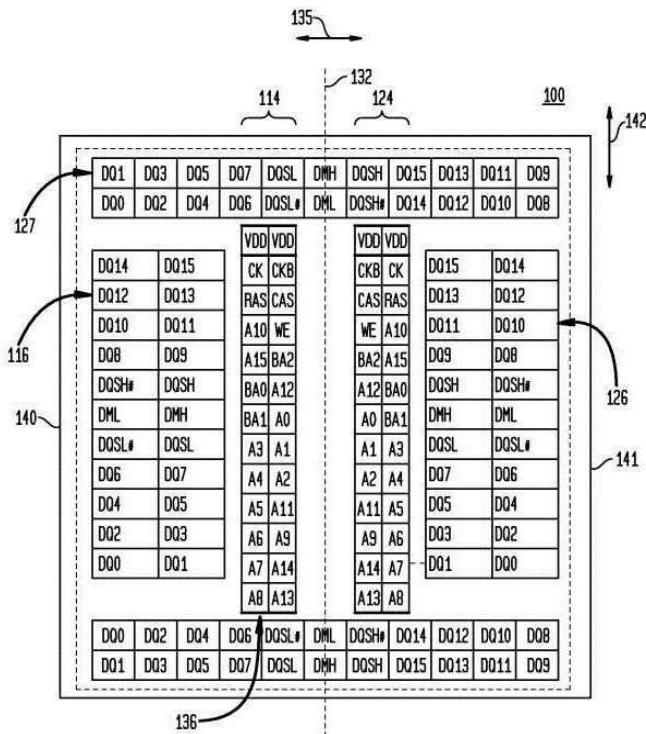
도면3



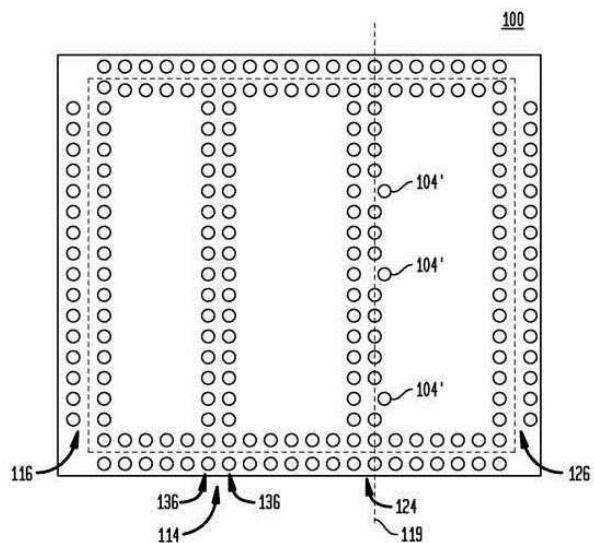
도면4



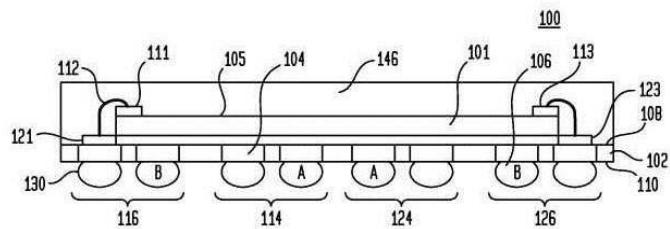
도면5a



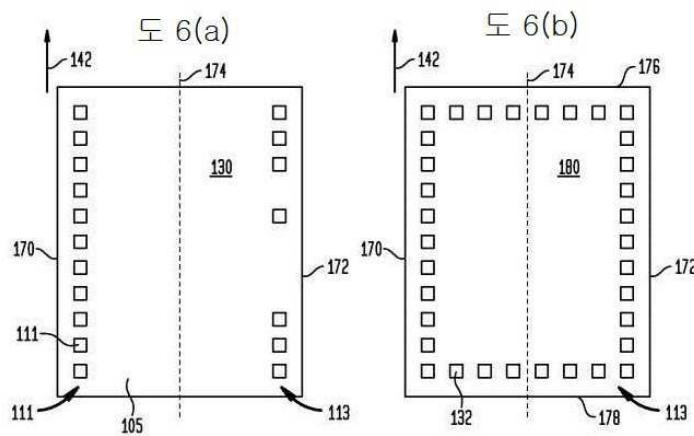
도면5b



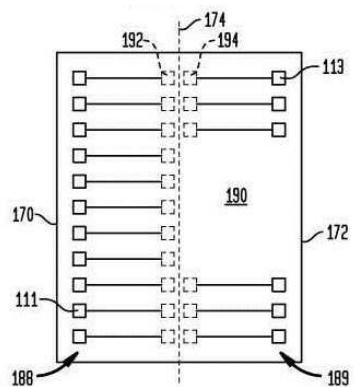
도면5c



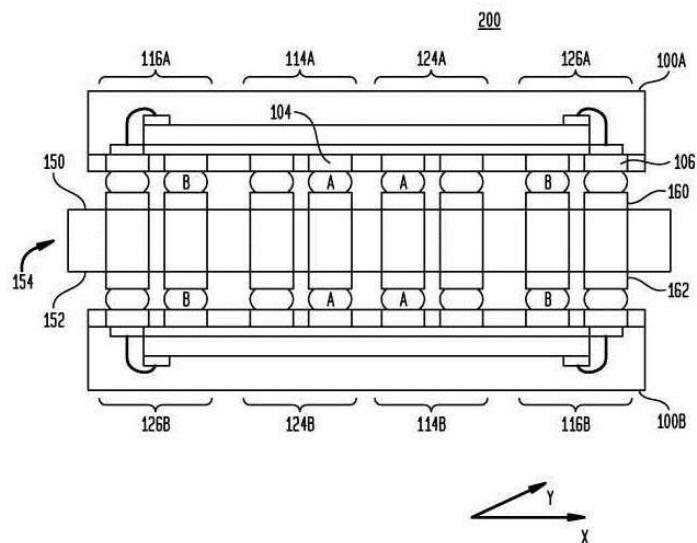
도면6



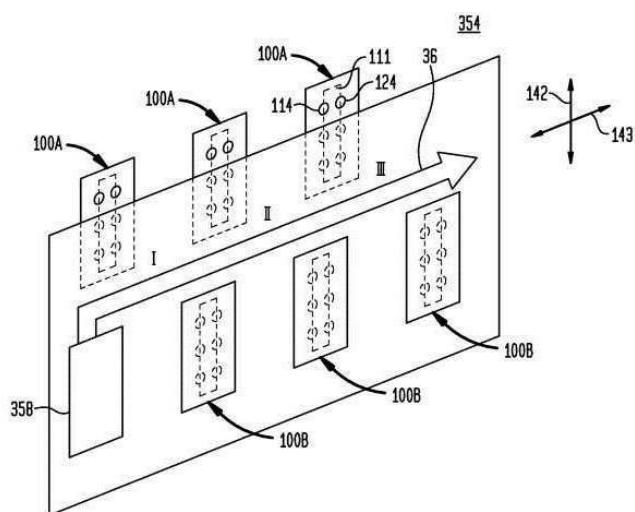
도 6(c)



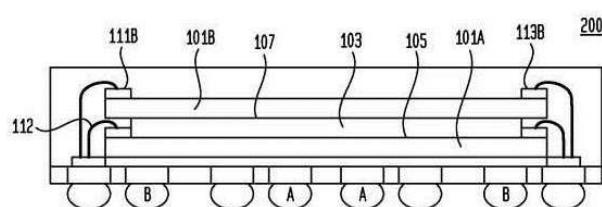
도면7a



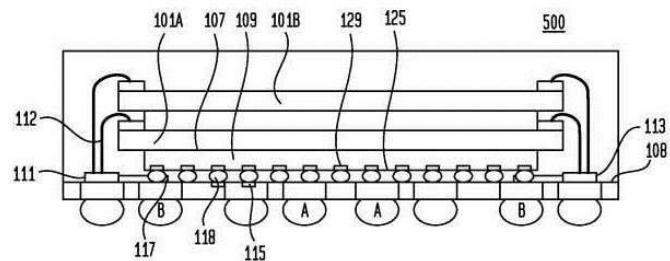
도면7b



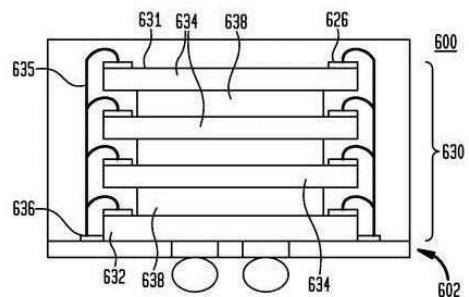
도면8



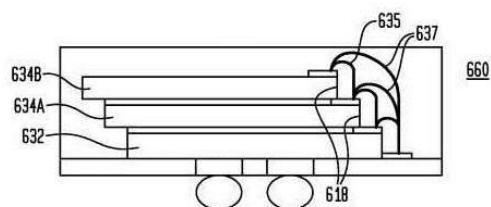
도면9



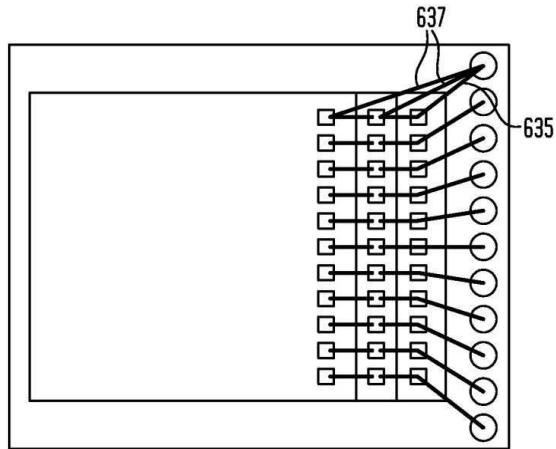
도면10



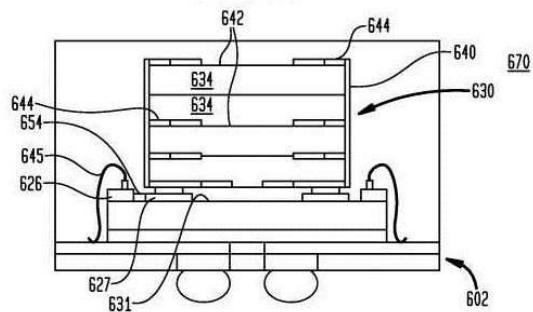
도면11



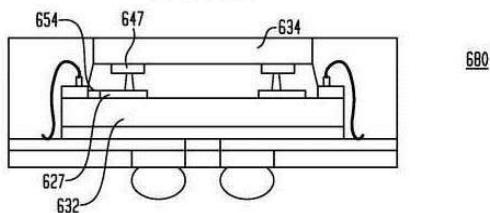
도면12



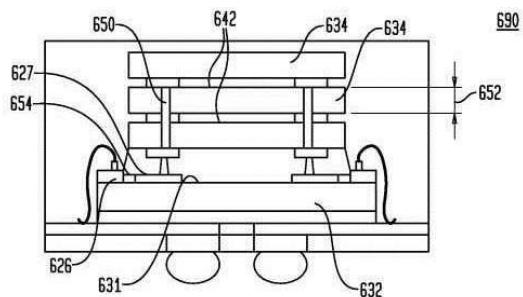
도면13



도면14

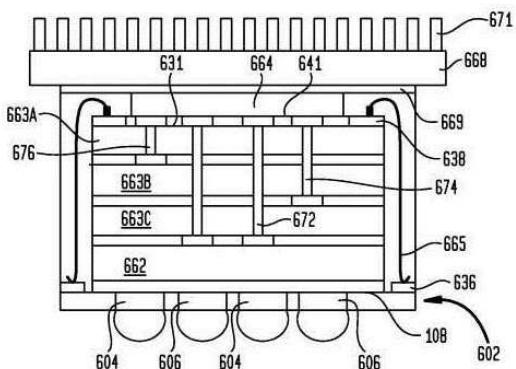


도면 15a

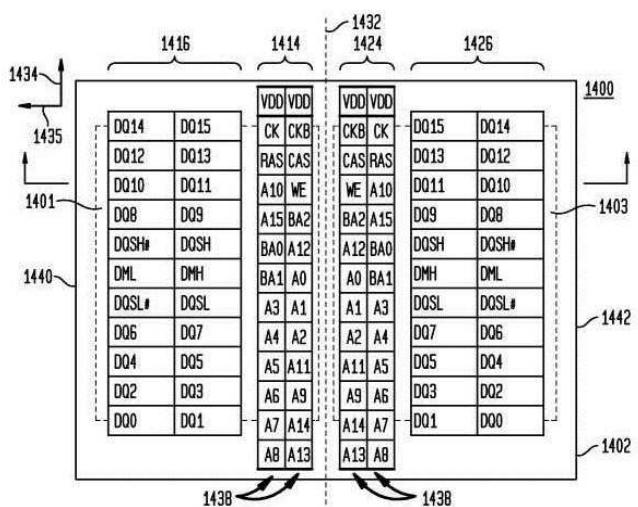


도면15b

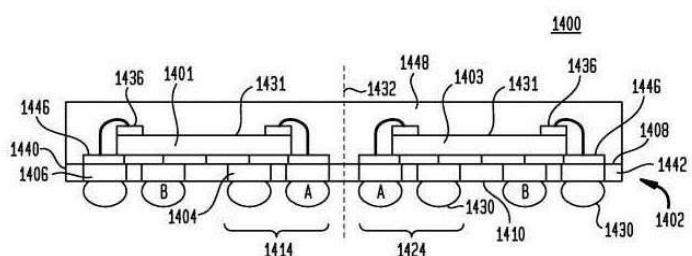
695



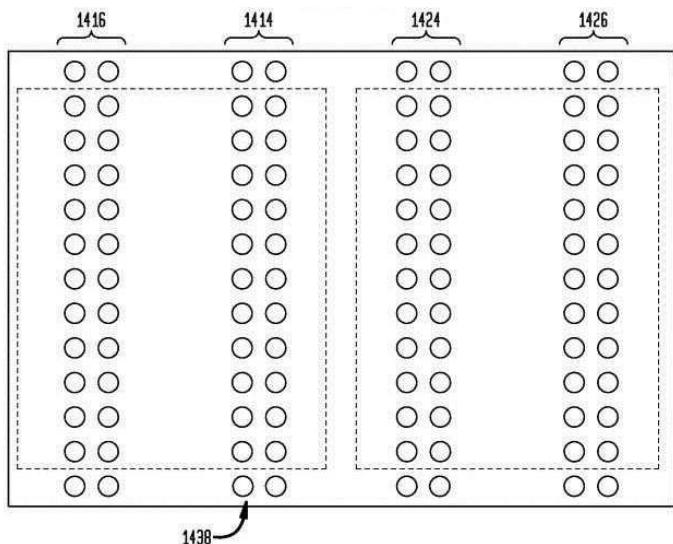
도면16



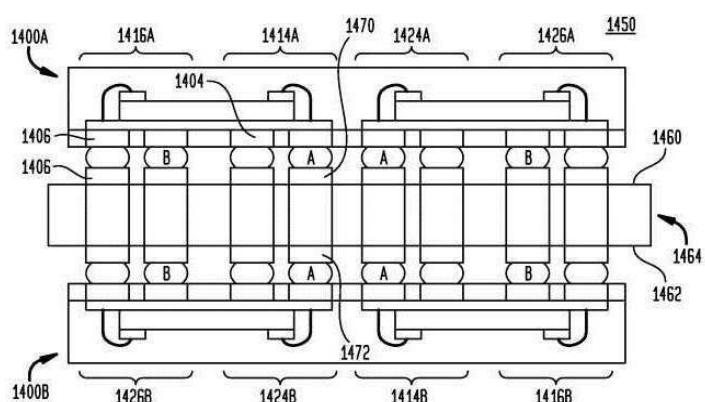
도면17



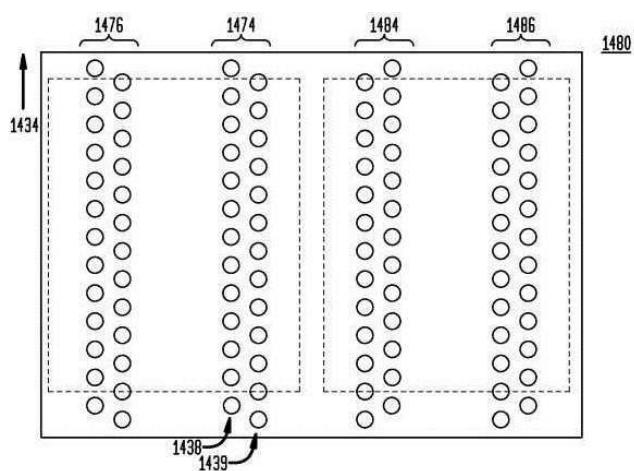
도면18



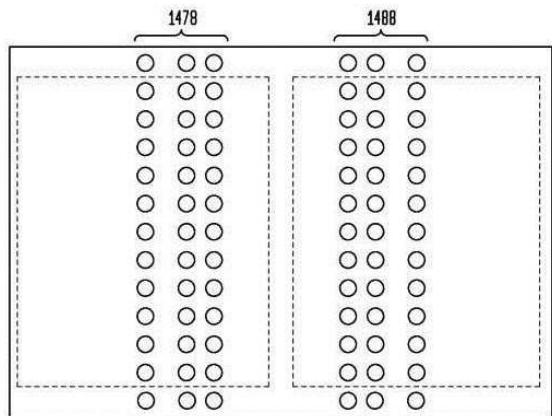
도면19



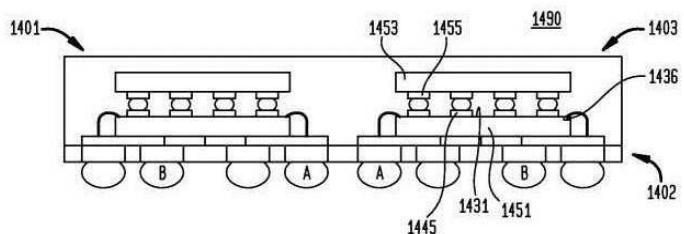
도면20



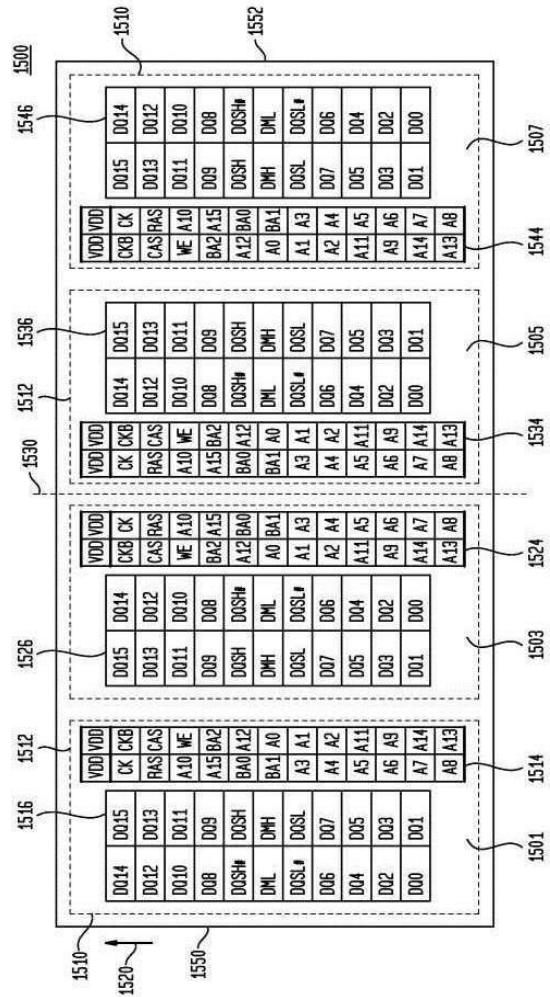
도면21



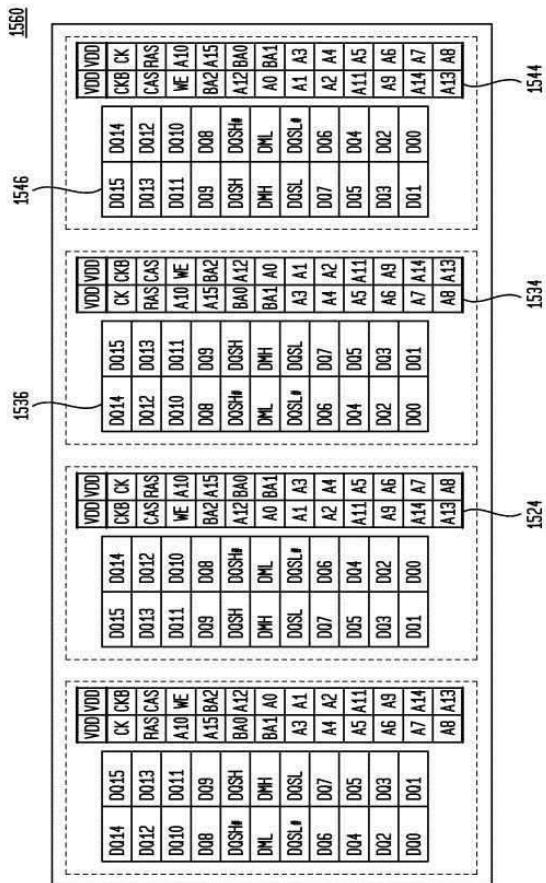
도면22



도면23



도면24



도면25

1570

1536

1526

VDD/VDD	D014	D015	D014	D014	D015	D014
CK CK#	D015	D015	CK CK#	CK CK#	CK CK#	CK CK#
RAS/CAS	D012	D013	CAS/RAS	D013	D012	CAS/RAS
A10 WE	D011	D010	A10 WE	A10 WE	D011	D010
A15 BA2	D09	D08	D09	D09	D08	D08
D08#	D08H	D08H	D08H	D08H	D08H	D08H
D08H#	BA0/BA12	BA0/BA0	BA0/BA0	BA0/BA0	BA0/BA12	BA0/BA0
DML	DML	DML	DML	DML	DML	DML
D0SL#	D0SL	D0SL	D0SL	D0SL	A0/A0	A0/A0
D06	D07	D07	D06	D06	A1/A1	A1/A1
D04	D05	A4/A2	A2/A4	A2/A4	A2/A2	A2/A4
D02	D03	A5/A11	A11/A5	A0/A5	A5/A5	A5/A5
D00	D01	A6/A8	A9/A6	D02/D03	A6/A6	D03/D02
		A7/A14	A4/A7	D00/D01	A7/A14	D01/D00
		A8/A13	A13/A8		A8/A13	A13/A8

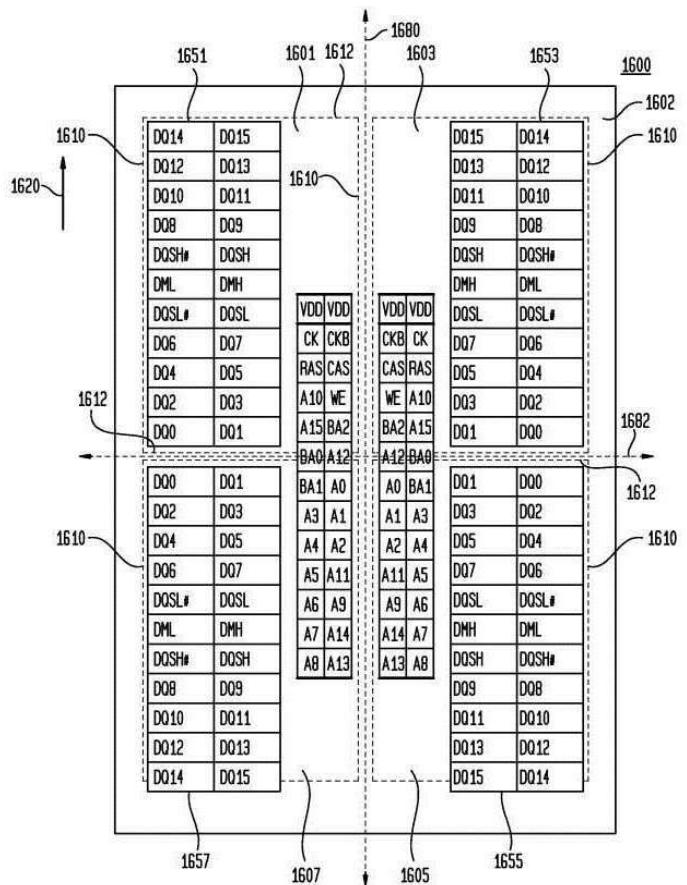
1534

1534

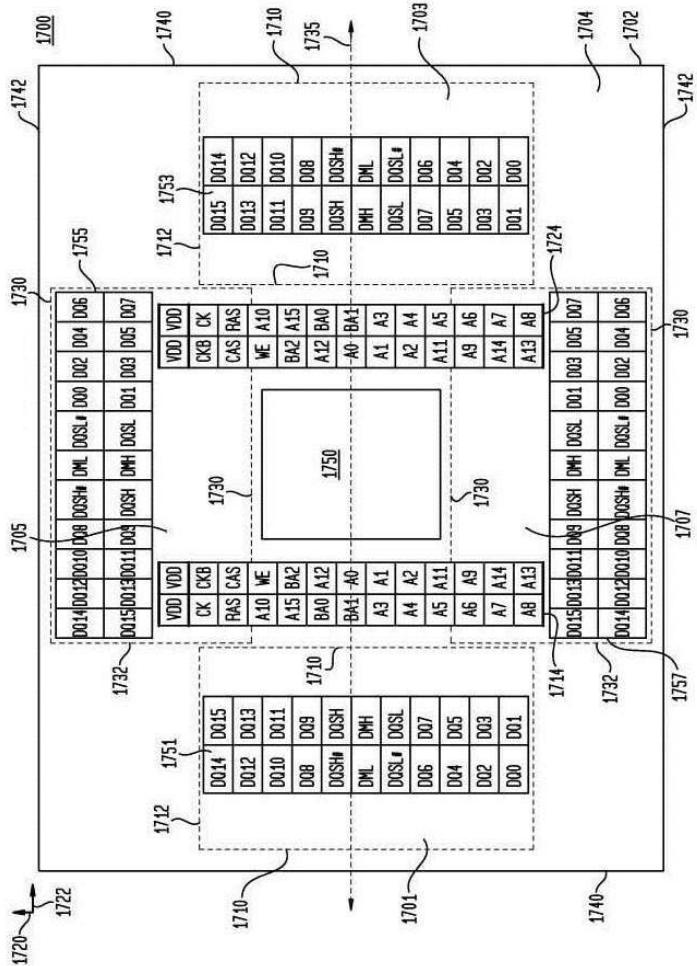
1514

1524

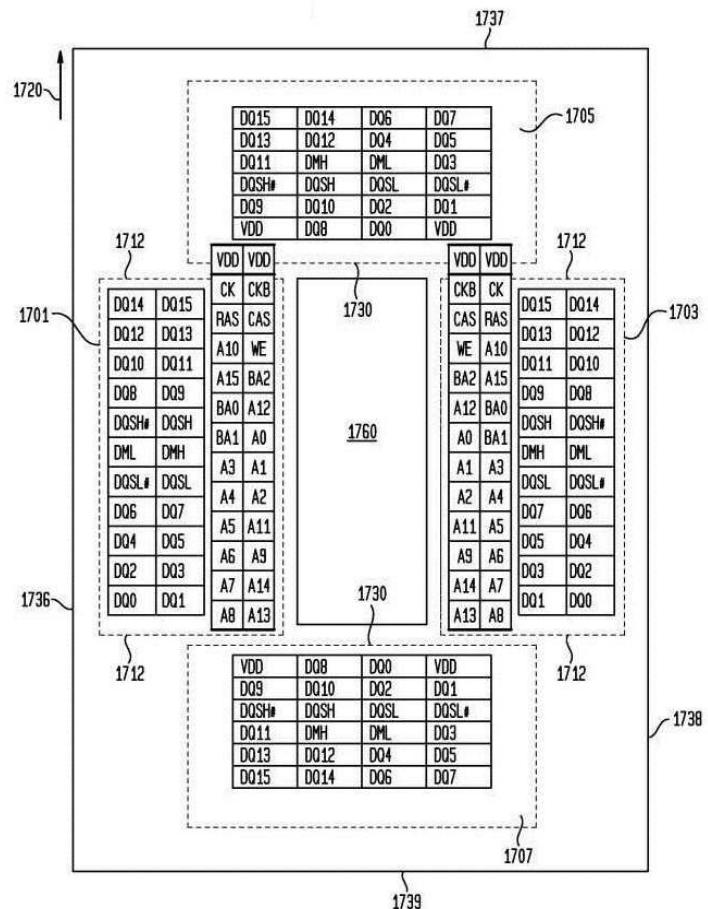
도면26



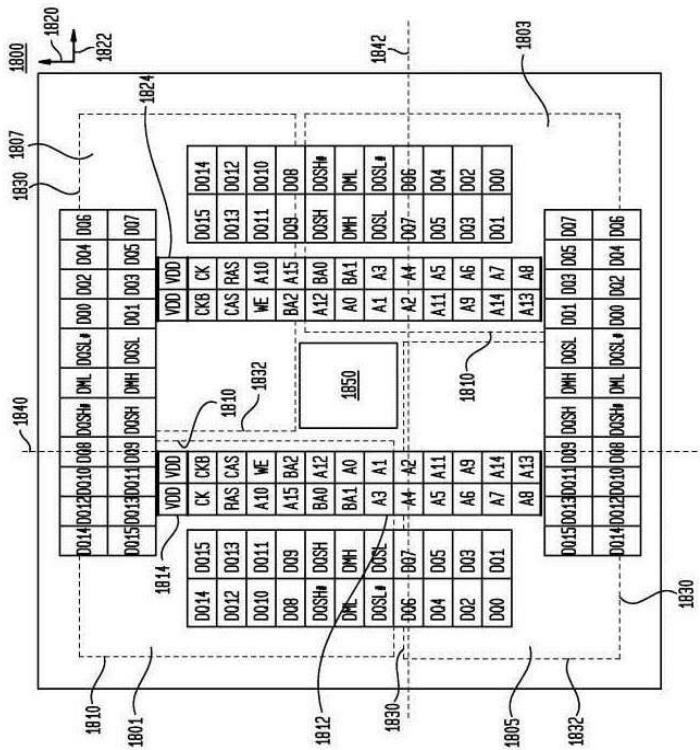
도면27



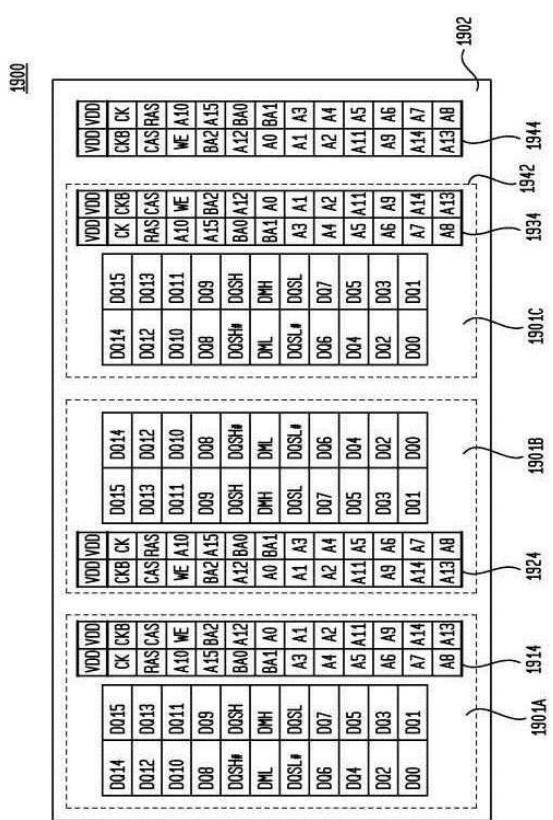
도면28



도면29



도면30



도면31

