

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 2 区分
【発行日】令和 6 年 4 月 11 日(2024.4.11)

【国際公開番号】WO2023/286506
【出願番号】特願 2023-535183(P2023-535183)

【国際特許分類】

H 0 1 L 21/82(2006.01)

H 0 1 L 21/822(2006.01)

H 0 3 K 17/08(2006.01)

10

【F I】

H 0 1 L 21/82 P

H 0 1 L 27/04 H

H 0 3 K 17/08 Z

【手続補正書】

【提出日】令和 5 年 12 月 11 日(2023.12.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

20

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

セルライブラリに含まれる複数種類の標準セルを任意に組み合わせることにより形成された I / O 回路であって、

前記複数種類の標準セルは、少なくとも第 1 標準セルと第 2 標準セルを含み、

前記第 1 標準セルは、第 1 保護素子と、前記第 1 保護素子と導通するように前記第 1 保護素子の上部領域に形成された第 1 電源線と、を含み、

前記第 2 標準セルは、前記第 1 保護素子と同一のレイアウトで形成された第 2 保護素子と、前記第 1 電源線から離断しつつ前記第 2 保護素子と導通するように前記第 2 保護素子の上部領域に形成された第 2 電源線と、を含む、I / O 回路。

30

【請求項 2】

前記複数種類の標準セルは、第 1 方向に沿って配列されており、前記第 1 電源線は、前記第 1 方向に沿って敷設されている、請求項 1 に記載の I / O 回路。

【請求項 3】

前記第 2 標準セルは、前記第 2 電源線を跨いで前記第 1 電源線と導通するように形成された第 3 電源線をさらに含む、請求項 1 に記載の I / O 回路。

【請求項 4】

前記第 1 標準セルは、前記第 1 保護素子と接続するように形成された第 1 バッファ又は第 1 抵抗と、前記第 1 バッファ又は前記第 1 抵抗の上部領域に形成された第 4 電源線と、をさらに含む、

40

前記第 2 標準セルは、前記第 1 バッファ又は前記第 1 抵抗と同一のレイアウトで前記第 2 保護素子と接続するように形成された第 2 バッファ又は第 2 抵抗をさらに含む、請求項 3 に記載の I / O 回路。

【請求項 5】

前記第 2 バッファ又は前記第 2 抵抗の上部領域には、前記第 4 電源線から離断しつつ前記第 2 電源線と導通するように形成された第 5 電源線、または、前記第 5 電源線を形成するための非配線領域が設けられている、請求項 4 に記載の I / O 回路。

【請求項 6】

50

前記第 1 バッファ及び前記第 2 バッファは、それぞれ、入力バッファ、出力バッファ、又は、入出力バッファである、請求項 4 に記載の I / O 回路。

【請求項 7】

請求項 1 ～ 6 のいずれか一項に記載の I / O 回路と、

前記第 1 標準セルに接続されて前記第 1 電源線から電力供給を受けるように構成された第 1 内部回路と、

前記第 2 標準セルに接続されて前記第 2 電源線から電力供給を受けるように構成された第 2 内部回路と、

を有する、半導体装置。

【請求項 8】

前記第 1 標準セル及び前記第 2 標準セルが共通接続されるように構成されたパッドをさらに有する、請求項 7 に記載の半導体装置。

【請求項 9】

コンピュータで実行される回路設計プログラムから読み出されて半導体装置の I / O 回路を形成するために任意に組み合わせることのできる複数種類の標準セルを含むセルライブラリであって、

前記複数種類の標準セルは、少なくとも第 1 標準セルと第 2 標準セルを含み、

前記第 1 標準セルは、第 1 保護素子と、前記第 1 保護素子と導通するように前記第 1 保護素子の上部領域に形成された第 1 電源線と、を含み、

前記第 2 標準セルは、前記第 1 保護素子と同一のレイアウトで形成された第 2 保護素子と、前記第 1 電源線から離断しつつ前記第 2 保護素子と導通するように前記第 2 保護素子の上部領域に形成された第 2 電源線と、を含む、セルライブラリ。

【請求項 10】

請求項 9 のセルライブラリを用いた半導体装置の回路設計方法であって、

前記セルライブラリに含まれる前記複数種類の標準セルを選択及び配置して任意に組み合わせるステップと、

任意に組み合わせられた前記複数種類の標準セルとその他の回路ブロックとを接続するように電源線及び信号線を敷設するステップと、

を有する、半導体装置の回路設計方法。

10

20

30

40

50