

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月30日(30.12.2020)



(10) 国際公開番号

WO 2020/262097 A1

(51) 国際特許分類:
H01L 25/07 (2006.01) *H01L 23/29* (2006.01)
H01L 25/18 (2006.01) *H01L 23/31* (2006.01)

(21) 国際出願番号: PCT/JP2020/023520

(22) 国際出願日: 2020年6月16日(16.06.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-121501 2019年6月28日(28.06.2019) JP

(71) 出願人: 日立オートモティブシステムズ株式会社(HITACHI AUTOMOTIVE SYSTEMS, LTD.) [JP/JP]; 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 Ibaraki (JP).

(72) 発明者: 平尾 高志(HIRAO Takashi); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 露野 円丈(TSUYUNO Nobutake); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo

(JP). 清水 悠佳(SHIMIZU Haruka); 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP). 松下 晃(MATSUSHITA Akira); 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP).

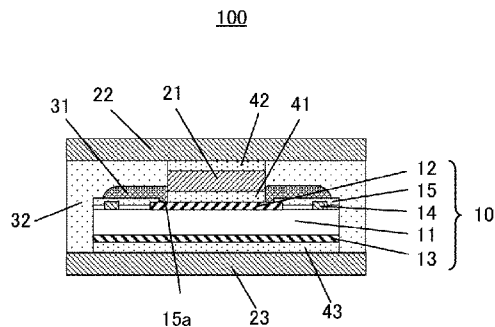
(74) 代理人: 戸田 裕二(TODA Yuji); 〒1008220 東京都千代田区丸の内一丁目6番1号 株式会社日立製作所内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法

図1



(57) Abstract: A semiconductor device 100 comprises: a semiconductor element 10 that includes a first insulating layer 15 having an opening 15a, and a source electrode 12 exposed from the opening 15a of the first insulating layer 15; a relay conductor 21 that is bonded to the source electrode 12; a bonding layer 41 that bonds the source electrode 12 to the relay conductor 21; a second insulating layer 31 that covers at least a portion of the first insulating layer 15 and is formed at least in contact with the periphery of the bonding layer 41; a front surface side conductor 22 that is connected to the relay conductor 21; and a sealing resin 32 that fills the space between the front surface side conductor 22 and the second insulating layer 31. Thus, the semiconductor device is provided in which occurrence of partial discharge is suppressed even if there are voids.

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 半導体装置 100 は、開口部 15 a を有する第一絶縁層 15 および第一絶縁層 15 の開口部 15 a から露出するソース電極 12 を有する半導体素子 10 と、ソース電極 12 に接合された中継導体 21 と、ソース電極 12 と中継導体 21 とを接合する接合層 41 と、第一絶縁層 15 a の少なくとも一部を覆い、少なくとも接合層 41 の周囲に接して設けられた第二絶縁層 31 と、中継導体 21 に接続された表面側導体 22 と、表面側導体 22 と第二絶縁層 31 との間に充填された封止樹脂 32 と、を備える。これによって、ボイドが存在しても、部分放電の発生が抑制される半導体装置を提供する。

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は、半導体装置およびその製造方法に関する。

背景技術

[0002] モータ等を駆動する電力変換部を有するパワー半導体装置として、パワー半導体素子を一对の金属板により挟んで、金属板間に樹脂を充填して半導体素子を封止する構造を有するものがある。より詳細には、半導体素子の一方の電極に金属ブロックを接合し、この金属ブロックを一方の金属板に接続し、半導体素子の他方の電極を他方の金属板に接続する。各金属板の面積は、半導体素子の表裏面の面積より大きく形成されており、この一对の金属板間に、トランスファーモールド法等のモールド法により、樹脂を充填して半導体素子を封止する（例えば、特許文献1 参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2011-114176号公報

発明の概要

発明が解決しようとする課題

[0004] モールド法により形成する封止樹脂には、ボイド（空隙）等の欠陥部が生じ易い。パワー半導体装置では、パワー半導体素子に高電圧が印加されるため、封止樹脂にボイド等の欠陥部が存在すると、その欠陥部に電界が集中し、部分放電が発生する可能性がある。部分放電が発生した状態が続くと、封止樹脂が劣化し、最終的に絶縁破壊してパワー半導体装置が故障する虞がある。

課題を解決するための手段

[0005] 本発明の第一の態様によると、半導体装置は、開口部を有する第一絶縁層および前記第一絶縁層の前記開口部から露出する表面電極を有する半導体素

子と、前記表面電極に接合された中継導体と、前記表面電極と前記中継導体とを接合する接合層と、前記第一絶縁層の少なくとも一部を覆い、少なくとも前記接合層の周囲に接して設けられた第二絶縁層と、前記中継導体に接続された導体と、前記導体と前記第二絶縁層との間に充填された封止樹脂と、を備える。

本発明の第二の態様によると、半導体装置は、開口部を有する第一絶縁層および前記第一絶縁層の前記開口部から露出する表面電極を有する複数の半導体素子と、前記各半導体素子の前記表面電極に接合された中継導体と、前記各表面電極と前記各中継導体を接合する接合層と、前記各第一絶縁層の少なくとも一部を覆い、少なくとも前記各接合層の周囲に接して設けられた第二絶縁層と、前記各中継導体を接続する導体と、を備える。

本発明の第三の態様によると、半導体装置の製造方法は、開口部を有する第一絶縁層および前記第一絶縁層の前記開口部から露出する表面電極を有する半導体素子を準備することと、前記表面電極と中継導体とを接合層により接合することと、前記第一絶縁層の少なくとも一部を覆い、少なくとも前記接合層の周囲に接する第二絶縁層を設けることと、前記中継導体に導体を接続することと、前記導体と前記第二絶縁層との間に封止樹脂を充填することと、を含む。

発明の効果

[0006] 本発明によれば、ボイドが存在しても、部分放電の発生が抑制される。

図面の簡単な説明

[0007] [図1]本発明の半導体装置の第1の実施形態の断面図。

[図2] (A)、(B)は、図1に図示された半導体装置100の製造方法を説明するための各工程における半導体装置の断面図。

[図3] (A)、(B)は、図2に続く各工程における半導体装置の断面図。

[図4]本発明の半導体装置の第2の実施形態の断面図。

[図5]封止樹脂に存在するボイドに高電界が印加され、部分放電が発生する作用を説明するための断面図であり、(A)は、比較例の半導体装置100R

の断面図、（Ｂ）は、本実施形態の半導体装置の断面図。

[図6]本発明の半導体装置の第３の実施形態の分解斜視図。

[図7]図６に図示された半導体装置の拡大分解斜視図。

[図8]図６に図示された半導体装置の断面図であり、（Ａ）は樹脂封止前の断面図、（Ｂ）は、樹脂封止後の断面図。

発明を実施するための形態

[0008] 以下、図面を参照して本発明の実施形態を説明する。以下の記載および図面は、本発明を説明するための例示であって、説明の明確化のため、適宜、省略および簡略化がなされている。本発明は、他の種々の形態でも実施する事が可能である。特に限定しない限り、各構成要素は単数でも複数でも構わない。

図面において示す各構成要素の位置、大きさ、形状、範囲などは、発明の理解を容易にするため、実際の位置、大きさ、形状、範囲などを表していない場合がある。このため、本発明は、必ずしも、図面に開示された位置、大きさ、形状、範囲などに限定されない。

[0009] ー第１の実施形態ー

以下、図１～図３を参照して、本発明の第１の実施形態を説明する。

図１は、本発明の半導体装置の第１の実施形態の断面図である。

半導体装置１００は、半導体素子１０を備えている。半導体素子１０は、例えば、ＳｉＣ（シリコンカーバイド）ＭＯＳＦＥＴ（Metal-Oxide-Semiconductor Field effect transistor）である。半導体素子１０は、半導体基板１１と、ソース電極１２と、ドレイン電極１３と、内部配線１４と、第一絶縁層１５を有する。なお、図１には、図示しないが、半導体素子１０は、ゲート電極１７（図７参照）を有する。半導体装置１００は、半導体素子１０と、中継導体２１と、表面側導体２２と、裏面側導体２３と、第二絶縁層３１と、封止樹脂３２を有する。

[0010] 第一絶縁層１５は、半導体基板１１内部に形成された半導体素子形成用の不純物領域および内部配線１４を保護するために設けられた絶縁膜であり、

酸化シリコンまたは窒化シリコン等の無機材料により形成されている。第一絶縁層 15 には、開口部 15a（図 2（B）も参照）が設けられている。ソース電極 12 は、第一絶縁層 15 の開口部 15a より少し大きく形成されており、ソース電極 12 の周縁部の内側が第一絶縁層 15 の開口部 15a から露出している。第一絶縁層 15 は、例えば、ポリイミドまたはポリベンゾオキサドール等の樹脂により形成される。第一絶縁層 15 は、半導体素子メーカーにより形成されており、その厚さは、一般的に、数 μm 程度とされている。

[0011] 中継導体 21 は、第一絶縁層 15 の開口部 15a より少し小さい面積を有し、接合層 41 により、ソース電極 12 の、第一絶縁層 15 の開口部 15a から露出した部分の全面に接合されている。接合層 41 は、中継導体 21 とほぼ同じ面積を有する。従って、接合層 41 の周縁部と第一絶縁層 15 の開口部 15a の周縁部との間には隙間 G（図 2（B）参照）が形成されている。中継導体 21 は、銅系金属により形成することができる。また、中継導体 21 は、C I C（Copper Invar Copper）等のクラッド材を用いて形成することができる。インバー（登録商標）は、鉄とニッケルの合金であり、低熱膨張率の材料であるので、インバーを含む材料により中継導体 21 を形成することにより、駆動時に半導体素子 10 が高温となっても、封止樹脂 32 との剥離を抑制することができる。

[0012] 第二絶縁層 31 は、第一絶縁層 15 上に形成されている。第二絶縁層 31 は、第一絶縁層 15 の全面には形成されておらず、第一絶縁層 15 の周縁部側は、第二絶縁層 31 から露出している。第二絶縁層 31 は、接合層 41 の周縁部と第一絶縁層 15 の開口部 15a の周縁部との間の隙間 G 内にも充填されており、接合層 41 の周縁部および中継導体 21 の接合層 41 側近傍領域の周縁部に接している。第二絶縁層 31 は、後述するように、ポッティング法または印刷法等を用いた塗布により形成される。第二絶縁層 31 は、例えば、ポリアミドイミド、ポリイミド、ポリエーテルアミドイミド、ポリエーテルアミド等の樹脂で形成される。第一絶縁層 15 と第二絶縁層 31 を、

同じ樹脂により形成してもよい。第二絶縁層 31 は、数十 μm 程度であり、第一絶縁層 15 の厚さより厚くすることが好ましい。

[0013] 表面側導体 22 は、半導体素子 10 の表面面積、すなわち、第一絶縁層 15 の平面視での面積よりも大きい面積を有する。表面側導体 22 は、接合層 42 により中継導体 21 に接合されている。接合層 42 は、中継導体 21 とほぼ同じ面積を有する。表面側導体 22 は、銅系金属またはアルミニウム系金属により形成することができる。

[0014] 裏面側導体 23 は、接合層 43 により、半導体基板 11 のソース電極 12 と対向する裏面側に設けられたドレイン電極 13 に接合されている。裏面側導体 23 は、表面側導体 22 と同じ面積を有する。封止樹脂 32 は、表面側導体 22 と裏面側導体 23 との間に充填されている。つまり、半導体素子 10 の周側面、第二絶縁層 31、中継導体 21 の周側面は、封止樹脂 32 により封止されている。裏面側導体 23 は、銅系金属またはアルミニウム系金属により形成することができる。

[0015] 接合層 41～43 として、はんだや焼結金属材料を用いることができる。

封止樹脂 32 としては、エポキシ樹脂等を用いることができる。封止樹脂 32 による封止は、トランスファーモールド等のモールド法等が適しているが、ポッティング法や、シルク印刷、シーリング印刷、インクジェット印刷、熱転写印刷等の印刷法を用いてもよい。

次に、上記実施形態の半導体装置 100 における、ボイドの存在に伴う封止樹脂の劣化抑制作用について説明する。

[0016] 図 5 は、封止樹脂に存在するボイドに高電界が印加され、部分放電が発生する作用を説明するための断面図である。図 5 (A) は、比較例の半導体装置 100R の封止樹脂に発生するボイドを示す断面図であり、図 5 (B) は、本実施形態の半導体装置 100 の封止樹脂に発生するボイドを示す断面図である。

図 5 (A) に図示される比較例の半導体装置 100R は、本実施形態の半導体装置 100 の中継導体 21 を有していない。

半導体装置 100R では、表面側導体 22R は、ソース電極 12 の、第一絶縁層 15 の開口部 15a から露出した部分に対向する突出部 25 を有している。突出部 25 は、表面側導体 22R と一体成形されている。すなわち、突出部 25 とソース電極 12 とを接合層 41 により接合した後では、第一絶縁層 15 の開口部 15a の内周縁部と接合層 41 との間の隙間 G の周辺領域は、封止樹脂 32 を介して表面側導体 22R により覆われている。

[0017] このため、表面側導体 22R と裏面側導体 23 との間に封止樹脂 32 を充填する前に、第一絶縁層 15 上に第二絶縁層 31R を塗布する場合、表面側導体 22R が邪魔になり、第二絶縁層 31R を接合層 41 の周縁部や突出部 25 の周縁部に接するように形成することは困難である。つまり、第一絶縁層 15 の開口部 15a の内周縁部と接合層 41 との間の隙間 G は、第一絶縁層 15 によっても、第二絶縁層 31R によっても覆われない状態となる。

なお、図 5 (A) において、表面側導体 22R をソース電極 12 に接合する前に第 2 絶縁層 31R を充填する場合、ソース電極 12 の表面側導体 22R を接合する領域（表面側導体接合領域に第 2 絶縁層 31R）が侵入しないようにする工程が必要である。また、この工程では、ソース電極 12 の表面側導体接合領域と第 1 絶縁層 15 の開口 15a の内周縁部との間に僅かな隙間 G を設ける必要があり、この僅かな隙間 G に絶縁材が十分に充填できず、ボイド A_v の高電界による封止樹脂劣化は避けられない。

[0018] MOS FET 等では、ソース電極 12 周辺部には高電界が発生する。特に、SiC MOS FET では、Si MOSFET の 10 倍程度の絶縁破壊電界強度の高電界が生じる。ソース電極 12 周辺の封止樹脂 32 にボイド A_v が存在すると、ボイド A_v に高電界が集中し、部分放電が発生する可能性がある。部分放電が発生した状態が続くと、封止樹脂 32 が劣化し、最終的に絶縁破壊して半導体素子 10 が故障する。

特に、突出部 25 がソース電極 12 に接合されているような狭い空間には、モールド法による封止樹脂は充填され難く、ボイド A_v が発生する確率が高い。

[0019] 本実施形態の半導体装置 100 は、図 5 (B) に図示するように、ソース電極 12 と表面側導体 22 との間に設けられた中継導体 21 を有している。このため、接合層 41 により、ソース電極 12 に中継導体 21 を接合した状態で、表面側導体 22 を中継導体 21 に接合する前に、第二絶縁層 31 を、第一絶縁層 15 の周縁部と接合層 41 との間の隙間 G 内に充填することができる。第二絶縁層 31 により第一絶縁層 15 の周縁部と接合層 41 との間の隙間 G が覆われた状態で封止樹脂 32 にボイド A_v が存在すると、ソース電極 12 周辺部に発生する高電界は、ボイド A_v に印加される電圧と第二絶縁層 31 に印加される電圧とに分圧される。

[0020] 空気層であるボイド A_v に加わる電圧は、空気層の誘電率に対する第二絶縁層 31 の比誘電率、およびボイド A_v の厚さと第二絶縁層 31 の厚さとの比に関連する。第二絶縁層 31 の厚さが大きくなり、ボイド A_v の厚さが小さくなると、ボイド A_v に集中する電圧が小さくなる。このため、第二絶縁層 31 の厚さを所定の厚さ以上とすることにより、ボイド A_v に加わる電圧を部分放電開始電圧より小さくすることができる。従って、第二絶縁層 31 を所定の厚さ以上とすれば、この後、接合層 42 により中継導体 21 に表面側導体 22 を接合し、表面側導体 22 と裏面側導体 23 間に封止樹脂 32 を充填した場合、封止樹脂 32 にボイド A_v が発生しても、部分放電が発生するのを抑制することができる。

次に、半導体装置 100 の製造方法を説明する。

[0021] 図 2 (A)、図 2 (B) は、図 1 に図示された半導体装置 100 の製造方法を説明するための各工程における半導体装置の断面図であり、図 3 (A)、図 3 (B) は、図 2 に続く各工程における半導体装置の断面図である。

まず、半導体素子 10 を準備する。上述したように、半導体素子 10 は、半導体基板 11 と、ソース電極 12 と、ドレイン電極 13 と、内部配線 14 と、第一絶縁層 15 とを有する。

そして、図 2 (A) に図示するように、半導体素子 10 のドレイン電極 13 と裏面側導体 23 とを接合層 43 により接合する。接合層 43 として、上

述したように、はんだ、または焼結金属材料を用いることができる。焼結金属材料は、粉末やペースト状を有しており、加熱により焼結金属となる。焼結金属材料としては、銅や銀を含む焼結金属接合ペーストを用いることが好ましい。半導体素子 10 のドレイン電極 13 と裏面側導体 23 との間に接合層 43 を介在させ、熱圧着することにより接合する。

[0022] 次に、図 2 (B) に図示するように、半導体素子 10 のソース電極 12 と中継導体 21 とを接合層 41 により接合する。接合層 41 として、接合層 43 と同様なものを用いる。

半導体素子 10 のソース電極 12 と中継導体 21 との間に接合層 41 を介在させ、熱圧着することにより接合する。半導体素子 10 のソース電極 12 と中継導体 21 とを接合する接合層 41 は、半導体素子 10 の第一絶縁層 15 の開口部 15a 内に設けられる。つまり、接合層 41 は、半導体素子 10 の第一絶縁層 15 の開口部 15a より小さい。このため、第一絶縁層 15 の周縁部と接合層 41 との間には、隙間 G が形成される。

[0023] 図 2 (A) の工程と、図 2 (B) の工程とは、逆の手順としてもよい。また、同一行程で行ってもよい。同一工程で行う場合は、半導体素子 10 のドレイン電極 13 と裏面側導体 23 とを接合層 43 を介在させるとともに、半導体素子 10 のソース電極 12 と中継導体 21 との間に接合層 41 を介在させ、この状態で、全体を熱圧着する。

[0024] 次に、図 3 (A) に図示するように、第一絶縁層 15 上に、第二絶縁層 31 を塗布する。第二絶縁層 31 は、接合層 41 の周縁部と第一絶縁層 15 の開口部 15a の周縁部との間の隙間 G (図 2 (B) 参照) 内に、接合層 41 の周縁部に接するように充填される。第二絶縁層 31 は、中継導体 21 の下端部側、換言すれば、接合層 41 側の周縁部に接するように設けてもよい。第二絶縁層 31 の形成には、ディスペンサーを用いるポットング法、または印刷法を用いることができる。印刷法として、シルク印刷、シーリング印刷、インクジェット印刷、熱転写印刷等を適用することができる。

[0025] 次に、図 3 (B) に図示するように、接合層 42 により、中継導体 21 に

表面側導体 2 2 を接合する。接合層 4 2 として、接合層 4 1、4 3 と同様なものを用いる。中継導体 2 1 と表面側導体 2 2 との間に接合層 4 2 を介在させ、熱圧着することにより接合する。

[0026] この後、表面側導体 2 2 と裏面側導体 2 3 との間に封止樹脂 3 2 を充填する。これにより、半導体素子 1 0 の周側面、第二絶縁層 3 1、中継導体 2 1 の周側面が、封止樹脂 3 2 により封止された図 1 に図示される半導体装置 1 0 0 が形成される。封止樹脂 3 2 の形成は、上述したように、トランスファーマールド法が適しているが、ポッティング法や印刷法を用いてもよい。

[0027] 上記第 1 の実施形態によれば下記の効果を奏する。

(1) 半導体装置 1 0 0 は、開口部 1 5 a を有する第一絶縁層 1 5 および第一絶縁層 1 5 の開口部 1 5 a から露出するソース電極（表面電極）1 2 を有する半導体素子 1 0 と、ソース電極 1 2 に接合された中継導体 2 1 と、ソース電極 1 2 と中継導体 2 1 とを接合する接合層 4 1 と、第一絶縁層 1 5 の少なくとも一部を覆い、少なくとも接合層 4 1 の周囲に接して設けられた第二絶縁層 3 1 と、中継導体 2 1 に接続された表面側導体（導体）2 2 と、表面側導体 2 2 と第二絶縁層 3 1 との間に充填された封止樹脂 3 2 と、を備える。このように、第一絶縁層 1 5 の開口部 1 5 a から露出するソース電極 1 2 は、接合層 4 1 の周囲に接して設けられた第二絶縁層 3 1 により覆われている。このため、封止樹脂 3 2 にボイド A_v が存在しても、部分放電の発生が抑制され、封止樹脂 3 2 の劣化を抑制することができる。

[0028] ー第 2 の実施形態ー

図 4 は、本発明の半導体装置の第 2 の実施形態の断面図である。

第 2 の実施形態の半導体装置 1 0 0 は、第二絶縁層 3 1 a が、半導体素子 1 0 の外周側面に延在され、裏面側導体 2 3 に接する構造を有する。

第 1 の実施形態では、第二絶縁層 3 1 は、半導体素子 1 0 の表面側にのみ形成されており、裏面側導体 2 3 に接するように延在されているものではなかった。このような構造では、接合層 4 2 により、中継導体 2 1 に表面側導体 2 2 を接合する際、熱圧着時の加熱により接合層 4 1 が熔融し、中継導

体 2 1 が位置ずれを起こす可能性がある。第二の実施形態では、第二絶縁層 3 1 a が裏面側導体 2 3 に接する位置まで延在されている。第二絶縁層 3 1 a は中継導体 2 1 に接しているので、熱圧着時の加熱により接合層 4 1 が溶融しても、中継導体 2 1 の移動は、裏面側導体 2 3 に接する第二絶縁層 3 1 a により規制される。

[0029] 第 2 の実施形態の他の構成は、第 1 の実施形態と同様であり、対応する構成に同一の符号を付して説明を省略する。

第 2 の実施形態においても、第 1 の実施形態と同様な効果を奏する。

また、第 2 の実施形態によれば、中継導体 2 1 に表面側導体 2 2 を接合する際の中継導体 2 1 の位置ずれを抑制することができる。

[0030] ー第 3 の実施形態ー

図 6 ～図 8 を参照して、本発明の第 3 の実施形態を説明する。

図 6 は、本発明の半導体装置の第 3 の実施形態の分解斜視図である。

半導体装置 2 0 0 は、4 つの半導体装置 3 0 0 と、外側表面側導体 2 2 2 と、外側裏面側導体 2 2 3 とを備える。4 つの半導体装置 3 0 0 は、相互に離間して、左右方向に 2 行、上下方向に 2 列、マトリクス状に配列されている。外側表面側導体 2 2 2 と外側裏面側導体 2 2 3 は、それぞれ、マトリクス状に配列された 4 つの半導体装置 3 0 0 の全領域を覆う大きさを有する。4 つの半導体装置 3 0 0 は、いずれも同一の構造を有する。

2 つの半導体装置 3 0 0 は、それぞれ、上アーム回路を有し、残りの 2 つの半導体装置 3 0 0 は、それぞれ、下アーム回路を有する。また、上アーム回路を有する半導体装置 3 0 0 と下アーム回路を有する半導体装置 3 0 0 は、直列に接続され、上下アーム直列回路を構成する。上アーム回路と下アーム回路の接続部から、位相の異なる交流出力が得られる電力変換装置を構成することができる。

[0031] 図 7 は、図 6 に図示された半導体装置の拡大分解斜視図であり、図 8 は、図 6 に図示された半導体装置の断面図であり、図 8 (A) は樹脂封止前の断面図、図 8 (B) は、樹脂封止後の断面図である。

半導体装置300は、4つの半導体素子10と、表面側導体122と、裏面側導体123とを備えている。4つの半導体素子10は、相互に離間して、左右方向に2行、上下方向に2列、マトリクス状に配列されている。すなわち、半導体装置300は、4in1パッケージとして構成されている。表面側導体122と裏面側導体123は、それぞれ、マトリクス状に配列された4つの半導体素子10の全領域を覆う大きさを有する。

[0032] 4つの半導体素子10は、いずれも第1の実施形態の半導体素子と同一の構造を有する。すなわち、図8に図示されるように、半導体素子10は、半導体基板11と、ソース電極12と、ドレイン電極13と、内部配線14と、第一絶縁層15を有する。図8に図示されるように、各半導体素子10のソース電極12には接合層41を介して中継導体21が接合されている。また、各半導体素子10の第一絶縁層15上には、接合層41の周縁部および中継導体21の接合層41側近傍領域周縁部に接する第二絶縁層31が形成されている。

[0033] 図7に図示されるように、表面側導体122は、4つの半導体素子10を覆う矩形形状の本体と、この矩形形状の本体の4つのコーナー部のそれぞれから延在された脚部の先端に、裏面側導体123側に向けて突出するセンス接続部131とを有する。センス接続部131は、四角柱形状を有し、ボンディングワイヤに比し、大きな断面積を有する。センス接続部131が大きな断面積を有する理由は、表面側導体122と裏面側導体123に作用する負荷に耐えられる強度を確保するためと、インダクタンスを小さくするためである。

[0034] 裏面側導体123は、第1の実施形態の裏面側導体23に対応する部材であるが、第3の実施形態では、4つの半導体素子10が接合層43を介して接合されるサイズを有する。裏面側導体123には、4つの半導体素子10が接合される領域を除く全面に絶縁層151が設けられている。絶縁層151には、樹脂やセラミックを用いることができる。

[0035] 裏面側導体123上に形成された絶縁層151上には、ゲート配線152

およびセンス配線 153 が設けられている。ゲート配線 152 およびセンス配線 153 は、不図示の制御部に接続される。

不図示の制御部は、センス配線 153 を介した半導体素子 10 のソース電極 12 との接続をグラウンド、すなわち、基準電位として、ゲート配線 152 を介して半導体素子 10 のソース電極 12 に電圧を印加する。センス接続部 131 の断面積を大きくする理由としてインダクタンスを小さくすることを挙げたが、正確には、センス配線 153 を介した半導体素子 10 のソース電極 12 との接続におけるインダクタンスを小さくするためである。

[0036] 図 7 を参照して、ゲート配線 152 は、裏面側導体 123 上に設けられた絶縁層 151 上を、左右に分離された二対の半導体素子 10 の間において、換言すれば、裏面側導体 123 の左辺と右辺の中央において、裏面側導体 123 の上下方向に延在して形成されている。各半導体素子 10 のゲート電極 17 は、ボンディングワイヤ 161 によりゲート配線 152 に接続されている。センス配線 153 は、ゲート配線 152 と僅かな隙間を開けてゲート配線 152 の外側を囲んで形成されている。センス配線 153 は、裏面側導体 123 の上下方向に延在された部分と、裏面側導体 123 の上辺側の側面および下辺側の側面に沿って裏面側導体 123 のコーナー部近傍まで延在された部分とを有する。

[0037] センス配線 153 は、各コーナー部の近傍に、表面側導体 122 のセンス接続部 131 の下端面が接合されるセンス接触領域 153a を有する。センス接触領域 153a は、センス配線 153 の一部であり、実際には、領域を示す仕切り線はないが、図 7 では、判り易くするためにセンス接触領域 153a を矩形形状の実線により図示している。表面側導体 122 は、接合層 42 (図 8 (a)、(b) 参照) により、各半導体素子 10 のソース電極 12 に接合される。従って、センス配線 153 は、表面側導体 122 を介して、各半導体素子 10 のソース電極 12 に接続される。

[0038] 4 つの半導体素子 10 を近接して配置すると、各半導体素子 10 から放出される熱が狭い領域に集中し、裏面側導体 123 が高温となってしまう。こ

のため、図7に示すように、4つの半導体素子10を所定幅以上に離間して配置して、熱が集中しないようにしている。しかし、半導体素子10を所定幅以上に離間して配置すると裏面側導体123、換言すれば、半導体装置300の面積が大きくなる。そこで、半導体素子10が離間された中央のスペースにゲート配線152とセンス配線153とを引き回すことにより、スペースの有効活用を図り、裏面側導体123の面積の縮小化を図っている。

[0039] 図7および図8に図示されるように、表面側導体122のセンス接続部131の下端面が接合されるセンス接触領域153aは、4つの半導体素子10が配列された、矩形の外周領域の外側に配置されている。このため、センス配線153を介した半導体素子10のソース電極12との接続におけるインダクタンスを小さくすることができる。

[0040] 図6に図示される半導体装置200を構成する4つの半導体装置300は、図8(a)に図示されるように、外側表面側導体222と外側裏面側導体223の間に配置される。

各半導体装置300の表面側導体122は、接合層44により、外側表面側導体222に接合されている。各半導体装置300の裏面側導体123は、接合層45により、外側裏面側導体223に接合されている。接合層44、45は、接合層41～43と同一の材料を用いて形成することができる。

[0041] 図8(a)に図示された状態は、半導体装置200を構成する4つの半導体装置300に、封止樹脂32が充填されていない状態である。つまり、各半導体素子10および第二絶縁層31等は、封止樹脂32により封止されていない。しかし、各半導体素子10の第一絶縁層15上には、接合層41の周縁部および中継導体21の接合層41側近傍領域周縁部に接する第二絶縁層31が形成されている。このため、この状態で、ソース電極12に高電界を印加する高電界印加試験を行うことができる。ソース電極12に高電界を印加することで、部分放電が発生したり、半導体素子10が損傷したり、特性が劣化したりするか否かを検査し、不良品を除去したり、修理したりすることができる。これにより、樹脂封止後に検査を行うよりも、生産性を向上

することができる。

[0042] 高電界印加試験後、外側表面側導体 2 2 2 と外側裏面側導体 2 2 3 との間に、封止樹脂 3 2 を充填し、各半導体素子 1 0 の周側面、第二絶縁層 3 1、中継導体 2 1 の周側面を、封止樹脂 3 2 により封止する。これにより、図 8 (b) に図示される半導体装置 2 0 0 を形成することができる。

高電界印加試験は、図 8 (b) の状態で行ってもよいし、図 8 (a) の状態で行って、再度、図 8 (b) の状態で行ってもよい。

[0043] 第 3 の実施形態では、センス配線 1 5 3 とソース電極 1 2 とは、表面側導体 1 2 2 に一体的に設けたセンス接続部 1 3 1 により接続する構造として例示した。しかし、センス配線 1 5 3 とソース電極 1 2 とは、ボンディングワイヤにより接続するようにしてもよい。

[0044] 第 3 の実施形態では、半導体装置 3 0 0 は、4 つのアーム回路が一体化された 4 in 1 パッケージとして例示した。しかし、半導体装置 3 0 0 は、複数のアーム回路が一体化されたパッケージであればよく、 N ($N \geq 2$) in 1 パッケージに幅広く適用することが可能である。

[0045] なお、上記各実施形態では、スイッチング用素子を、MOS FETとして例示した。

しかし、MOS FETに替えて、IGBT (Insulated Gate Bipolar Transistor) 等の他の半導体素子を用いてもよい。

[0046] 上記各実施形態では、スイッチング用素子としてSiC (炭化ケイ素) MOS FETが好ましいとした。しかし、本発明は、炭化ケイ素の他にも、窒化ガリウム、酸化ガリウム、ダイヤモンドを母材とする半導体素子に対しても適用することができる。また、本発明は、通常のSi MOS FETにも適用することができる。

[0047] 上記では、種々の実施の形態および変形例を説明したが、本発明はこれらの内容に限定されるものではない。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

符号の説明

[0048]	1 0	半導体素子
	1 2	ソース電極（表面電極）
	1 3	ドレイン電極（裏面電極）
	1 5	第一絶縁層
	1 5 a	開口部
	2 1	中継導体
	2 2	表面側導体（導体）
	2 3	裏面側導体（対向導体）
	3 1、3 1 a	第二絶縁層
	3 2	封止樹脂
	4 1～4 5	接合層
	1 0 0	半導体装置
	1 2 2	表面側導体（導体）
	1 2 3	裏面側導体
	2 0 0	半導体装置
	2 2 2	外側表面側導体（外側導体）
	2 2 3	外側裏面側導体
	3 0 0	半導体装置
	A _v	ボイド
	G	隙間

請求の範囲

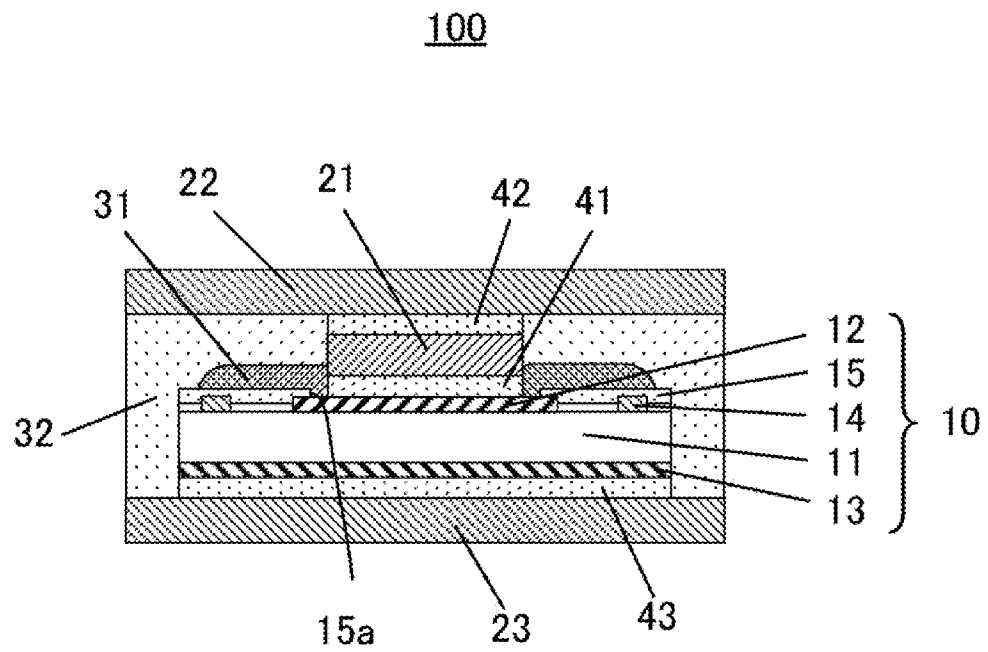
- [請求項1] 開口部を有する第一絶縁層および前記第一絶縁層の前記開口部から露出する表面電極を有する半導体素子と、
 前記表面電極に接合された中継導体と、
 前記表面電極と前記中継導体とを接合する接合層と、
 前記第一絶縁層の少なくとも一部を覆い、少なくとも前記接合層の周囲に接して設けられた第二絶縁層と、
 前記中継導体に接続された導体と、
 前記導体と前記第二絶縁層との間に充填された封止樹脂と、を備える半導体装置。
- [請求項2] 請求項1に記載の半導体装置において、
 前記開口部の周縁部と前記接合層の周囲との間に隙間が設けられ、
 前記第二絶縁層は、前記隙間内に充填されている半導体装置。
- [請求項3] 請求項1に記載の半導体装置において、
 前記第二絶縁層は、前記中継導体の少なくとも前記接合層側の周囲に接している半導体装置。
- [請求項4] 請求項1に記載の半導体装置において、
 前記導体と前記中継導体とを接合する接合層をさらに備える半導体装置。
- [請求項5] 請求項1に記載の半導体装置において、
 前記導体は、前記半導体素子の前記第一絶縁層全体を覆う面積を有し、
 前記封止樹脂は、前記半導体素子の周囲を封止する半導体装置。
- [請求項6] 請求項1に記載の半導体装置において、
 前記第二絶縁層は、前記第一絶縁層よりも厚く設けられている半導体装置。
- [請求項7] 請求項1に記載の半導体装置において、
 前記中継導体は、インバーを含む半導体装置。

- [請求項8] 請求項1に記載の半導体装置において、
前記接合層は、金属接合ペーストが焼結された焼結金属である半導体装置。
- [請求項9] 請求項1に記載の半導体装置において、
前記半導体素子は、前記表面電極の対向面側に裏面電極を有し、
さらに、前記裏面電極に接続された対向導体を有し、
前記第二絶縁層は、前記対向導体に接している半導体装置。
- [請求項10] 請求項1から請求項9までのいずれか一項に記載の半導体装置において、
前記半導体素子は、炭化ケイ素、窒化ガリウム、酸化ガリウム、ダイヤモンドのいずれかを母材とする半導体装置。
- [請求項11] 開口部を有する第一絶縁層および前記第一絶縁層の前記開口部から露出する表面電極を有する複数の半導体素子と、
前記各半導体素子の前記表面電極に接合された中継導体と、
前記各表面電極と前記各中継導体とを接合する接合層と、
前記各第一絶縁層の少なくとも一部を覆い、少なくとも前記各接合層の周囲に接して設けられた第二絶縁層と、
前記各中継導体を接続する導体と、を備える半導体装置。
- [請求項12] 請求項11に記載の半導体装置において、
前記導体と前記第二絶縁層との間に充填された封止樹脂と、を備える半導体装置。
- [請求項13] 請求項11に記載の半導体装置を複数有し、
前記各半導体装置の前記導体を接続する外側導体を、さらに有する半導体装置。
- [請求項14] 開口部を有する第一絶縁層および前記第一絶縁層の前記開口部から露出する表面電極を有する半導体素子を準備することと、
前記表面電極と中継導体とを接合層により接合することと、
前記第一絶縁層の少なくとも一部を覆い、少なくとも前記接合層の

周囲に接する第二絶縁層を設けることと、
前記中継導体に導体を接続することと、
前記導体と前記第二絶縁層との間に封止樹脂を充填することと、を
含む半導体装置の製造方法。

[図1]

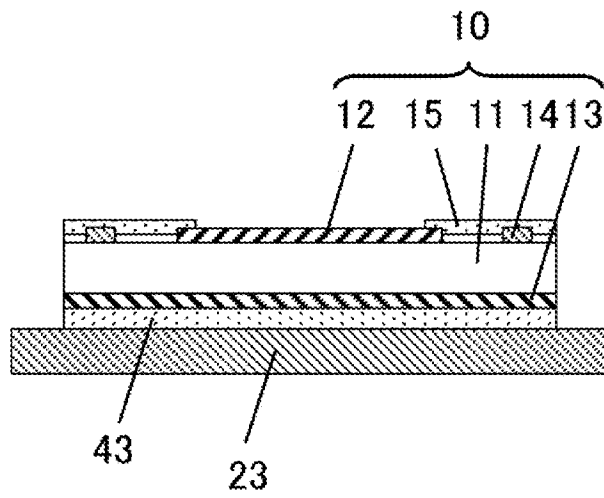
図 1



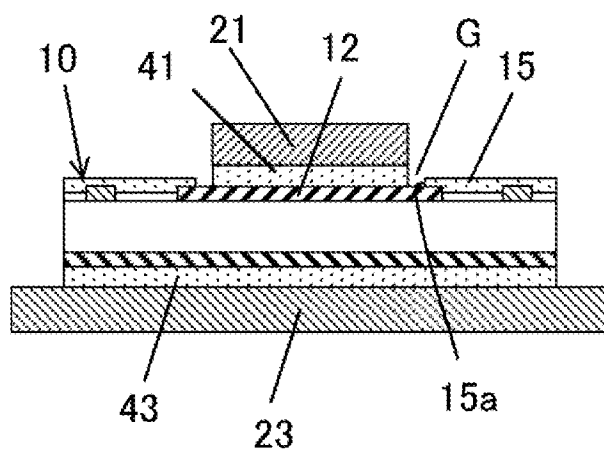
[図2]

図2

(A)



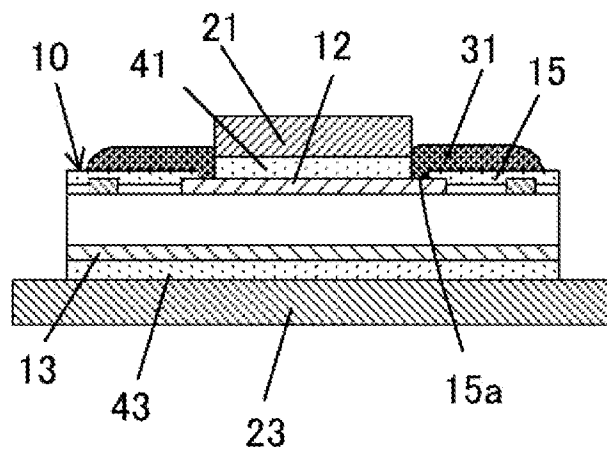
(B)



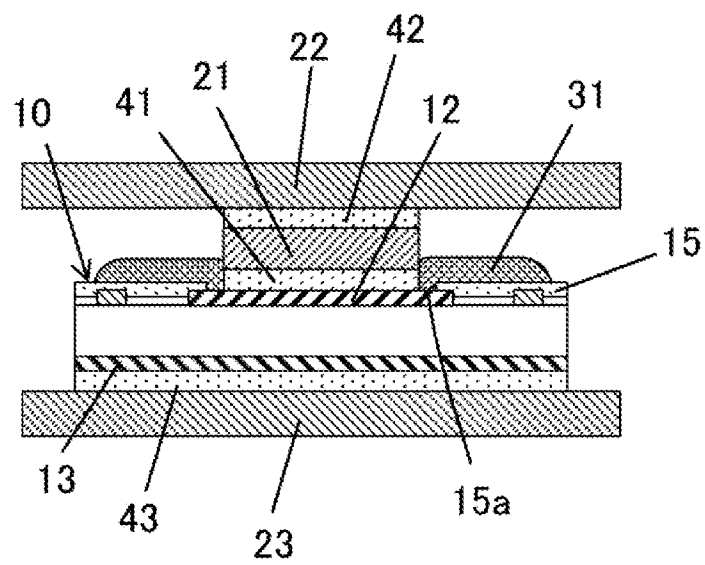
[図3]

図3

(A)

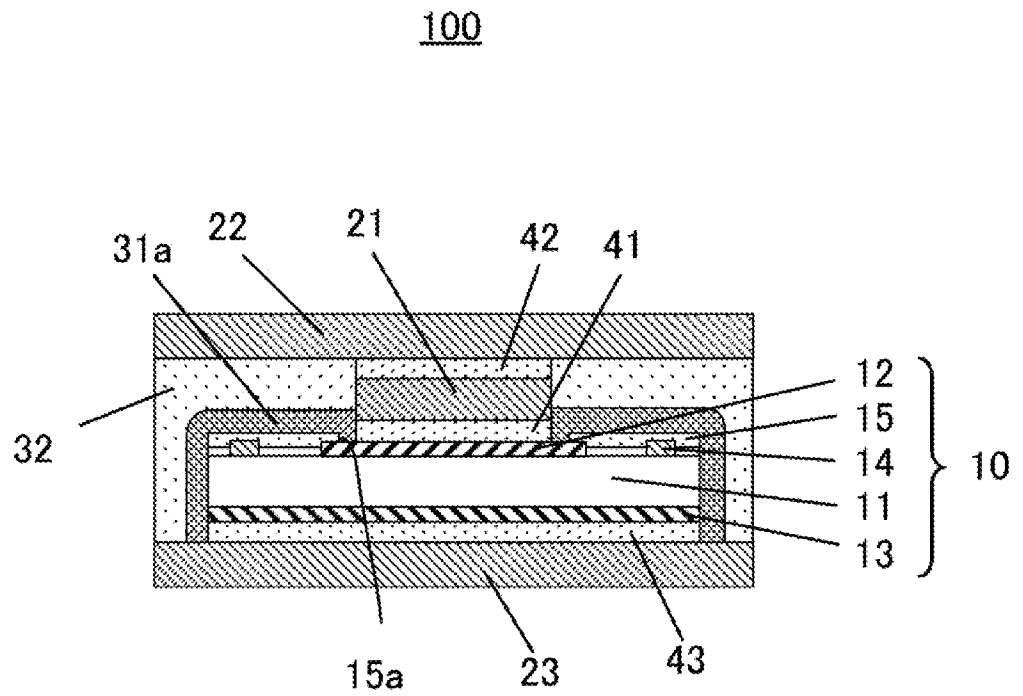


(B)



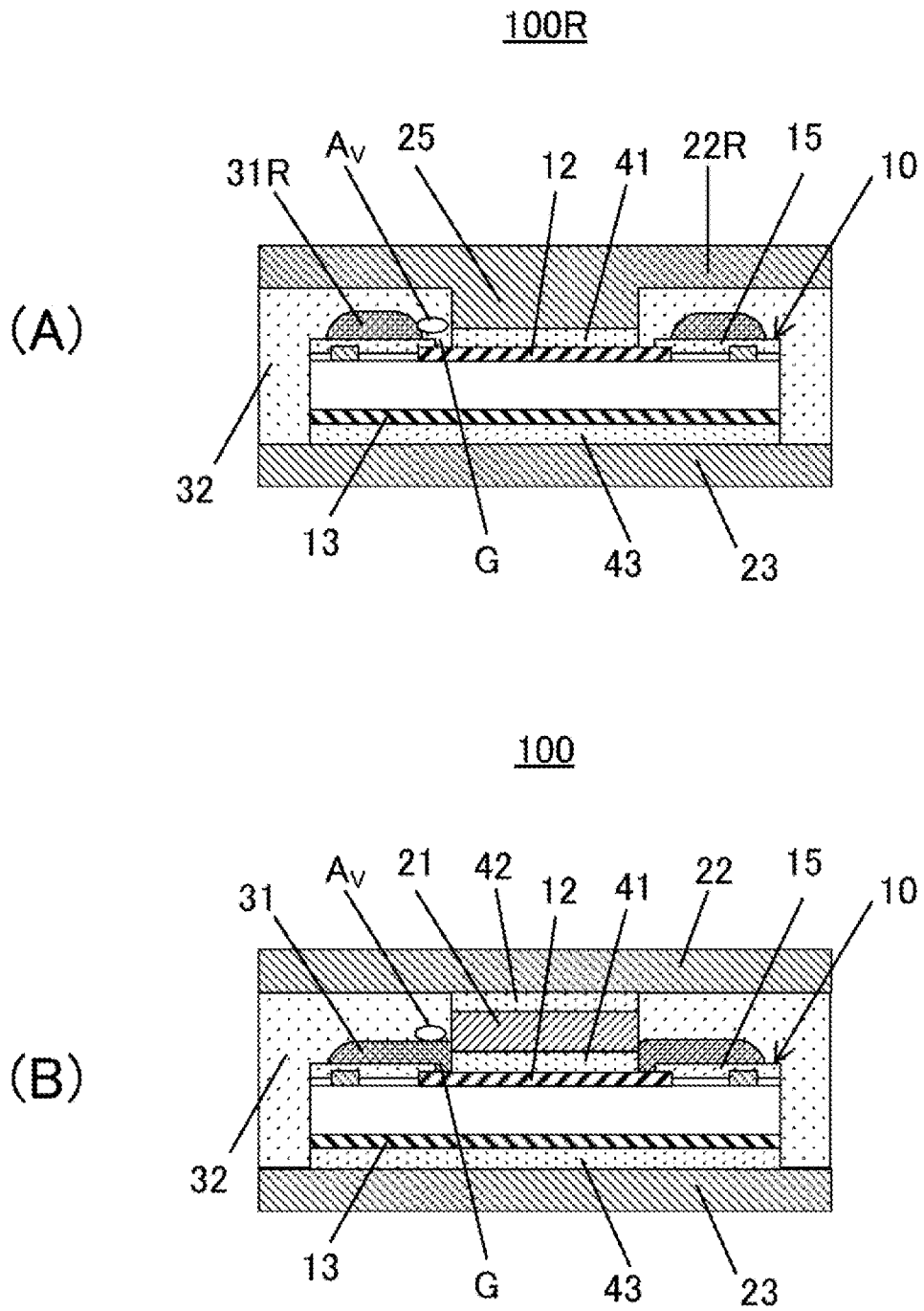
[図4]

図4



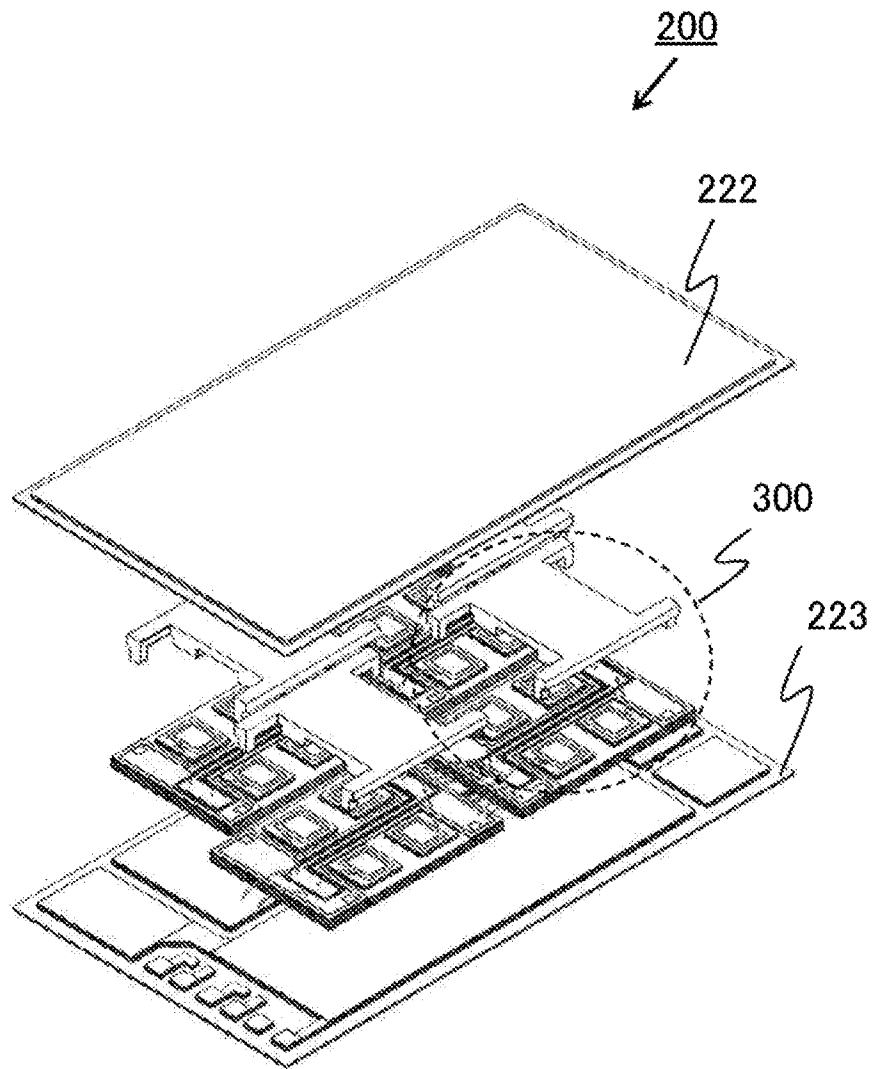
[図5]

図5



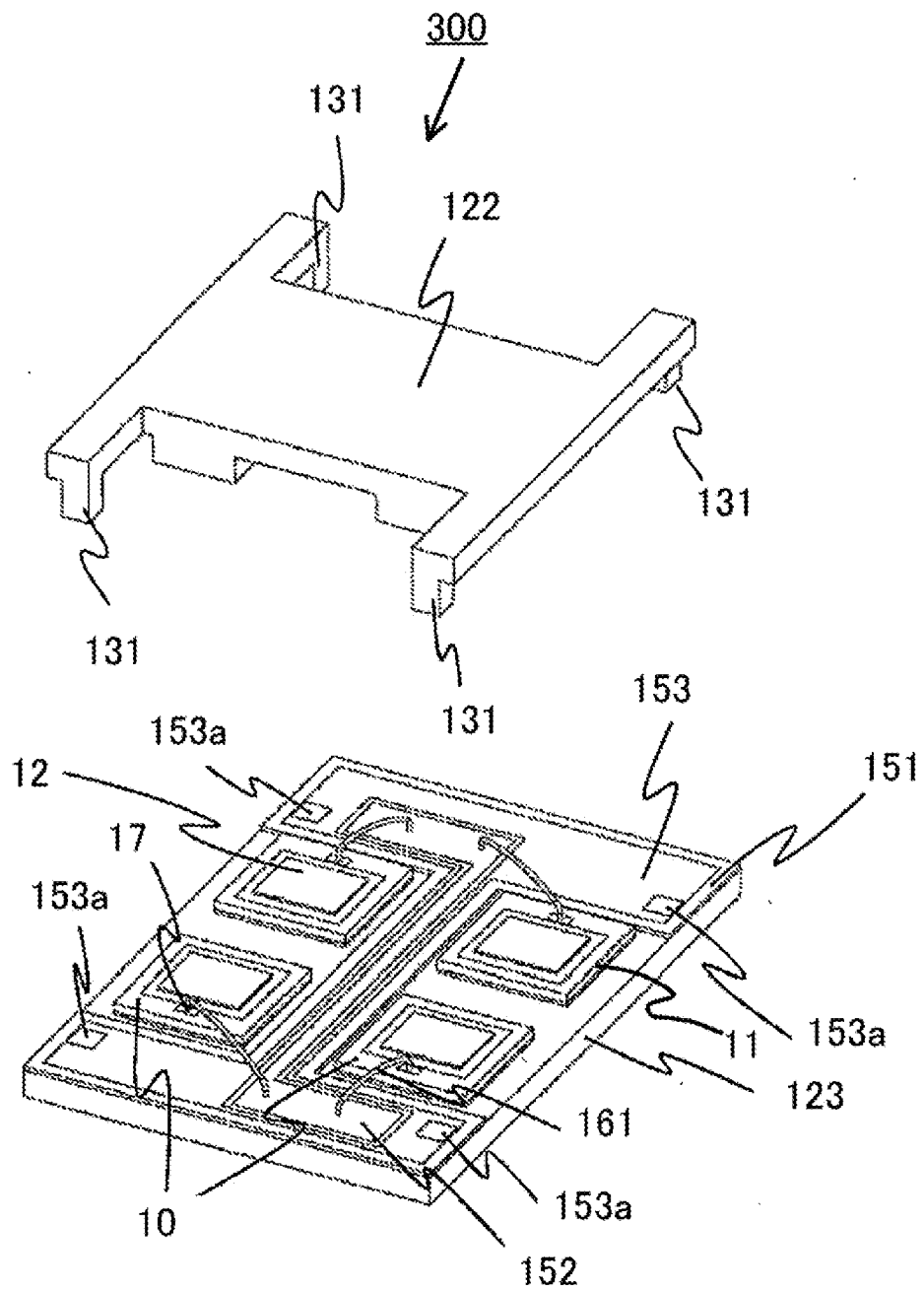
[図6]

図6

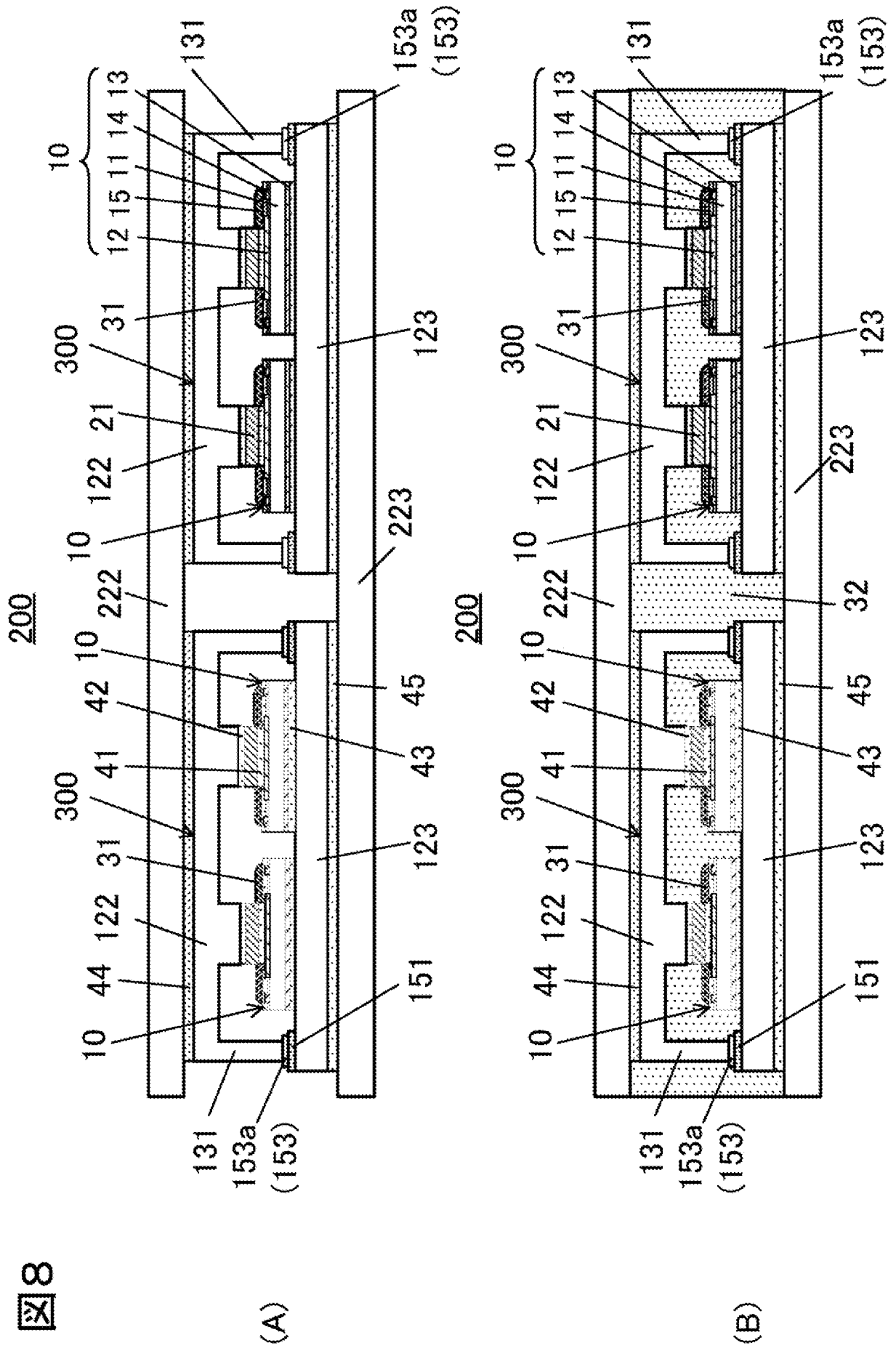


[図7]

図7



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/023520

A. CLASSIFICATION OF SUBJECT MATTER

H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H01L 23/29(2006.01)i; H01L 23/31(2006.01)i

FI: H01L25/04 C; H01L23/30 D; H01L23/30 B; H01L23/36 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/29; H01L23/31; H01L25/07; H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2018/173511 A1 (DENSO CORP.) 27.09.2018 (2018-09-27) entire text, all drawings	1-14
A	JP 2016-48760 A (MITSUBISHI ELECTRIC CORP.) 07.04.2016 (2016-04-07) entire text, all drawings	1-14
A	JP 2018-32835 A (TOYOTA MOTOR CORP.) 01.03.2018 (2018-03-01) entire text, all drawings	1-14
A	JP 2019-91915 A (MITSUBISHI ELECTRIC CORP.) 13.06.2019 (2019-06-13) entire text, all drawings	1-14

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
25 September 2020 (25.09.2020)

Date of mailing of the international search report
06 October 2020 (06.10.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/023520

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2018/173511 A1	27 Sep. 2018	US 2019/0355656 A1 entire text, all drawings CN 110383464 A (Family: none)	
JP 2016-48760 A	07 Apr. 2016	(Family: none)	
JP 2018-32835 A	01 Mar. 2018	(Family: none)	
JP 2019-91915 A	13 Jun. 2019	WO 2018/163599 A1 entire text, all drawings CN 110383439 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H01L 23/29(2006.01)i; H01L 23/31(2006.01)i FI: H01L25/04 C; H01L23/30 D; H01L23/30 B; H01L23/36 A														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L23/29; H01L23/31; H01L25/07; H01L25/18														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	WO 2018/173511 A1（株式会社デンソー） 27.09.2018（2018 - 09 - 27） 全文，全図	1-14												
A	JP 2016-48760 A（三菱電機株式会社） 07.04.2016（2016 - 04 - 07） 全文，全図	1-14												
A	JP 2018-32835 A（トヨタ自動車株式会社） 01.03.2018（2018 - 03 - 01） 全文，全図	1-14												
A	JP 2019-91915 A（三菱電機株式会社） 13.06.2019（2019 - 06 - 13） 全文，全図	1-14												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 25.09.2020		国際調査報告の発送日 06.10.2020												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 川原 光司 5F 5382 電話番号 03-3581-1101 内線 3516												

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/023520

引用文献			公表日	パテントファミリー文献	公表日
WO	2018/173511	A1	27.09.2018	US 2019/0355656 A1 全文, 全図 CN 110383464 A	
JP	2016-48760	A	07.04.2016	(ファミリーなし)	
JP	2018-32835	A	01.03.2018	(ファミリーなし)	
JP	2019-91915	A	13.06.2019	WO 2018/163599 A1 全文, 全図 CN 110383439 A	