



DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

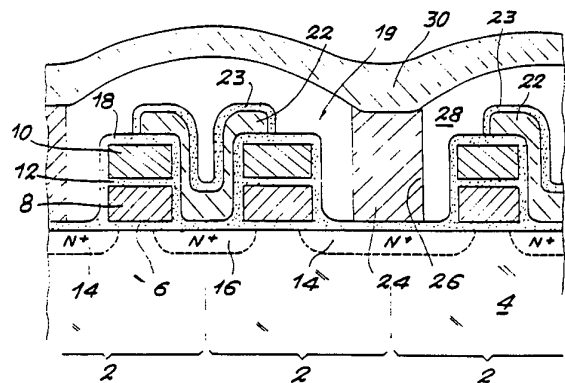
<p>(51) Classification internationale des brevets ⁵ : H01L 27/115, 21/82, G11C 16/04</p>	<p>A1</p>	<p>(11) Numéro de publication internationale: WO 94/01892 (43) Date de publication internationale: 20 janvier 1994 (20.01.94)</p>
<p>(21) Numéro de la demande internationale: PCT/FR93/00667 (22) Date de dépôt international: 1er juillet 1993 (01.07.93) (30) Données relatives à la priorité: 92/08231 3 juillet 1992 (03.07.92) FR (71) Déposant (pour tous les Etats désignés sauf US): COMMIS-SARIAT A L'ENERGIE ATOMIQUE [FR/FR]; 31-33, rue de la Fédération, F-75752 Paris Cédex 15 (FR). (72) Inventeur; et (75) Inventeur/Déposant (US seulement) : HARTMANN, Joël [FR/FR]; 13, rue de la Balmette, F-38640 Claix (FR). (74) Mandataire: BREVATOME; 25, rue de Ponthieu, F-75008 Paris (FR).</p>		<p>(81) Etats désignés: JP, US, brevet européen (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Publiée <i>Avec rapport de recherche internationale.</i></p>

(54) Title: TRIPLE-GATE FLASH EEPROM MEMORY AND METHOD FOR MAKING SAME

(54) Titre: MEMOIRE EEPROM DE TYPE FLASH A TRIPLES GRILLES ET SON PROCEDE DE FABRICATION

(57) Abstract

A memory including a semiconductor substrate (4), an array of memory cells (2) mutually electrically insulated by side insulators (5), wherein each memory cell includes a gate stack (19) consisting of a gate insulator (6), a floating gate (8) and a control gate (10) separated by an electrical insulator (12) between the gates, said gate insulator being arranged between the floating gate and the substrate, a source (16) and a drain (14) formed in the substrate on either side of said stack and outside the side insulators, an erasing gate (22) located above the source (16) in partial overlap with the stack, and electrically insulated from the source and said stack by a thin insulator (18), as well as conductive strips for applying electrical signals to the gate stacks, erasing gates, sources and drains.



(57) Abrégé

Cette mémoire comprend un substrat semi-conducteur (4), une matrice de cellules mémoires (2) isolées électriquement les unes des autres par des isolations latérales (5), chaque cellule mémoire comprenant un empilement (19) de grilles constitué d'un isolant de grille (6), d'une grille flottante (8) et d'une grille de commande (10) séparées par un isolant électrique intergrille (12), l'isolant de grille étant interposé entre la grille flottante et le substrat, une source (16) et un drain (14) formés dans le substrat de part et d'autre de cet empilement et en dehors des isolations latérales, une grille d'effacement (22) formée au-dessus de la source (16) et en partie à cheval sur l'empilement et isolée électriquement par un isolant mince (18) de la source et de cet empilement, et des bandes conductrices pour appliquer des signaux électriques sur les empilements de grilles, les grilles d'effacement, les sources et les drains.

UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AT	Autriche	FR	France	MR	Mauritanie
AU	Australie	GA	Gabon	MW	Malawi
BB	Barbade	GB	Royaume-Uni	NE	Niger
BE	Belgique	GN	Guinée	NL	Pays-Bas
BF	Burkina Faso	GR	Grèce	NO	Norvège
BG	Bulgarie	HU	Hongrie	NZ	Nouvelle-Zélande
BJ	Bénin	IE	Irlande	PL	Pologne
BR	Brésil	IT	Italie	PT	Portugal
BY	Bélarus	JP	Japon	RO	Roumanie
CA	Canada	KP	République populaire démocratique de Corée	RU	Fédération de Russie
CF	République Centrafricaine	KR	République de Corée	SD	Soudan
CG	Congo	KZ	Kazakhstan	SE	Suède
CH	Suisse	LI	Liechtenstein	SI	Slovénie
CI	Côte d'Ivoire	LK	Sri Lanka	SK	République slovaque
CM	Cameroun	LU	Luxembourg	SN	Sénégal
CN	Chine	LV	Lettonie	TD	Tchad
CS	Tchécoslovaquie	MC	Monaco	TG	Togo
CZ	République tchèque	MG	Madagascar	UA	Ukraine
DE	Allemagne	ML	Mali	US	Etats-Unis d'Amérique
DK	Danemark	MN	Mongolie	UZ	Ouzbékistan
ES	Espagne			VN	Viet Nam
FI	Finlande				

MEMOIRE EEPROM DE TYPE FLASH A TRIPLES GRILLES ET SON
PROCEDE DE FABRICATION

DESCRIPTION

- 5 La présente invention a pour objet une mémoire EEPROM intégrée, c'est-à-dire une mémoire à lecture seule, programmable et effaçable électriquement par bloc, ainsi que son procédé de fabrication. Cette mémoire est du type flash.
- 10 L'invention s'applique en particulier dans le domaine de la fabrication des circuits de mémoire intégrés du type MOS ou du type CMOS à grandes densités d'intégration.
- Une mémoire EEPROM intégrée est un circuit
15 intégré comportant une partie mémoire proprement dite formée d'une matrice de plusieurs points mémoires ou cellules mémoires connectés électriquement entre eux et des circuits périphériques servant à commander ces points mémoires.
- 20 L'invention a trait uniquement à la partie mémoire proprement dite.
- Le concept de mémoire EEPROM flash a été introduit la première fois en 1984 par Toshiba qui proposait une structure à triples grilles, une grille
25 flottante, une grille de contrôle pour la programmation et la lecture et une grille d'effacement réalisées en silicium polycristallin. Cette mémoire était de grande dimension et présentait, pour des règles de dessin (ou largeur de grille flottante) de $2\mu\text{m}$, des points
30 mémoires de $64\mu\text{m}^2$ de surface. Cette structure fut très vite abandonnée car elle ne permettait pas de viser de grandes dimensions d'intégration, c'est-à-dire la mémorisation d'au moins 10^6 éléments binaires, avec des règles de dessin submicroniques.

L'évolution majeure du concept de mémoire flash dont l'intérêt principal est de viser de grandes capacités mémoires pour remplacer les disques durs ou les disquettes dans les micro-ordinateurs personnels, a
5 été apportée par Intel en 1988 avec l'introduction de la cellule appelée ETOX qui présente le grand avantage d'être semblable à une cellule EPROM.

Cette cellule est notamment décrite dans le document IEEE Journal of Solid State Circuits, vol. 24,
10 n 5, d'octobre 1989, pp. 1259-1263, "A 90-ns one-million erase/program cycle 1-Mbit flash memory" de V. N. Kynett et al.

Chaque point mémoire ETOX comporte un simple transistor à double grille dont la particularité réside
15 dans l'épaisseur de l'oxyde de grille qui est réduit aux alentours de 10nm pour permettre un effacement par effet tunnel de la grille flottante.

La programmation et la lecture de cette mémoire sont identiques à celles d'une mémoire EPROM. Pour
20 chaque cellule mémoire, l'effacement est réalisé en portant une tension de 12V sur la source du transistor tout en maintenant sa grille de commande à la masse. Les électrons de la grille flottante sont collectés par la source par effet
25 tunnel à travers l'oxyde de grille mince de la cellule. La source étant commune à toutes les cellules du plan mémoire, l'effacement est collectif et toute la mémoire peut être effacée en une seule opération.

Ce dispositif a donc ouvert la voie aux grandes
30 densités d'intégration et de nombreuses sociétés ont également adopté ce concept de cellule mémoire. Cependant, si d'un point de vue densité d'intégration ce concept est très intéressant, il présente de nombreux problèmes d'un point de vue électrique.

En effet, l'emploi d'une tension élevée (12V) sur la source provoque généralement la mise en avalanche de la jonction source-substrat de la cellule, ce qui a pour conséquence d'injecter des trous dans l'oxyde de grille de la cellule et de créer des défauts électriques.

Par ailleurs, le courant important utilisé lors de l'effacement nécessite une alimentation extérieure de 12V, la compatibilité avec une alimentation extérieure du circuit sous 5V n'est donc pas possible.

De plus, l'oxyde de grille étant aminci à 10nm ou moins, tous les effets parasites d'une cellule EPROM sont amplifiés et gênent son fonctionnement. En particulier, le phénomène de conduction parasite des cellules appartenant à la même ligne d'éléments binaires que la cellule que l'on adresse (ou "turn-on" en terminologie anglo-saxonne) est accru, la programmation devient plus difficile et l'écriture d'informations parasites ou "soft-write" est importante.

Enfin, l'oxyde de grille de 10nm environ est soumis à un vieillissement prématuré du fait des électrons chauds injectés du côté du drain pendant la programmation et de l'injection de trous chauds pendant l'effacement du côté de la source. Cet oxyde vieillit donc très vite et il est difficile de tenir 10000 cycles de lecture-écriture avec ce type de cellule mémoire.

Récemment, pour contourner ces problèmes importants, il a été proposé, toujours avec le même type de cellule de mémoire, d'amener une tension négative d'environ -10 à -12V sur la grille flottante pendant l'effacement, ce qui permet de réduire la tension appliquée sur la source à 5V, d'utiliser les circuits de commande correspondants fonctionnant en 5V

et de supprimer l'avalanche de la jonction source-substrat.

Une telle technique est notamment décrite dans le document "A new flash E²PROM cell using triple polysilicon technology" de Fujio Masuoka et al., IEDM 1984, pp. 464-467 et dans le document "A 5V-Only 0,6µm flash EEPROM with row decoder scheme in triple-well structure" de Masao Kuriyama et al., IEEE 1992, pp. 152-153.

10 Cette solution est attrayante d'un point de vue électrique mais pose un problème de conception car il est difficile d'engendrer et de véhiculer une tension négative sur un circuit intégré uniquement alimenté avec 5V ou 0V.

15 Dans le document EP-A-047 153, il est décrit une mémoire EEPROM à triples grilles dans laquelle la grille d'effacement de chaque cellule mémoire est formée au-dessus de la source et à cheval sur l'empilement de grille de commande et de grille flottante ; elle est isolée de la source par l'oxyde de champ épais (500 nm à 1 µm).

20 Cette mémoire utilise encore des tensions d'effacement très élevées (20 à 30V) et sa programmation se fait par effet tunnel entre la grille flottante et le substrat par application de fortes tensions positives (20 à 30V) sur la grille de commande. Ce type de programmation nécessite l'emploi d'un transistor de sélection pour chaque cellule (soit deux transistors par cellule) de façon à éviter la programmation parasite de toutes les cellules communes à la même grille de commande.

25 L'utilisation d'un transistor de sélection ne permet pas l'effacement global (ou flash).

30 En outre, la taille d'une telle cellule est très importante et interdit des densités d'intégration

35

supérieures à quelques dizaines de kilobits, et ce d'autant que la grille de commande n'est pas auto-alignée par rapport à la grille flottante. Par ailleurs, l'oxyde de champ épais de cette mémoire présente un "bec d'oiseau" important (0,5 μ m à 1 μ m de débordement de l'oxyde) empêchant, d'entrée, l'utilisation de ce procédé pour des largeurs de grilles flottantes inférieures à 2 μ m.

Enfin, la diffusion latérale de la jonction N⁺ sous l'oxyde de champ, jouant le rôle de source, est importante, ce qui va aussi dans le sens de la limitation de la densité d'intégration et rend difficile la programmation conventionnelle par électrons chauds du fait de la fluctuation de la longueur du canal.

L'invention a pour objet une mémoire EEPROM intégrée de type flash et son procédé de fabrication permettant de remédier aux différents inconvénients mentionnés ci-dessus. En particulier, cette mémoire peut être alimentée avec des sources de tension de 5V et donc sans problème électrique au niveau de l'oxyde de grille qui peut rester identique à celui d'une mémoire EPROM conventionnelle, c'est-à-dire supérieure à 10nm, et donc ne présentant pas les effets parasites ci-dessus. En outre, la densité d'intégration de la mémoire EEPROM de l'invention est identique à celle des mémoires EPROM et est donc très grande et son fonctionnement est similaire à celui des mémoires EPROM.

Pour ce faire, l'invention propose une mémoire EEPROM flash à triples grilles réalisée selon une structure en T conventionnelle, sans impact notable sur la densité d'intégration.

De façon plus précise, l'invention a pour objet une mémoire EEPROM intégrée à triples grilles de type

flash, comportant un substrat semi-conducteur, une matrice de cellules mémoires isolées électriquement les unes des autres par des isolations latérales, formée sur le substrat, chaque cellule mémoire comprenant un

5 empilement de grilles constitué d'un isolant de grille, d'une grille flottante et d'une grille de commande séparées par un isolant électrique intergrille, l'isolant de grille étant interposé entre la grille flottante et le substrat, une source et un drain formés

10 dans le substrat de part et d'autre de cet empilement et en dehors des isolations latérales, une grille d'effacement formée au-dessus de la source et en partie à cheval sur l'empilement, cette grille d'effacement étant isolée électriquement de la source et des grilles

15 de cet empilement par un isolant mince, les grilles d'effacement étant toutes reliées électriquement entre elles, et des bandes conductrices pour appliquer des signaux électriques respectivement sur les empilements de grilles, les grilles d'effacement, les sources et

20 les drains.

Selon l'invention, il est possible d'utiliser des grilles flottantes, de commande et d'effacement en métal (Al et ses alliages, W) en un siliciure d'un métal réfractaire ($TiSi_2$, $TaSi_2$, WSi_2) ou de préférence

25 en silicium polycristallin dopé au phosphore (0,5 à 2% en poids), dans le cas particulier d'un substrat en silicium.

Après programmation d'une cellule de mémoire (ou point mémoire) selon l'invention, et injection

30 d'électrons dans la grille flottante correspondante, on effectue l'effacement en polarisant la grille d'effacement à un potentiel de l'ordre de 10 à 12V. L'épaisseur de l'isolant électrique utilisé entre la grille flottante et la grille d'effacement, est ajustée

35 de façon à permettre le passage des électrons vers

cette grille d'effacement par effet tunnel depuis la grille flottante. Ainsi, l'isolant de grille des cellules mémoires peut avoir une épaisseur supérieure à 10nm, contrairement aux mémoires de type ETOX.

5 Ainsi, le fonctionnement de la mémoire de l'invention en programmation et en lecture est rigoureusement identique à celui d'une mémoire EPROM. Il est donc tout à fait possible de suivre l'évolution de la densité d'intégration des EPROMs pour la mémoire
10 de l'invention (quelques dizaines de Mégabits).

 En particulier, le positionnement de la grille d'effacement selon l'invention permet de réaliser l'effacement de la cellule sans augmentation de la surface de celle-ci tout en permettant un effacement
15 collectif de la mémoire (flash).

 Par ailleurs, l'utilisation de basses tensions d'effacement (12V) permet d'avoir un isolant mince entre la source et la grille d'effacement de chaque cellule mémoire, et réciproquement, d'épaisseur au plus
20 égale à 40 nm mais supérieure à 10 nm.

 L'isolant de grille est généralement un oxyde de silicium, mais il pourrait être en nitrure de silicium ou en oxynitrure de silicium.

 Les isolants intergrilles y compris ceux prévus
25 entre les grilles flottantes et les grilles d'effacement peuvent être réalisés en n'importe quel type de matériau isolant comme SiO_2 , Si_3N_4 , SiO_xN_y avec $0 < x < 2$ et $0 < y < 4/3$. En particulier, l'isolant intercalé entre les grilles flottantes et les grilles de commande
30 est un empilement tricouche d'oxyde de silicium, de nitrure de silicium et d'oxyde de silicium, noté généralement ONO.

 L'invention a aussi pour objet un procédé de fabrication d'une mémoire EEPROM telle que décrite
35 précédemment.

Selon une première variante de mise en oeuvre, le procédé de l'invention comporte les étapes suivantes :

- a) - réalisation des isolations latérales,
- 5 b) - réalisation desdits empilements entre les isolations latérales et des bandes conductrices d'application des signaux électriques sur lesdits empilements,
- c) - formation d'une couche mince d'isolant
10 électrique sur les zones de sources et de drains et sur les flancs des empilements,
- d) - implantation d'ions dans le substrat d'un type de conductivité opposé à celui du substrat pour y former les sources et drains, les empilements servant
15 de masque à cette implantation réalisée à travers la couche mince d'isolant, ainsi que les bandes conductrices d'application des signaux électriques sur les grilles d'effacement,
- e) - dépôt d'une couche conductrice sur la
20 couche mince d'isolant,
- f) - gravure uniquement de cette couche conductrice pour former les grilles d'effacement au-dessus des sources et en partie à cheval sur les empilements,
- 25 g) - isolation de surface de la structure obtenue en f), et
- h) - réalisation de trous de contact dans l'isolation de surface pour les sources et drains puis réalisation des bandes conductrices pour appliquer les
30 signaux électriques sur les sources et drains.

Selon une seconde variante de mise en oeuvre du procédé conforme à l'invention, on effectue les étapes suivantes :

- A) - réalisation des isolations latérales,

B) - réalisation desdits empilements entre les isolations latérales et des bandes conductrices d'application des signaux électriques sur lesdits empilements,

5 C) - formation d'une couche mince d'isolant électrique sur les zones de sources et de drains et sur les flancs des empilements,

D) - dépôt d'une couche conductrice sur la couche mince d'isolant,

10 E) - gravure uniquement de cette couche conductrice pour former les grilles d'effacement au-dessus des zones de sources et en partie à cheval sur les empilements,

F) - implantation d'ions dans le substrat, à
15 travers la couche mince d'isolant et la couche conductrice, pour former les sources et drains ayant un type de conductivité opposé à celui du substrat, les empilements servant de masque à cette implantation, ainsi que les bandes conductrices d'application des
20 signaux électriques sur les grilles d'effacement,

G) - isolation de surface de la structure obtenue en F), et

H) - réalisation de trous de contact dans
l'isolation de surface pour les sources et drains puis
25 réalisation des bandes conductrices pour appliquer les signaux électriques sur les sources et drains.

Dans cette seconde variante, il est nécessaire d'utiliser une implantation ionique à plus forte énergie que dans la variante précédente (de l'ordre de
30 150 à 180keV) pour traverser l'épaisseur des grilles d'effacement. En revanche, cette solution présente un avantage qui réside dans le fait que l'implantation est positionnée automatiquement par rapport aux grilles d'effacement et qu'elle est séparée de l'empilement de

grilles ou de la double grille par l'épaisseur de ces grilles d'effacement.

Il est ainsi possible de contrôler le courant de chaque cellule mémoire à l'aide du potentiel appliqué sur cette grille d'effacement qui agit alors
5 comme la grille de commande d'un transistor monogridde de type MIS connecté en série avec chaque cellule de mémoire et permet ainsi de rendre cette dernière insensible aux perçages parasites.

10 Dans le cas d'un substrat, de grilles flottantes et de commande en silicium, la couche mince d'isolant est obtenue par oxydation thermique du silicium.

D'autres caractéristiques et avantages de
15 l'invention ressortiront mieux de la description qui va suivre, donnée à titre illustratif et non limitatif, en référence aux figures annexées, dans lesquelles :

- la figure 1 est une vue de dessus d'une partie d'une mémoire EEPROM conforme à l'invention
20 montrant la connexion des grilles d'effacement,

- les figures 2 et 2b sont des vues en coupe de la figure 1 respectivement selon la ligne A-A (ou ligne d'éléments binaires) et la ligne B-B (ou ligne de mots),

25 - les figures 3 à 5 illustrent schématiquement en coupe selon une ligne de mots les différentes étapes de fabrication d'une cellule conforme à l'invention, et

- la figure 6 illustre schématiquement en coupe selon une ligne de mots une variante de mise en oeuvre
30 du procédé conforme à l'invention.

L'invention s'applique aussi bien à un substrat en silicium de type N qu'à un substrat de type P. En outre, les transistors auxquels s'applique l'invention peuvent être de type N ou P. Lors de l'utilisation de
35 structures CMOS, il est nécessaire d'effectuer en début

de procédé des caissons de type N ou P suivant la nature du substrat utilisé.

La description qui suit se réfère à l'utilisation d'un substrat en silicium monocristallin de type P et à la réalisation de transistors à canal N dans ce substrat.

En référence aux figures 1, 2a et 2b, la mémoire EEPROM flash de l'invention comporte des cellules mémoires 2 formées sur un substrat 4 et isolées les unes des autres par un oxyde de champ 5 de type LOCOS.

Chaque cellule de mémoire 2 de l'invention comporte un oxyde de grille 6 typiquement de 20nm, au lieu de 10nm dans le cas d'une mémoire selon l'art antérieur, une grille flottante 8 de 150nm environ réalisée en silicium polycristallin dopé au phosphore, noté poly-1, une grille de commande 10 de 150nm environ en silicium polycristallin dopé au phosphore, noté poly-2, isolée de la grille flottante 8 par un isolant intergrille 12.

Cet isolant 12 est constitué d'un empilement de trois couches, une couche d'oxyde de silicium recouverte d'une fine couche de nitrure de silicium puis d'une fine couche d'oxyde de silicium. L'ensemble est équivalent à une couche de SiO₂ de 20nm d'épaisseur.

De part et d'autre de chaque empilement 19 de grilles et en dehors de l'oxyde de champ 5, on trouve deux zones diffusées dans le substrat 14 et 16, jouant respectivement le rôle de drain et de source, ayant une conductivité N⁺ inverse de celle du substrat P. L'ensemble des empilements de grilles et des sources et drains est recouvert d'une couche d'oxyde mince 18 de 20nm d'épaisseur.

Conformément à l'invention, chaque cellule de mémoire 2 comporte une grille d'effacement 22 réalisée en silicium polycristallin dopé, d'environ 150 à 200nm d'épaisseur, noté poly-3. Chaque grille d'effacement 22 est formée au-dessus de la source 16 du transistor correspondant et est isolée de celle-ci par la couche d'isolant 18. En outre, la grille d'effacement 22 remonte sur le flanc de l'empilement 19 de grilles flottantes et de commande pour se terminer au-dessus de cet empilement. La couche 18 assure alors l'isolement de la grille d'effacement 22 vis-à-vis de la grille flottante 8 et de la grille de commande 10.

Pour deux cellules de mémoire côte-à-côte, les deux grilles d'effacement sont monobloc et forment un U.

Dans ce type de mémoire, chaque source 16 et chaque drain 14 est commun à deux cellules de mémoire adjacentes. Ainsi, chaque cellule 2 comporte un demi-contact électrique 24 en métal sur les drains. Chaque contact est constitué d'un plot de tungstène formé dans des ouvertures 26 d'une couche isolante 28 en verre dopé par du bore et du phosphore (BPSG), recouvrant l'ensemble de la mémoire.

Ensuite, on trouve des bandes métalliques 30 parallèles en contact avec les plots 24, destinées à appliquer les tensions nécessaires sur les drains. Ces bandes 30 sont en aluminium et constituent chacune une ligne d'éléments binaires.

Comme représenté sur la figure 1, les grilles de commande 10 des cellules mémoires sont reliées entre elles et constituent en partie des lignes de mots 10a de la mémoire, parallèles entre elles et perpendiculaires aux lignes 30 et réalisées en poly-2. Les tensions de commande à appliquer sur les grilles de commande sont assurées par ces lignes de mots 10a.

Les tensions d'alimentation sont appliquées sur les sources à l'aide de bandes conductrices 32 parallèles, formées au-dessus de la couche isolante 28 dans la même couche métallique que les lignes d'éléments binaires. La couche isolante 28 comporte à cet effet des ouvertures dans lesquelles sont formés des contacts électriques 34 similaires au contact électrique de drain. En général, on trouve une ligne de sources 32 toutes les 16 lignes d'éléments binaires.

Conformément à l'invention, les grilles d'effacement 22 sont toutes reliées électriquement entre elles notamment à l'aide de bandes transversales 36 en poly-3. Une bande conductrice 38 en contact électrique avec les parties transversales 36 assure l'application de la tension d'effacement simultanément sur les grilles 22 d'effacement des cellules de mémoire. Cette bande 38 est réalisée parallèlement aux lignes diffusées 14 de drains et de sources 16 et est réalisée par une ligne diffusée dans le substrat, en même temps que les zones 14 et 16.

En référence aux figures 3 à 5, on décrit ci-après la fabrication de la mémoire EEPROM flash conforme à l'invention.

Après réalisation de l'isolation de champ 5, on effectue une oxydation thermique du silicium à 1000°C sous oxygène sec pour former l'isolant de grille 6 sur l'ensemble de la structure. On effectue alors l'ajustement de la tension de seuil des cellules de mémoire par implantation ionique de bore à une énergie typique de 30keV et une dose de l'ordre de 10^{12} at/cm². On dépose alors le premier niveau de silicium polycristallin par dépôt chimique en phase vapeur basse pression (LPCVD) à 620°C pour réaliser les grilles flottantes 8, suivi d'un dopage par diffusion thermique de POCl₃ à 950°C pendant 30 min.

On effectue alors une gravure du poly-1 pour
fixer la longueur des grilles flottantes 8 (mesurée
selon le plan de la figure 2b) par un procédé classique
de photolithographie en utilisant une gravure ionique
5 réactive (RIE) avec du SF₆.

On réalise alors l'isolant 12 intergrille,
entre les grilles flottantes et de commande, en
effectuant une oxydation thermique du poly-1, un dépôt
de nitrure de silicium par LPCVD à 800°C puis une
10 réoxydation thermique de ce nitrure.

On effectue alors le dépôt de la seconde couche
de silicium polycristallin sur l'ensemble de la
structure que l'on dope au phosphore comme décrit
précédemment.

15 Une étape de photolithographie définit les
grilles de commande 10 des cellules de mémoire dans le
poly-2. La gravure de ces grilles de commande est
effectuée par RIE avec un mélange de SF₆/Cl₂ pour
graver la seconde couche de silicium polycristallin et
20 fixer ainsi la largeur des grilles 10 et des lignes de
mots 10a, et un mélange de SF₃ pour graver le
diélectrique 12 intergrille. On grave alors les grilles
flottantes de manière auto-alignée par rapport aux
grilles de commande en utilisant une gravure RIE avec
25 un mélange de HBr/Cl₂ avec arrêt sur l'oxyde de grille
6, et fixer ainsi la largeur des grilles flottantes.

On effectue ensuite une réoxydation de
l'ensemble de la structure à 1000°C sous oxygène sec de
manière à faire croître l'isolant 18 au-dessus des
30 régions de sources et drains, de l'empilement 19 de
grilles et des flancs de cet empilement. La structure
obtenue est alors celle représentée sur la figure 3.

On effectue alors, comme représenté sur la
figure 4, une implantation ionique 40 pour réaliser les
35 drains 14 et sources 16 des transistors par exemple à

l'aide d'arsenic à 80keV pour une dose de 5.10^{15} at/cm². Cette implantation est réalisée en utilisant les empilements de grilles 19 comme masque. Elle assure en outre la formation des bandes 38 de commande des grilles d'effacement.

Après activation thermique de cette implantation ionique par exemple à 900°C pendant 30 min sous azote, on effectue, comme représenté sur la figure 5, le dépôt du troisième niveau de silicium polycristallin par LPCVD à 620°C à l'aide de silane. Ce silicium est ensuite dopé par POCl₃ à 950°C.

On réalise ensuite, par photolithographie une gravure de cette troisième couche de silicium polycristallin pour fixer les formes des grilles d'effacement 22. La gravure est effectuée par RIE en utilisant un mélange de chlore et de HBr.

Après réalisation des grilles d'effacement 22, le procédé redevient conventionnel.

La suite du procédé comprend :

- la réoxydation 23 de la troisième grille ainsi formée par oxydation thermique à 950°C sous oxygène sec avec une épaisseur typique sur les flancs du silicium polycristallin de 30nm ;

- le dépôt 28 de verre dopé bore et phosphore par dépôt chimique en phase vapeur à pression atmosphérique (APCVD) avec une épaisseur typique de 700nm ;

- la fluage de ce verre dopé par un traitement thermique à 950°C sous N₂ pendant 30 min ;

- la réalisation des trous de contact 26 et 34 dans la couche 28 par photolithographie et gravure sèche RIE à l'aide de CHF₃ ;

- le dépôt par pulvérisation cathodique sur toute la structure d'une couche d'aluminium avec 1% de silicium, sur une épaisseur typique de 700nm ;

- puis la réalisation des lignes d'éléments binaires 30 et des lignes de sources 32 dans cette couche d'Al-Si par photolithographie et gravure sèche RIE à l'aide de BCl_3 .

5 Enfin, une couche de passivation (non représentée) généralement formée d'un verre dopé phosphore est déposée par APCVD sur une épaisseur typique de $1\mu\text{m}$ sur toute la structure.

10 Dans une variante de réalisation représentée sur la figure 6, on dépose puis grave le troisième niveau de silicium polycristallin pour former les grilles d'effacement 22 puis on effectue l'implantation ionique 40 de sources 16 et drains 14 à travers les grilles 22 et l'isolant de grilles, en utilisant les
15 empilements 19 comme masque. La dose d'implantation est la même que précédemment mais l'énergie d'implantation est plus élevée (150 à 180keV).

REVENDICATIONS

1. Mémoire EEPROM intégrée à triples grilles de type flash, comportant un substrat semi-conducteur (4), une matrice de cellules mémoires (2) isolées électriquement les unes des autres par des isolations latérales (5), formée sur le substrat, chaque cellule mémoire comprenant un empilement (19) de grilles constitué d'un isolant de grille (6), d'une grille flottante (8) et d'une grille de commande (10) séparées par un isolant électrique intergrille (12), l'isolant de grille étant interposé entre la grille flottante et le substrat, une source (16) et un drain (14) formés dans le substrat de part et d'autre de cet empilement et en dehors des isolations latérales, une grille d'effacement (22) formée au-dessus de la source et en partie à cheval sur l'empilement, cette grille d'effacement étant isolée électriquement de la source et des grilles de cet empilement par un isolant mince (18), les grilles d'effacement étant toutes reliées électriquement entre elles, et des bandes conductrices (10a, 38, 30, 32) pour appliquer des signaux électriques respectivement sur les empilements de grilles, les grilles d'effacement, les sources et les drains.

2. Mémoire selon la revendication 1, caractérisée en ce que le substrat étant du silicium, les grilles d'effacement (22) sont réalisées en silicium polycristallin dopé.

3. Mémoire selon la revendication 2, caractérisée en ce que les isolants de grille sont de l'oxyde de silicium d'épaisseur $>10\text{nm}$.

4. Mémoire selon l'une quelconque des revendications 1 à 3, caractérisée en ce que les isolants intergrilles sont en un matériau tricouche d'oxyde, de nitrure et d'oxyde de silicium.

5. Mémoire selon l'une quelconque des revendications 1 à 4, caractérisée en ce que l'isolant mince a une épaisseur au plus égale à 40nm.

5 6. Mémoire selon l'une quelconque des revendications 1 à 5, caractérisée en ce que les bandes conductrices (32) pour appliquer les signaux électriques sur les grilles d'effacement sont des lignes diffusées dans le substrat, parallèles aux lignes diffusées de sources et drains.

10 7. Mémoire selon l'une quelconque des revendications précédentes, caractérisée en ce que les grilles flottantes sont auto-alignées par rapport aux grilles de commande.

15 8. Procédé de fabrication d'une mémoire EEPROM intégrée de type flash, comportant un substrat semi-conducteur (4) d'un type donné de conductivité, une matrice de cellules mémoires (2) isolées électriquement les unes des autres par des isolations latérales (5), formée sur le substrat, chaque cellule mémoire
20 comprenant un empilement (19) de grilles constitué d'un isolant de grille (6), d'une grille flottante (8) et d'une grille de commande (10) séparées par un isolant électrique intergrille (12), l'isolant de grille étant interposé entre la grille flottante et le substrat, une
25 source (16) et un drain (14) formés dans le substrat de part et d'autre de cet empilement et en dehors des isolations latérales, une grille d'effacement (22) étant isolée électriquement de la source et des grilles de cet empilement par un isolant mince (18), les
30 grilles d'effacement étant toutes reliées électriquement entre elles, et des bandes conductrices (10a, 38, 30, 32) pour appliquer des signaux électriques respectivement sur les empilements de grilles, les grilles d'effacement, les sources et les
35 drains, ce procédé comportant les étapes suivantes :

- a) - réalisation des isolations latérales (5),
b) - réalisation desdits empilements (19) entre les isolations latérales et des bandes conductrices (10a) d'application des signaux électriques sur lesdits empilements,
5 c) - formation d'une couche mince d'isolant électrique (18) sur les zones de sources et de drains et sur les flancs des empilements,
d) - implantation d'ions (40) dans le substrat
10 d'un type de conductivité opposé à celui du substrat pour y former les sources et drains, les empilements servant de masque à cette implantation réalisée à travers la couche mince d'isolant, ainsi que les bandes conductrices (38) d'application des signaux électriques
15 sur les grilles d'effacement,
e) - dépôt d'une couche conductrice (22) sur la couche mince d'isolant,
f) - gravure uniquement de cette couche conductrice pour former les grilles d'effacement au-
20 dessus des sources et en partie à cheval sur les empilements,
g) - isolation de surface (23, 28) de la structure obtenue en f), et
h) - réalisation de trous de contact (26, 34)
25 dans l'isolation de surface pour les sources et drains puis réalisation des bandes conductrices pour appliquer les signaux électriques sur les sources et drains.

9. Procédé de fabrication d'une mémoire EEPROM intégrée du type flash, comportant un substrat semi-conducteur (4) d'un type donné de conductivité, une
30 matrice de cellules mémoires (2) isolées électriquement les unes des autres par des isolations latérales (5), formée sur le substrat, chaque cellule mémoire comprenant un empilement (19) de grilles constitué d'un
35 isolant de grille (6), d'une grille flottante (8) et

d'une grille de commande (10) séparées par un isolant électrique intergrille (12), l'isolant de grille étant interposé entre la grille flottante et le substrat, une source (16) et un drain (14) formés dans le substrat de part et d'autre de cet empilement et en dehors des isolations latérales, une grille d'effacement (22) étant isolée électriquement de la source et des grilles de cet empilement par un isolant mince (18), les grilles d'effacement étant toutes reliées électriquement entre elles, et des bandes conductrices (10a, 38, 30, 32) pour appliquer des signaux électriques respectivement sur les empilements de grilles, les grilles d'effacement, les sources et les drains, ce procédé comportant les étapes suivantes :

5

10

15

20

25

30

35

- A) - réalisation des isolations latérales (5),
- B) - réalisation desdits empilements (19) entre les isolations latérales et des bandes conductrices (10a) d'application des signaux électriques sur lesdits empilements,
- C) - formation d'une couche mince d'isolant électrique (18) sur les zones de sources et de drains et sur les flancs des empilements,
- D) - dépôt d'une couche conductrice (22) sur la couche mince d'isolant,
- E) - gravure uniquement de cette couche conductrice pour former les grilles d'effacement au-dessus des zones de sources et en partie à cheval sur les empilements,
- F) - implantation d'ions (40) dans le substrat, à travers la couche mince d'isolant et la couche conductrice, pour former les sources et drains ayant un type de conductivité opposé à celui du substrat, les empilements servant de masque à cette implantation, ainsi que les bandes conductrices (38) d'application des signaux électriques sur les grilles d'effacement,

G) - isolation de surface (23, 28) de la structure obtenue en F), et.

H) - réalisation de trous de contact (26, 34) dans l'isolation de surface pour les sources et drains
5 puis réalisation des bandes conductrices pour appliquer les signaux électriques sur les sources et drains.

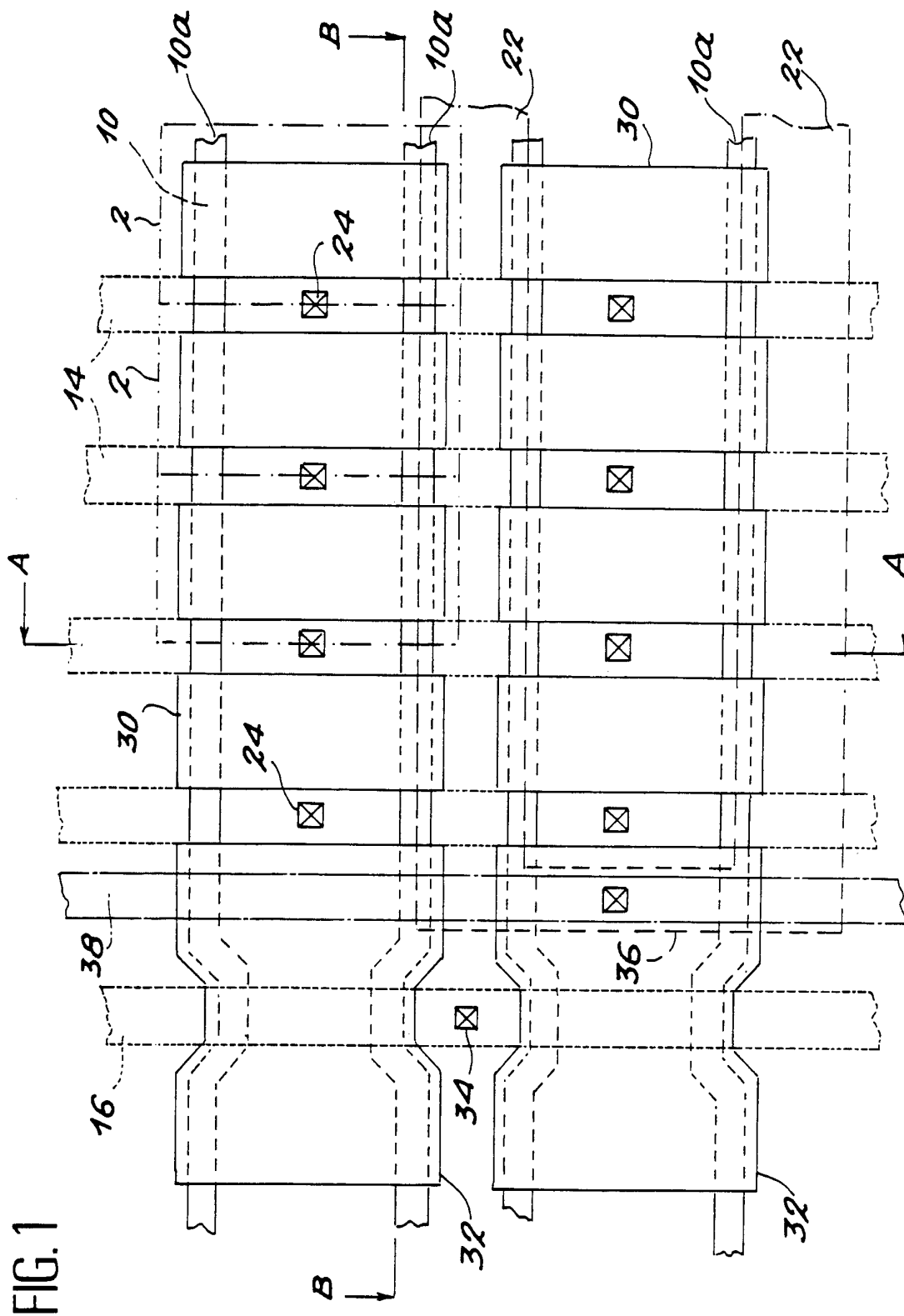
10 Procédé selon la revendication 8 ou 9, caractérisé en ce que le substrat étant du silicium, les grilles d'effacement (22) sont réalisées en silicium polycristallin dopé.

15 Procédé selon l'une quelconque des revendications 8 à 10, caractérisé en ce que le substrat, les grilles flottantes et de commande étant en silicium, la couche mince d'isolant est obtenue par oxydation thermique du silicium.

20 Procédé selon l'une quelconque des revendications 8 à 11, caractérisé en ce que la couche mince d'isolant (18) a une épaisseur au plus égale à 40nm.

25 Procédé selon la revendication 10, caractérisé en ce qu'on isole les grilles d'effacement (22) par oxydation thermique de ces grilles d'effacement.

Procédé selon l'une quelconque des revendications 8 à 13, caractérisé en ce que les grilles flottantes sont auto-alignées par rapport aux grilles de commande.



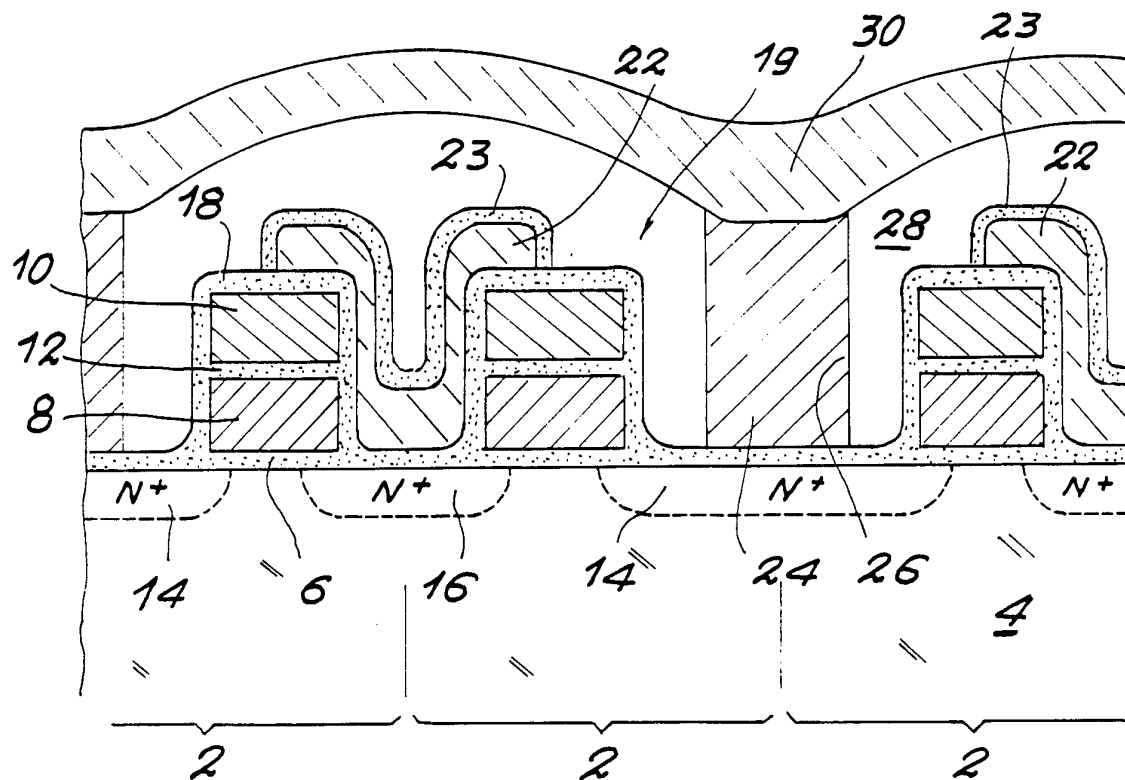


FIG. 2 a

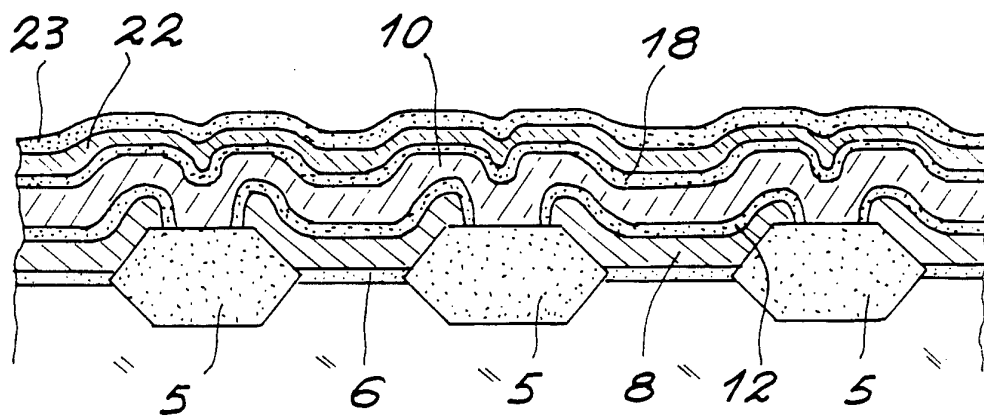


FIG. 2 b

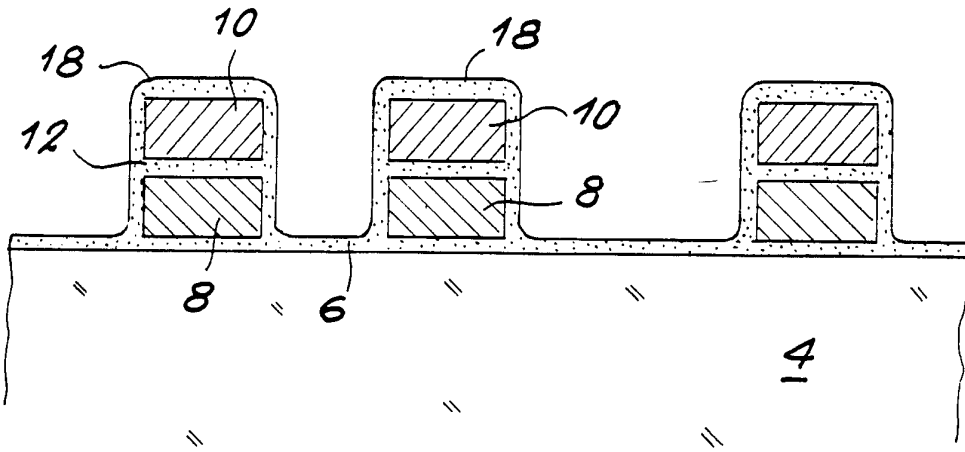


FIG. 3

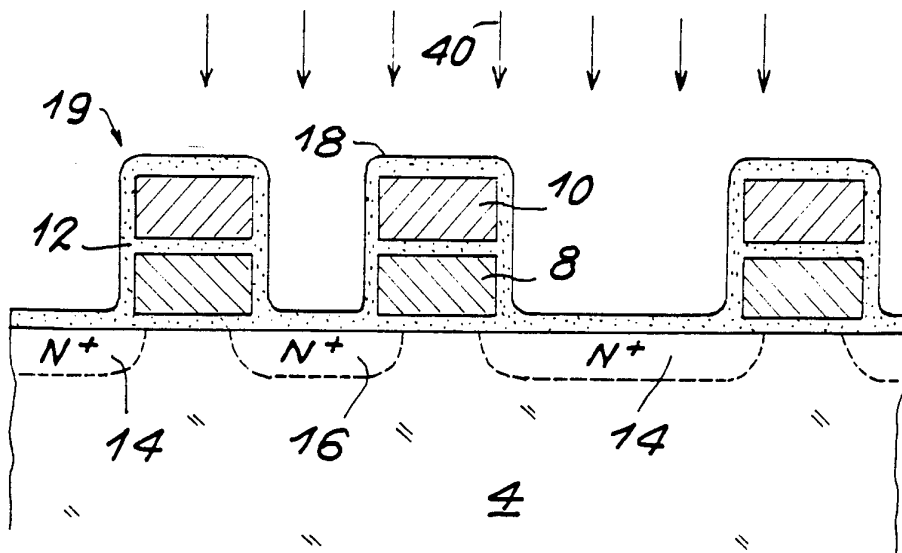


FIG. 4

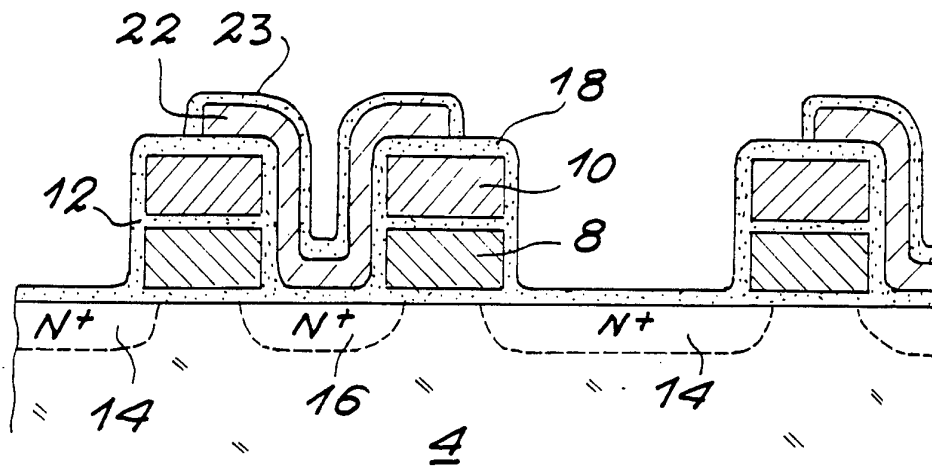


FIG. 5

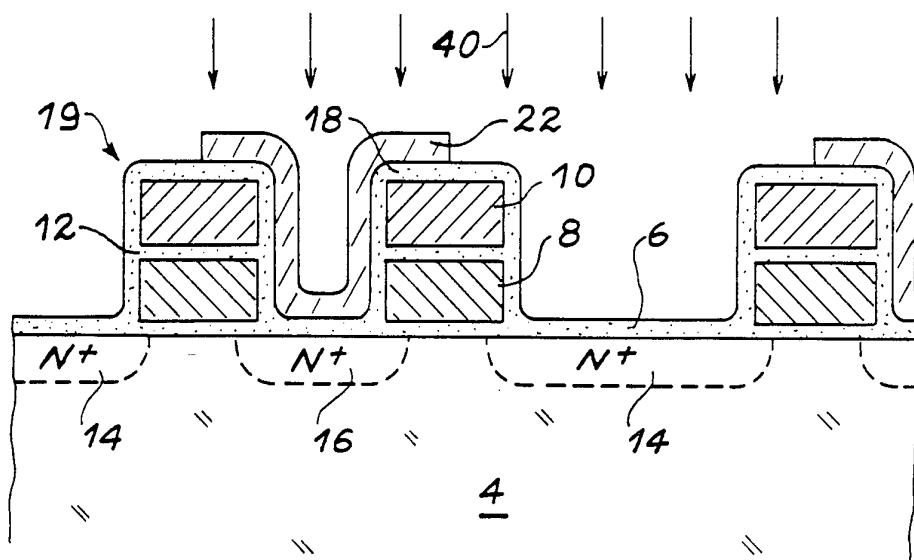


FIG. 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/FR 93/00667

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. 5 H01L27/115; H01L21/82; G11C16/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. 5 G11C ; H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP,A,0 349 774 (HARARI, ELIYAHOU) 10 January 1990	1-3, 7
A	see column 12, line 29 - column 13, line 23; figure 10C see column 18, line 45 - column 20, line 29; figures 7A, 7B ---	4, 8-11
Y	EP,A,0 430 426 (AMERICAN TELEPHONE & TELEGRAPH COMPANY) 5 June 1991	1-3, 7
A	see the whole document ---	8-11, 13, 14
A	EP,A,0 047 153 (FUJITSU LIMITED) 10 March 1982 see the whole document ---	1-3, 8-11
	-/--	

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claims or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
--	---

Date of the actual completion of the international search

19 August 1993 (19.08.93)

Date of mailing of the international search report

01 September 1993 (01.09.93)

Name and mailing address of the ISA

European Patent Office

Facsimile No

Authorized officer

Telephone No

INTERNATIONAL SEARCH REPORT

International application No.
PCT/FR93/00667

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	20th EUROPEAN SOLID STATE DEVICE RESEARCH CONFERENCE Vol. 20, 10 September 1990, NOTTINGHAM, GB pages 177-180 AMIN "A novel Flash EEPROM memory cell with asperities aided erase" see page 178, line 1 - page 179, line 2; figures 1,2 ---	1-3,5, 8-12
A	EP,A,0 419 663 (KABUSHIKI KAISHA TOSHIBA) 3 April 1991, see page 9, line 37 - page 10, line 7; figures 10A,B,11 ---	1-4,10, 11,13
A	EP,A,0 320 231 (TEXAS INSTRUMENTS INCORPORATED) 14 June 1989 see page 8, line 9 - page 9, line 16; claims; figures 6,7A,B ---	1,6
A	PATENT ABSTRACTS OF JAPAN Vol. 11, No. 83 (E-489)(2530) 13 March 1987 & JP,A,61 239 671 (TOSHIBA CORP.) 24 October 1986 see abstract -----	7,8,14

**ANNEX TO THE INTERNATIONAL SEARCH REPORT
ON INTERNATIONAL PATENT APPLICATION NO.**

FR 9300667
SA 75853

This annex lists the patent family members relating to the patent documents cited in the above-mentioned international search report.
The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information. 19/08/93

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A-0349774	10-01-90	US-A- 5095344	10-03-92
		EP-A- 0349775	10-01-90
		JP-A- 2110981	24-04-90
		JP-A- 2118997	07-05-90
		US-A- 5043940	27-08-91
		US-A- 5198380	30-03-93
		US-A- 5168465	01-12-92
EP-A-0430426	05-06-91	US-A- 5036378	30-07-91
		JP-A- 3155168	03-07-91
EP-A-0047153	10-03-82	JP-A- 57043470	11-03-82
		US-A- 4405995	20-09-83
EP-A-0419663	03-04-91	JP-A- 3085770	10-04-91
		JP-A- 2112286	24-04-90
		WO-A- 9004855	03-05-90
EP-A-0320231	14-06-89	US-A- 4924437	08-05-90
		JP-A- 2002178	08-01-90

EPO FORM P0479

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82

I. CLASSEMENT DE L'INVENTION (si plusieurs symboles de classification sont applicables, les indiquer tous) ⁷		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
CIB 5 H01L27/115; H01L21/82; G11C16/04		
II. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE		
Documentation minimale consultée ⁸		
Système de classification	Symboles de classification	
CIB 5	G11C ; H01L	
Documentation consultée outre que la documentation minimale dans la mesure où de tels documents font partie des domaines sur lesquels la recherche a porté ⁹		
III. DOCUMENTS CONSIDERES COMME PERTINENTS ¹⁰		
Catégorie ^o	Identification des documents cités, avec indication, si nécessaire, ¹² des passages pertinents ¹³	No. des revendications visées ¹⁴
Y	EP,A,0 349 774 (HARARI,ELIYAHOU) 10 Janvier 1990	1-3,7
A	voir colonne 12, ligne 29 - colonne 13, ligne 23; figure 10C voir colonne 18, ligne 45 - colonne 20, ligne 29; figures 7A,7B ---	4,8-11
Y	EP,A,0 430 426 (AMERICAN TELEPHONE & TELEGRAPH COMPANY) 5 Juin 1991	1-3,7
A	voir le document en entier ---	8-11,13, 14
A	EP,A,0 047 153 (FUJITSU LIMITED) 10 Mars 1982 voir le document en entier ---	1-3,8-11
	-/--	
<p>^o Catégories spéciales de documents cités:¹¹</p> <p>"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent</p> <p>"E" document antérieur, mais publié à la date de dépôt international ou après cette date</p> <p>"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)</p> <p>"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens</p> <p>"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée</p> <p>"T" document ultérieur publié postérieurement à la date de dépôt international ou à la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention</p> <p>"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive</p> <p>"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier.</p> <p>"&" document qui fait partie de la même famille de brevets</p>		
IV. CERTIFICATION		
Date à laquelle la recherche internationale a été effectivement achevée	Date d'expédition du présent rapport de recherche internationale	
19 AOUT 1993	01.09.93	
Administration chargée de la recherche internationale	Signature du fonctionnaire autorisé	
OFFICE EUROPEEN DES BREVETS	CUMMINGS A.	

III. DOCUMENTS CONSIDERES COMME PERTINENTS ¹⁴		(SUITE DES RENSEIGNEMENTS INDIQUES SUR LA DEUXIEME FEUILLE)
Catégorie °	Identification des documents cités, ¹⁶ avec indication, si nécessaire des passages pertinents ¹⁷	No. des revendications visées ¹⁸
A	20TH EUROPEAN SOLID STATE DEVICE RESEARCH CONFERENCE vol. 20, 10 Septembre 1990, NOTTINGHAM, GB pages 177 - 180 AMIN 'A novel Flash EEPROM memory cell with asperities aided erase' voir page 178, ligne 1 - page 179, ligne 2; figures 1,2 ---	1-3,5, 8-12
A	EP,A,0 419 663 (KABUSHIKI KAISHA TOSHIBA) 3 Avril 1991 voir page 9, ligne 37 - page 10, ligne 7; figures 10A,B,11 ---	1-4,10, 11,13
A	EP,A,0 320 231 (TEXAS INSTRUMENTS INCORPORATED) 14 Juin 1989 voir page 8, ligne 9 - page 9, ligne 16; revendications; figures 6,7A,B ---	1,6
A	PATENT ABSTRACTS OF JAPAN vol. 11, no. 83 (E-489)(2530) 13 Mars 1987 & JP,A,61 239 671 (TOSHIBA CORP.) 24 Octobre 1986 voir abrégé -----	7,8,14

**ANNEXE AU RAPPORT DE RECHERCHE INTERNATIONALE
RELATIF A LA DEMANDE INTERNATIONALE NO.**

FR 9300667
SA 75853

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche internationale visé ci-dessus.
Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

19/08/93

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP-A-0349774	10-01-90	US-A- 5095344	10-03-92
		EP-A- 0349775	10-01-90
		JP-A- 2110981	24-04-90
		JP-A- 2118997	07-05-90
		US-A- 5043940	27-08-91
		US-A- 5198380	30-03-93
		US-A- 5168465	01-12-92
EP-A-0430426	05-06-91	US-A- 5036378	30-07-91
		JP-A- 3155168	03-07-91
EP-A-0047153	10-03-82	JP-A- 57043470	11-03-82
		US-A- 4405995	20-09-83
EP-A-0419663	03-04-91	JP-A- 3085770	10-04-91
		JP-A- 2112286	24-04-90
		WO-A- 9004855	03-05-90
EP-A-0320231	14-06-89	US-A- 4924437	08-05-90
		JP-A- 2002178	08-01-90

EPO FORM P0472

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82