



(12) 发明专利申请

(10) 申请公布号 CN 102194895 A

(43) 申请公布日 2011. 09. 21

(21) 申请号 201010134559. 5

(22) 申请日 2010. 03. 16

(71) 申请人 炬力集成电路设计有限公司

地址 519085 广东省珠海市唐家湾镇哈工大
路 1 号 -15-A101

(72) 发明人 尚杰

(74) 专利代理机构 北京德琦知识产权代理有限公司 11018

代理人 牛峥 王丽琴

(51) Int. Cl.

H01L 29/92 (2006. 01)

H01L 27/02 (2006. 01)

H01L 23/528 (2006. 01)

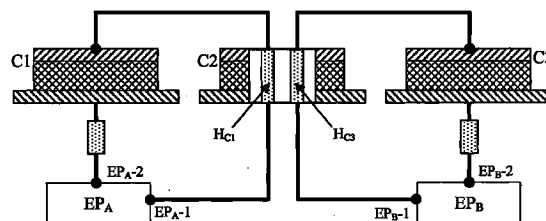
权利要求书 1 页 说明书 5 页 附图 2 页

(54) 发明名称

一种集成电路及其中的电容

(57) 摘要

本发明公开了一种集成电路中的电容,所述电容包括上极板、下极板以及 2 个极板之间绝缘层,所述电容为上极板和下极板均为中空环形电容。环形电容的 2 个极板中空的部分对应的绝缘层设有至少一个连接孔,连接孔贯穿上极板与下极板之间的绝缘层。电容的外部形状为圆形、矩形、正方形或其它多边形。本发明实施例提供的集成电路,通过将通孔开设在环形电容的中空部分,能够显著减小由于连接线所引入的连线电阻和可能给电路造成的干扰及影响;同时,还可以使得环形电容周边各电容的打孔情况基本保持一致,从而有效消除电容的边界效应。



1. 一种集成电路中的电容,所述电容包括上极板、下极板以及 2 个极板之间绝缘层,其特征在于:

所述电容为上极板和下极板均为中空环形电容。

2. 根据权利要求 1 所述的电容,其特征在于,所述环形电容的 2 个极板中空的部分对应的绝缘层设有至少一个连接孔。

3. 根据权利要求 2 所述的电容,其特征在于,所述连接孔贯穿上极板与下极板之间的绝缘层。

4. 根据权利要求 1 所述的电容,其特征在于,所述电容的外部形状为圆形、矩形、正方形或其它多边形。

5. 一种集成电路,包括以均匀矩阵方式排列的多个电容,以及与所述电容连接的电路,所述电容包括上极板、下极板以及 2 个极板之间的绝缘层,其特征在于:

所述多个电容中有至少一个环形电容,所述环形电容的上极板和下极板均为中空环形。

6. 根据权利要求 5 所述的集成电路,其特征在于,所述环形电容的 2 个极板中空的部分对应的绝缘层设有至少一个连接孔。

7. 根据权利要求 6 所述的集成电路,其特征在于,所述连接孔贯穿上极板与下极板之间的绝缘层。

8. 根据权利要求 5 所述的集成电路,其特征在于,至少一个电容的一个电极板通过所述环形电容的连接孔与所述电路相连。

9. 根据权利要求 5 所述的集成电路,其特征在于,所述电容的外部形状为圆形、矩形、正方形或其它多边形。

10. 根据权利要求 5 至 9 中任一项所述的集成电路,其特征在于,所述电容的上极板和下极板使用各种金属、多晶硅或其他半导体材料加工制造。

一种集成电路及其中的电容

技术领域

[0001] 本发明涉及集成电路设计及制造工艺,具体涉及一种电容。

背景技术

[0002] 在集成电路设计制造领域,电路当中会经常使用到电容。随着集成电路加工制造技术的发展,集成电路中器件尺寸日益缩小,相应的加工精度和电路器件的集成度也越来越高。尤其对于高精度的模拟集成电路,电容匹配程度的要求往往更高。

[0003] 在集成电路设计制造领域,由于电路器件都是在晶圆上加工制造的,因此在电路设计阶段就必须为各电路器件之间的连接线预留空间和位置。对于集成电路中常见的场效应管等器件,由于其工作性能较少受到周边连接关系的影响,因此其连接线的设计通常比较简单。而对于电路器件当中的电容,由于晶圆加工方式决定了其上下极板位于不同的平面当中,因此电容与其它电路器件进行连接时,常常需要在电容周边设置连接孔等结构以满足电路器件间连接的需要,同时,对于电容来说,其器件的性能指标又较容易受到其周边结构的影响(这种现象通常称为电容的边界效应),因此,由于生产加工工艺和电路连接关系带来的电容的边界效应往往成为电容匹配时面临的最大难题。

[0004] 如前所述,由于电容边界效应的存在,如何选择上下极板与其它器件的连接方式以及连接孔的位置选取都是会影响电容性能指标的非常重要的因素。例如,对于晶圆中加工得到的多个电容组成的电容矩阵来说,其剖面图如图 1 所示,本领域技术人员应当理解,为了便于清晰展示电容结构,图中省略了与电容结构无关的其它特征:

[0005] 在图 1 中,左斜线所示的区域为电容的上极板,右斜线所示的区域为电容的下极板,由图中容易看出,所述上极板和下极板位于不同的平面当中,上下极板间的交叉线所示区域为低介电常数或绝缘介质填充层,则由上极板、下极板和中间的介质层组成一个电容,为了便于描述,下面将图中由左到右的三个电容分别称为电容 C1、C2 和 C3。容易理解,图 1 中的 3 个电容仅为举例,在实际应用中,晶圆的同一层当中可能同时加工出更多个电容并排排列。此外,为了便于对电容的大小和工作性能进行统一,现有技术中,各电容的上下极板面积的大小、上下极板间的距离和不同电容之间的间距都是经过预先计算和设计,并且统一加工制造的。这种设计和制造电容的方式通常称为均匀矩阵方式——即,电容的大小、间距和形状尽量完全一致,以保证电容的准确匹配和电容实际值与设计值的契合程度。若电容的大小不一致,或相邻电容之间的间距不等,或者形状不尽相同,则电容的边界效应就会使制造出的电容的实际值与设计值有偏差,进而影响整个集成电路的性能。

[0006] 图 2~图 4 示出了现有技术中,电容与集成电路中的其它电路器件进行连接时,上下极板的连接点及连接孔位置选取方式的示意图。以下分别具体说明:

[0007] 图 2 为现有技术中一种常见的将电容与其它电路器件进行连接的剖面结构示意图:假设根据某个电路设计时确定的连接关系,电容 C2 需要与位于该电容下方的电路(可能是某个电路器件,也可能是多个电路器件组成的电路单元)EP 连接,其中,C2 的上极板需要连接到 EP 的一个连接点 EP1、C2 的下极板则需要连接到 EP 的另一个连接点 EP2。

[0008] 电容 C2 与 EP 位于晶圆中不同的平面当中,而根据集成电路的加工工艺可知,此时不同层之间使用低介电常数介质或者绝缘材料进行隔离。由于 C2 与 EP 之间需要进行连接,因此在进行电路加工制造时,对于 C2 的下极板,需要有刻蚀出的通孔 H2(也称为连接孔)用以连接所述下极板和 EP2;而对于 C2 的上极板,则需要预先在设计制造 C1、C2 和 C3 时,拉大 C1、C2 和 C3 之间的间距,从而为 C2 的上极板与 EP1 之间的通孔 H1 预留出空间,图 2 中点状阴影所示区域即为所述通孔 H1 和 H2。

[0009] 需要指出的是,由于相关集成电路和晶圆加工工艺及流程不属于本文讨论的范围,因此,上述对于连接孔及电容间距等的描述只是从最终形成的电路的连接关系的角度说明此时各电容之间的位置关系以及所述电容与其它器件进行连接的结构,而不是对所述电路结构的加工过程按实际加工流程所进行的叙述,熟悉集成电路设计制造过程的本领域技术人员不应对相关描述做出其它理解。

[0010] 在图 2 所示的结构中,由于电容间间距增大,就会不可避免的导致晶圆面积的增大或者相同晶圆面积上能够加工得到的电容数量的减少,一方面浪费了宝贵的晶圆面积、不利于提高器件集成度和降低成本,另一方面,由于电路中的各电容连接关系并不完全相同——比如图 2 中可能只有 C2 需要进行这种形式的电路连接,这就会造成每个电容周边打孔的情况相比于其它电容并不完全相同,从而使得各电容的边界效应明显,而电容的边界效应又会进一步导致各电容的性能指标相比于其设计指标发生变化,使得电容的匹配偏离电路的预先设计,从而难以满足电路实际工作的要求。

[0011] 如果不采用增大电容间距的方案,为了给可能出现的通孔预留足够的空间,现有技术中经常采用的另一种方案就是减小需要通过通孔与相关器件进行连接的电容(或者所述需要通过通孔与相关器件进行连接的电容周边的电容)上下极板的面积,此时电容与其它电路器件进行连接的剖面结构示意图如图 3 所示,假设此时 C2 需要与位于该电容下方的 EP 连接,其中,C2 的上极板需要连接到 EP 的一个连接点 EP1、C2 的下极板则需要连接到 EP 的另一个连接点 EP2。该方案通过减小电容 C2 的上下极板的面积,为 C2 的上极板与 EP1 的连接孔预留出足够的空间。当然,容易理解,此时也可以通过减小 C1 的上下极板面积来为所述 C2 的上极板与 EP1 的连接孔预留空间(图 3 中未示出该方案的结构图)。

[0012] 由图 3 可见,当 C2 的上下极板面积减小之后,C2 左侧预留的空间被用来刻蚀出用于连接 C2 的上极板与 EP1 的连接孔。这种方案相比于图 2 所示的方案,能够减少被浪费的晶圆面积。但是,该方案中的各电容周边打孔的情况(即连接结构)仍与图 2 基本类似,从而各电容仍然存在明显的边界效应;另一方面,由于 C2 的极板面积发生变化从而其尺寸与周边电容的尺寸存在差别,不仅使得加工难度增大、加工成本提高,还使得该电容的设计性能就与其它周边电容存在差异,从而给电容匹配带来更大的障碍。

[0013] 最后,现有技术中还存在另一种电容与其它电路器件进行连接的剖面结构,其示意如图 4 所示,此时,仍假设 C2 需要与位于该电容下方的 EP 连接,其中,C2 的上极板需要连接到 EP 的一个连接点 EP1、C2 的下极板则需要连接到 EP 的另一个连接点 EP2。该方案将 C2 上极板的连接点通过电容间的空间拉到整个电容矩阵的边界处,然后在所述电容矩阵的边界处刻蚀出通孔后再通过连接线连接到 EP1。由图 4 可以看出,该方案不需要改变电容间间距的大小或个别电容的上下极板面积;同时,由于所述通孔位置均开设于整个电容矩阵的边界处,因此各电容周边的打孔情况基本相同,从而能够消除电容的边界效应。但

是,这种方案的缺陷在于:对于每个需要开设通孔与其他器件进行连接的电容,都需要通过连接线将其拉到连接点拉到整个电容矩阵的边界,一旦电容矩阵的规模较大(或者即使电容矩阵规模不大,但单个电容的极板面积较大)时,所述连接线的长度就会相应增大,这就会引入明显的连线电阻;同时,所述连接线还会对其经过区域的电容产生一定程度的干扰。可见,该方案的使用范围存在相当大的局限。

发明内容

[0014] 本发明提供一种集成电路中的电容,其提供了贯穿整个电容的连接孔。

[0015] 为达到上述目的,本发明的技术方案具体是这样实现的:

[0016] 一种集成电路中的电容,所述电容包括上极板、下极板以及 2 个极板之间绝缘层,所述电容为上极板和下极板均为中空环形电容。环形电容的 2 个极板中空的部分对应的绝缘层设有至少一个连接孔,连接孔贯穿上极板与下极板之间的绝缘层。电容的外部形状为圆形、矩形、正方形或其它多边形。

[0017] 本发明还提供了一种集成电路,这种集成电路能够消除电容的边界效应,并避免过长的电路连接线对电路性能产生的影响和干扰。为达到此目的,本发明的技术方案具体是这样实现的:

[0018] 本发明提供了一种集成电路,包括以均匀矩阵方式排列的多个电容,以及与所述电容连接的电路,所述电容包括上极板、下极板以及 2 个极板之间的绝缘层,多个电容中有至少一个环形电容,所述环形电容的上极板和下极板均为中空的环形。所述环形电容的 2 个极板中空的部分对应的绝缘层设有至少一个连接孔,连接孔贯穿上极板与下极板之间的绝缘层,至少一个电容的一个电极板通过所述环形电容的连接孔与所述电路相连。

[0019] 电容的外部形状为圆形、矩形、正方形或其它多边形,电容的上极板和下极板使用各种金属、多晶硅或其他半导体材料加工制造。

[0020] 由上述的技术方案可见,本发明实施例提供的集成电路及其中的电容,通过将所述连接电容与其相关器件进行连接的通孔开设在所述环形电容的中空部分,使得连接线的长度有限且所述连接线的位置十分靠近需要连接的电路中的目标器件,能够显著减小由于连接线所引入的连线电阻和可能给电路造成的干扰及影响;同时,还可以使得环形电容周边各电容的打孔情况基本保持一致,从而有效消除电容的边界效应,并且此环形电容适用于各种形式的集成电路。

附图说明

[0021] 图 1 为现有技术中晶圆上的电容矩阵的剖面示意图。

[0022] 图 2 为现有技术中将电容与其它电路器件进行连接时的一种剖面结构示意图。

[0023] 图 3 为现有技术中将电容与其它电路器件进行连接时的另一种剖面结构示意图。

[0024] 图 4 为现有技术中将电容与其它电路器件进行连接时的第三种剖面结构示意图。

[0025] 图 5 为本发明实施例中提供的环形电容的俯视平面结构示意图。

[0026] 图 6 为本发明实施例提供的集成电路的一种可能的部分剖面示意图。

具体实施方式

[0027] 为使本发明的目的、技术方案、及优点更加清楚明白，以下参照附图并举实施例，对本发明进一步详细说明。

[0028] 本发明实施例首先提供一种电容，所述电容包括上极板、下极板以及 2 个极板之间绝缘层，所述电容为上极板和下极板均为中空环形电容。

[0029] 环形电容的 2 个极板中空的部分对应的绝缘层设有至少一个连接孔，连接孔贯穿上极板与下极板之间的绝缘层。

[0030] 其俯视的平面结构如图 5 所示，需要说明的是，在所述俯视图中，忽略了上下极板面积可能不相同的细节，只从垂直于上极板的方向示出所述电容形状上的特点：

[0031] 该电容的外部形状可以为圆形、矩形、正方形或其他多边形，视乎该电容所在的电容矩阵中其他各电容的形状，只要与所述其他电容的形状保持一致即可。

[0032] 该电容的中间部分被掏空，从而成为一个环形电容。具体掏空的方法可以在晶圆加工的过程中采用刻蚀方式加工出一个镂空，该镂空的截面形状同样可以有多种类型，例如圆形、矩形、正方形或其他多边形，且该镂空的截面形状可以与该电容的外部形状不同。为了便于描述，下文将该环形电容围绕的中间部分称作该环形电容的中空部分。需要指出的是，所述掏空电容中间部分的方法，并非本发明的发明点所在，只要能够最终加工得到所要求的环形电容的结构，具体加工方法本发明实施例不做具体限定，本领域技术人员可以根据现有技术中已有的各种晶圆加工工艺流程进行实施和设计。

[0033] 在所述环形电容的中空处淀积低介电常数材料或绝缘材料后，进一步在所述低介电常数材料或绝缘材料（即环形电容的中空位置处）中开设用于连接所述电容矩阵中的一个或多个电容与其相关器件的通孔，其中每个连接关系对应于一个通孔。

[0034] 在所述环形电容的基础上，本发明实施例提供一种集成电路，包括以均匀矩阵方式排列的多个电容，以及与所述电容连接的电路，所述电容包括上极板、下极板以及 2 个极板之间的绝缘层，多个电容中有至少一个环形电容，所述环形电容的上极板和下极板均为中空的环形。所述环形电容的 2 个极板中空的部分对应的绝缘层设有至少一个连接孔，连接孔贯穿上极板与下极板之间的绝缘层，至少一个电容的一个电极板通过所述环形电容的连接孔与所述电路相连。

[0035] 电容的外部形状为圆形、矩形、正方形或其它多边形，电容的上极板和下极板使用各种金属、多晶硅或其他半导体材料加工制造。

[0036] 此集成电路可能的部分剖面结构如图 6 所示，此时：假设在以均匀矩阵方式排列的多个电容（电容矩阵）的某个区域中，存在 C1、C2 和 C3 三个电容，其中 C2 为本发明实施例中采用的环形电容，而 C1 和 C3 则与现有技术中的电容的结构完全相同；设此时 C1 需要与位于所述三个电容下方的电路中的目标器件 EP_A 连接、C3 需要与位于所述三个电容下方的电路中的目标器件 EP_B 连接；其中，C1 的上极板需要连接到 EP_A 的一个连接点 EP_A-1 、C1 的下极板则需要连接到 EP_A 的另一个连接点 EP_A-2 ；C3 的上极板需要连接到 EP_B 的一个连接点 EP_B-1 、C3 的下极板则需要连接到 EP_B 的另一个连接点 EP_B-2 ；

[0037] 由图 6 可以看出，此时，只需要在环形电容 C2 的中空部分开设两个通孔 H_{C1} 和 H_{C3} ，所述电容 C1 的上极板就可以通过通孔 H_{C1} 连接到 EP_A-1 ，而所述电容 C3 的上极板则可以通过通孔 H_{C3} 连接到 EP_B-1 ；同时，所述电容 C1 的下极板与 EP_A-2 、以及电容 C3 的下极板与 EP_B-2 的连接，则可以采用现有技术的连接方式进行连接。

[0038] 容易理解,通过将所述连接电容与电路中的相关器件进行连接的通孔开设在所述环形电容的中空部分,可以在实现所述电容与其相关器件连接的同时,既不必拉开各电容间的间距或改变部分电容的极板面积,也不必将连接点通过电容间的空间拉到整个电容矩阵的边界处后再通过通孔和较长的连接线连接到相关器件上。同时可见,此时的环形电容在最终的实际电路中并不作为接入电路的真实电容使用,而只是用于为其周边电容与其相关器件提供设置通孔的空间而已,在具体电路中,可以将环形电容的上、下极板短接,或者不连接环形电容的上、下极板。在这种连接方式下,连接线的长度较短且所述连接线的位置十分靠近需要连接的目标器件,因此能够最大程度的减小由于连接线所引入的连线电阻和可能给电路造成的干扰及影响;同时,采用该方案还可以使得环形电容周边各电容的打孔情况基本保持一致,从而能够有效消除电容的边界效应。

[0039] 此外,需要指出的是,在实际应用中,可以根据集成电路的结构和连接关系,预先选择需要将电容矩阵中的哪个或哪些电容加工成环形电容,选择的标准主要是依据连接关系判断哪些电容的周边电容需要进行这种穿越电容所在层的通孔连接,则将这些位置处的电容加工成为环形电容,就能够最大程度地利用该环形电容的中空部分——即,将尽量多的周边电容需要开设的通孔集中到所述中空部分中进行加工,从而具有最佳的实施效果。同时,容易理解,为了便于描述,上文中都是假设上极板需要通过通孔连接到位于电容所在层下方的相关器件,而在实际应用中,也同样可能出现下极板需要通过通孔连接到位于电容所在层上方的相关器件的情况,至于相关的实施方式则完全相同,故不再赘述。

[0040] 最后,所述电容的加工过程中,其使用的电容工艺可以为现有技术中的各种电容加工及相关工艺,例如 MM、MIM、MMC 等,所述环形电容及电容矩阵中的其他电容的上下极板可以为金属、多晶硅或其他常用的电容极板材料,集成电路的加工制造工艺可以为 0.6 微米、0.5 微米、0.35 微米或更小尺寸的各种工艺。

[0041] 由上述可见,本发明实施例提供的集成电路及其中的电容,通过将所述连接电容与其相关器件进行连接的通孔开设在所述环形电容的中空部分,使得连接线的长度有限且所述连接线的位置十分靠近需要连接的目标器件,能够显著减小由于连接线所引入的连线电阻和可能给电路造成的干扰及影响;同时,还可以使得环形电容周边各电容的打孔情况基本保持一致,从而有效消除电容的边界效应。

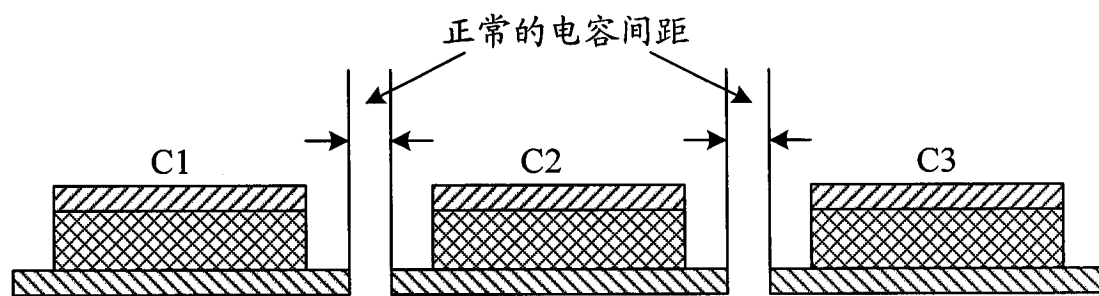


图 1

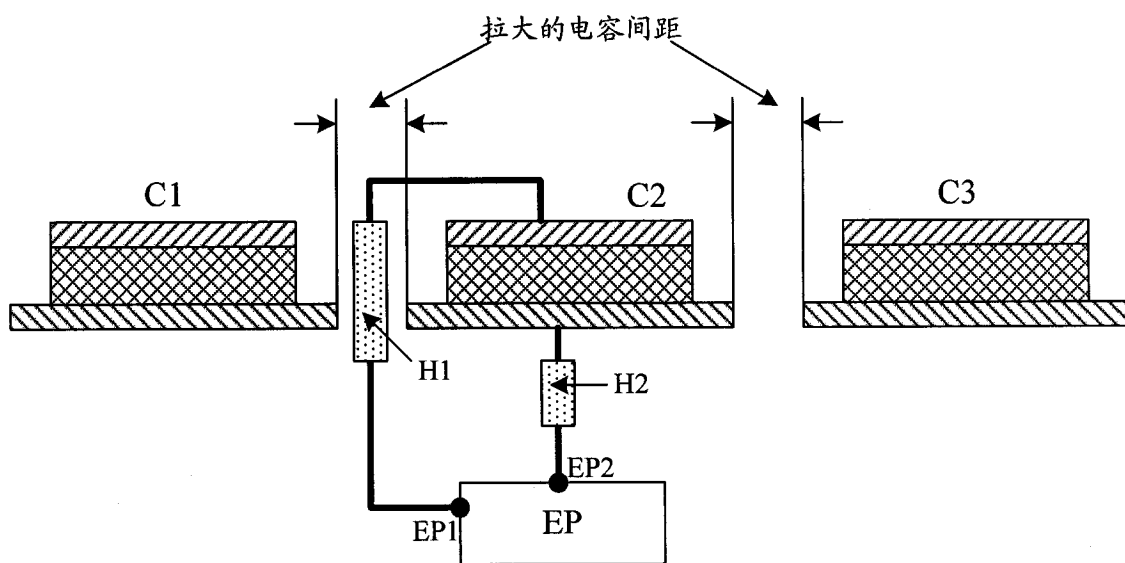


图 2

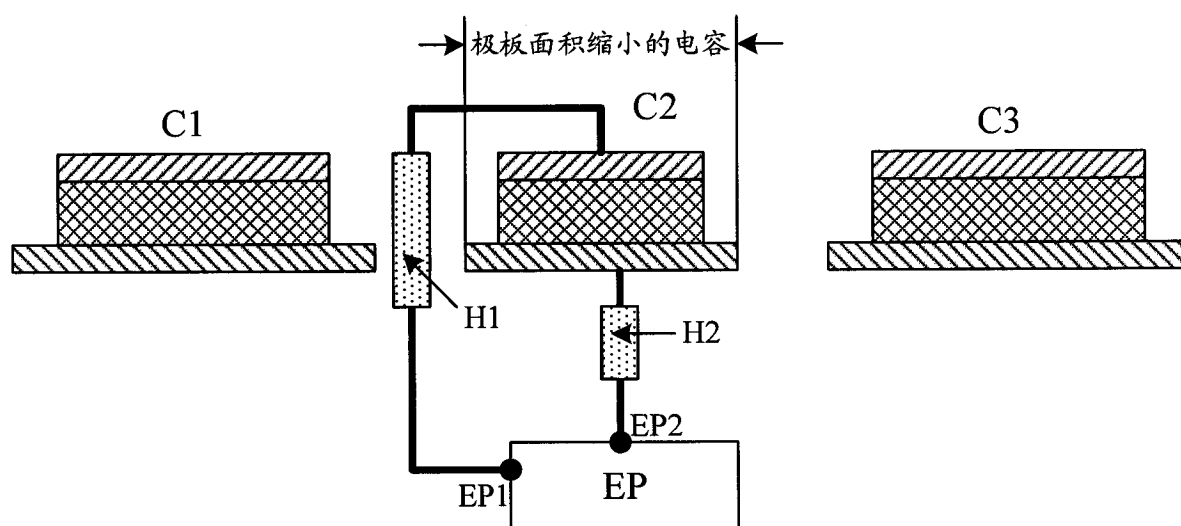


图 3

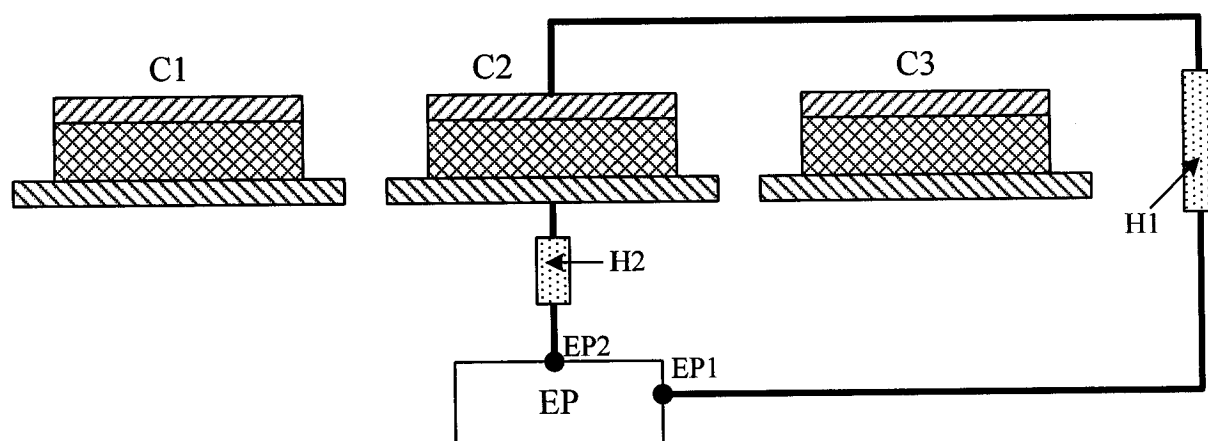


图 4

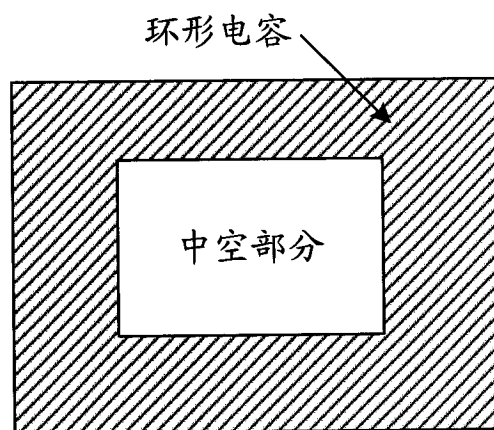


图 5

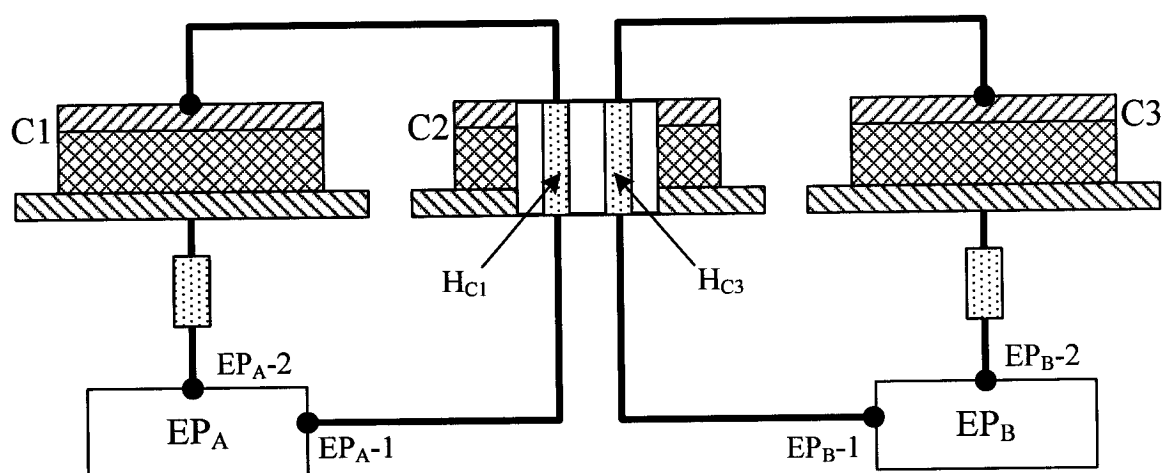


图 6