



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I859692 B

(45)公告日：中華民國 113 (2024) 年 10 月 21 日

(21)申請案號：112100737

(22)申請日：中華民國 112 (2023) 年 01 月 07 日

(51)Int. Cl. : **H10B99/00 (2023.01)****H10B53/00 (2023.01)****G11C11/22 (2006.01)**

(30)優先權：2022/03/15 美國

63/319,842

2022/06/27 美國

17/850,429

(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING COMPANY, LTD. (TW)

新竹市力行六路八號

(72)發明人：韋理安尼堤斯 喬治奧斯 VELLIANITIS, GEORGIOS (GR)

(74)代理人：卓俊傑

(56)參考文獻：

TW I758123B

審查人員：董柏昌

申請專利範圍項數：10 項 圖式數：13 共 48 頁

(54)名稱

鐵電裝置的形成方法及半導體裝置結構

(57)摘要

闡述一種鐵電裝置的形成方法及半導體裝置結構。在一些實施例中，所述方法包括在層上沈積經摻雜二氧化鈣層，且經摻雜二氧化鈣層具有第一氧空缺濃度。所述方法更包括對經摻雜二氧化鈣層執行超高真空退火製程以使第一氧空缺濃度增大至第二氧空缺濃度以及對經摻雜二氧化鈣層執行氧退火製程以使第二氧空缺濃度減小。

Methods of forming a ferroelectric device and a semiconductor device structure are described. In some embodiments, the method includes depositing a doped hafnium dioxide layer on a layer, and the doped hafnium dioxide layer has a first oxygen vacancy concentration. The method further includes performing an ultra-high vacuum anneal process on the doped hafnium dioxide layer to increase the first oxygen vacancy concentration to a second oxygen vacancy concentration and performing an oxygen anneal process on the doped hafnium dioxide layer to decrease the second oxygen vacancy concentration.

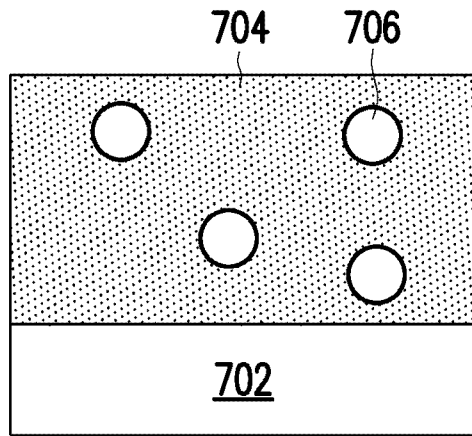
指定代表圖：

符號簡單說明：

702:層

704:鐵電層

706:氧空缺



【圖7C】



I859692

## 【發明摘要】

【中文發明名稱】鐵電裝置的形成方法及半導體裝置結構

【英文發明名稱】METHODS OF FORMING FERROELECTRIC

DEVICES AND SEMICONDUCTOR DEVICE STRUCTURE

【中文】闡述一種鐵電裝置的形成方法及半導體裝置結構。在一些實施例中，所述方法包括在層上沈積經摻雜二氧化鈣層，且經摻雜二氧化鈣層具有第一氧空缺濃度。所述方法更包括對經摻雜二氧化鈣層執行超高真空退火製程以使第一氧空缺濃度增大至第二氧空缺濃度以及對經摻雜二氧化鈣層執行氧退火製程以使第二氧空缺濃度減小。

【英文】Methods of forming a ferroelectric device and a semiconductor device structure are described. In some embodiments, the method includes depositing a doped hafnium dioxide layer on a layer, and the doped hafnium dioxide layer has a first oxygen vacancy concentration. The method further includes performing an ultra-high vacuum anneal process on the doped hafnium dioxide layer to increase the first oxygen vacancy concentration to a second oxygen vacancy concentration and performing an oxygen anneal process on the doped hafnium dioxide layer to decrease the second oxygen vacancy concentration.

【指定代表圖】圖7C。

【代表圖之符號簡單說明】

702:層

704:鐵電層

706:氧空缺

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】鐵電裝置的形成方法及半導體裝置結構

【英文發明名稱】METHODS OF FORMING FERROELECTRIC

DEVICES AND SEMICONDUCTOR DEVICE STRUCTURE

### 【技術領域】

【0001】 本發明的實施例是有關於一種鐵電裝置的形成方法及半導體裝置結構。

### 【先前技術】

【0002】 許多現代電子裝置包含被配置成儲存資料的電子記憶體。電子記憶體可為揮發性記憶體或非揮發性記憶體。揮發性記憶體在其被供電時儲存資料，而非揮發性記憶體在電力被移除時仍能夠儲存資料。鐵電記憶體裝置有望成為下一代非揮發性記憶體技術的一個候選項。舉例而言，鐵電記憶體裝置包括基於電容器的鐵電隨機存取記憶體（ferroelectric random-access memory，FeRAM）及鐵電場效電晶體（ferroelectric field effect transistor，FeFET）。FeRAM 裝置及 FeFET 裝置提供許多優點，包括快速寫入時間、高耐久性、低功耗及對輻射損壞的低敏感度。

### 【發明內容】

【0003】 本揭露提供一種形成鐵電裝置的方法，包括：在層上沈積經摻雜二氧化鉛層，其中經摻雜二氧化鉛層具有第一氧空缺濃

度；對經摻雜二氧化鉛層執行超高真空退火製程，以使第一氧空缺濃度增大至第二氧空缺濃度；以及對經摻雜二氧化鉛層執行氧退火製程，以使第二氧空缺濃度減小。

**【0004】** 在一些實施例中，本揭露提供另一種形成鐵電裝置的方法，包括：在層上沈積經摻雜二氧化鉛層，其中使經摻雜二氧化鉛層以第一晶相局部地進行結晶；對經摻雜二氧化鉛層執行離子植入製程，以使經摻雜二氧化鉛層非晶化；以及對經摻雜二氧化鉛層執行退火製程，以使經摻雜二氧化鉛層以第二晶相進行結晶。

**【0005】** 在一些實施例中，本揭露提供一種半導體裝置結構，包括：電晶體，設置於基底之上；內連線結構，設置於電晶體之上；以及鐵電電容器，設置於內連線結構中，其中鐵電電容器包括：第一金屬層，其中第一金屬層是單晶金屬層；鐵電層，設置於第一金屬層上，其中鐵電層包括超過 90%的斜方晶相；以及第二金屬層，設置於鐵電層上。

### **【圖式簡單說明】**

**【0006】** 藉由結合附圖閱讀以下詳細說明，會最佳地理解本揭露的態樣。應注意，根據行業中的標準慣例，各種特徵並非按比例繪製。事實上，為使論述清晰起見，可任意增大或減小各種特徵的尺寸。

圖 1A 是根據一些實施例的 FeRAM 胞元(cell)的電路圖。

圖 1B 是根據一些實施例的圖 1A 所示 FeRAM 胞元的側視剖

視圖。

圖 2A 是根據一些實施例的 FeFET 胞元的電路圖。

圖 2B 是根據一些實施例的圖 2A 所示 FeFET 胞元的側視剖視圖。

圖 3 是根據一些實施例的形成於多晶金屬層上的鐵電層的側視剖視圖。

圖 4 是根據一些實施例的形成於單晶金屬層上的鐵電層的側視剖視圖。

圖 5 示出根據一些實施例的圖 4 所示單晶金屬層及鐵電層的晶體結構。

圖 6A 及圖 6B 是根據一些實施例的電容器的側視剖視圖。

圖 7A 至圖 7C 示出根據一些實施例的形成鐵電層各個階段。

圖 8A 至圖 8C 示出根據一些實施例的形成鐵電層各個階段。

圖 9A 至圖 9G 是根據一些實施例的半導體裝置結構各個製造階段的側視剖視圖。

圖 10 是根據替代實施例的圖 9G 所示半導體裝置結構。

圖 11A 至圖 11F 是根據一些實施例的電晶體的各個製造階段的側視剖視圖。

圖 12 是根據替代實施例的圖 9G 所示半導體裝置結構。

圖 13 是根據替代實施例的圖 12 所示半導體裝置結構。

**【實施方式】**

**【0007】** 以下揭露內容提供用於實施所提供標的物的不同特徵的諸多不同實施例或實例。以下闡述組件及排列的具體實例以簡化本揭露。當然，該些僅為實例且不旨在進行限制。舉例而言，以下說明中將第一特徵形成於第二特徵之上或第二特徵上可包括其中第一特徵與第二特徵被形成為直接接觸的實施例，且亦可包括其中第一特徵與第二特徵之間可形成有附加特徵進而使得第一特徵與第二特徵可不直接接觸的實施例。另外，本揭露可能在各種實例中重複使用參考編號及/或字母。此種重複使用是出於簡潔及清晰的目的，而不是自身表示所論述的各種實施例及/或配置之間的關係。

**【0008】** 此外，為易於說明，本文中可能使用例如「位於...之下 (beneath)」、「位於...下方 (below)」、「下部的 (lower)」、「位於...上方 (above)」、「位於...之上 (over)」、「位於...上 (on)」、「頂部的 (top)」、「上部的 (upper)」及類似用語等空間相對性用語來闡述圖中所示的一個元件或特徵與另一(其他)元件或特徵的關係。所述空間相對性用語旨在除圖中所繪示的定向外亦囊括裝置在使用或操作中的不同定向。設備可具有其他定向(旋轉 90 度或處於其他定向)，且本文中所使用的空間相對性描述語可同樣相應地進行解釋。

**【0009】** 再者，當使用「約 (about)」、「近似 (approximate)」及類似用語來闡述數值或數值範圍時，所述用語旨在囊括處於包括

所闡述數值的合理範圍內的數值，例如處於所闡述數值的 $\pm 10\%$ 或熟習此項技術者所理解的其他值以內。舉例而言，用語「約 5 奈米」囊括自 4.5 奈米至 5.5 奈米的尺寸範圍。

**【0010】** 闡述實例性方法及結構的一些變型。此項技術中具有通常知識者將容易地理解可預期在其他實施例的範圍內進行的其他修改。儘管方法實施例可以特定次序闡述，然而各種其他方法實施例可以任何邏輯次序執行且可包括較本文中所闡述的步驟少的步驟或較本文中所闡述的步驟多的步驟。在一些圖中，其中所示的組件或特徵的一些參考編號可被省略，以避免使其他組件或特徵模糊；此是為了易於繪示各圖起見。

**【0011】** 圖 1A 是根據一些實施例的 FeRAM 胞元 100 的電路圖。如圖 1A 中所示，FeRAM 胞元 100 包括電晶體 104 及電容器 101。圖 1A 中所示的 FeRAM 胞元 100 是一個電晶體一個電容器（one-transistor-one-capacitor, 1T1C）類型 FeRAM 胞元。FeRAM 胞元 100 可為其他類型 FeRAM 胞元，例如兩個電晶體兩個電容器（two-transistor-two-capacitor, 2T2C）FeRAM 胞元。圖 1B 是根據一些實施例的圖 1A 所示 FeRAM 胞元 100 的側視剖視圖。如圖 1B 中所示，FeRAM 胞元 100 包括設置於基底 102 之上的電晶體 104。電晶體 104 包括設置於基底 102 中的汲極區 104a 及源極區 104b。基底 102 可為半導體基底，例如矽晶圓。舉例而言，基底 102 可包含矽或化合物半導體，例如砷化鎵(GaAs)、磷化銦(InP)、矽鍺(SiGe)、碳化矽(SiC)、其他合適的半導體材料及/或其組合。

基底 102 可經摻雜劑（例如 n 型摻雜劑或 p 型摻雜劑）摻雜。汲極區 104a 及源極區 104b 可經摻雜劑（例如 n 型摻雜劑或 p 型摻雜劑）摻雜。

【0012】 閘極電極 104c 設置在汲極區 104a 與源極區 104b 之間的基底 102 之上有。閘極電極 104c 可包括一或多個層。舉例而言，閘極電極 104c 可包括一或多個功函數層(work function layer)及塊狀層(bulk layer)。在一些實施例中，功函數層包括一或多個導電性材料的層，例如由 TiN、TaN、TaAlC、TiC、TaC、Co、Al、TiAl、HfTi、TiSi、TaSi 或 TiAlC 形成的單個層或者由該些材料中的二或更多者形成的多個層。塊狀層可包含導電性材料，例如金屬。在一些實施例中，塊狀層包含 W、Cu、Ti、Al 或 Co。閘極電極 104c 可包括附加層，例如膠黏層、障壁層、頂蓋層或任何合適的層。功函數層及附加層可為可選的。在閘極電極 104c 與基底 102 之間設置有閘極介電層 104d。閘極介電層 104d 包含介電材料。在一些實施例中，閘極介電層 104d 包含高介電常數(high-k)介電材料，且在該些實施例中，閘極介電層 104d 可具有大於約 7.0 的介電常數值且可包含鉛、鋁、銦、鏷、錳、鉍、鈦、鉛形成的金屬氧化物或矽酸鹽及其組合。

【0013】 電晶體 104 可為任何合適的電晶體，例如平面電晶體、鰭式場效電晶體（fin-field effect transistor，FinFET）或奈米結構電晶體（例如全環繞閘極（gate-all-around，GAA）FET、奈米片 FET 或奈米線 FET）。

【0014】 如圖 1B 中所示，在一些實施例中，閘極電極 104c 可電性連接至字元線 WL (word line)，源極區 104b 電性連接至位元線 BL (bit line)，汲極區 104a 電性連接至電容器 101，且電容器 101 電性連接至驅動線 DL (drive line)。汲極區 104a 可經由一或多條導電線 110 及一或多個導通孔 108 電性連接至電容器 101。電容器 101、一或多條導電線 110 及一或多個導通孔 108 可嵌入於介電結構 106 中。介電結構 106 及形成於介電結構 106 中的特徵可為內連線結構，且介電結構 106 包括多個金屬間介電 (intermetal dielectric, IMD) 層。

【0015】 電容器 101 可為鐵電電容器 (ferroelectric capacitor, FeCAP)。在一些實施例中，電容器 101 包括第一電極 112、第二電極 116 及設置於第一電極 112 與第二電極 116 之間的鐵電層 114。在一些實施例中，鐵電層 114 可為介電常數大於約 3.9 的高介電常數介電層。舉例而言，鐵電層 114 可包含高介電常數介電質，例如鈰基(hafnium-based)氧化物材料(例如二氧化鈰( $\text{HfO}_2$ ))。可使用其他合適的鐵電介電材料。在一些實施例中，鐵電層 114 可為經任何合適的元素(例如(舉例而言)鋯、鋁、鏷、鈦、鉭、矽、鉍、銦、釷、任何其他合適的元素或其組合)摻雜的鈰基層。

【0016】 在一些實施例中，鐵電層 114 是具有斜方晶相 (orthorhombic crystal phase) 的經摻雜二氧化鈰層。經摻雜二氧化鈰層的其他晶相(例如單斜晶相 (monoclinic phase) 或正方晶相 (tetragonal phase)) 可能表現不出鐵電性質。具有斜方晶相的

經摻雜二氧化鈔層包含氧原子，所述氧原子可在所施加的電場下移動至兩個不同的位置，因此具有斜方晶相的經摻雜二氧化鈔層具有兩種斜方幾何形狀。所述兩種斜方幾何形狀具有互換障壁 (interconversion barrier)，其可藉由向其施加電場來進行切換。在一些實施例中，在氧化鈔層的晶格中添加摻雜劑原子會改變局部應力且可為氧原子提供足夠的空間來移動，進而達成鐵電行為。較大的摻雜劑使單斜結構的平面偏移，使得原子傾向於根據斜方結構進行排列。在一些實施例中，經摻雜二氧化鈔層包含摻雜劑濃度介於約 40 莫耳% (mole percent) 至約 60 莫耳%之間的鈳摻雜劑。舉例而言，鐵電層 114 可為自  $\text{Hf}_{0.6}\text{Zr}_{0.4}\text{O}_2$  至  $\text{Hf}_{0.4}\text{Zr}_{0.6}\text{O}_2$ 。在一些實施例中，鈳摻雜劑濃度處於 40 莫耳%至 60 莫耳%的範圍之外。對於其他摻雜劑 (D) (例如鋁、鏷、鈦、鉭、矽、鉍、銦或釷)，摻雜劑濃度可介於自約 0.1 莫耳%至約 15 莫耳%的範圍內。舉例而言，鐵電層 114 可為自  $\text{D}_{0.01}\text{Hf}_{0.99}\text{O}_2$  至  $\text{D}_{0.15}\text{Hf}_{0.85}\text{O}_2$ 。由於鈳與鈔具有相似的電子結構且鈳與鈔的氧化物可實質上相同，因此作為摻雜劑的鈳可具有相對較高的摻雜劑濃度。在一些實施例中，斜方晶相中的結晶產生兩種狀態的混合物。然後，藉由施加電壓，斜方晶相在所述兩種狀態中的一者下被極化。

**【0017】** 在一些實施例中，所沈積的經摻雜二氧化鈔層處於非晶狀態或局部結晶狀態，且執行退火製程以使斜方晶相的百分比增大。經摻雜二氧化鈔層是多相的，此意指經摻雜二氧化鈔層以所有可用的相 (單斜的、斜方的、立方的、正方的) 結晶。斜方晶

相在鐵電層 114 中的百分比越大，鐵電效能越佳。經摻雜二氧化鈣層的鐵電性質亦可取決於摻雜劑濃度（當施加電場時，晶格畸變促進元素移動）、氧空缺濃度（當施加電場時，氧空缺可有助於在晶格中形成供元素進行移動的空間）、以及摻雜劑濃度與氧濃度之間的精細平衡。

**【0018】** 本揭露的各種實施例提供用於形成經摻雜二氧化鈣層的方法，所述經摻雜二氧化鈣層具有高百分比（例如大於約 90%、例如大於約 98%或約 100%）的斜方晶相。所述方法在圖 4 至圖 8C 中進行詳細闡述。

**【0019】** 第一電極 112 包含導電性材料，例如 W、TaN、TiN、Ti、Ru、Pt、Ir 或其他合適的導電性材料。第二電極 116 包含導電性材料。在一些實施例中，第二電極 116 包含與第一電極 112 相同的材料。

**【0020】** 圖 2A 是根據一些實施例的 FeFET 胞元 200 的電路圖。圖 2B 是根據一些實施例的圖 2A 所示 FeFET 胞元 200 的側視剖視圖。如圖 2A 及圖 2B 中所示，FeFET 胞元 200 包括設置於基底 202 之上的 FeFET 204。基底 202 可包含與基底 102 相同的材料。FeFET 204 包括源極區 204a 及汲極區 204b。源極區 204a 及汲極區 204b 可分別包含與源極區 104b 及汲極區 104a 相同的材料。在基底 202 之上設置有閘極電極 204c，且閘極電極 204c 可包含與閘極電極 104c 相同的材料。在閘極電極 204c 與基底 202 之間設置有鐵電層 204d。在一些實施例中，在鐵電層 204d 與基底 202 之間可設置有

介面層(未示出)。鐵電層 204d 可包含與鐵電層 114 相同的材料。在 FeFET 204 之上設置有介電結構 206，且在介電結構 206 中設置有字元線 WL 及位元線 BL。在一些實施例中，字元線 WL 電性連接至閘極電極 204c 且位元線 BL 電性連接至源極區 204a。

**【0021】** 在一些實施例中，鐵電層 204d 是經摻雜二氧化鉛層。與圖 1B 中所示的鐵電層 114 相似，圖 4 至圖 8C 中所闡述的方法使鐵電層 204d 的斜方晶相的百分比增大，進而改善鐵電層 204d 的鐵電效能。

**【0022】** 圖 3 是根據一些實施例的形成於多晶金屬層 304 上的鐵電層 302 的側視剖視圖。如圖 3 中所示，多晶金屬層 304 包括二個或更多個晶相 304a、304b、304c，且形成於多晶金屬層 304 上的鐵電層 302 亦是多晶的。鐵電層 302 可包括二個或更多個晶相 302a、302b、302c、302d、302e。對鐵電層 302 執行退火製程，以使斜方晶相的百分比增大。在退火製程之後，形成於多晶金屬層(例如多晶金屬層 304)上的鐵電層 302 可具有小於 90%(例如小於約 50%，例如約 20%)的斜方晶相。

**【0023】** 圖 4 是根據一些實施例的形成於單晶金屬層 404 上的鐵電層 402 的側視剖視圖。如圖 4 中所示，單晶金屬層 404 包括單晶相，且形成於單晶金屬層 404 上的鐵電層 402 亦包括單晶相。在一些實施例中，鐵電層 402 是經摻雜二氧化鉛層，且單晶金屬層 404 的晶格常數(或晶格參數) a 及 b 與經摻雜二氧化鉛層在斜方晶相中的晶格常數 a 及 b 實質上相同。單晶金屬層 404 可用作

鐵電層 402 在其上面結晶的晶種層。若單晶金屬層 404 的晶格常數  $a$  及  $b$  與斜方的經摻雜二氧化鉛層的晶格常數實質上相同，則形成於單晶金屬層 404 上的鐵電層 402 將試圖匹配於斜方晶相。由於單晶金屬層 404 的晶格常數  $c$  與充當晶種的平面外的尺寸有關，因此晶格常數  $c$  對鐵電層 402 的結晶幾乎沒有影響。單晶金屬層 404 的介面性質相較於單晶金屬層 404 的厚度更為重要。

【0024】 在一些實施例中，單晶金屬層 404 具有對稱的晶體結構，且晶格常數  $a$  與晶格常數  $b$  之間的角度為約 90 度。舉例而言，單晶金屬層 404 的晶體結構可為立方晶體結構、正方晶體結構、斜方晶體結構或其他合適的晶體結構。在一些實施例中，單晶金屬層 404 的晶體結構可為任何合適的立方結構，例如簡單立方結構、體心結構、面心結構或其他合適的結構。沈積於單晶金屬層 404 上的鐵電層 402 將試圖使立方狀二氧化鉛晶格胞元 (lattice cell) 與來自單晶金屬層 404 的晶格胞元相匹配。其不需要精確匹配，只要晶格胞元相較於單斜的二氧化鉛更接近斜方的二氧化鉛。單晶金屬層 404 的晶格常數  $a$  及  $b$  與鐵電層 402 的晶格常數  $a$  及  $b$  之間的某種失配 (例如，高達約 10%，例如自約 5% 至約 10%) 是可容許的。舉例而言，若單晶金屬層 404 的晶格常數  $a$  及  $b$  較小，則鐵電層 402 的晶格常數  $c$  將傾向於較大；若單晶金屬層 404 的晶格常數  $a$  及  $b$  較大，則鐵電層 402 的晶格常數  $c$  將較小；鐵電層 402 的胞元傾向於保持其體積。在所述兩種情形中，鐵電層 402 將傾向於結晶，使其晶格常數  $a$  及  $b$  與單晶金屬層 404 的晶格

常數  $a$  及  $b$  相匹配。對於大於約 10% 的失配，在超過鐵電層 402 的特定實體厚度（例如，約 10 奈米）的情況下，晶格將鬆弛，因此所述層可為薄的（例如小於約 10 奈米）。

【0025】 在一些實施例中，單晶金屬層 404 是 NiAl 層。NiAl 層可具有立方晶體結構且可藉由任何合適的方法（例如物理氣相沈積（physical vapor deposition, PVD））形成。NiAl 的鎳(Ni)濃度可介於自約 40 原子%（atomic percent）至約 60 原子%的範圍內，例如自約 40 原子%至約 45 原子%。鎳含量可能會影響 NiAl 晶體的大小及結晶程度。較低的鎳量（例如自約 40 原子%至約 45 原子%）可達成斜方結構的較佳匹配。舉例而言，在 X 射線繞射分析（X-ray diffraction analysis, XRD）中，峰值出現於 31 度至 32 度附近，此接近二氧化鉛的斜方峰值。在較低的鎳濃度（例如小於 45 原子%）下，峰值更強。NiAl 是立方的，其晶格常數  $a$  與晶格常數  $b$  相等，例如介於約 0.286 奈米與約 0.289 奈米之間。

【0026】 在一些實施例中，鐵電層 402 的晶格常數  $a$  及  $b$  可分別為單晶金屬層 404 的晶格常數的倍數。圖 5 示出根據一些實施例的圖 4 所示單晶金屬層及鐵電層的晶體結構。如圖 5 中所示，單晶金屬層 404 可為具有晶體結構 502 的 NiAl 層，且鐵電層 402 可為具有晶體結構 504 的經摻雜二氧化鉛層。鐵電層 402 的晶格常數  $a$  可為單晶金屬層 404 的晶格常數  $a'$  的倍數。舉例而言，NiAl 的晶格常數  $a'$  及  $b'$  二者皆為約 0.286 奈米，且鐵電層 402 的晶格常數  $a$  及  $b$  可為約 0.572 奈米，此是晶格常數  $a'$  及  $b'$  的約兩倍。

在晶格常數  $a$  及  $b$  為約 0.572 奈米的情況下，鐵電層 402 的晶體結構實質上是斜方的。

【0027】 返回參照圖 4，可藉由任何合適的方法（例如原子層沈積（atomic layer deposition, ALD）、PVD 或化學氣相沈積（chemical vapor deposition, CVD））形成鐵電層 402。在一些實施例中，鐵電層 402 藉由 ALD 形成於單晶金屬層 404 上。在一些實施例中，鐵電層 402 具有介於自約 3 奈米至約 20 奈米的範圍內（例如自約 5 奈米至約 20 奈米）的厚度。在一些實施例中，鐵電層 402 具有大於約 20 奈米的厚度或者藉由處理溫度小於約攝氏 350 度（例如自約攝氏 250 度至約攝氏 300 度）的製程形成，且可執行可選的退火製程以使斜方晶相的百分比增大。舉例而言，退火製程可包括在任何合適的環境（例如氧氣、氮氣或氫氣）中將鐵電層 402 加熱至溫度介於自約攝氏 200 度至約攝氏 600 度的範圍內達 1 秒至約 300 秒的持續時間。在一些實施例中，形成鐵電層 402 的製程可在升高的溫度（例如自約攝氏 200 度至約攝氏 600 度）下執行。

【0028】 圖 4 中所示的鐵電層 402 可具有增加的斜方晶相，例如超過 90% 的斜方晶相（例如超過 98% 的斜方晶相）。另外，在 90% 的斜方晶相中，鐵電層 402 的 80% 的斜方晶相可在水平方向上排列，以有助於鐵電性。此外，鐵電層 402 包括介於自約 5 奈米至約 20 奈米的範圍內（例如自約 10 奈米至約 20 奈米）的晶疇（crystal domain）。

【0029】 圖 6A 及圖 6B 是根據一些實施例的電容器 600 的側視剖視圖。在一些實施例中，如圖 6A 中所示，電容器 600 包括作為第一電極的單晶金屬層 404、作為第二電極的金屬層 602 以及設置於單晶金屬層 404 與金屬層 602 之間的鐵電層 402。在一些實施例中，金屬層 602 是單晶金屬層。金屬層 602 的金屬可與單晶金屬層 404 的金屬相同或不同。

【0030】 在一些實施例中，如圖 6B 中所示，電容器 600 包括作為第一電極的單晶金屬層 404、作為第二電極的金屬層 604 以及設置於單晶金屬層 404 與金屬層 604 之間的鐵電層 402。在一些實施例中，金屬層 604 是多晶金屬層。金屬層 604 的金屬可與單晶金屬層 404 的金屬相同不同。金屬層 602 或金屬層 604 不會影響鐵電層 402 的晶體結構。在一些實施例中，在形成金屬層 602 或金屬層 604 之後執行可選的退火製程。圖 6A 及圖 6B 中所示的電容器 600 可用作圖 1A 及圖 1B 中所示的電容器 101。

【0031】 圖 7A 至圖 7C 示出根據一些實施例的形成鐵電層 704 的各個階段。如圖 7A 中所示，在層 702 上沈積鐵電層 704。層 702 可為金屬層（例如圖 1B 中所示的第一電極 112）或半導體層（例如圖 2B 中所示的基底 202）。在一些實施例中，層 702 是圖 4 中所示的單晶金屬層 404。在一些實施例中，層 702 是介電層，例如介面層。鐵電層 704 可為經摻雜二氧化鉛層且可藉由任何合適的方法（例如 CVD、ALD 或 PVD）形成。鐵電層 704 包括氧空位 706。所沈積的鐵電層 704 的氧空位 706 可介於自約 2%至約 5%的

範圍內。

【0032】 接下來，如圖 7B 中所示，對鐵電層 704 執行超高真空（ultra-high vacuum，UHV）退火製程，以使鐵電層 704 結晶且使氧空位 706 的濃度增大。在一些實施例中，UHV 退火製程是在介於自約攝氏 20 度至約攝氏 450 度的處理溫度下及小於  $10^{-3}$  托（例如自約  $10^{-8}$  托至約  $10^{-3}$  托）的處理壓力下執行。UHV 退火製程使鐵電層 704 外部的壓力減小，因此鐵電層 704 中的氧原子自鐵電層 704 逸出。所得氧空位 706 的濃度增大至約 5% 至約 10%。氧原子的移除或額外氧空位的形成為原子在鐵電層 704 內進行移動形成空間，且相較於常規退火製程，在上述 UHV 退火製程條件下可獲得增加的斜方晶相。在一些實施例中，斜方晶相的百分比並未增大，但由於鐵電層 704 中剩餘的氧原子因 UHV 退火製程而具有更多的空間進行移動，因此鐵電性預計會更高。

【0033】 在 UHV 退火製程之後，鐵電層 704 以主晶相是斜方晶相結晶。接下來，如圖 7C 中所示，對鐵電層 704 執行可選的退火製程以使氧空位 706 減小，進而改善可靠性。可在氧氣環境中在介於自約攝氏 20 度至約攝氏 450 度的範圍內的處理溫度下以及介於自約 1 大氣壓（atm）至約 20 大氣壓的範圍內的處理壓力下執行退火製程達介於自約 1 分鐘至約 5 小時的範圍內的持續時間。在自 UHV 退火製程結晶之後，鐵電層 704 的晶相實質上是穩定的，因此在可選的退火製程之後不應觀察到相變。在可選的退火製程之後，氧空位 706 的濃度減小至 UHV 退火製程之前的水準，

例如自約 2%至約 5%。隨著氧空缺 706 濃度的降低，裝置可靠性得到改善。

**【0034】** 藉由 UHV 退火製程形成的鐵電層 704 由於斜方晶相的百分比增大及/或鐵電層 704 中供原子進行移動的空間更多而具有改善的鐵電性。可選的退火製程進一步改善裝置可靠性。在一些實施例中，鐵電層 704 可用作電容器 101 中的鐵電層 114，且可在形成第二電極 116 之前執行 UHV 製程及可選的退火製程。在一些實施例中，層 702 是第一電極 112 且鐵電層 704 是鐵電層 114。在一些實施例中，鐵電層 704 可用作 FeFET 204 中的鐵電層 204d，且可在形成閘極電極 204c 之前執行 UHV 製程及可選的退火製程。在一些實施例中，層 702 是基底 202（或形成於基底 202 上的介面層）且鐵電層 704 是鐵電層 204d。

**【0035】** 圖 8A 至圖 8C 示出根據一些實施例的形成鐵電層 804 的各個階段。如圖 8A 中所示，在層 802 上沈積鐵電層 804。層 802 可包含與層 702 相同的材料。鐵電層 804 可為經摻雜二氧化鉛層且可藉由任何合適的方法（例如 CVD、ALD 或 PVD）形成。鐵電層 804 包括氧空缺 806。所沈積的鐵電層 804 的氧空缺 806 可介於約 2%至約 5%的範圍內。

**【0036】** 接下來，如圖 8B 中所示，對鐵電層 804 執行離子植入製程 810，以自所沈積的鐵電層 804 移除結晶度且在鐵電層 804 中提供非晶相。如上所述，在一些實施例中，所沈積的經摻雜二氧化鉛層可能局部地結晶。所沈積的經摻雜二氧化鉛層的晶相可

能是主要不表現出鐵電性質的單斜晶相。離子植入製程 810 向所沈積的經摻雜二氧化鉛層中引入摻雜劑 808，以置換經摻雜二氧化鉛層的元素，其中摻雜劑 808 可與經摻雜二氧化鉛層的摻雜劑不同。因此，所沈積的經摻雜二氧化鉛層的結晶度被移除。換言之，所沈積的經摻雜二氧化鉛層的結晶結構被來自離子植入製程 810 的摻雜劑 808 破壞，且所得經摻雜二氧化鉛層是非晶層。

【0037】 離子植入製程 810 可利用介於自約 1 千電子伏特(keV) 至約 10 千電子伏特的範圍內的離子能量來執行。若離子能量小於約 1 千電子伏特，則所沈積的經摻雜二氧化鉛層中的單斜晶體結構不會被破壞。另一方面，若離子能量大於約 10 千電子伏特，則會使製造成本增大但不具有顯著優勢。離子植入製程的劑量可介於自約  $10^{13}$ /平方公分至約  $10^{15}$ /平方公分的範圍內。離子植入製程 810 可達成淺摻雜，例如約 10 奈米或小於 10 奈米。在一些實施例中，摻雜劑 808 可為 p 型摻雜劑或 n 型摻雜劑，例如磷 (P)、砷 (As) 或硼 (B)。在一些實施例中，摻雜劑 808 可為鎵 (Ga)、銻 (Sb)、鍺 (Ge)、矽 (Si) 或其他合適的摻雜劑。所沈積的經摻雜二氧化鉛層已包含摻雜劑，例如銦、鋁、鐳、鈦、鉭、矽、鉍、銦、釷，其可與摻雜劑 808 不同。在一些實施例中，鐵電層 804 包含兩種不同的摻雜劑。舉例而言，第一摻雜劑在沈積經摻雜二氧化鉛層期間原位(in-situ)形成，且第二摻雜劑藉由在沈積經摻雜二氧化鉛層之後執行的離子植入製程而被引入至經摻雜二氧化鉛層中。

【0038】 接下來，如圖 8C 中所示，對鐵電層 804 執行退火製程以形成斜方晶相。可在介於自約攝氏 20 度至約攝氏 550 度的範圍內的處理溫度下執行退火製程達介於自約 1 秒至約 1 小時的範圍內的持續時間。退火製程將非晶相改變成結晶相，具體而言是斜方晶相。在不具有使單斜晶相非晶化的離子植入製程的情況下，在退火製程之後，鐵電層 804 可包括單斜晶相及斜方晶相二者。因此，藉由在執行退火製程之前移除單斜晶相，所得鐵電層 804 是結晶的且主要包括斜方晶相。

【0039】 在一些實施例中，鐵電層 804 可用作電容器 101 中的鐵電層 114，可在形成第二電極 116 之前執行離子植入製程 810，且可在形成第二電極 116 之前或之後執行退火製程。在一些實施例中，層 802 是第一電極 112 且鐵電層 804 是鐵電層 114。在一些實施例中，鐵電層 804 可用作 FeFET 204 中的鐵電層 204d，可在形成閘極電極 204c 之前執行離子植入製程 810，且可在形成閘極電極 204c 之前或之後執行退火製程。在一些實施例中，層 802 是基底 202（或形成於基底 202 上的介面層）且鐵電層 804 是鐵電層 204d。

【0040】 圖 9A 至圖 9G 是根據一些實施例的半導體裝置結構 900 的各個製造階段的側視剖視圖。如圖 9A 中所示，半導體裝置結構 900 包括基底 902 及設置於基底 902 上的一或多個電晶體 904。基底 902 可為基底 102 且電晶體 904 可為圖 1B 中所示的同一電晶體 104。每一電晶體 904 包括源極/汲極區 906 及閘極電極 908，源極

/汲極區 906 及閘極電極 908 可與汲極區 104a、源極區 104b 及閘極電極 104c 相同。導電接觸件 910 電性連接至源極/汲極區 906。導電接觸件 910 可設置於層間介電 (ILD) 層 912 中。在電晶體 904 之上設置內連線結構 914。內連線結構 914 可為圖 1B 中所示的介電結構 106。導電線 916 及導通孔 918 在內連線結構 914 中形成。導電線 916 及導通孔 918 可分別為圖 1B 中所示的導電線 110 及導通孔 108。

【0041】 接下來，如圖 9B 中所示，在電性連接至每一電晶體 904 的源極/汲極區 906 中的一者的導通孔 918 上形成導電層 920。導電層 920 可包含與圖 1B 中所示的第一電極 112 相同的材料。在一些實施例中，導電層 920 是單晶金屬層，例如圖 4 中所示的單晶金屬層 404。接下來，如圖 9C 中所示，在導電層 920 上形成鐵電層 922。鐵電層 922 可為圖 4 中所示的鐵電層 402。在一些實施例中，鐵電層 922 是圖 7A 至圖 7C 中所示的鐵電層 704 或圖 8A 至圖 8C 中所示的鐵電層 804。接下來，如圖 9D 中所示，在鐵電層 922 上形成導電層 924。導電層 924 可包含與圖 1B 所示第二電極 116、圖 6A 所示金屬層 602 或圖 6B 所示金屬層 604 相同的材料。

【0042】 接下來，如圖 9E 中所示，對導電層 920、924 及鐵電層 922 進行圖案化以形成電容器 926。電容器 926 可為由於具有鐵電層 922 而具有改善的鐵電性質的 FeCAP，所述 FeCAP 可藉由圖 4 至圖 8C 中所闡述的製程形成。接下來，如圖 9F 中所示，形成介電層 928 以嵌入電容器 926。介電層 928 可為 IMD 層且是內連線

結構 914 的一部分。電容器 926 可在後段製程 (back-end-of-line, BEOL) 製程中形成於內連線結構 914 中。在一些實施例中，電容器 926 在前段製程 (front-end-of-line, FEOL) 製程或中段製程 (middle-of-line, MOL) 製程中形成。接下來，如圖 9G 中所示，執行附加製程以完成內連線結構 914。在內連線結構 914 的頂部形成多個重佈線層 (redistribution layer, RDL) 930 且在 RDL 上形成接觸墊 932。半導體裝置結構 900 包括多個 FeRAM 胞元 (電晶體 904 及電容器 926)。

【0043】 圖 10 是根據替代實施例的圖 9G 所示半導體裝置結構 900。如圖 10 中所示，在內連線結構 914 中形成有 FeRAM 胞元 950。每一 FeRAM 胞元 950 包括電性連接至電容器 926 的電晶體 952。每一電晶體 952 可為在 BEOL 製程中形成的薄膜電晶體 (thin film transistor, TFT)。每一電晶體 952 包括源極/汲極區 954、金屬氧化物層 956、閘極介電層 958 及閘極電極 960。源極/汲極區 954 可包含導電性材料，例如金屬或金屬氮化物。在一些實施例中，源極/汲極區 954 包含 TiN、TaN、W 或 WN。金屬氧化物層 956 用作 TFT 的通道區。在一些實施例中，金屬氧化物層 956 包含金屬氧化物半導體材料，例如氧化銮鎵鋅 (indium gallium zinc oxide, IGZO)、經摻雜氧化鋅、經摻雜氧化銮、經摻雜鎘或其他合適的金屬氧化物半導體材料。閘極介電層 958 可包含與圖 1B 所示閘極介電層 104d 相同的材料，且閘極電極 960 可包含與圖 1B 所示閘極電極 104c 相同的材料。電晶體 952 藉由導電線 916 及導

通孔 918 電性連接至電容器。

【0044】 圖 11A 至圖 11F 是根據一些實施例的電晶體 1100 的各個製造階段的側視剖視圖。如圖 11A 中所示，在基底 1102 上形成可選的介面層 1104，在介面層 1104 上形成鐵電層 1106 且在鐵電層 1106 上形成虛設閘極 1108。基底 1102 可包含與圖 2B 所示基底 202 相同的材料，且鐵電層 1106 可包含與圖 7A 至圖 7C 所示鐵電層 704 或圖 8A 至圖 8C 所示鐵電層 804 相同的材料。虛設閘極 1108 可包含多晶矽。接下來，如圖 11B 中所示，對鐵電層 1106 及虛設閘極 1108 進行圖案化（省略介面層 1104）。在虛設閘極 1108 的側面及鐵電層 1106 的側面上形成閘極間隔件 1110。接下來，如圖 11C 中所示，在虛設閘極 1108 的相對側上形成源極/汲極區 1112。源極/汲極區 1112 可包含與圖 2B 所示源極區 204a 及汲極區 204b 相同的材料。接下來，如圖 11D 中所示，在源極/汲極區 1112 之上形成 ILD 層 1114。在一些實施例中，在源極/汲極區 1112 上形成接觸蝕刻停止層（contact etch stop layer，CESL）（未示出）且在 CESL 上形成 ILD 層 1114。然後移除虛設閘極 1108 且在鐵電層 1106 上形成閘極電極 1116。閘極電極 1116 可包含與圖 2B 所示閘極電極 204c 相同的材料。

【0045】 接下來，如圖 11E 中所示，在 ILD 層 1114 中形成導電接觸件 1118。導電接觸件 1118 電性連接至源極/汲極區 1112。在一些實施例中，在導電接觸件 1118 與源極/汲極區 1112 之間形成矽化物層（未示出）。在一些實施例中，在移除虛設閘極 1108 期

間移除鐵電層 1106，且在形成閘極電極 1116 之前形成另一鐵電層 1120，如圖 11F 中所示。鐵電層 1120 可包含與圖 7A 至圖 7C 中的鐵電層 704 或圖 8A 至圖 8C 中的鐵電層 804 相同的材料。在圖 11F 中所示的實施例中，鐵電層 1106 可為犧牲層且可為不表現出鐵電性的高介電常數介電層。

【0046】 電晶體 1100 是包括鐵電層 1106 或鐵電層 1120 的 FeFET。鐵電層 1106 或鐵電層 1120 藉由圖 7A 至圖 7C 或圖 8A 至圖 8C 中所闡述的製程形成。鐵電層 1106 或鐵電層 1120 的鐵電性得到改善，進而改善了裝置效能及可靠性。

【0047】 圖 12 是根據替代實施例的圖 9G 所示半導體裝置結構 900。如圖 12 中所示，不再在內連線結構 914 中具有電容器 926，而是在內連線結構 914 中形成 FeFET 胞元 970。FeFET 胞元 970 包括 FeFET 972。FeFET 972 包括源極/汲極區 974、鐵電層 976、金屬氧化物層 978 及閘極電極 980。源極/汲極區 974 可包含與圖 10 所示源極/汲極區 954 相同的材料。鐵電層 976 可包含與圖 7A 至圖 7C 所示鐵電層 704 或圖 8A 至圖 8C 所示鐵電層 804 相同的材料。金屬氧化物層 978 可包含與圖 10 所示金屬氧化物層 956 相同的材料，且閘極電極 980 可包含與閘極電極 960 相同的材料。FeFET 972 可為 TFT。

【0048】 圖 13 是根據替代實施例的圖 12 所示半導體裝置結構 900。如圖 13 中所示，FeFET 972 可與圖 10 中所示的電晶體 952 實質上相同。然而，FeFET 972 包括設置於金屬氧化物層 956 與

閘極電極 960 之間的鐵電層 982，而不是閘極介電層 958。鐵電層 982 可包含與圖 4 中的鐵電層 402、圖 7A 至圖 7C 中的鐵電層 704 或圖 8A 至圖 8C 中的鐵電層 804 相同的材料。在一些實施例中，閘極電極 960 包含與圖 4 中的單晶金屬層 404 相同的材料。與電晶體 1100 相似，FeFET 972 包括鐵電層 976 或鐵電層 982。鐵電層 976 或鐵電層 982 藉由圖 4、圖 7A 至圖 7C 或圖 8A 至圖 8C 中所闡述的製程形成。鐵電層 976 或鐵電層 982 的鐵電性得到改善，進而改善了裝置效能及可靠性。

**【0049】** 由圖 4、圖 7A 至圖 7C 或圖 8A 至圖 8C 中所闡述的製程形成的鐵電層具有改善的鐵電性。鐵電層可用在 FeRAM、FeFET 或其他合適的裝置中。

**【0050】** 本揭露提供一種具有改善的鐵電性的鐵電層。在一些實施例中，鐵電層形成於單晶金屬層上，且鐵電層包括超過 90% 的斜方晶相。在一些實施例中，在沈積鐵電層之後執行 UHV 退火製程或離子植入製程，以使斜方晶相的百分比增大及/或使層內供原子進行移動的空間增大。一些實施例可達成優點。舉例而言，鐵電層中的改善的鐵電性可改善裝置效能及裝置可靠性。

**【0051】** 一個實施例是一種形成鐵電裝置的方法。所述方法包括在層上沈積經摻雜二氧化鈣層，且經摻雜二氧化鈣層具有第一氧空缺濃度。所述方法更包括對經摻雜二氧化鈣層執行超高真空退火製程以使第一氧空缺濃度增大至第二氧空缺濃度以及對經摻雜二氧化鈣層執行氧退火製程以使第二氧空缺濃度減小。在一些實

施例中，第一氧空缺濃度介於自約 2%至約 5%的範圍內。在一些實施例中，第二氧空缺濃度介於自約 5%至約 10%的範圍內。在一些實施例中，層是第一金屬層。在一些實施例中，層是第一金屬層。在一些實施例中，方法還包括在氧退火製程之後在經摻雜二氧化鈣層上形成第二金屬層。在一些實施例中，層是設置於基底上的介面層。在一些實施例中，方法還包括在經摻雜二氧化鈣層上形成虛設閘極。在虛設閘極的側面及經摻雜二氧化鈣層的側面上形成閘極間隔件。在基底中形成源極/汲極區。移除虛設閘極。在所述經摻雜二氧化鈣層上形成閘極電極。

**【0052】** 另一實施例是一種形成鐵電裝置的方法。所述方法包括在層上沈積經摻雜二氧化鈣層，且使經摻雜二氧化鈣層以第一晶相局部地進行結晶。所述方法更包括對經摻雜二氧化鈣層執行離子植入製程以使經摻雜二氧化鈣層非晶化以及對經摻雜二氧化鈣層執行退火製程以使經摻雜二氧化鈣層以第二晶相進行結晶。在一些實施例中，第一晶相是單斜的且第二晶相是斜方的。在一些實施例中，在沈積經摻雜二氧化鈣層期間向經摻雜二氧化鈣層引入第一摻雜劑，且在離子植入製程期間向經摻雜二氧化鈣層引入第二摻雜劑。在一些實施例中，第一摻雜劑包括銦、鋁、鏷、鈦、鉭、矽、鉍、銦或釷，且第二摻雜劑包括磷、砷、硼、鎵、銻、銻或矽。在一些實施例中，層是第一金屬層。在一些實施例中，方法還包括在退火製程之前在經摻雜二氧化鈣層上形成第二金屬層。在一些實施例中，層是設置於基底上的介面層。在一些實施

例中，方法還包括在經摻雜二氧化鉛層上形成虛設閘極。在虛設閘極的側面及經摻雜二氧化鉛層的側面上形成閘極間隔件。在基底中形成源極/汲極區。移除虛設閘極。在經摻雜二氧化鉛層上形成閘極電極。

**【0053】** 另外的實施例是一種半導體裝置結構。所述結構包括：電晶體，設置於基底之上；內連線結構，設置於電晶體之上；以及鐵電電容器（FeCAP），設置於內連線結構中。FeCAP 包括第一金屬層，且第一金屬層是單晶金屬層。FeCAP 更包括設置於第一金屬層上的鐵電層，且鐵電層包括超過 90%的斜方晶相。FeCAP 更包括設置於鐵電層上的第二金屬層。在一些實施例中，第一金屬層是 NiAl 層。在一些實施例中，鐵電層是經摻雜二氧化鉛層。在一些實施例中，第二金屬層是單晶金屬層。在一些實施例中，第二金屬層是多晶金屬層。

**【0054】** 以上概述了若干實施例的特徵，以使熟習此項技術者可更佳地理解本揭露的態樣。熟習此項技術者應理解，他們可容易地使用本揭露作為設計或修改其他製程及結構的基礎來施行與本文中所介紹的實施例相同的目的及/或達成與本文中所介紹的實施例相同的優點。熟習此項技術者亦應認識到，此種等效構造並不背離本揭露的精神及範圍，而且他們可在不背離本揭露的精神及範圍的條件下對其作出各種改變、取代及變更。

**【符號說明】**

**【0055】**

100:FeRAM 胞元

101, 600, 926:電容器

102, 202, 902, 1102:基底

104, 904, 952, 1100:電晶體

104a, 204b:汲極區

104b, 204a:源極區

104c, 204c, 908, 960, 980, 1116:閘極電極

104d, 958:閘極介電層

106, 206:介電結構

108, 918:導通孔

110, 916:導電線

112:第一電極

114, 204d, 302, 402, 704, 804, 922, 976, 982, 1106, 1120:鐵電

層

116:第二電極

200, 950, 970:FeFET 胞元

204, 972:鐵電場效電晶體 (FeFET)

302a, 302b, 302c, 302d, 302e, 304a, 304b, 304c:晶相

304:多晶金屬層

404:單晶金屬層

502, 504:晶體結構

602, 604:金屬層

702, 802:層

706, 806:氧空缺

808:摻雜劑

810:離子植入製程

900:半導體裝置結構

906, 954, 974, 1112:源極/汲極區

910, 1118:導電接觸件

912, 1114:層間介電 (ILD) 層

914:內連線結構

920, 924:導電層

928:介電層

930:重佈線層 (RDL)

932:接觸墊

956, 978:金屬氧化物層

1104:介面層

1108:虛設閘極

1110:閘極間隔件

a, a', b, b', c:晶格常數/晶格參數

BL:位元線

DL:驅動線

WL:字元線

## 【發明申請專利範圍】

【請求項1】 一種形成鐵電裝置的方法，包括：

在層上沈積經摻雜二氧化鉛層，其中所述經摻雜二氧化鉛層具有第一氧空缺濃度；

對所述經摻雜二氧化鉛層執行超高真空退火製程，以使所述第一氧空缺濃度增大至第二氧空缺濃度；以及

對所述經摻雜二氧化鉛層執行氧退火製程，以使所述第二氧空缺濃度減小。

【請求項2】 如請求項 1 所述的方法，其中所述第一氧空缺濃度介於自約 2%至約 5%的範圍內。

【請求項3】 如請求項 2 所述的方法，其中所述第二氧空缺濃度介於自約 5%至約 10%的範圍內。

【請求項4】 一種形成鐵電裝置的方法，包括：

在層上沈積經摻雜二氧化鉛層，其中使所述經摻雜二氧化鉛層以第一晶相局部地進行結晶；

對所述經摻雜二氧化鉛層執行離子植入製程，以使所述經摻雜二氧化鉛層非晶化；以及

對所述經摻雜二氧化鉛層執行退火製程，以使所述經摻雜二氧化鉛層以第二晶相進行結晶。

【請求項5】 如請求項 4 所述的方法，其中所述第一晶相是單斜的且所述第二晶相是斜方的。

【請求項6】 如請求項 4 所述的方法，其中在沈積所述經摻雜二

氧化鉛層期間向所述經摻雜二氧化鉛層引入第一摻雜劑，且在所述離子植入製程期間向所述經摻雜二氧化鉛層引入第二摻雜劑。

【請求項7】 如請求項 1 或 4 所述的方法，其中所述層是設置於基底上的介面層。

【請求項8】 如請求項 7 所述的方法，更包括：

在所述經摻雜二氧化鉛層上形成虛設閘極；

在所述虛設閘極的側面及所述經摻雜二氧化鉛層的側面上形成閘極間隔件；

在所述基底中形成源極/汲極區；

移除所述虛設閘極；以及

在所述經摻雜二氧化鉛層上形成閘極電極。

【請求項9】 一種半導體裝置結構，包括：

電晶體，設置於基底之上；

內連線結構，設置於所述電晶體之上；以及

鐵電電容器，設置於所述內連線結構中，其中所述鐵電電容器包括：

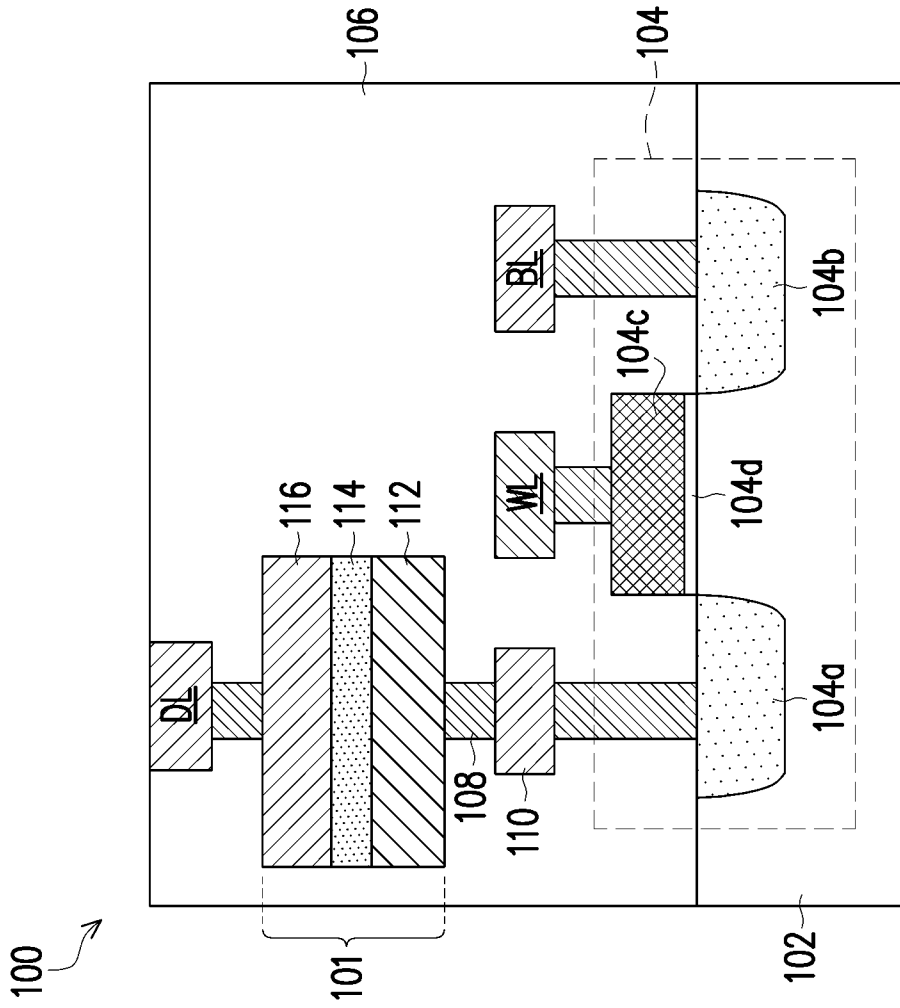
第一金屬層，其中所述第一金屬層是單晶金屬層；

鐵電層，設置於所述第一金屬層上，其中所述鐵電層包括超過 90%的斜方晶相；以及

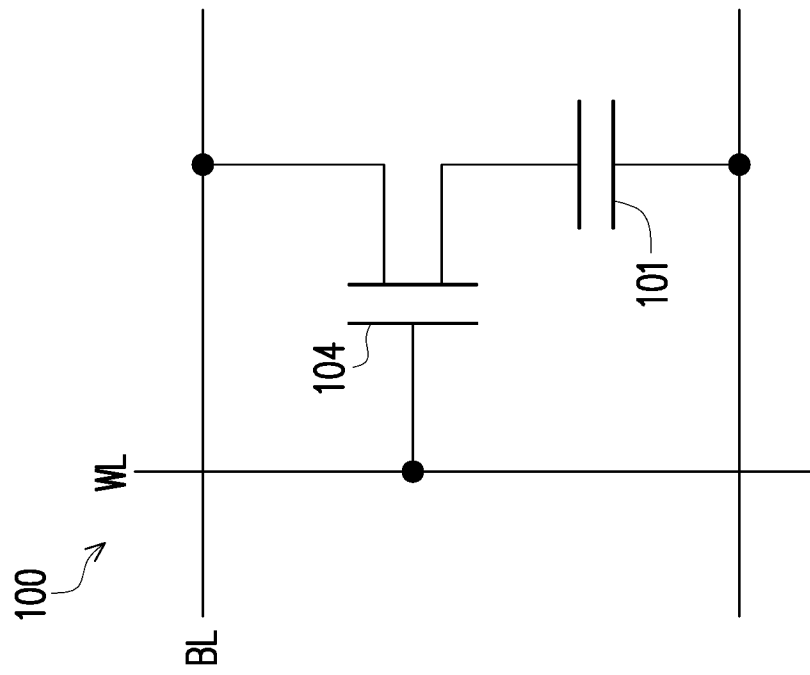
第二金屬層，設置於所述鐵電層上。

【請求項10】 如請求項 9 所述的半導體裝置結構，其中所述鐵電層是經摻雜二氧化鉛層。

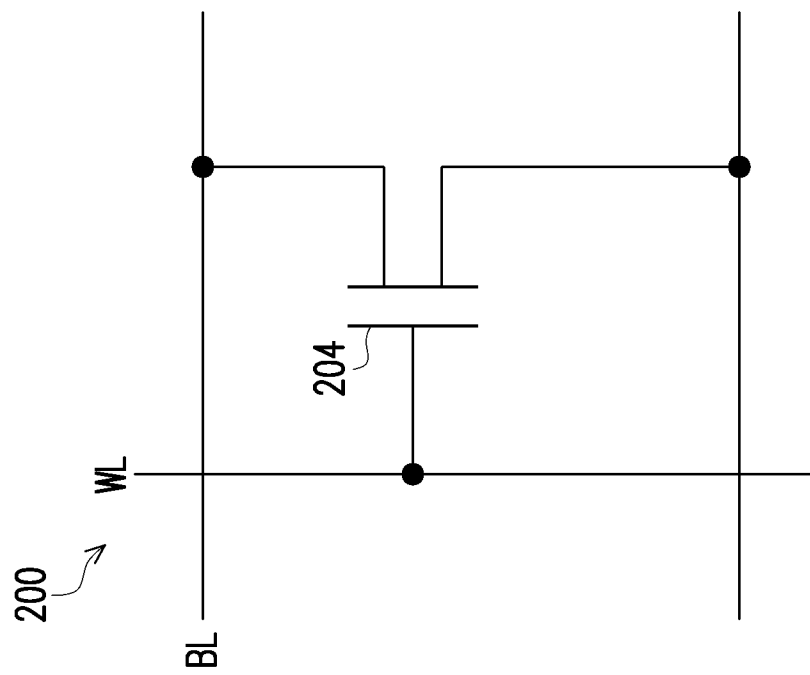
【發明圖式】



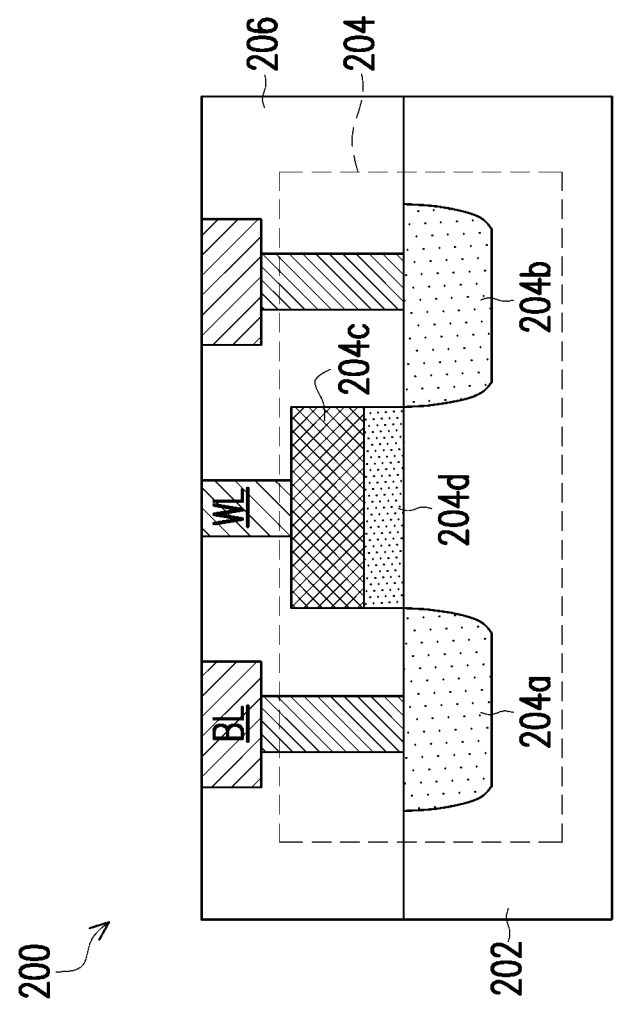
【圖1B】



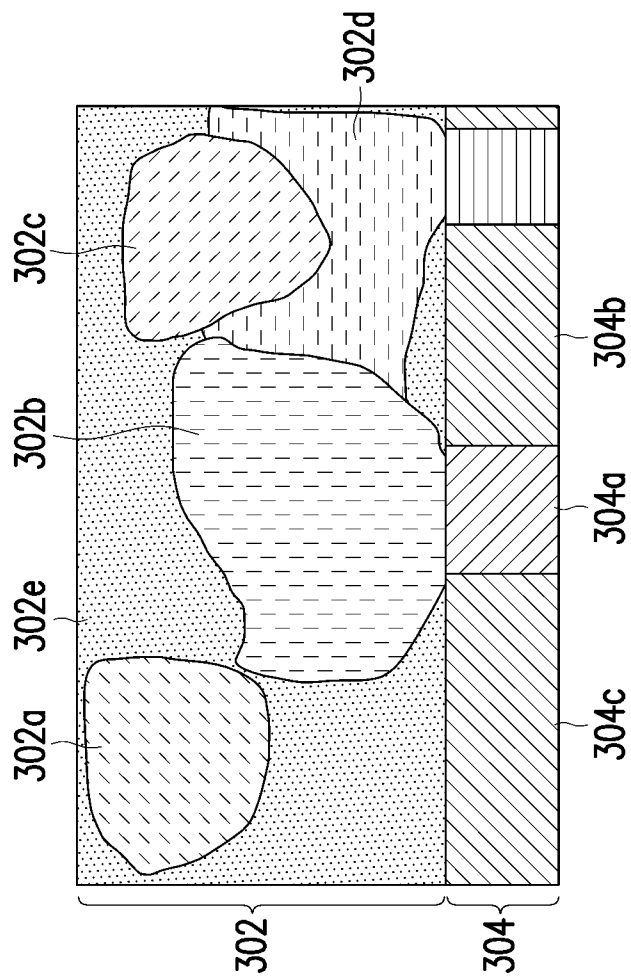
【圖1A】



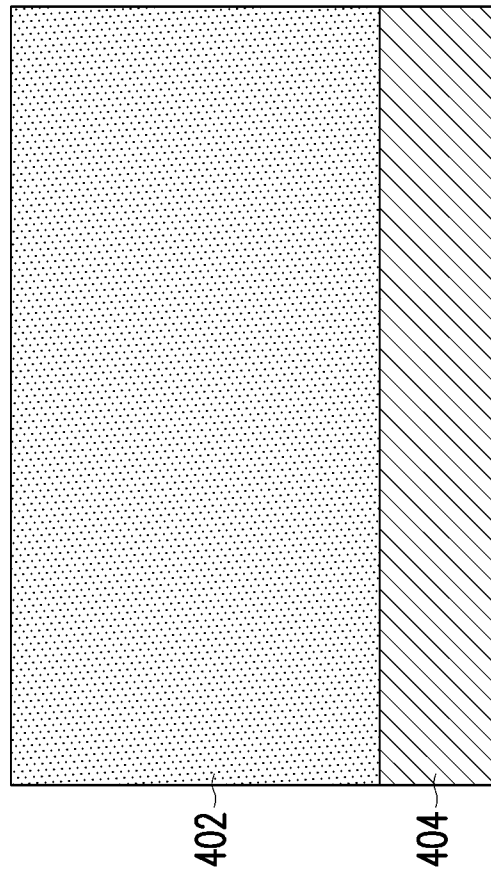
【圖2A】



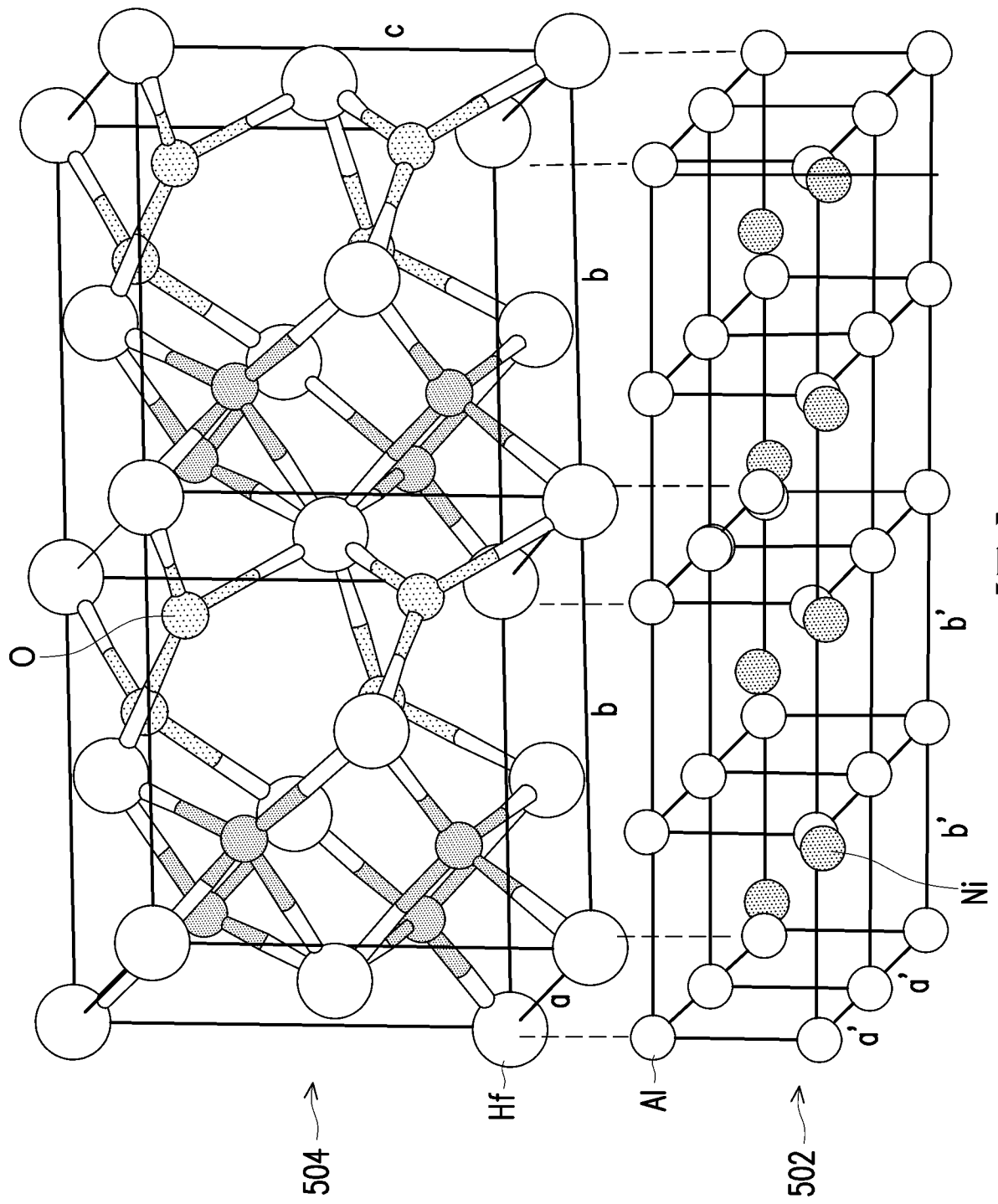
【圖2B】



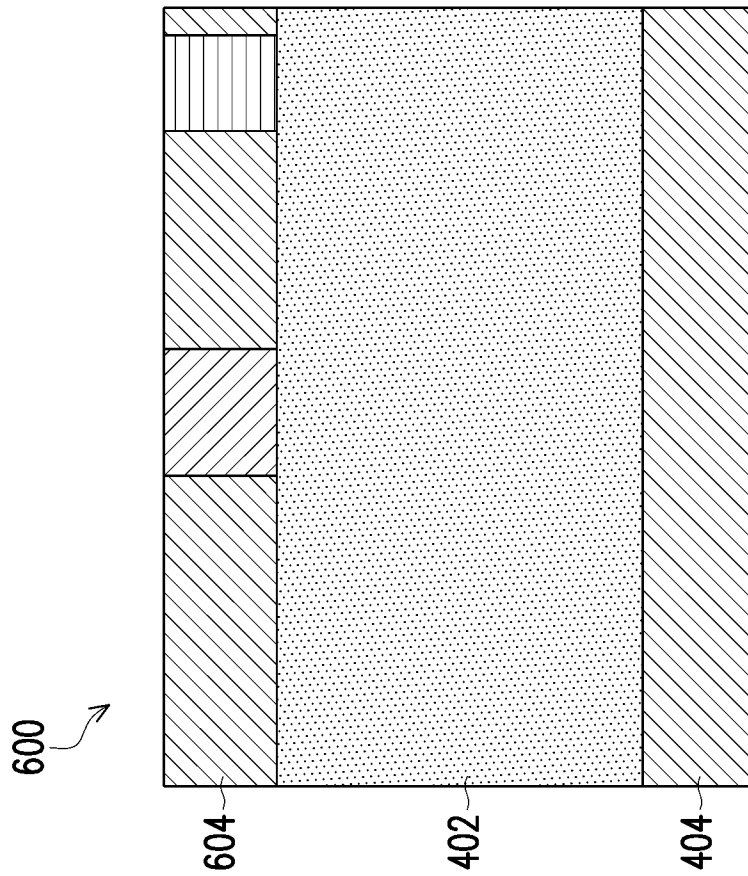
【圖3】



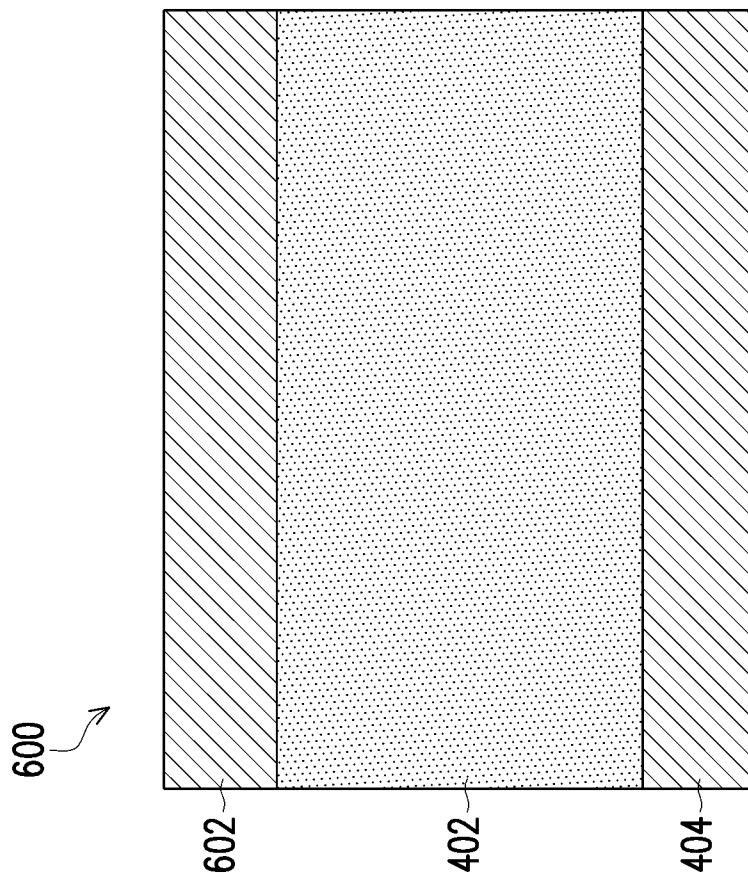
【圖4】



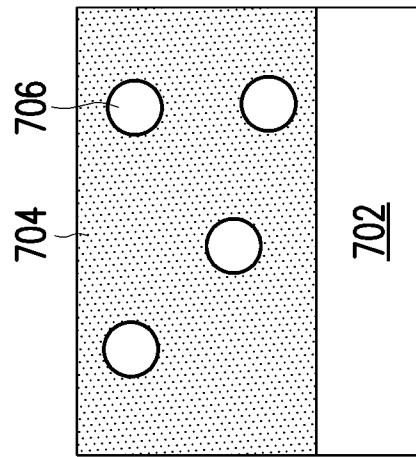
【圖5】



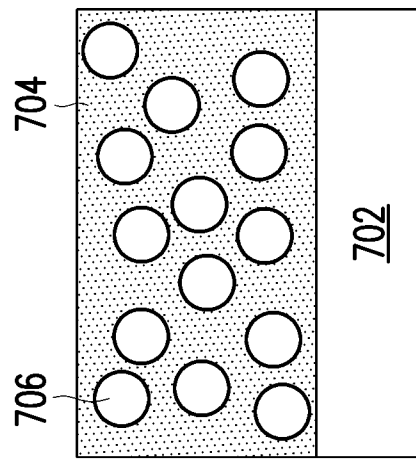
【圖6B】



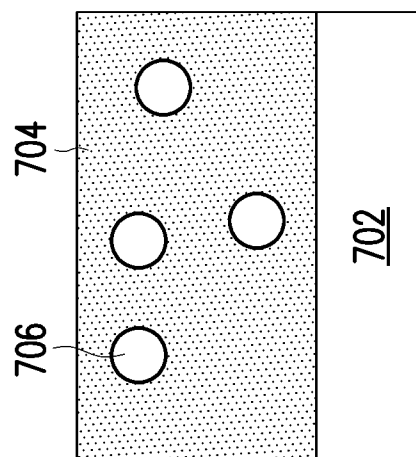
【圖6A】



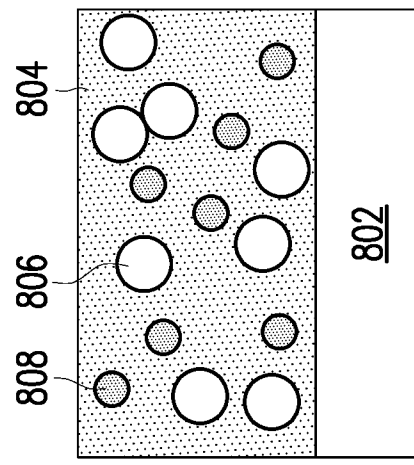
【圖7C】



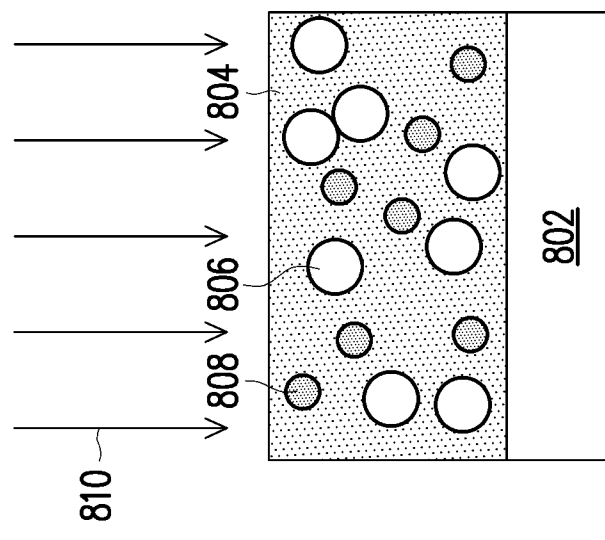
【圖7B】



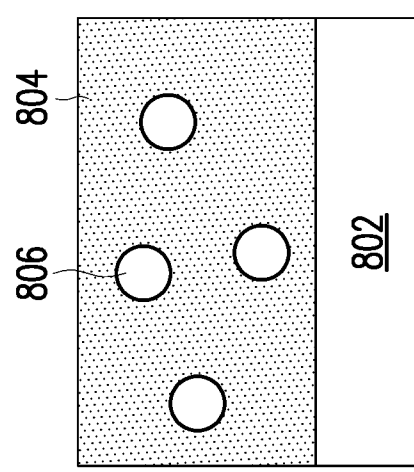
【圖7A】



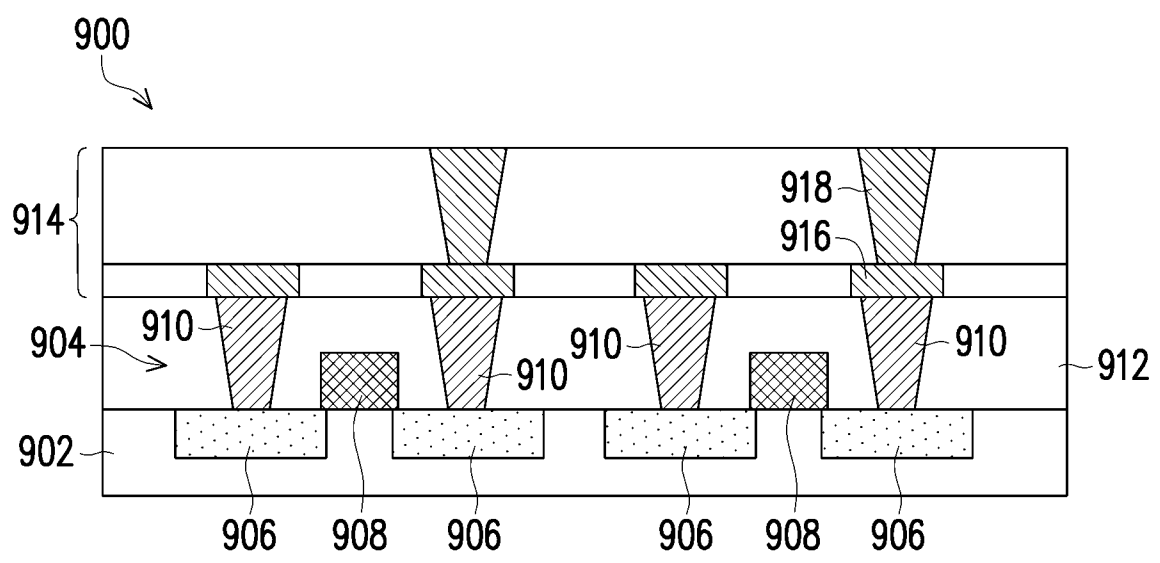
【圖8C】



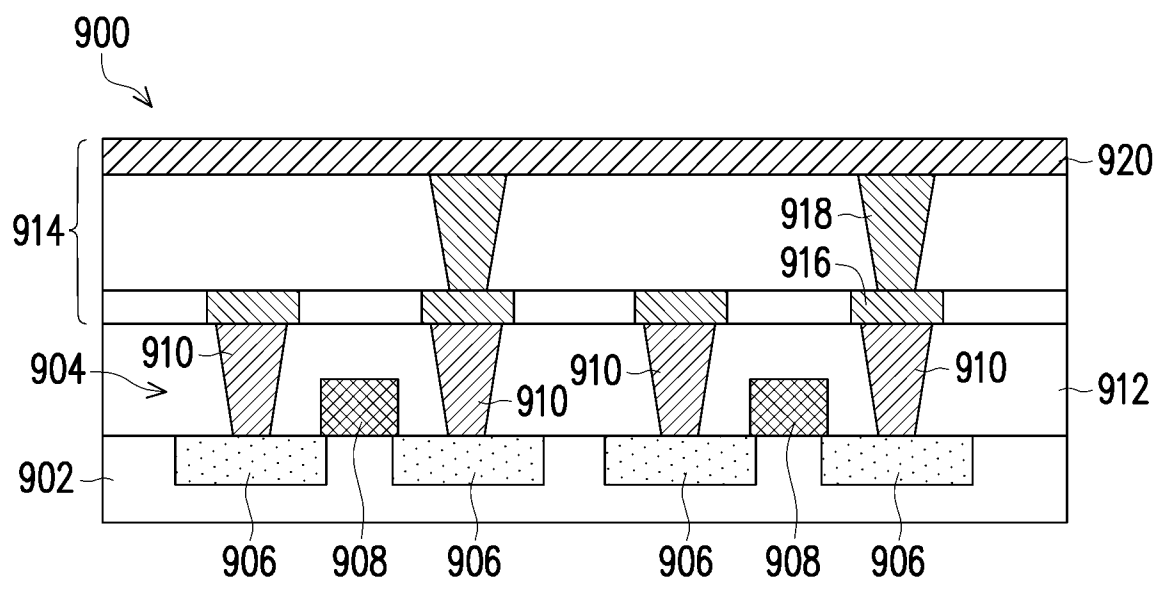
【圖8B】



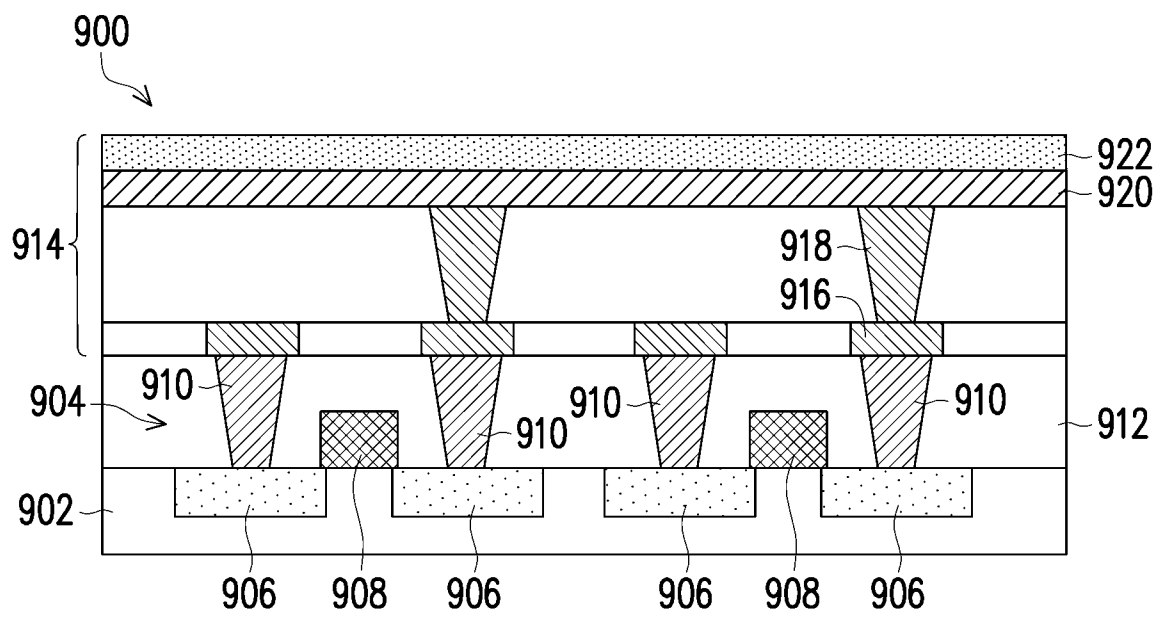
【圖8A】



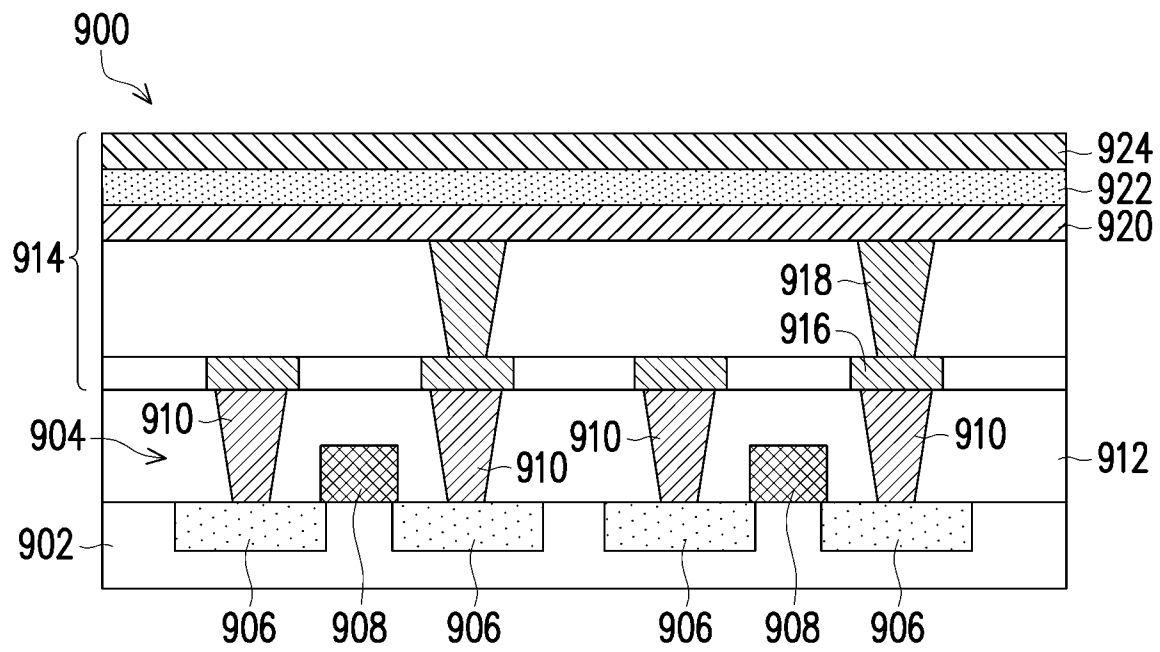
【圖9A】



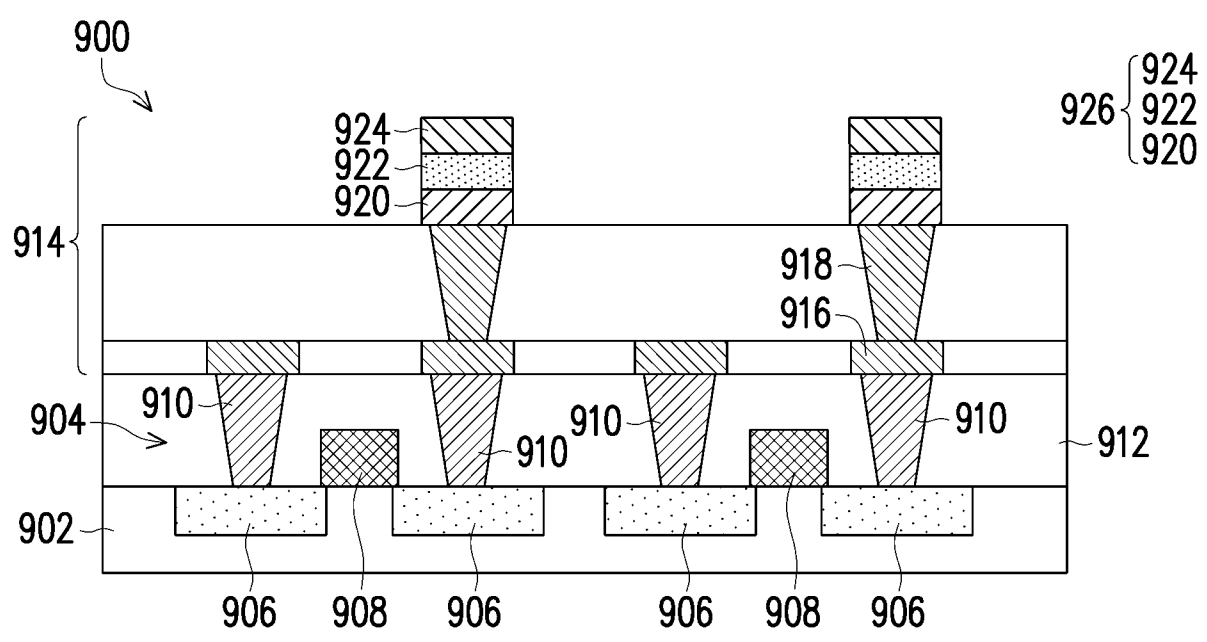
【圖9B】



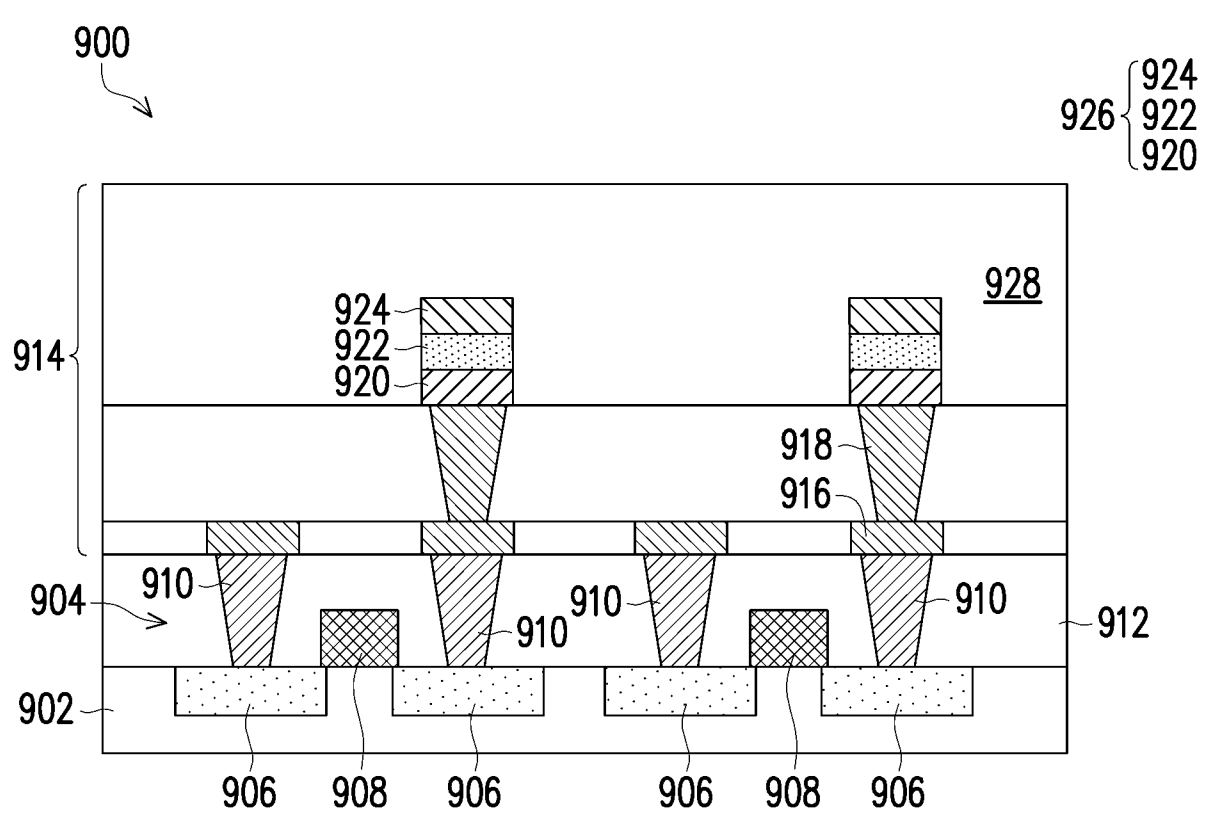
【圖9C】



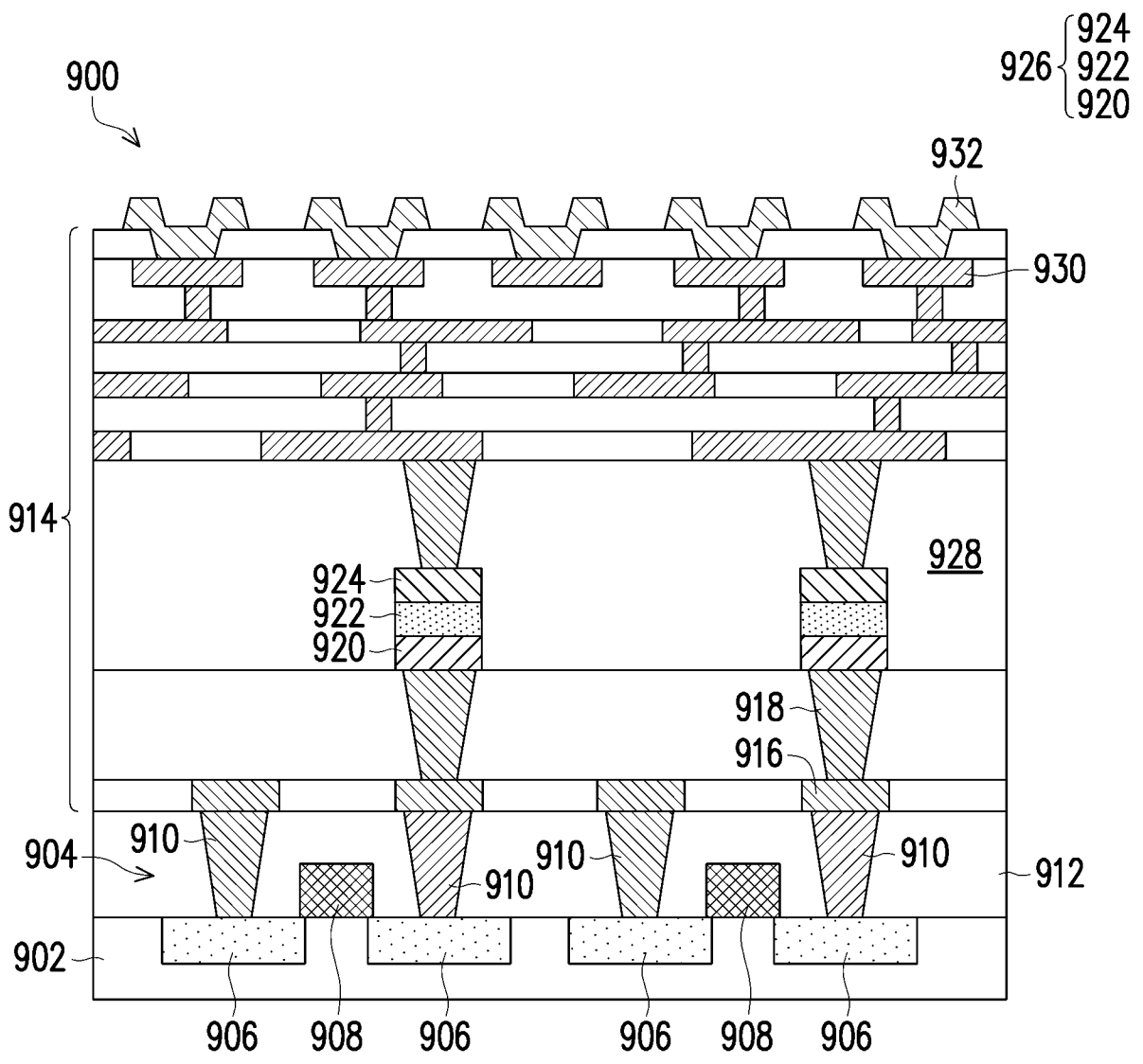
【圖9D】



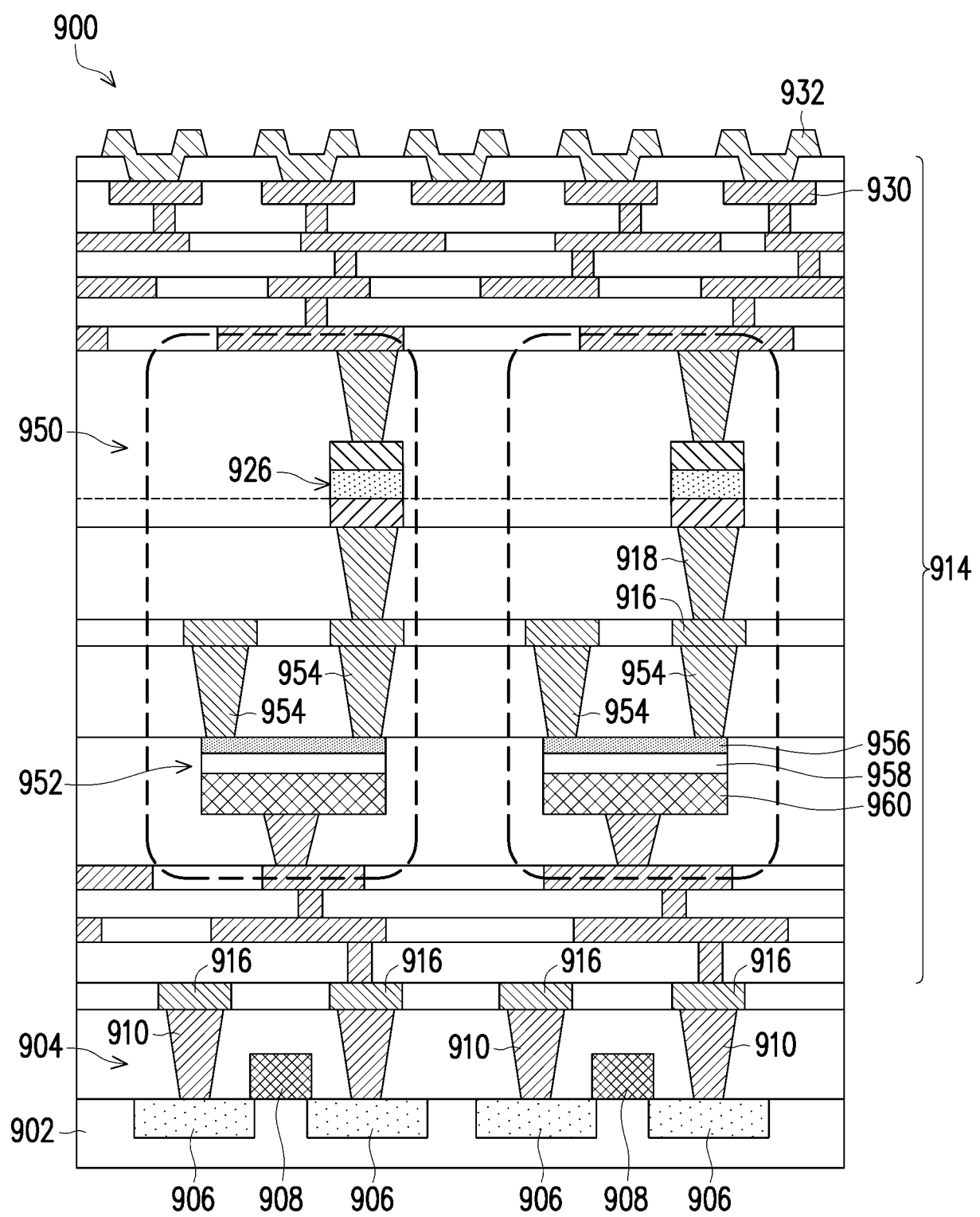
【圖9E】



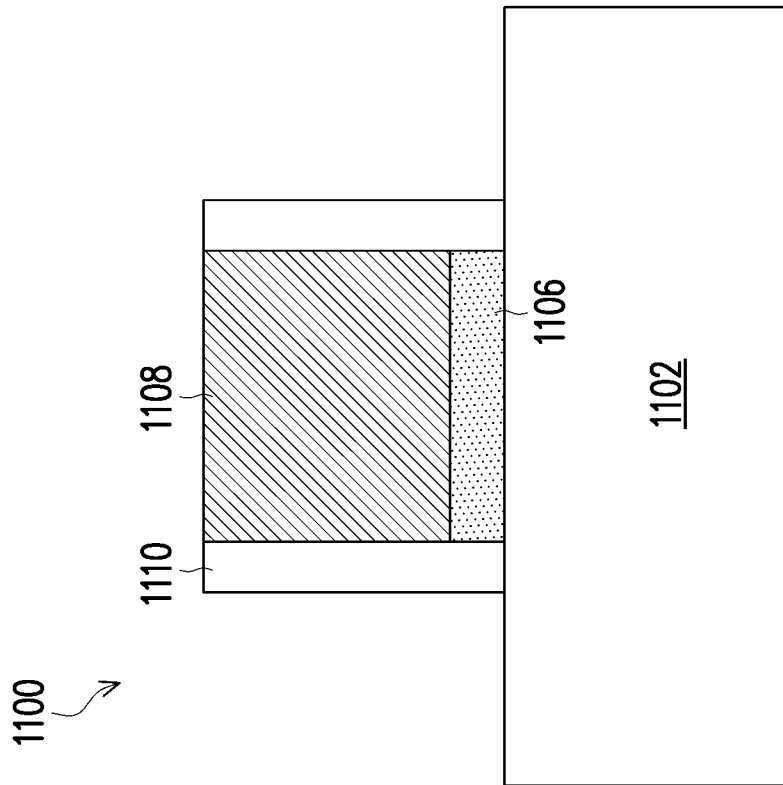
【圖9F】



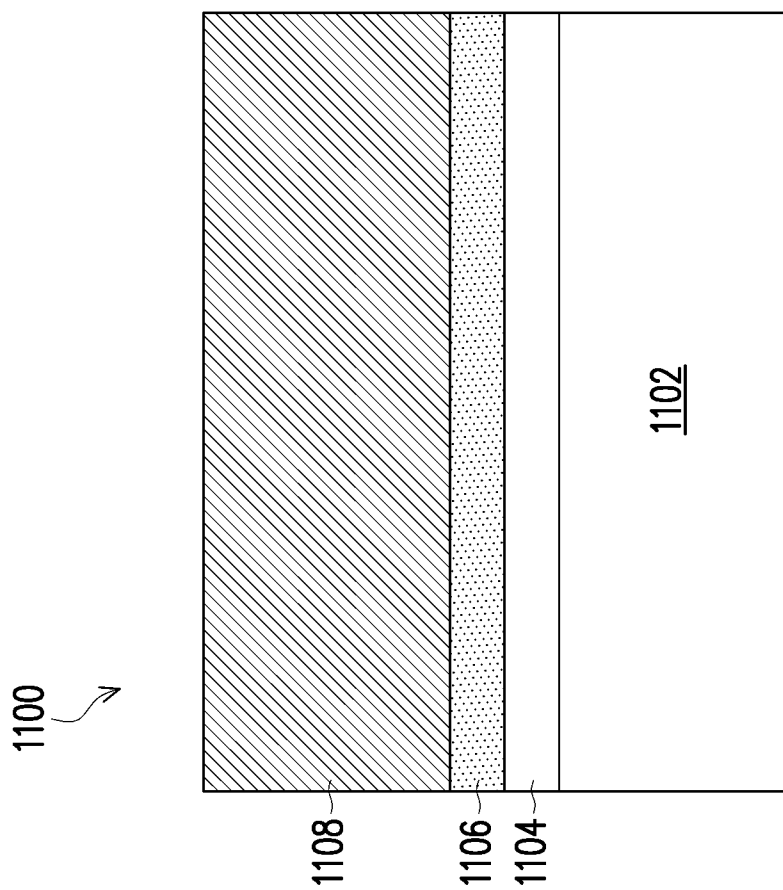
【圖9G】



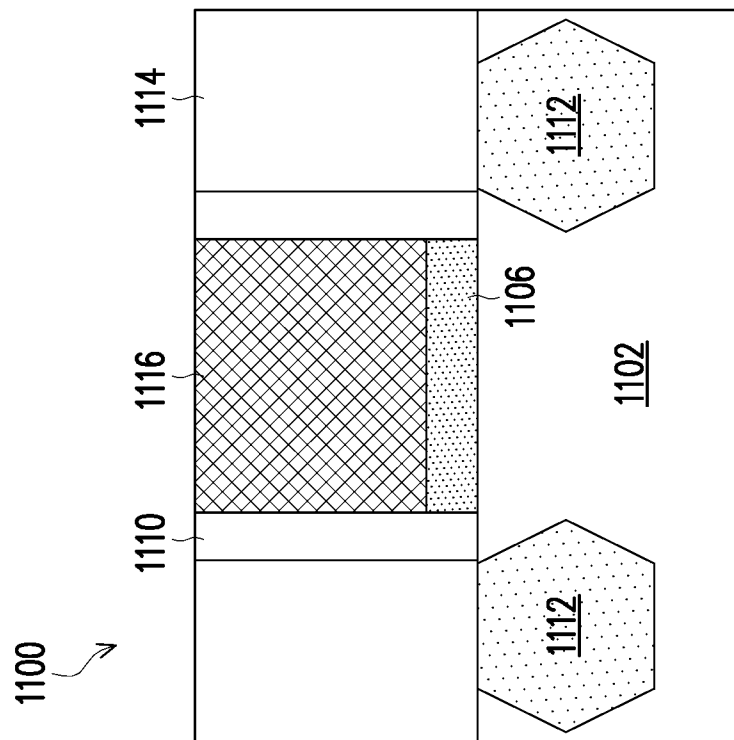
【圖10】



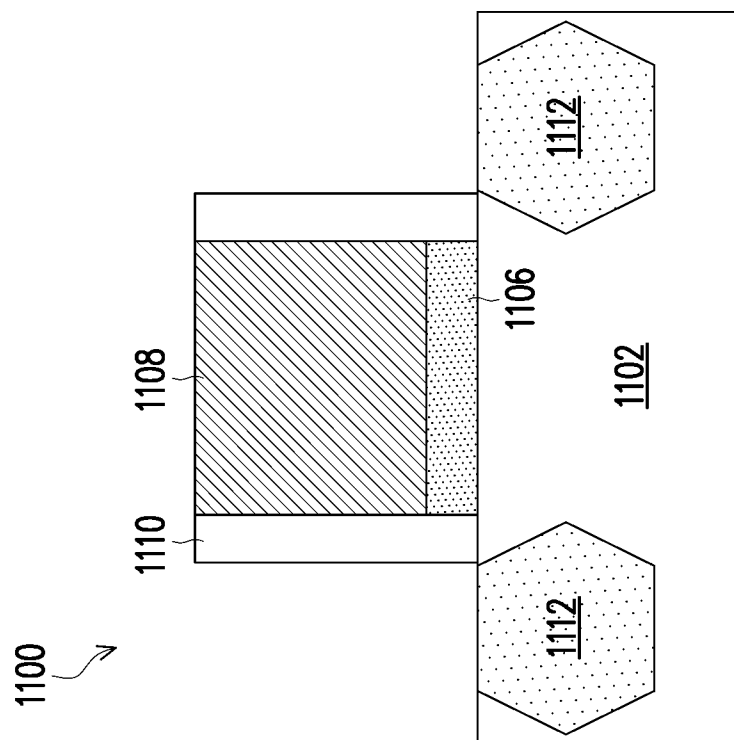
【圖11B】



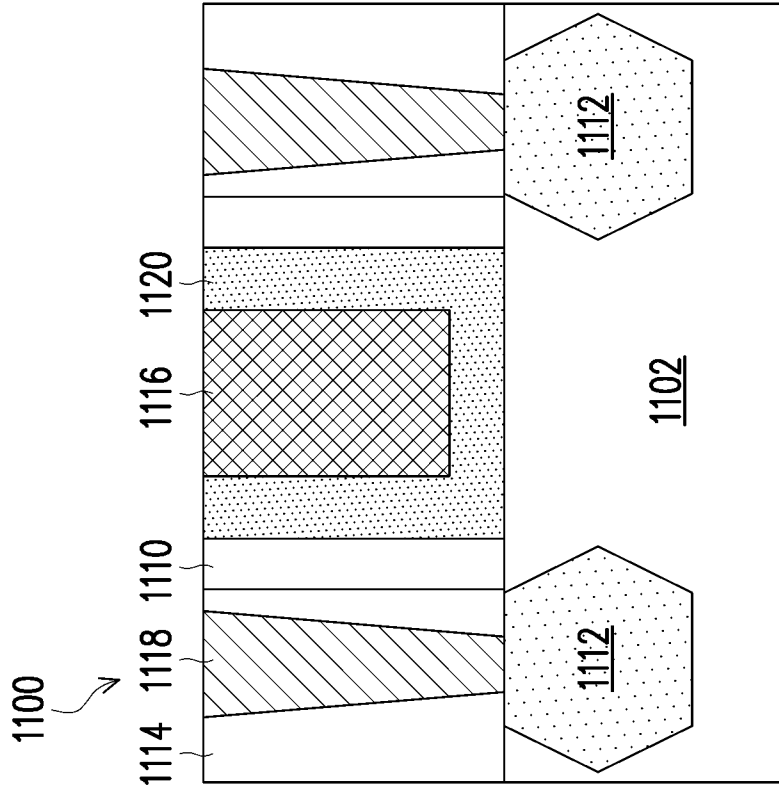
【圖11A】



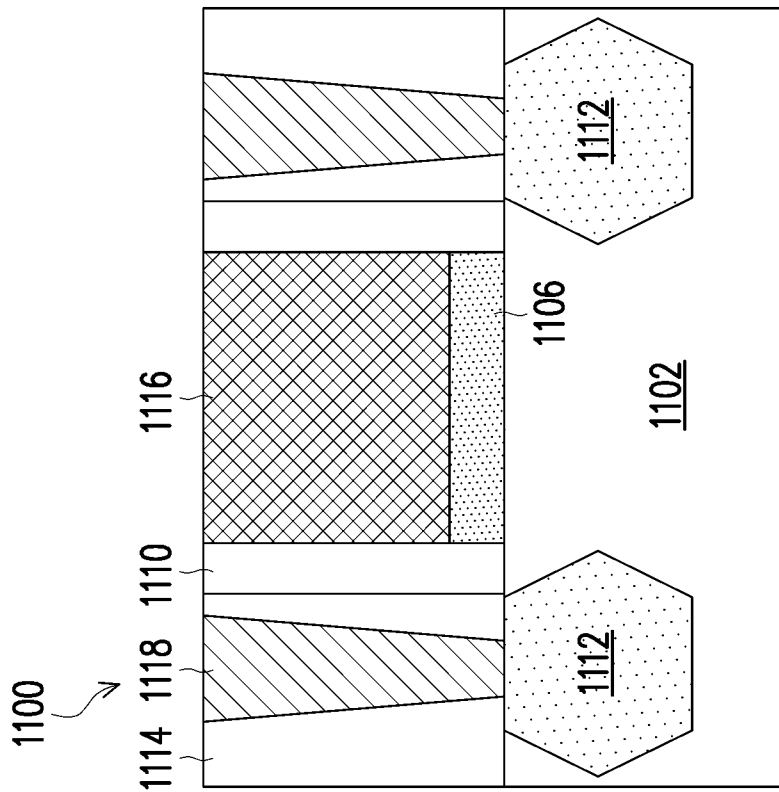
【圖11D】



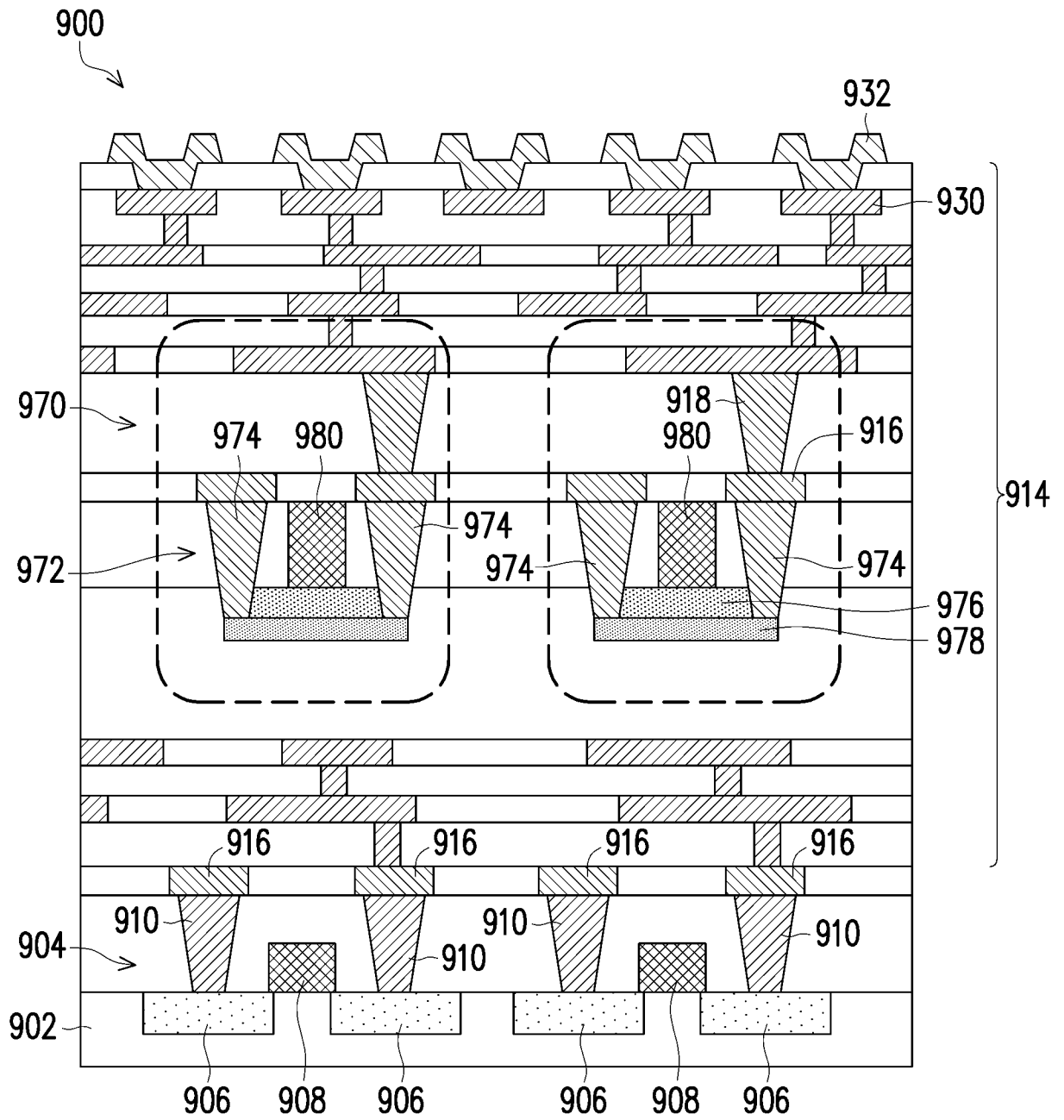
【圖11C】



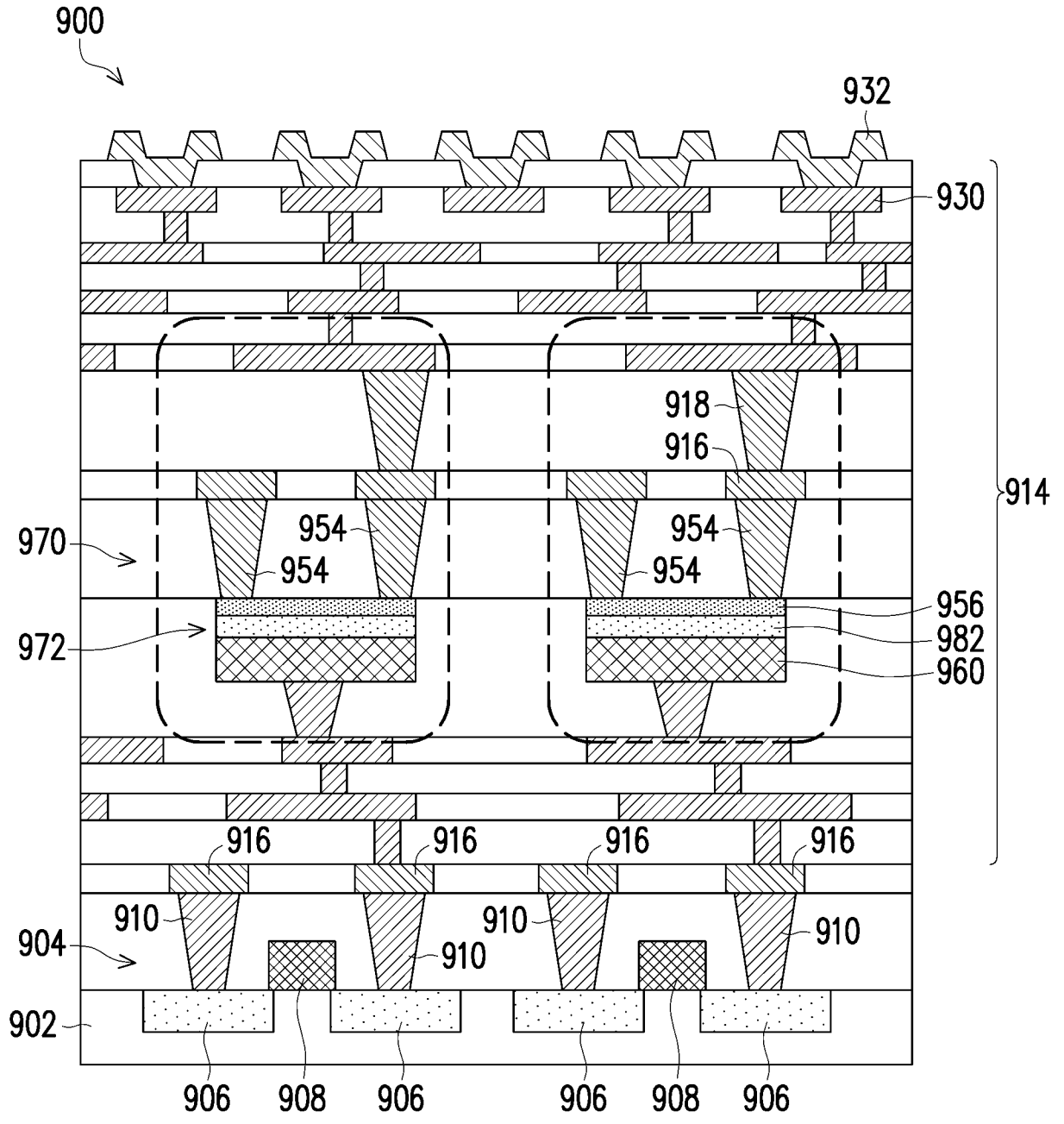
【圖11F】



【圖11E】



【圖12】



【圖13】