公告本

發明專利說明書

101年12月18日修正替換頁(本)

中文說明書替換本(101年12月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：097129095

※ 申請日期：97.7.31　　※IPC 分類：G09G3/36；G02F1/133 (2006.01)
H03K 17/28

一、發明名稱：(中文/英文)

延遲電路，半導體控制電路，顯示裝置及電子裝置

DELAY CIRCUIT, SEMICONDUCTOR CONTROL CIRCUIT, DISPLAY DEVICE, AND ELECTRONIC DEVICE

二、申 請 人：(共 1 人)

姓名或名稱：(中文/英文)

日商日本顯示器西股份有限公司

JAPAN DISPLAY WEST INC.

代表人：(中文/英文)

西　康宏

NISHI, YASUHIRO

住居所或營業所地址：(中文/英文)

日本愛知縣知多郡東浦町大字緒川字上舟木50番地

50 AZA KAMIFUNAKI, O-AZA OGAWA, HIGASHIURA-CHO, CHITA-GUN, AICHI-KEN, 470-2102 JAPAN

國　籍：(中文/英文)

日本　JAPAN

S

三、發明人：(共 2 人)

姓　名：(中文/英文)

1. 維拉朋　佳魯龐菲
   JARUPOONPHOL, WERAPONG
2. 木田　芳利
   KIDA, YOSHITOSHI

國　籍：(中文/英文)

1. 泰國　THAILAND
2. 日本　JAPAN

四、聲明事項：

☐主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2007年08月30日；特願2007-224925

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

S

五、中文發明摘要：

本發明揭示一種延遲電路，其用於在兩個級中實行一充電與一放電中之一者，並延遲一信號，該延遲電路包括：一輸出區段，其經組態以輸出一延遲的信號；兩個電源供應；以及一延遲反相器；其中該延遲反相器具有一相同通道類型之一第一電晶體與一第二電晶體，用於一第一充電與一第一放電中之一者，該第一電晶體與該第二電晶體係彼此串聯連接於該輸出區段與一電源供應之間，且該延遲反相器具有一通道類型不同於該第一電晶體與該第二電晶體之一第三電晶體，用於一第二充電與一第二放電中之一者，該第三電晶體係與該第一電晶體及該第二電晶體中之一者並聯連接。

六、英文發明摘要：

Disclosed herein is a delay circuit for performing one of a charge and a discharge in two stages, and delaying a signal, the delay circuit including an output section configured to output a delayed signal; two power supplies; and a delay inverter; wherein the delay inverter has a first transistor and a second transistor of an identical channel type for one of a first charge and a first discharge, the first transistor and the second transistor being connected in series with each other between the output section and one power supply, and the delay inverter has a third transistor of a different channel type from the first transistor and the second transistor for one of a second charge and a second discharge, the third transistor being connected in parallel with one of the first transistor and the second transistor.

七、指定代表圖：

(一)本案指定代表圖為：第(7)圖。

(二)本代表圖之元件符號簡單說明：

40	延遲緩衝器電路
IN	輸入
INV41	延遲反相器電路
NDA	節點
NDB	節點
OUT	輸出
Qn41	第一N通道MOS電晶體
Qn42	第二N通道MOS電晶體
Qp41	第一P通道MOS電晶體
Qp42	第二P通道MOS電晶體
Qp43	第三P通道MOS電晶體
Qp44	第四P通道MOS電晶體
VDD	電源供應
VSS	電源供應

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於一延遲電路、一半導體控制電路、一顯示裝置及一電子裝置。

相關申請案交互參考

本發明包含的標的與2007年8月30日在日本專利局申請的日本專利申請案JP2007-224925相關，其全部內容以引用方式併入本文中。

【先前技術】

一般而言，當在與一驅動電路整合的一顯示裝置之一絕緣基板上形成一反相器電路時，在針對TFT(薄膜電晶體)之一多晶矽程序或一非晶矽程序中，諸如臨限電壓Vth、遷移率μ及類似者的電晶體特性之變更大於一單晶程序。

圖1係顯示藉由彼此連接兩個級中的典型CMOS(互補式金氧半導體)反相器電路所形成之一緩衝器電路(下稱一延遲緩衝器電路)的圖式。

此電路具有簡單組態(小區域)、小洩漏電流(低功率消耗)及類似者的優點。

然而，已知一輸出OUT相對於一輸入IN的延遲量根據一N通道電晶體(下稱Nch Tr)或一P通道電晶體(下稱Pch Tr)之特性(臨限電壓與遷移率)的變更而變化。

即，延遲量係表示該電晶體之特性的數量之一者。當該電晶體之特性較差時，該延遲量較大。當該電晶體之特性較佳時，該延遲量較小。

一數位電路可容易地比較該延遲量。因而，當可精確偵測該延遲量時，應容易偵測該電晶體之特性。

然而，藉由CMOS電晶體形成之典型反相器的延遲量大大取決於Nch Tr與Pch Tr兩者，並因而係不實際的。

例如，圖2係顯示藉由一多晶矽程序製造之一延遲緩衝器電路的延遲量與Nch Tr及Pch Tr之特性之間之關係的圖式。

幾個非專利與專利文件中說明僅藉由單通道電晶體形成之反相器電路。

例如，在Hisashi Hara的"MOS積體電路之基本原理(Fundamentals of MOS Integrated Circuit)" (Kindai Kagaku Sha公司，第94至96頁)(下稱非專利文件1)中引入一啟動型反相器電路。圖3係顯示在非專利文件1中說明之電路的圖式。

圖3之電路包括三個單通道電晶體(Pch Tr) Q11、Q12及Q13與一電容器C11。

圖4係顯示在日本專利特許公開案第2005-143068號(下稱專利文件1)中引入的使用單通道電晶體(Pch Tr)之一啟動型反相器電路的圖式。

一電晶體Qp21具有連接至一VDD電源供應之一源極，並具有經由一電路輸入端子21以一輸入信號IN供應之一閘極。一輸出信號OUT係經由一電路輸出端子22自該電晶體Qp21之汲極導出。

一電晶體Qp22具有一連接至該電晶體Qp21之汲極的源

極，並具有一連接至一VSS電源供應的汲極。一電容Cp21係連接於該電晶體Qp22之閘極與源極之間。該電容Cp21與該電晶體Qp22一起形成一啟動電路23。

一電晶體Qp23具有一連接至該電晶體Qp22之汲極的源極，並具有一連接至該VSS電源供應的汲極。以一參考信號REF1來供應該電晶體Qp23之閘極。該電晶體Qp23之源極與該電晶體Qp22之閘極之間的連接點將係成為一節點ND。一電晶體Qp24具有連接至該VDD電源供應之一源極，並具有連接至該節點ND之一汲極。以一參考信號REF2來供應該電晶體Qp24之閘極。

圖5係顯示圖4之電路中的輸入信號IN、參考信號REF1與REF2、節點ND之電位及輸出信號OUT之間的時序關係之個別位準的圖式。

該參考信號REF1處於一VSS位準之一週期係稱為一預充電週期。該參考信號REF2處於該VSS位準之一週期係稱為一重設週期。

藉由提供此等重設與預充電週期，可抑制一洩漏電流，使該輸出信號OUT之電位的振幅等於該輸入信號IN之電位的振幅，並增加級數。

【發明內容】

然而，非專利文件1中說明的電路消耗較高功率，並因而不適合於低功率消耗，低功率消耗係下一代行動裝置的主題之一者。

專利文件1中引入的啟動型反相器電路在洩漏消耗的功

率上受到改良，但具有一較大電路規模(針對每一延遲緩衝器之電晶體與2個電容)。此外，必需複數個輸入信號。該啟動型反相器電路並不適合於一較窄訊框。

即，存在大量電路構成元件，必需該等電路輸入信號REF1與REF2以及該電路輸入信號IN(即，必需針對佈線之一佈局區域與針對一信號產生電路之一區域及類似者)，並且仍存在一預充電週期，在該週期期間一洩漏電流流動。因而，該啟動型反相器電路並不適合於一更窄訊框與更低功率消耗。

如上面所說明，一般而言，針對在與一驅動電路整合的一顯示裝置之一絕緣基板上形成之TFT(薄膜電晶體)的一多晶矽程序或一非晶矽程序中，諸如臨限電壓Vth、遷移率μ及類似者的電晶體特性之變更大於一單晶程序。

因而，在進行設計時，電晶體大小係增加或驅動電源供應電壓之位準係升高以確保該等較大變更之一充足操作邊限。

因此，例如由於該較大電晶體大小所致的功率消耗之增加與較大訊框變成一問題。已建議許多技術，包括用於減低功率消耗之一驅動系統與一窄訊框佈局方法。

圖6係顯示用於減低功率消耗之一驅動系統的組態之一範例的圖式(例如，參見日本專利特許公開案第2007-60722號)。

藉由一延遲電路31與一相位頻率比較電路32形成之一速度監視電路33接收一用於改變速度之控制信號，並依據該

速度監視電路33之操作速度來輸出一速度偵測信號。

一基板偏壓控制電路34基於藉由該速度監視電路33輸出之速度偵測信號S33來偵測該速度監視電路之操作速度，比較該速度監視電路之操作速度與一控制信號，並產生一PMOS (P通道金氧半導體)基板偏壓與一NMOS (N通道金氧半導體)基板偏壓以使得該操作速度變成一所需值。接著，該基板偏壓控制電路34將該PMOS基板偏壓與該NMOS基板偏壓供應至該速度監視電路33與一主電路35之一半導體區域，其中各形成區域Pch Tr與Nch Tr。因而，獲得一半導體控制電路，藉其適應電晶體變更並實現良率之改良與更高速度。

然而，此技術需要使用該等基板偏壓電壓以便保持一所需操作速度。

該技術不可一般地應用於形成於一絕緣基板上而不具有一基板偏壓的電晶體。

此外，因為不提供一滯後特性，故基板偏壓值係交替選擇，並且一所需速度值可能不會保留於一中心。因而，存在一不穩定狀態。此外，不存在更低功率消耗的優點。

需要提供可實現更窄訊框與更低功率消耗之一延遲電路、一半導體控制電路、一顯示裝置及一電子裝置。

依據本發明之一第一具體實施例，提供一延遲電路，其用於在兩個級中實行一充電與一放電之一者並延遲一信號，該延遲電路包括：一輸出區段，其經組態用以輸出一延遲的信號；兩個電源供應；以及一延遲反相器；其中該

延遲反相器具有一相同通道類型之一第一電晶體與一第二電晶體用於一第一充電與一第一放電之一者，該第一電晶體與該第二電晶體係彼此串聯連接於該輸出區段與一電源供應之間，並且該延遲反相器具有一通道類型不同於該第一電晶體與該第二電晶體之一第三電晶體用於一第二充電與一第二放電之一者，該第三電晶體係與該第一電晶體及該第二電晶體之一者並聯連接。

較佳的係，在該延遲反相器之一輸入前面的相反相位之一脈衝係供應至該第一電晶體與該第二電晶體之閘極，並且以該延遲反相器之輸入前面的相反相位之脈衝來實行該第一充電與該第一放電之一者，而該延遲反相器之一輸入脈衝係供應至該第三電晶體之一閘極，並且以該延遲反相器之輸入脈衝來實行該第二充電與該第二放電之一者。

依據本發明之一第二具體實施例，提供一延遲電路，其用於在兩個級中實行一充電與一放電之一者並延遲一信號，該延遲電路包括：一輸出區段，其經組態用以輸出一延遲的信號；兩個電源供應；以及一延遲反相器；其中該延遲反相器具有一相同通道類型之一第一電晶體與一第二電晶體用於一第一充電與一第一放電之一者，該第一電晶體與該第二電晶體係彼此串聯連接於該輸出區段與一電源供應之間，並且該延遲反相器具有一通道類型不同於該第一電晶體與該第二電晶體之一第三電晶體用於一第二充電與一第二放電之一者，該第三電晶體係與該第一電晶體及該第二電晶體之一者並聯連接，並且該延遲反相器具有通

道類型與該第三電晶體相同之一第四電晶體與一第五電晶體用於該第一充電與該第一放電之一者，該第四電晶體與該第五電晶體係彼此串聯連接於該輸出區段與另一電源供應之間，並且該延遲反相器具有通道類型與該第一電晶體及該第二電晶體相同之一第六電晶體用於該第二充電與該第二放電之一者，該第六電晶體係與該第四電晶體及該第五電晶體之一者並聯連接。

依據本發明之一第三具體實施例，提供一半導體控制電路，其用於將一控制信號供應至要控制之一電路，該半導體控制電路包括：一延遲電路，其用於接收一偵測脈衝，並依據電晶體特性來輸出具有不同延遲量的複數個延遲的信號；一取樣電路，其用於以該偵測脈衝作為一參考信號來取樣該延遲電路之延遲的信號；以及一滯後特性產生電路，其用於依據藉由該取樣電路取樣的複數個延遲的信號之間的差異來產生具有一滯後特性之控制信號。

較佳的係，該延遲電路包括複數個不同通道類型之延遲串聯。

依據本發明之一第四具體實施例，提供一顯示裝置，其包括：一有效顯示區段；至少一週邊電路，其用於實行與該有效顯示區段之操作相關的處理；以及一半導體控制電路，其用於以該週邊電路作為一要控制之電路來輸出一控制信號；該有效顯示區段、該週邊電路及該半導體控制電路係彼此整合地形成於一絕緣基板上；其中該半導體控制電路包括：一延遲電路，其用於接收一偵測脈衝，並依據

電晶體特性來輸出具有不同延遲量的複數個延遲的信號；一取樣電路，其用於以該偵測脈衝作為一參考信號來取樣該延遲電路之延遲的信號；以及一滯後特性產生電路，其用於依據藉由該取樣電路取樣的複數個延遲的信號之間的差異來產生具有一滯後特性之控制信號。

依據本發明之一第五具體實施例，提供具有一顯示裝置之一電子裝置，其中該顯示裝置包括：一有效顯示區段；至少一週邊電路，其用於實行與該有效顯示區段之操作相關的處理；以及一半導體控制電路，其用於以該週邊電路作為一要控制之電路來輸出一控制信號；該有效顯示區段、該週邊電路及該半導體控制電路係彼此整合地形成於一絕緣基板上並且該半導體控制電路包括：一延遲電路，其用於接收一偵測脈衝，並依據電晶體特性來輸出具有不同延遲量的複數個延遲的信號；一取樣電路，其用於以該偵測脈衝作為一參考信號來取樣該延遲電路之延遲的信號；以及一滯後特性產生電路，其用於依據藉由該取樣電路取樣的複數個延遲的信號之間的差異來產生具有一滯後特性之控制信號。

依據本發明之具體實施例，一半導體控制電路係形成於與一驅動電路整合的一顯示裝置之一絕緣基板上。可實現低功率消耗、簡單組態、小佈局區域及僅根據一電晶體類型(Pch Tr或Nch Tr)實行的延遲處理。

依據本發明之具體實施例，可實現一更窄訊框與較低功率消耗。

【實施方式】

下文中將參考圖式說明本發明之較佳具體實施例。

圖7係顯示依據本發明之一具體實施例的僅根據Pch Tr之特性來延遲的作為使用一延遲反相器電路之一延遲電路的一延遲緩衝器電路的圖式。

下文中，使用一延遲反相器之一延遲緩衝器電路將係用作一範例以促進本發明之說明。

依據本發明之一延遲緩衝器電路40具有一第一至一第四P通道MOS電晶體Qp41至Qp44及一第一與一第二N通道MOS電晶體Qn41與Qn42。

此時，一延遲反相器電路INV41具有該等P通道MOS電晶體Qp42至Qp44與該N通道MOS電晶體Qn42。

一電路輸入IN係連接至該等電晶體Qp41與Qn41之閘極，並亦係連接至下一級中的電晶體Qp43與Qp44之閘極。藉由該等電晶體Qp41與Qn41形成之一反相器的輸出將係稱為一節點NDA。該節點NDA係連接至該等電晶體Qp42與Qn42之閘極。

該等電晶體Qp41與Qp42之源極係連接至一正極側電源供應VDD(下稱一VDD電源供應)。

該等電晶體Qn41與Qn42之源極與該電晶體Qp44之汲極係連接至一負極側電源供應VSS(下稱VSS電源供應)。該電晶體Qp43之源極係連接至該電晶體Qp42之汲極，其中導出一電路輸出信號OUT。該電晶體Qp43之汲極係連接至該電晶體Qn42之汲極與該電晶體Qp44之源極。該電晶體

Qp43之汲極連接至該電晶體Qn42之汲極與該電晶體Qp44之源極的連接點將被稱為節點NDB。

考量一典型CMOS反相器(圖1)作為一基底，在本具體實施例中，作為開關元件的P通道電晶體Qp43與Qp44係布置於一輸出部分與一電源供應部分(在此情況下係VSS)之間。

圖8係說明圖7所示之延遲緩衝器電路之操作的輔助時序圖。

在週期t41中，當一電路輸入信號IN開始自一VDD位準改變至一VSS位準時，該電晶體Qp41於達到VDD-|Vpth|之一時間點係開啟。該節點NDA之電位係自該VSS位準上升，並且同時，該等電晶體Qp43與Qp44同樣係開啟。因而，該節點NDB與一OUT電位發生短路。該節點NDB之電位係升高至該輸出信號OUT之電位，同時實行至該VSS電源供應之放電。此週期t41將被稱為步驟1放電週期。

在下一週期t42中，當該輸入信號IN係降低至該VSS位準時，該節點NDB與該輸出信號OUT發生短路，並因而該節點NDB係最低VSS+|Vpth|(該電晶體Qp43之開啟電阻係設定充分低於藉由該等電晶體Qn42與Qp44形成之一CMOS開關的開啟電阻)。

因為該節點NDA處於該VDD位準，故該電晶體Qn42係開啟，並且該節點NDB之電位繼續進一步降低至該VSS位準。

在該輸入信號IN與該節點NDB之間存在一些寄生電容

(例如該電晶體Qp43之閘極至汲極電容Cgd與該電晶體Qp44之閘極至源極電容Cgs)。受到此等寄生電容之耦合，該輸入信號IN之電位係降低至低於該VSS位準之一電位。

此外，由於該電晶體Qp43之源極至汲極電容Csd所致，該輸出OUT亦係降低該節點NDB之電位改變。同樣，由於前一級中之一輸出部分中的一電晶體之源極至汲極電容Csd所致，該輸入信號IN係降低。假設該輸入信號IN係減低之數量為ΔV。可以說ΔV僅取決於一P通道電晶體特性。此週期t42將係稱為步驟2放電週期。

依據以上說明，藉由在兩個級中提供步驟1與步驟2放電週期，可使該輸出信號OUT之下降時序相對於該輸入信號IN之下降時序之一延遲實質上僅取決於該P通道電晶體之特性。在週期t43中，當該輸入信號IN在自該VSS位準至該VDD位準改變時，該電晶體Qn41係在達到一VSS+|Vnth|之位準時開啟。該節點NDA從而係降低。當該節點NDA之電位係降低至一VDD-|Vpth|之位準時，該電晶體Qp42係開啟，並且該輸出OUT從而係升高。因此，該輸出信號OUT之上升時序相對於該輸入信號IN之上升時序之一延遲量取決於Pch Tr與Nch Tr兩者的特性。然而，此並不呈現問題，因為該下降時序中的延遲量僅取決於一電晶體之特性，並因而足以偵測在一絕緣基板上形成的電晶體之特性。

圖9係顯示依據本發明之一第二具體實施例的僅根據Nch Tr之特性來延遲之一延遲緩衝器電路的圖式。

依據本發明之一延遲緩衝器電路50具有一第一至一第四N通道MOS電晶體Qn51至Qn54及一第一與一第二P通道MOS電晶體Qp51與Qp52。

此時，一延遲反相器電路INV51具有該等N通道MOS電晶體Qn52至Qn54與該P通道MOS電晶體Qp52。

一電路輸入IN係連接至該等電晶體Qn51與Qp51之閘極，並亦係連接至下一級中的電晶體Qn53與Qn54之閘極。藉由該等電晶體Qn51與Qp51形成之一反相器的輸出將係稱為一節點NDA。該節點NDA係連接至該等電晶體Qn52與Qp52之閘極。

該等電晶體Qn51與Qn52之源極係連接至一負極側電源供應VSS。該等電晶體Qp51與Qp52之源極與該電晶體Qn54之汲極係連接至一正極側電源供應VDD。

該電晶體Qn53之源極係連接至該電晶體Qn52之汲極，其中導出一電路輸出信號OUT。該電晶體Qn53之汲極係連接至該電晶體Qp52之汲極與該電晶體Qn54之源極。其中該電晶體Qn53之汲極係連接至該電晶體Qp52之汲極與該電晶體Qn54之源極的連接點將係稱為一節點NDB。

圖10係說明圖9所示之延遲緩衝器電路之操作的輔助時序圖。

在週期t51中，當一電路輸入信號IN開始自一VSS位準至一VDD位準改變時，該電晶體Qn51於達到VSS+|Vnth|之一時間點係開啟。該節點NDA之電位係自該VDD位準降低，並且同時，該等電晶體Qn53與Qn54同時係開啟。因而，

該節點NDB與一OUT電位發生短路。該節點NDB之電位係降低至該輸出信號OUT之電位，同時自該VDD電源供應之一充電係實行。此週期t51將係稱為步驟11充電週期。

在下一週期t52中，當該輸入信號IN係升高至該VDD位準時，該節點NDB與該輸出信號OUT發生短路，並因而該節點NDB之電位係最高VDD-|Vnth|(該電晶體Qn53之開啟電阻係設定充分低於藉由該等電晶體Qn54與Qp52形成之一CMOS開關的開啟電阻)。

因為該節點NDA處於該VSS位準，故該電晶體Qp52係開啟，並且該節點NDB之電位繼續進一步升高至該VDD位準。

在該輸入信號IN與該節點NDB之間存在一些寄生電容(例如該電晶體Qn53之閘極至汲極電容Cgd與該電晶體Qn54之閘極至源極電容Cgs)。受到此等寄生電容之耦合，該輸入信號IN之電位係升高至高於該VDD位準之一電位。

此外，由於該電晶體Qn53之源極至汲極電容Csd所致，該輸出OUT亦係升高該節點NDB之電位改變。同樣，由於前一級中之一輸出部分中的一電晶體之源極至汲極電容Csd所致，該輸入信號IN係升高。假設該輸入信號IN係升高之數量為ΔV。可以說ΔV僅取決於一N通道電晶體特性。此週期t52將係稱為步驟21充電週期。

因而，藉由提供步驟11與步驟12充電週期，可以說該輸出信號OUT之上升時序相對於該輸入信號IN之上升時序之一延遲實質上僅取決於該N通道電晶體之特性。

在週期t53中，當該輸入信號IN係自該VDD位準至該VSS位準改變時，該電晶體Qp51係在達到一VDD-|Vpth|之位準時開啟。該節點NDA從而係升高。

當該節點NDA之電位係升高至一VSS+|Vnth|之位準時，該電晶體Qn52係開啟，並且該輸出OUT從而係降低。因此，該輸出信號OUT之下降時序相對於該輸入信號IN之下降時序之一延遲量取決於Pch Tr與Nch Tr兩者的特性。

然而，此並不呈現問題，因為該上升時序中的延遲量僅取決於一電晶體之特性，並因而足以偵測在一絕緣基板上形成的電晶體之特性。

上面已說明本發明之第一與第二具體實施例。可製造延遲僅取決於一通道電晶體特性而與該CMOS電晶體之組態無關的延遲緩衝器電路。將基於該等具體實施例來顯示一修改範例。

依據一使用，當(例如)需要偵測一P通道電晶體與一N通道電晶體兩者之特性時，必需一僅取決於該N通道電晶體之特性的延遲緩衝器與一僅取決於該P通道電晶體之特性的延遲緩衝器。

藉由組合說明說明的第一具體實施例與第二具體實施例，可以一延遲緩衝器(元件數目：八個電晶體)來偵測兩種通道類型之電晶體的特性。

當使用已引入專利文件1之技術，必需十六個電晶體與四個電容作為針對一N通道電晶體與一P通道電晶體兩者之一緩衝器的元件。若要使用M個緩衝器，從元件數目的觀

點來看可省略M×(八個電晶體+四個電容)。

圖11係顯示獨立地根據Pch Tr之特性與Nch Tr之特性之每一者來延遲的一延遲緩衝器電路的圖式，該延遲緩衝器電路係依據本發明之具體實施例的延遲緩衝器電路之一修改範例。

依據本修改範例之一延遲緩衝器電路60具有一第一至一第四P通道MOS電晶體Qp61至Qp64及一第一至一第四N通道MOS電晶體Qn61至Qn64。

此時，一延遲反相器電路INV61具有該等N通道MOS電晶體Qn62至Qn64與該P通道MOS電晶體Qp62至Qp64。

一電路輸入IN係連接至該等電晶體Qp61與Qn61之閘極，並亦係連接至下一級中的電晶體Qp63、Qp64、Qn62及Qn63之閘極。

藉由該等電晶體Qp61與Qn61形成之一反相器的輸出將係稱為一節點NDA。該節點NDA係連接至該等電晶體Qp62與Qn64之閘極。

該等電晶體Qp61與Qp62之源極與該電晶體Qn62之汲極係連接至一正極側電源供應VDD。該等電晶體Qn61與Qn64之源極與該電晶體Qp64之汲極係連接至一負極側電源供應VSS。

該電晶體Qp63之源極係連接至該電晶體Qn63之源極。其中該電晶體Qp63之汲極係連接至該電晶體Qn64之汲極與該電晶體Qp64之源極。該電晶體Qp63之汲極係連接至該電晶體Qn64之汲極與該電晶體Qp64之源極的連接點將

係稱為一節點NDC。

該電晶體Qn63之源極係連接至該電晶體Qp63之源極。該電晶體Qn63之汲極係連接至該電晶體Qp62之汲極與該電晶體Qn62之源極。其中該電晶體Qn63之汲極係連接至該電晶體Qp62之汲極與該電晶體Qn62之源極的連接點將係稱為一節點NDB。

一電路輸出信號端子OUT係彼此佈線連接該電晶體Qn63之源極與該電晶體Qp63之源極。

圖12係說明圖11所示之延遲緩衝器電路之操作的輔助時序圖。

在週期t61中，當一電路輸入信號IN開始自一VDD位準至一VSS位準改變時，該電晶體Qp61於達到VDD-|Vpth|之一時間點係開啟。該節點NDA之電位係自該VSS位準上升，並且同時，該等電晶體Qp63與Qp64同樣係開啟。因而，該節點NDC與一OUT電位發生短路。該節點NDC之電位係升至該輸出信號OUT之電位，同時至該VSS電源供應之一放電係實行。此週期t61將係稱為步驟21放電週期。

在下一週期t62中，當該輸入信號IN係降低至該VSS位準時，該節點NDC與該輸出信號OUT發生短路，並因而該節點NDC係最低VSS+|Vpth|(該電晶體Qp63之開啟電阻係設定充分低於藉由該等電晶體Qn64與Qp64形成之一CMOS開關的開啟電阻)。因為該節點NDA處於該VDD位準，故該電晶體Qn64係開啟，並且該節點NDC之電位繼續進一步降低至該VSS位準。

在該輸入信號IN與該節點NDC之間存在一些寄生電容(例如該電晶體Qp63之閘極至汲極電容Cgd與該電晶體Qp64之閘極至源極電容Cgs)。受到此等寄生電容之耦合，該輸入信號IN之電位係降低至低於該VSS位準之一電位。

此外，由於該電晶體Qp63之源極至汲極電容Csd所致，該輸出OUT亦係降低該節點NDC之電位改變。

同樣，由於前一級中之一輸出部分中的一電晶體之源極至汲極電容Csd所致，該輸入信號IN係降低。假設該輸入信號IN係減低之數量為ΔV1。可以說ΔV1僅取決於一P通道電晶體特性。此週期t62將係稱為步驟22放電週期。

因而，藉由提供步驟21與步驟22放電週期，可以說該輸出信號OUT之下降時序相對於該輸入信號IN之下降時序之一延遲實質上僅取決於該P通道電晶體之特性。

週期t63係其中在週期t62中改變的電位之狀態係保持的週期。該輸入信號IN係VSS−ΔV1 (ΔV1>0)。該節點NDA處於該VDD位準。該節點NDC處於該VSS位準。該輸出信號OUT係VSS−ΔV1 (ΔV1>0)。

在週期t64中，當該電路輸入信號IN開始自該VSS位準至該VDD位準改變時，該電晶體Qn61於達到VSS+|Vnth|之一時間點係開啟。該節點NDA之電位係自該VDD位準降低，並且同時，該等電晶體Qn63與Qn64同時係開啟。因而，該節點NDB與該OUT電位發生短路。該節點NDB之電位係降低至該輸出信號OUT之電位，同時自該VDD電源供應之一充電係實行。此週期t64將係稱為步驟31充電週期。

在下一週期t65中，當該輸入信號IN係升高至該VDD位準時，該節點NDB與該輸出信號OUT發生短路，並因而該節點NDB之電位係最高VDD-|Vnth|(該電晶體Qn63之開啟電阻係設定充分低於藉由該等電晶體Qn62與Qp62形成之一CMOS開關的開啟電阻)。

因為該節點NDA處於該VSS位準，故該電晶體Qp62係開啟，並且該節點NDB之電位繼續進一步升高至該VDD位準。在該輸入信號IN與該節點NDB之間存在一些寄生電容(例如該電晶體Qn63之閘極至汲極電容Cgd與該電晶體Qn62之閘極至源極電容Cgs)。受到此等寄生電容之耦合，該輸入信號IN之電位係升高至高於該VDD位準之一電位。

此外，由於該電晶體Qn63之源極至汲極電容Csd所致，該輸出OUT亦係升高該節點NDB之電位改變。

同樣，由於前一級中之一輸出部分中的一電晶體之源極至汲極電容Csd所致，該輸入信號IN係升高。假設該輸入信號IN係升高之數量為ΔV2。可以說ΔV2僅取決於一N通道電晶體特性。此週期t65將係稱為步驟32充電週期。

因而，藉由提供步驟31與步驟32充電週期，可以說該輸出信號OUT之上升時序相對於該輸入信號IN之上升時序之一延遲實質上僅取決於該N通道電晶體之特性。

上面說明的修改範例係一延遲緩衝器，其可作為一延遲緩衝器來偵測一P通道電晶體與一N通道電晶體之個別特性並將該P通道電晶體與該N通道電晶體之個別特性表示為延遲量。

已作為一範例來說明一簡單組態、一小佈局區域、一具有僅根據一電晶體類型(Pch Tr或Nch Tr)延遲之一特性的延遲反相器電路及一在依據本發明之具體實施例之一延遲緩衝器中使用該延遲反相器的情況。然而，本發明並不受限於此。本發明之具體實施例適用於在電路操作中不根據僅一電晶體之特性延遲的一般電路以及適用於依據本發明之具體實施例的延遲緩衝器。

此外，本發明之具體實施例並不限於一使用形成於一絕緣基板上之多晶矽的電路。本發明之具體實施例適用於使用缺陷矽的一般電路。

如上面所說明，依據本具體實施例，複數個開關元件係插入一輸出部分與一電源供應之間，並且一輸出電位係藉由此等開關元件在兩個級中予以放電(充電)。

因此，可實現一簡單電路組態、空間節省及高精度，因為未使用已知具有較大變更的電容。

此外，因為可僅根據一電晶體之特性來產生一延遲，故存在許多且各種應用，例如一應用，其中形成於一相同絕緣基板上的一電路之電晶體特性係偵測並回授至一電源供應電壓與所有控制信號，並且該等控制信號以該電晶體特性之變更來回應。因此，可預期一良率之改良(成本減低)、一效能之改良(高可靠性)及類似者。

接下來將說明一半導體控制電路，其可採用如上面所說明之一延遲緩衝器電路(延遲電路)並係形成於與一驅動電路整合的一顯示裝置之一絕緣基板上。

如上面所說明，針對在與一驅動電路整合的一顯示裝置之一絕緣基板上形成之TFT的一多晶矽程序或一非晶矽程序中，諸如臨限電壓Vth、遷移率μ及類似者的電晶體特性之變更大於一單晶程序。因而，在進行設計時，電晶體大小係增加或驅動電源供應電壓之位準係升高以確保該等較大變更之一充足操作邊限。因而，例如由於該較大電晶體大小所致的功率消耗之增加與較大訊框變成一問題。

將作為本具體實施例來說明一半導體控制電路，其可能藉由儘可能多地適應該等變更與減低該邊限來同時實現一減低的功率消耗與一較窄的訊框。

圖13係顯示與一驅動電路整合的一顯示裝置之一般組態的圖式。

如圖13所示，此液晶顯示裝置100係藉由在一透明絕緣基板(例如一玻璃基板101)上整合以下裝置來形成：一有效顯示區段102，其中包括一液晶單元的複數個像素係以一矩陣之形式來配置；一對水平驅動電路(H驅動器)103U與103D，其在圖13中係配置於有效顯示驅動之一上部側與一下部側上；一垂直驅動電路(V驅動器)104，其在圖13中係布置於該有效顯示區段102之一側上；一參考電壓產生電路105，其用於產生複數個參考電壓；一資料處理電路106；一半導體控制電路200；以及類似者。

因而，圖13之整合驅動電路的顯示裝置100具有兩個水平驅動電路103U與103D，其係配置於該有效顯示區段102的兩側(在圖13中係上部側與下部側)上。此係彼此分離地

驅動資料線之奇數線與偶數線。

雖然圖13顯示該半導體控制電路200係與其他電路分離地提供，但可將該參考電壓產生電路105與該資料處理電路106應用為要藉由該半導體控制電路200控制之電路，下面將說明。

下面將說明該半導體控制電路200之組態與功能。

圖14係顯示依據本發明之一具體實施例的一半導體控制電路之組態的方塊圖。

如圖14所示，該半導體控制電路200包括一時序產生電路210、一延遲電路220、一取樣電路230、一滯後特性產生電路240及一控制物件電路250。

在該半導體控制電路200中，自該時序產生電路210產生之一偵測脈衝DPLS係作為一參考脈衝REFP輸入至該延遲電路220與該相位頻率比較電路(即，例如一取樣電路，且在下文中該電路將係稱為一"取樣電路") 230。

延遲的信號S23與S24作為該延遲電路220之輸出信號各係取樣，並且接著信號S21與S22係輸出。

該等信號S21與S22係通過該滯後特性產生電路240，並接著具有一滯後特性之一取樣的波形係作為一控制信號來傳送至各種控制物件電路250。

首先將說明一般驅動概念。

圖15係圖14之半導體控制電路的時序圖。

藉由該時序產生電路210產生之偵測脈衝DPLS係輸入至該延遲電路220。例如，在一取樣觸發係一參考信號之一

下降邊緣的情況下，當電晶體特性(電壓Vth、汲極至源極電流及類似者)較佳時，該等延遲的信號具有較小延遲量，並且該等取樣的信號S21與S22處於一高位準。

假設在此情況下，透過其通過該延遲之信號S23之延遲電路220內之延遲緩衝器的數目大於該信號S24之延遲緩衝器的數目。

藉由使用延遲緩衝器之數目之間的差來提供一滯後特性以進行控制。稍後將說明一詳細範例。

例如，一電源供應電壓產生電路、一DD (direct current to direct current；直流對直流)轉換器電路、一類比緩衝器電路、一資料處理電路及一參考電壓產生電路係應用為控制物件電路250。

在本具體實施例中，與現有技術不同，不使用一基板偏壓(其適用於一多晶矽程序或一非晶矽程序)，並且提供一滯後特性，使得獲得一穩定輸出值。

獲得其他優點，例如與該顯示裝置之能力相關的更低功率消耗、更窄的訊框及引起該顯示裝置成本減低的良率改良與校正遮罩減低。

下面將說明一更具體的組態、功能及一修改範例。

圖16係顯示在一情況下的組態之一範例的電路圖，在該情況下一P通道電晶體之特性與一N通道電晶體之特性係彼此分離地偵測以實行控制。

存在一情況，其中僅需要藉由一控制物件電路250來偵測(感測)一通道。

藉由一延遲電路220-1根據一N通道電晶體之特性來延遲之延遲的信號S31與S40各係藉由一取樣電路230-1來取樣，假設透過其通過S31的延遲緩衝器級之數目大於透過其通過S40的延遲緩衝器級之數目，並接著信號S33與S34係藉由該取樣電路230-1輸出。該等信號S33與S34係供應至一滯後特性產生電路240-1，並接著一信號S37係輸入至一選擇電路260。

同樣，藉由一延遲電路220-2根據一P通道電晶體之特性來延遲之延遲的信號S32與S41各係藉由一取樣電路230-2來取樣，假設透過其通過S32的延遲緩衝器級之數目大於透過其通過S41的延遲緩衝器級之數目，並接著信號S35與S36係藉由該取樣電路230-2輸出。該等信號S35與S36供應至一滯後特性產生電路240-2，並接著一信號S38係輸入至該選擇電路260。

該選擇電路260關於是否考量該P通道電晶體之特性與該N通道電晶體之特性兩者或僅考量一電晶體通道之特性(例如僅需要偵測該P通道電晶體之特性的情況)進行選擇。藉由該選擇電路260選擇之一輸出係作為一控制信號S39來傳送至該控制物件電路250。

當然，依據一使用，可能不需要該選擇電路。

圖17與圖18係顯示其中一延遲量僅根據一通道電晶體特性發生的一電路的圖式。

可將說明為前述第一與第二具體實施例或修改範例的電路應用為圖17與圖18所示之電路。

圖17係顯示根據N通道電晶體特性來產生一延遲量之一延遲緩衝器串(假設延遲緩衝器之數目係m)的圖式。

該延遲緩衝器串221A具有m個延遲緩衝器電路D221-1至D221-m，其係藉由一串聯連接件來彼此連接。

延遲的信號S41與S42分別係輸出至端子OUT1與OUT2。假設透過其通過該信號S41的延遲緩衝器級之數目大於該信號S42的延遲緩衝器級之數目。

圖18係顯示根據P通道電晶體特性來產生一延遲量之一延遲緩衝器串(假設延遲緩衝器之數目係n)的圖式。

該延遲緩衝器串222A具有n個延遲緩衝器電路D222-1至D222-n，其係藉由一串聯連接件來彼此連接。

延遲的信號S51與S52分別係輸出至端子OUT1與OUT2。假設透過其通過該信號S51的延遲緩衝器級之數目大於該信號S52的延遲緩衝器級之數目。

圖19係顯示依據本具體實施例之滯後特性產生電路的組態之一範例的圖式。

IN1	IN2	OUT
H	L	閂鎖的先前狀態
L	H	閂鎖的先前狀態
L	L	L
H	H	H

表1

表1係顯示圖19之滯後特性產生電路之一真值表的圖式。

圖19之滯後特性產生電路240包括一析取(EXOR)閘極241、一切換控制電路242、一開關243及一閂鎖電路244。

當輸入IN1與IN2處於不同位準時，該滯後特性產生電路240保持前一輸出狀態作為一輸出。

當該等輸入IN1與IN2之位準處於一相同延遲位準(例如一高位準)時，該輸出OUT之位準與該輸入位準(例如該高位準)相同。

一切換控制脈衝SWPLS係用以防止在該等輸入IN1與IN2之切換週期期間該輸出信號OUT的故障。

在此電路中，在該切換週期期間該開關243係設定於一關閉狀態。在該等輸入IN1與IN2之信號位準係完全切換之後，該開關243係設定於一開啟狀態(啟用)以在該輸出OUT中反映該輸入IN1。

此外，針對一初始值之輸出位準，一重設信號RST係供應至該閂鎖電路244。

該滯後特性產生電路240已係說明為接收僅自來該延遲電路220的輸入IN1與IN2兩者之一電路。然而，該滯後特性產生電路240並不限於此組態，並適用於各種組態。

例如，一輸入係來自該延遲電路之一延遲的信號，而另一輸入係藉由將一特定延遲提供至上面說明之延遲的信號(其係藉由一計數器電路之計數)來獲得。

接下來將相對於作為整體之一系統來簡要說明一電晶體功率偵測(感測)系統之輸出特性的一範例。

圖20係顯示一電晶體偵測系統之輸出特性之一範例的圖

式，假設透過其通過S23的延遲緩衝器級之數目大於透過其通過S24的延遲緩衝器級之數目。

首先，如圖20所示，一輸出值OUT之位準係藉由一重設信號來設定為一初始值。當供應一偵測脈衝時，一延遲量根據一電晶體之功率特性發生。在一C區域中之一電流特性(汲極至源極電流Ids或類似者)作為情況<1>之一情況下，該電流特性較佳，並且該延遲量較小。取樣該等延遲的信號S23與S24之一結果係一H位準。自該滯後特性產生電路240取樣之一控制信號S240處於一高位準。

在一B區域中之一電流特性(汲極至源極電流Ids或類似者)作為情況<2>之一情況下，該電流特性在某種程度上較佳，並且該延遲量在某種程度上較小。取樣該延遲的信號S24之一結果係一H位準，而取樣該延遲的信號S23之一結果係一L位準。自該滯後特性產生電路240供應的控制信號S240保持前一狀態(在此情況下，該初始值係RESET(重設))，並因而處於一低位準。

在一A區域中之一電流特性(汲極至源極電流Ids或類似者)作為情況<3>之一情況下，該電流特性較差，並且該延遲量較大。取樣該等延遲的信號S23與S24之一結果係一低位準。自該滯後特性產生電路240供應之控制信號S240處於該低位準。

在情況<1>中，當該控制信號處於一H位準(高位準)並且隨著由於一些因素(溫度特性、頻率、供應的電源供應電壓或類似者)所致一面板特性係劣化而轉變至該區域B(藉

由該汲極至源極電流Ids表示)時，該控制信號處於該H位準，因為該滯後特性產生電路240保持前一輸出狀態。當該特性係進一步劣化並且轉變至該區域A時，取樣該等延遲的信號S23與S24之一結果處於該低位準，並且自該滯後特性產生電路240供應之控制信號S240處於該低位準。自該區域A返回至該區域B，並且該控制信號保持前一狀態並因而處於該低位準。此外，自該區域B返回至該區域C，並且該控制信號係設定至該高位準。藉由因而提供一滯後特性，不輸出一不穩定控制信號。(可輸出一穩定控制信號。可針對該顯示裝置與一驅動系統之品質來實現一穩定控制系統。)

現將說明該控制物件電路250之具體範例。

一般而言，作為用於減低功率消耗之一方法，使用一電壓比較電路來控制驅動電壓之位準。然而，當可能不能偵測(感測)到電晶體特性變更時，需要考量一較寬範圍的電晶體變更。因而，存在一問題，因為不能主動減低一調節設定值(例如係設定為一正電源供應電壓，並當然負電源亦如此)。

然而，藉由提供依據本具體實施例的電晶體偵測系統，針對一具有比一標準更佳之特性的電晶體該電源供應電壓係主動設定為較低，而針對一具有更差特性的電晶體該電源供應電壓係主動設定為較高。

將顯示使用該電晶體偵測系統的幾個範例。

(第一電壓比較電路)

圖21係顯示其中在該電晶體偵測系統係應用於針對一DC/DC (direct current/direct current；直流對直流)轉換器之一電壓比較電路的情況下一系統之組態之一第一範例的圖式。

該電壓比較電路310包括一DC/DC轉換器311、一電阻型分位器電路312、一電壓比較電路313、一AND閘極314及一主電路315，當S314處於H位準時，電源供應電壓之產生係停止。

當該控制信號處於一H位準(引用自上面說明的圖20並指示一較佳電晶體特性)時，該電壓比較電路310係啟用，並且該DC/DC轉換器311之輸出電壓VDD2係減小。當該控制信號處於一L位準(引用自上面說明的圖20並指示一較差電晶體特性)時，該電壓比較電路係停用，並且輸出全功率而不減小該DC/DC轉換器311之輸出電壓VDD2。

(第二電壓比較電路)

圖22係顯示其中在該電晶體偵測系統係應用於針對一DC/DC轉換器之一電壓比較電路的情況下一系統之組態之一第二範例的圖式。

使用來自一延遲電路串的複數個輸出信號，從而可按級偵測電晶體功率位準。藉由輸出複數個控制信號(圖22中係兩個控制信號)CTL1與CTL2，可不僅如圖21選擇電壓比較電路之啟用或停用還可將該電壓比較電路310A之調節值(調節電壓)設定至複數個值。例如，當電晶體功率處於一高位準(較佳)時，該調節值係設定為較低。當該電晶體功

率處於一中間位準時，該調節值係設定於一中間位準。當電晶體功率處於一低位準(較差)時，該調節值係設定為較高。此外，該第二組態範例允許使用複數個控制信號來進行各種設定。

(類比緩衝器)

圖23係顯示其中在該電晶體偵測系統係應用於一類比緩衝器電路之情況下的一系統之組態之一範例的圖式。

圖23之類比緩衝器電路320包括開關321至323、一N通道電晶體324及一電容器325。

一多晶矽程序或一非晶矽程序具有較大變更的缺點。

為了減低此類變更之效應，一恆定電流源係設計以傳送一相對較大電流。

然而，此導致一對應較高功率消耗的缺點。

因此，依據本具體實施例之電晶體功率偵測系統係用以接收一控制信號以使得可依據電晶體功率來調整該恆定電流源之功率。

例如，在圖23中，來自該電晶體功率偵測系統之一輸出控制信號係輸入至一時序產生電路330，並使該時序產生電路330針對一恆定電流源輸出控制脈衝xNcnt1與xNcnt3。

當電晶體條件較佳時，藉由啟用該開關321之開關SW111並停用該開關321之開關SW112來減小該恆定電流源之功率。

當該等電晶體條件較差時，藉由啟用該開關321之開關

SW111並亦啟用該開關321之開關SW112來輸出該恆定電流源之全功率。

(資料處理電路)

圖24係顯示其中在該電晶體偵測系統係應用於一資料處理電路之情況下的一系統之組態之一範例的圖式。

圖24之資料處理電路350(對應圖13中之資料處理電路106或類似者)包括複數個延遲緩衝器DB、開關351與352、一移位暫存器353及一閂鎖電路354。該閂鎖電路354包括反相器3541與3542及開關3543與3544。

一多晶矽程序或一非晶矽程序具有較大變更的缺點。

因此，難以獲得自一參考時脈產生之一取樣脈衝與需要係取樣的資料之間之一正確相位關係。

若需要係取樣的資料相對於自該參考時脈產生之區域脈衝在相位上在前，則一資料串聯備有一延遲緩衝器以使得所需資料係延遲。

然而，所獲得延遲量根據電晶體變更而不同。難以調整延遲緩衝器的數目。一調整誤差的發生意味著進行一遮罩校正，其導致成本的不必要增加。

此外，存在不能以頻率的增加來適應變更的可能性。

此係需要係解決以使得可將該多晶矽程序或非晶矽程序應用於高頻驅動的問題之一者。

因此，引入依據本具體實施例的電晶體功率偵測系統。因而，當電晶體功率較佳時，由於一較小延遲量，延遲緩衝器的數目係增加。當該電晶體功率較差時，由於一較大

延遲量，延遲緩衝器的數目係減小。

例如，如圖24所示，來自該電晶體功率偵測系統之一輸出控制信號係輸入至一時序產生電路330，並且輸出用於控制延遲緩衝器之數目的一控制脈衝S121。當電晶體功率較佳時，由於一較小延遲量，延遲緩衝器之數目係藉由關閉該開關351與開啟該開關352來增加。

當該電晶體功率較差時，由於一較大延遲量，延遲緩衝器之數目係藉由開啟該開關351與關閉該開關352來減小。

雖然上面已說明資料與藉由該移位暫存器353產生之取樣脈衝之間的相位關係，但本發明之具體實施例並不限於此。可直接以一主時脈來取樣資料，或可以另一邏輯來進行一組合。概念係相同的。

(參考電壓產生電路)

圖25係顯示其中在該電晶體偵測系統係應用於一參考電壓產生電路之情況下的一系統之組態之一範例的圖式。

圖25之參考電壓產生電路360包括一黑側γ調整電路361、一白側γ調整電路362及產生參考電壓之一電阻梯部分363。

例如，一液晶驅動電源供應電壓係設定於藉由規格界定之一範圍內。以處於一標準值之一電源供應電壓設計的一參考電壓產生電路較常見。當供應的電源供應電壓變得不同時，一伽瑪(γ)特性亦係改變。此係需要係解決以用於改良圖像品質的問題之一者。

在此一情況下，可藉由一光學特性感測器來偵測電源供

應電壓之改變以產生一控制脈衝。還可將電源供應電壓之改變偵測為電晶體功率之變更，其將在下面予以說明。

針對延遲電路來提供兩系列之供應的電源供應電壓，一供應的電源供應電壓與用於驅動一液晶之電源供應電壓(VDD1_ref)相同而一供應的電源供應電壓與該電源供應電壓不同(即不依據規格進行改變，並且係(例如)一IC(integrated circuit；積體電路)之調節電源供應電壓VDD1A)。

對於相同的電晶體特性(Vth)，當用於驅動該液晶之電源供應電壓(VDD1_ref)係降低時，在使用與用於驅動該液晶之電源供應電壓(VDD1_ref)相同的電源供應電壓之延遲電路中發生延遲量的增加。

另一方面，在使用與用於驅動該液晶之電源供應電壓(VDD1_ref)不同的電源供應電壓VDD1A之延遲電路中的延遲量不變。當該等延遲量之間的差異係一設計的週期或更大時，γ控制信號CTL11與CTL12係輸出以便獲得一適當伽瑪。因而，可一直獲得一適當伽瑪。

圖26係顯示圖25中的黑側γ調整電路與白側γ調整電路之一詳細範例的圖式。

圖25中之γ控制信號CTL11係圖26中的信號GS1與GS2。圖25中之γ控制信號CTL12係圖26中的信號GS3與GS4。

在前述具體實施例中，已說明使用一多晶矽程序或一非晶矽程序的情況。然而，本發明之具體實施例並不限於此，並適用於使用缺陷矽的一般電路。

此外，本發明之具體實施例廣泛適用於各種平形顯示裝置，例如各種液晶顯示裝置(包括具有整合地形成於一絕緣基板上之一驅動電路的一TFT液晶顯示裝置與一CGS(連續晶粒矽)液晶顯示裝置)、一EL(電致發光)顯示裝置及類似者。

如上所述，作為本發明之具體實施例的效應，可藉由適應由於一程序所致的較大變更來主動減低功率消耗，並適應該等變更。因而，不存在大於必需的電晶體大小，並且當本發明之具體實施例係應用於一更窄訊框資料處理電路時，節省用於延遲緩衝器校正之一遮罩的不必要成本。可實現一短時間週期的設計及成本的減低。

當本發明之具體實施例係應用於一資料處理電路時，一取樣邊限係增加。因而，本發明之具體實施例係隨著高速驅動之頻率變得越高越需要之一技術。可實現良率之改良。

當本發明之具體實施例係應用於一參考電壓產生電路時，可一直獲得一適當伽瑪，並有助於圖像品質的改良。

由於簡單的電路組態，對一訊框具有較少影響。此外，當使用具有一較長循環之一偵測脈衝時，消耗極少功率。

此外，藉由依據前述具體實施例之主動矩陣型液晶顯示裝置所代表之一主動矩陣型顯示裝置尤其適合於用作一電子裝置(例如一可攜式電話、一PDA (personal digital assistant；個人數位助理)或類似者，該裝置本身在大小上係減低並係製造得更緊湊)之一顯示單元，以及用作OA

(office automation；辦公自動化)設備(例如一個人電腦與一文字處理器、一電視接收器及類似者)之一顯示器。

圖27係應用本發明之具體實施例之一電子裝置(例如一可攜式電話)的一組態之一輪廓的外視圖。

依據此範例之可攜式電話400具有一揚聲器部分420、一顯示器部分430、一操作部分440及一麥克風部分450，其係以此順序自一裝置外殼410之前側上的頂部側進行配置。

在此一組態之可攜式電話中，(例如)一液晶顯示裝置係用作該顯示器部分430。作為此液晶顯示裝置，使用依據前述具體實施例之主動矩陣型液晶顯示裝置。

因而，藉由使用依據前述具體實施例之主動矩陣型液晶顯示裝置作為諸如該可攜式電話或類似者的一電子裝置(可攜式終端機)中之顯示器部分430，可實現一顯示裝置之一更窄的間距、一更窄的訊框及更低功率消耗並因此該終端機本身之更低功率消耗。

熟習此項技術者應明白可根據設計要求及其他因素來進行各種修改、組合、次組合及改變，只要其落在隨附申請專利範圍或其等效者之範疇內。

【圖式簡單說明】

圖1係顯示藉由彼此連接兩個級中的典型CMOS反相器電路所形成之一緩衝器電路(延遲緩衝器電路)的圖式；

圖2係顯示藉由一多晶矽程序製造之一延遲緩衝器電路的延遲量與Nch Tr及Pch Tr之特性之間之關係的圖式；

圖3係顯示在非專利文件1中說明之一電路的圖式；

圖4係顯示在專利文件1中引入的使用單通道電晶體(Pch Tr)之一啟動型反相器電路的圖式；

圖5係顯示圖4之電路中的一輸入信號IN、參考信號REF1與REF2、一節點ND之電位及一輸出信號OUT之間的時序關係之個別位準的圖式；

圖6係顯示減低功率消耗的一驅動系統之組態之一範例的圖式；

圖7係顯示依據本發明之一第一具體實施例的僅根據Pch Tr之特性來延遲的使用一延遲反相器電路之一延遲緩衝器電路的圖式；

圖8係說明圖7所示之延遲緩衝器電路之操作的輔助時序圖；

圖9係顯示依據本發明之一第二具體實施例的僅根據Nch Tr之特性來延遲的使用一延遲反相器電路之一延遲緩衝器電路的圖式；

圖10係說明圖9所示之延遲緩衝器電路之操作的輔助時序圖；

圖11係顯示獨立地根據Pch Tr之特性與Nch Tr之特性之每一者來延遲的一延遲緩衝器電路的圖式，該延遲緩衝器電路係依據本發明之具體實施例的延遲緩衝器電路之一修改範例；

圖12係說明圖11所示之延遲緩衝器電路之操作的輔助時序圖；

圖13係顯示與一驅動電路整合的一顯示裝置之一般組態的圖式；

圖14係依據本發明之一具體實施例的一半導體控制電路之組態的方塊圖；

圖15係圖14之半導體控制電路的時序圖；

圖16係顯示在一情況下的組態之一範例的電路圖，在該情況下一P通道電晶體之特性與一N通道電晶體之特性係彼此分離地偵測以實行控制；

圖17係顯示根據N通道電晶體特性來產生一延遲量之一延遲緩衝器串(假設延遲緩衝器之數目係m)的圖式；

圖18係顯示根據P通道電晶體特性來產生一延遲量之一延遲緩衝器串(假設延遲緩衝器之數目係n)的圖式；

圖19係顯示依據本具體實施例之一滯後特性產生電路的組態之一範例的圖式；

圖20係顯示一電晶體偵測系統之輸出特性之一範例的圖式；

圖21係顯示其中在該電晶體偵測系統係應用於針對一DC/DC轉換器之一電壓比較電路的情況下一系統之組態之一第一範例的圖式；

圖22係顯示其中在該電晶體偵測系統係應用於針對一DC/DC轉換器之一電壓比較電路的情況下一系統之組態之一第二範例的圖式；

圖23係顯示其中在該電晶體偵測系統係應用於一類比緩衝器電路之情況下的一系統之組態之一範例的圖式；

圖24係顯示其中在該電晶體偵測系統係應用於一資料處理電路之情況下的一系統之組態之一範例的圖式；

圖25係顯示其中在該電晶體偵測系統係應用於一參考電壓產生電路之情況下的一系統之組態之一範例的圖式；

圖26係顯示圖25中之一黑側γ調整電路與一白側γ調整電路之一詳細範例的圖式；以及

圖27係作為依據本發明之一具體實施例之一電子裝置的一可攜式電話之一組態之一輪廓的外視圖。

【主要元件符號說明】

21	電路輸入端子
22	電路輸出端子
23	啟動電路
31	延遲電路
32	相位頻率比較電路
33	速度監視電路
34	基板偏壓控制電路
35	主電路
40	延遲緩衝器電路
50	延遲緩衝器電路
60	延遲緩衝器電路
100	液晶顯示裝置
101	玻璃基板
102	有效顯示區段
103D	水平驅動電路(H驅動器)

103U	水平驅動電路(H驅動器)
104	垂直驅動電路(V驅動器)
105	參考電壓產生電路
106	資料處理電路
200	半導體控制電路
210	時序產生電路
220	延遲電路
220-1	延遲電路
220-2	延遲電路
221A	延遲緩衝器串
222A	延遲緩衝器串
230	取樣電路
230-1	取樣電路
230-2	取樣電路
240	滯後特性產生電路
240-1	滯後特性產生電路
240-2	滯後特性產生電路
241	析取(EXOR)閘極
242	切換控制電路
243	開關
244	閂鎖電路
250	控制物件電路
260	選擇電路
310	電壓比較電路

310A	電壓比較電路
311	DC/DC轉換器
312	電阻型分位器電路
313	電壓比較電路
314	AND閘極
315	主電路
320	類比緩衝器電路
321	開關
322	開關
323	開關
324	N通道電晶體
325	電容器
330	時序產生電路
350	資料處理電路
351	開關
352	開關
353	移位暫存器
354	閂鎖電路
360	參考電壓產生電路
361	黑側γ調整電路
362	白側γ調整電路
363	電阻梯部分
400	可攜式電話
410	裝置外殼

420	揚聲器部分
430	顯示器部分
440	操作部分
450	麥克風部分
3541	反相器
3542	反相器
3543	開關
3544	開關
C11	電容器
Cp21	電容
CTL1	控制信號
CTL2	控制信號
CTL11	γ控制信號
CTL12	γ控制信號
D221	延遲緩衝器電路
D222	延遲緩衝器電路
DB	延遲緩衝器
DPLS	偵測脈衝
GS1	信號
GS2	信號
GS3	信號
GS4	信號
IN	輸入
IN1	輸入

IN2	輸入
INV41	延遲反相器電路
INV51	延遲反相器電路
INV61	延遲反相器電路
ND	節點
NDA	節點
NDB	節點
NDC	節點
OUT	輸出
OUT1	端子
OUT2	端子
Q11	單通道電晶體(Pch Tr)
Q12	單通道電晶體(Pch Tr)
Q13	單通道電晶體(Pch Tr)
Qn41	第一N通道MOS電晶體
Qn42	第二N通道MOS電晶體
Qn51	第一N通道MOS電晶體
Qn52	第二N通道MOS電晶體
Qn53	第三N通道MOS電晶體
Qn54	第四N通道MOS電晶體
Qn61	第一N通道MOS電晶體
Qn62	第二N通道MOS電晶體
Qn63	第三N通道MOS電晶體
Qn64	第四N通道MOS電晶體

Qp21	電晶體
Qp22	電晶體
Qp23	電晶體
Qp24	電晶體
Qp41	第一P通道MOS電晶體
Qp42	第二P通道MOS電晶體
Qp43	第三P通道MOS電晶體
Qp44	第四P通道MOS電晶體
Qp51	第一P通道MOS電晶體
Qp52	第二P通道MOS電晶體
Qp61	第一P通道MOS電晶體
Qp62	第二P通道MOS電晶體
Qp63	第三P通道MOS電晶體
Qp64	第四P通道MOS電晶體
REF1	參考信號
REF2	參考信號
REFP	參考脈衝
S21	信號
S22	信號
S23	延遲的信號
S24	延遲的信號
S31	延遲的信號
S32	延遲的信號
S33	速度偵測信號

S34	信號
S35	信號
S36	信號
S37	信號
S38	信號
S39	控制信號
S40	延遲的信號
S41	延遲的信號
S42	延遲的信號
S51	延遲的信號
S52	延遲的信號
S121	控制脈衝
S240	控制信號
SW111	開關
SW112	開關
SWPLS	切換控制脈衝
VDD	電源供應
VDD1_ref	電源供應電壓
VDD2	輸出電壓
VSS	電源供應
Vth	臨限電壓
xNcnt1	控制脈衝
xNcnt3	控制脈衝

十、申請專利範圍：

1. 一種用於在兩個級中實行一充電與一放電中之一者並延遲一信號的延遲電路，該延遲電路包含：

一輸出區段，其經組態以輸出一延遲的信號；

兩個電源供應；以及

一延遲反相器；其中

該延遲反相器具有一相同通道類型之一第一電晶體與一第二電晶體，用於一第一充電與一第一放電中之一者，該第一電晶體與該第二電晶體係彼此串聯連接於該輸出區段與一電源供應之間，其中該第一電晶體之閘極連接至該第二電晶體之閘極，並且該延遲反相器具有一通道類型不同於該第一電晶體與該第二電晶體之一第三電晶體，用於一第二充電與一第二放電中之一者，該第三電晶體係與該第一電晶體及該第二電晶體之一者並聯連接。

2. 如請求項1之延遲電路，其中

在該延遲反相器之一輸入前面之相反相位之一脈衝係供應至該第一電晶體與該第二電晶體之閘極，並且以該延遲反相器之該輸入前面之相反相位之該脈衝來實行該第一充電與該第一放電中之一者，以及

該延遲反相器之一輸入脈衝係供應至該第三電晶體之一閘極，並且以該延遲反相器之該輸入脈衝來實行該第二充電與該第二放電之一者。

3. 一種用於在兩個級中實行一充電與一放電之中一者並延

S

遲一信號的延遲電路，該延遲電路包含：

一輸出區段，其經組態以輸出一延遲的信號；

兩個電源供應；以及

一延遲反相器；其中

該延遲反相器具有一相同通道類型之一第一電晶體與一第二電晶體，用於一第一充電與一第一放電中之一者，該第一電晶體與該第二電晶體係彼此串聯連接於該輸出區段與一電源供應之間，其中該第一電晶體之閘極連接至該第二電晶體之閘極，並且該延遲反相器具有一通道類型不同於該第一電晶體與該第二電晶體之一第三電晶體，用於一第二充電與一第二放電中之一者，該第三電晶體係與該第一電晶體及該第二電晶體之一者並聯連接，以及

該延遲反相器具有通道類型與該第三電晶體相同之一第四電晶體與一第五電晶體，用於該第一充電與該第一放電中之一者，該第四電晶體與該第五電晶體係彼此串聯連接於該輸出區段與另一電源供應之間，其中該第四電晶體之閘極連接至該第五電晶體之閘極，並且該延遲反相器具有通道類型與該第一電晶體及該第二電晶體相同之一第六電晶體，用於該第二充電與該第二放電中之一者，該第六電晶體係與該第四電晶體及該第五電晶體之一者並聯連接。

4. 一種用於將一控制信號供應至要控制之一電路的半導體控制電路，該半導體控制電路包含：

一延遲電路，用於接收一偵測脈衝，並依據電晶體特性來輸出具有不同延遲量之複數個延遲的信號；

一取樣電路，用於以該偵測脈衝作為一參考信號來取樣該延遲電路之該等延遲的信號；以及

一滯後特性產生電路，用於依據藉由該取樣電路取樣之該複數個延遲之信號之間的差異來產生具有一滯後特性之該控制信號。

5. 如請求項4之半導體控制電路，其中

該延遲電路包括複數個不同通道類型之延遲串聯。

6. 如請求項4之半導體控制電路，其中

該延遲電路係用於在兩個級中實行一充電與一放電中之一者並延遲一信號之一延遲電路，

該延遲電路包括

一輸出區段，其經組態以輸出一延遲的信號，

兩個電源供應，以及

一延遲反相器，

該延遲反相器具有一相同通道類型之一第一電晶體與一第二電晶體，用於一第一充電與一第一放電中之一者，該第一電晶體與該第二電晶體係彼此串聯連接於該輸出區段與一電源供應之間，並且該延遲反相器具有一通道類型不同於該第一電晶體與該第二電晶體之一第三電晶體，用於一第二充電與一第二放電中之一者，該第三電晶體係與該第一電晶體及該第二電晶體之一者並聯連接。

7. 如請求項6之半導體控制電路，其中

在該延遲反相器之一輸入前面之相反相位之一脈衝係供應至該第一電晶體與該第二電晶體之閘極，並且以該延遲反相器之該輸入前面之相反相位之該脈衝來實行該第一充電與該第一放電中之一者，以及

該延遲反相器之一輸入脈衝係供應至該第三電晶體之一閘極，並且以該延遲反相器之該輸入脈衝來實行該第二充電與該第二放電中之一者。

8. 一種顯示裝置，其包含：

一有效顯示區段；

至少一週邊電路，用於實行與該有效顯示區段之操作相關的處理；以及

一半導體控制電路，用於以該週邊電路作為一要控制之電路來輸出一控制信號；其中

該有效顯示區段、該週邊電路及該半導體控制電路係彼此整合地形成於一絕緣基板上，

該半導體控制電路包括

一延遲電路，用於接收一偵測脈衝，並依據電晶體特性來輸出具有不同延遲量之複數個延遲的信號，

一取樣電路，用於以該偵測脈衝作為一參考信號來取樣該延遲電路之該等延遲的信號，以及

一滯後特性產生電路，用於依據藉由該取樣電路取樣之該複數個延遲之信號之間的差異來產生具有一滯後特性之該控制信號。

十一、圖式：

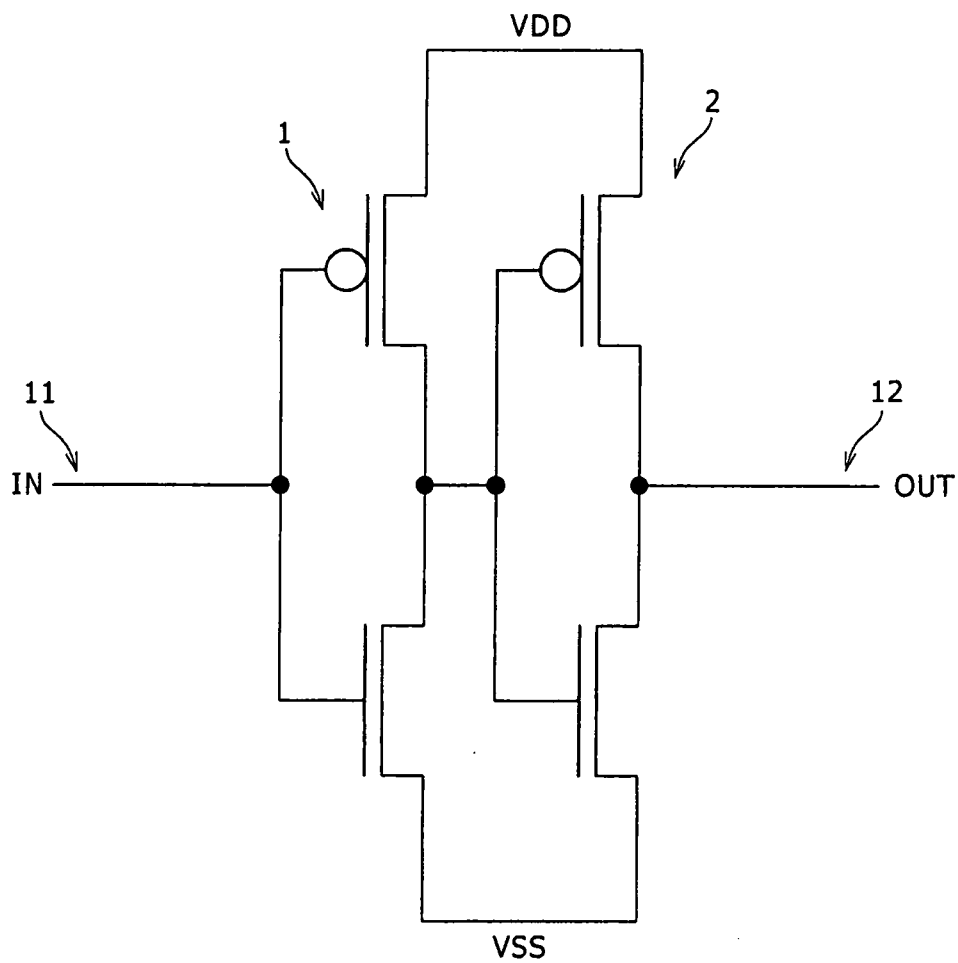

圖 1

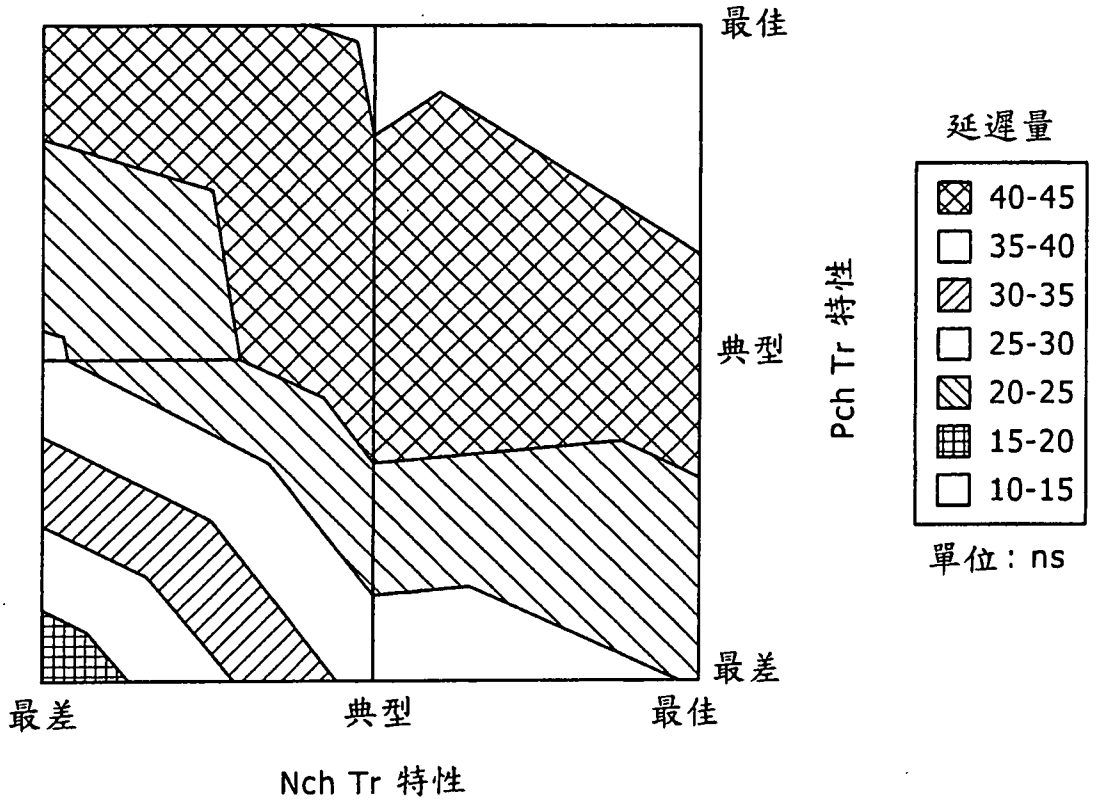
最佳
典型
最差
最差
典型
最佳
Pch Tr 特性
Nch Tr 特性
延遲量
40-45
35-40
30-35
25-30
20-25
15-20
10-15
單位：ns

圖2

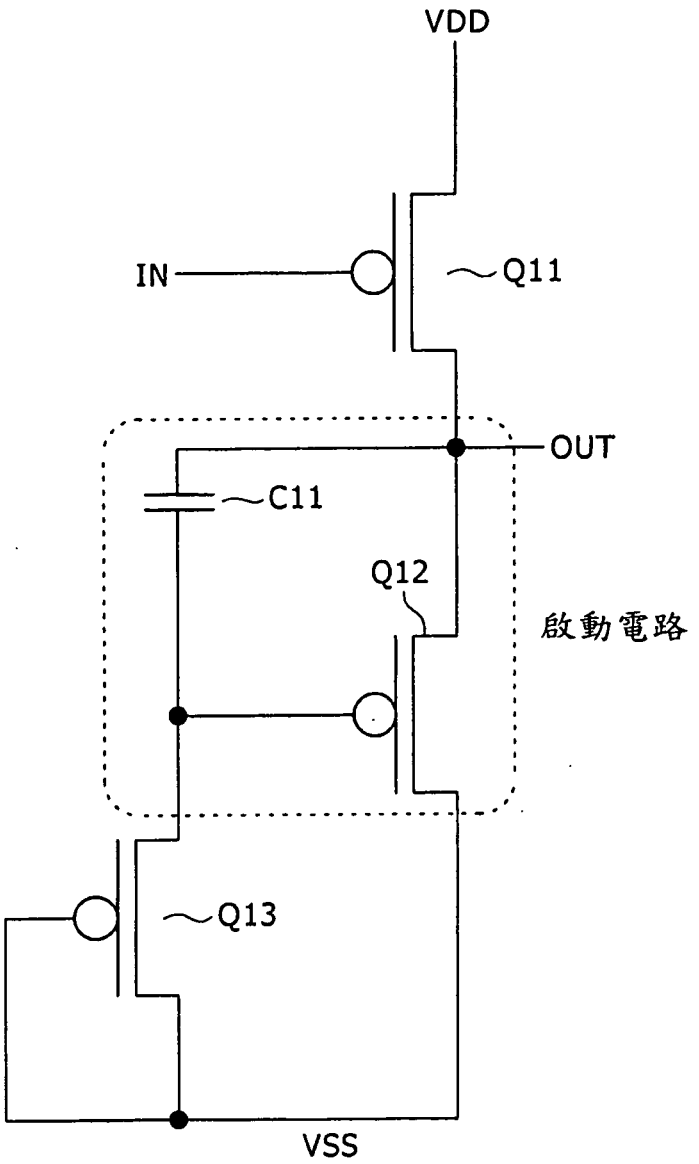

圖3

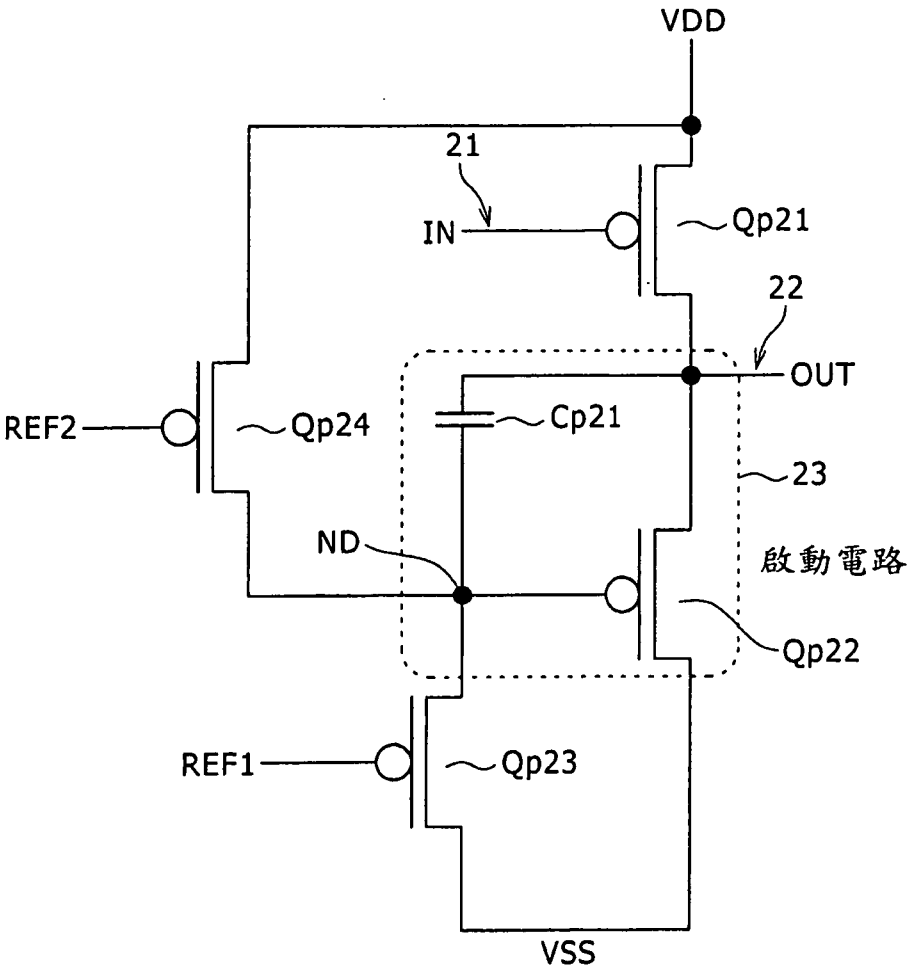
VDD
21
IN
Qp21
22
OUT
REF2
Qp24
Cp21
23
ND
啟動電路
Qp22
REF1
Qp23
VSS

圖4

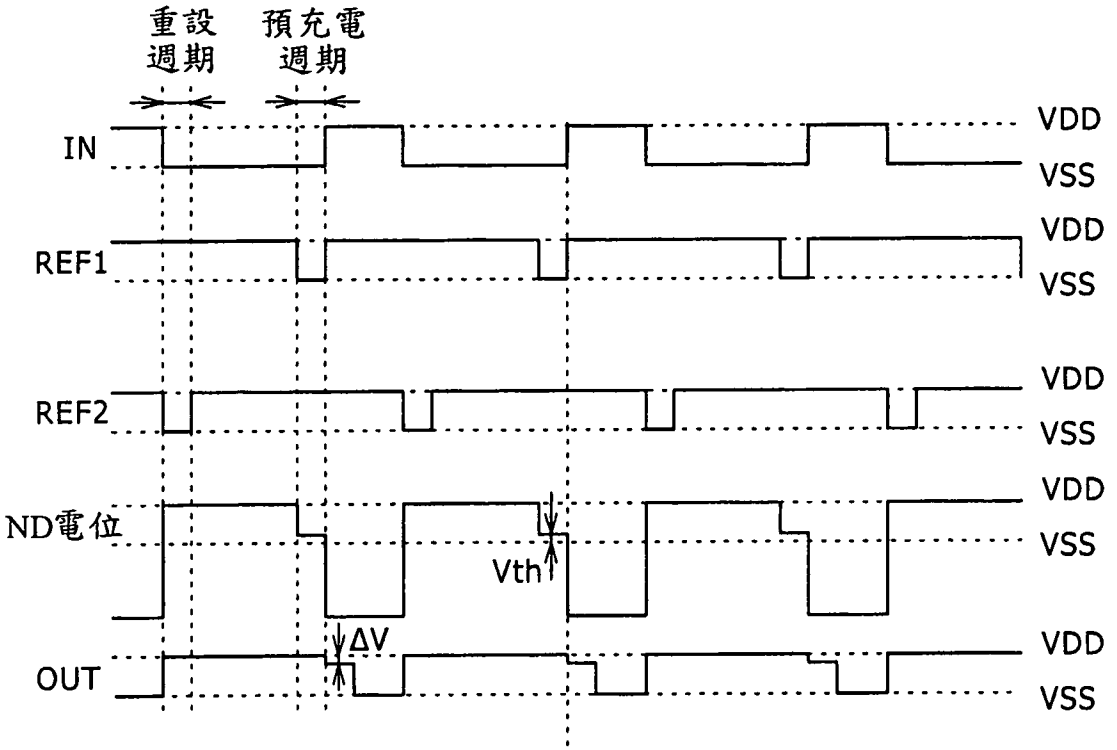

圖5

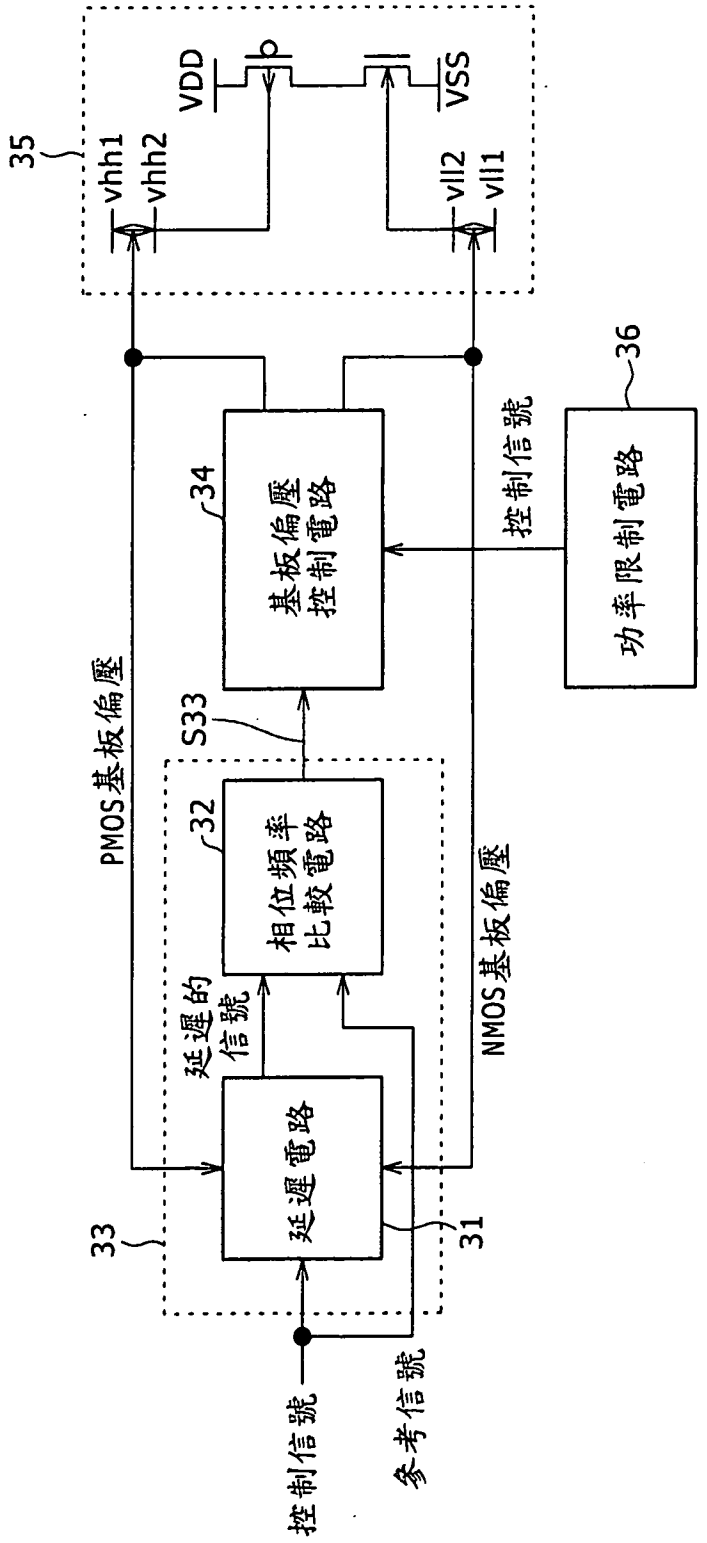
35
vhh1
vhh2
VDD
VSS
vll2
vll1
36
功率限制電路
控制信號
34
基板偏壓控制電路
PMOS基板偏壓
S33
32
相位頻率比較電路
延遲的信號
33
延遲電路
31
NMOS基板偏壓
控制信號
參考信號

圖6

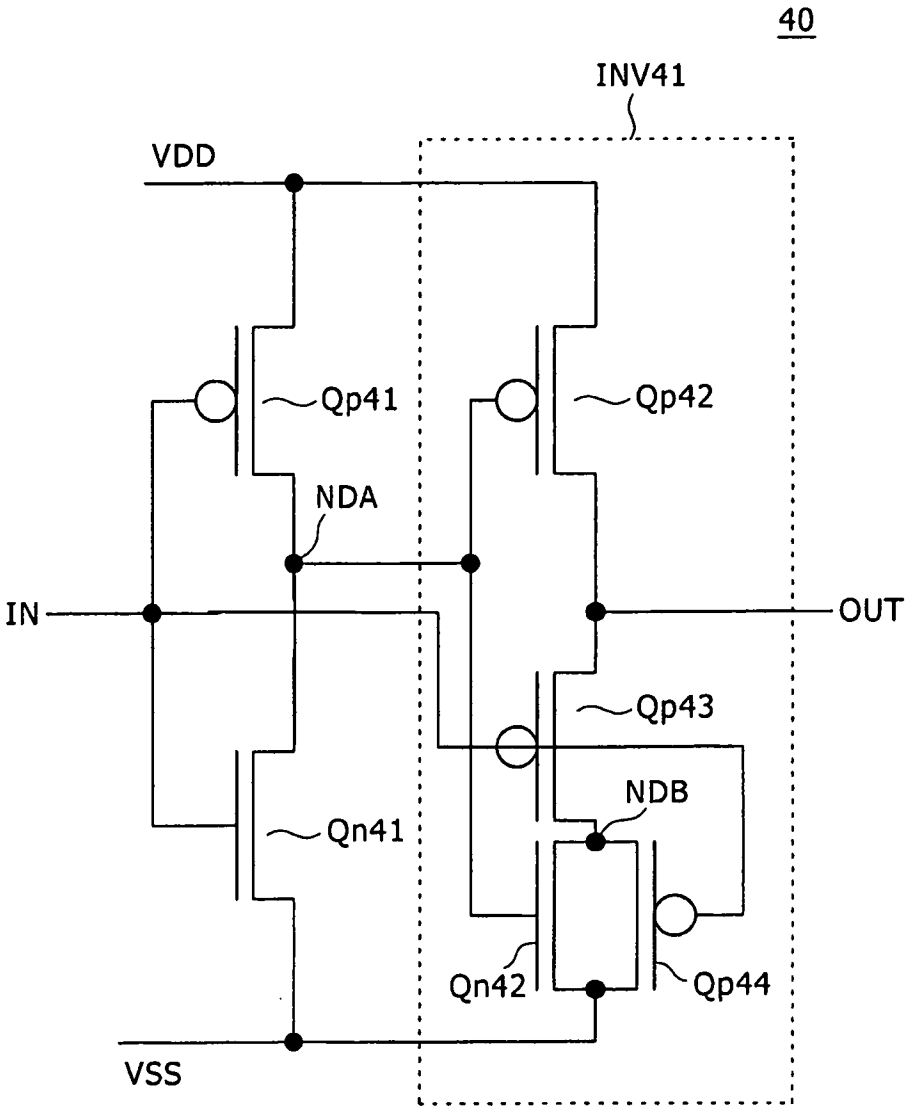

圖7

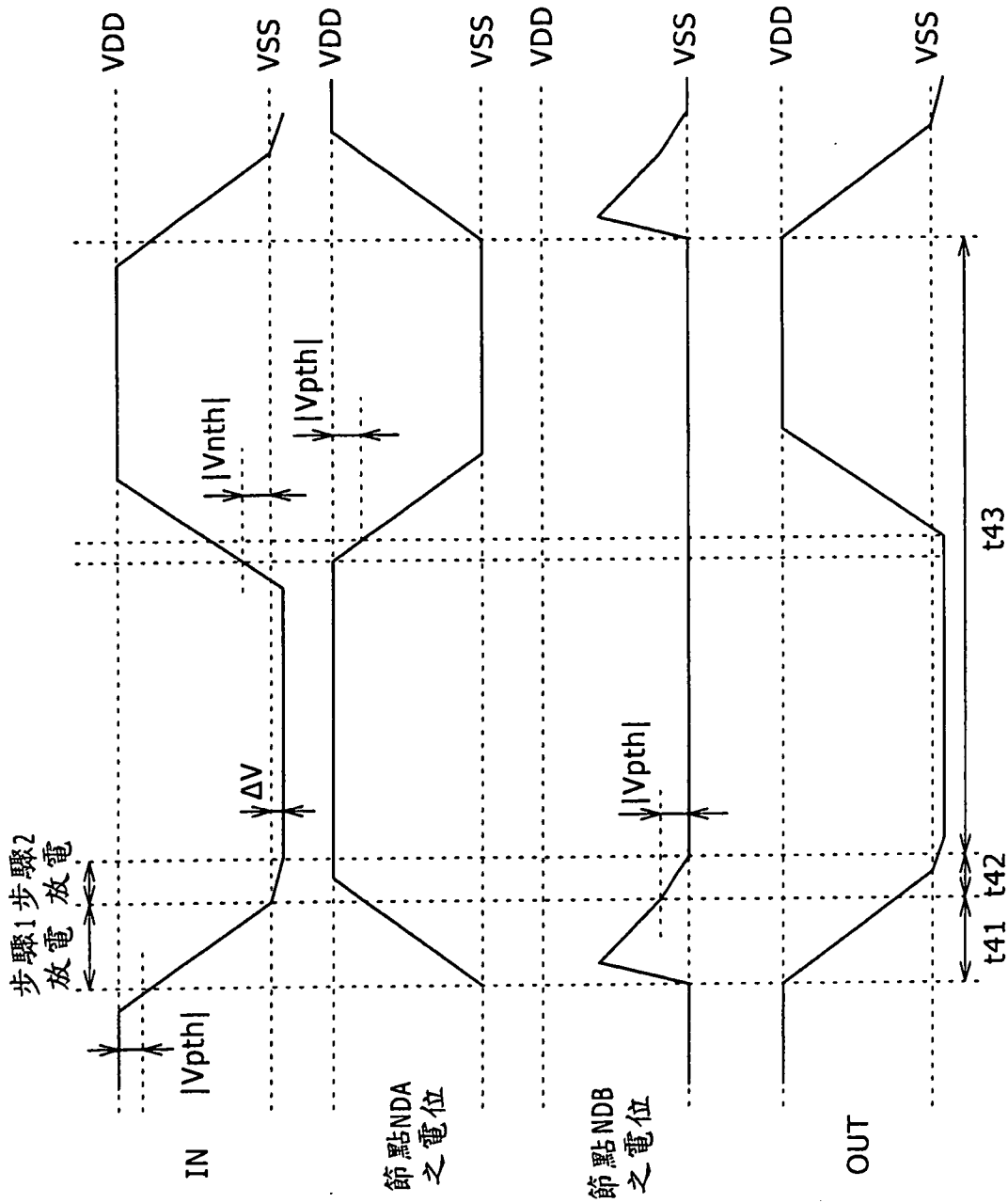
步驟1 放電
步驟2 放電
IN
|Vpth|
ΔV
|Vnth|
|Vpth|
節點NDA之電位
|Vpth|
節點NDB之電位
OUT
VDD
VSS
t41
t42
t43

圖8

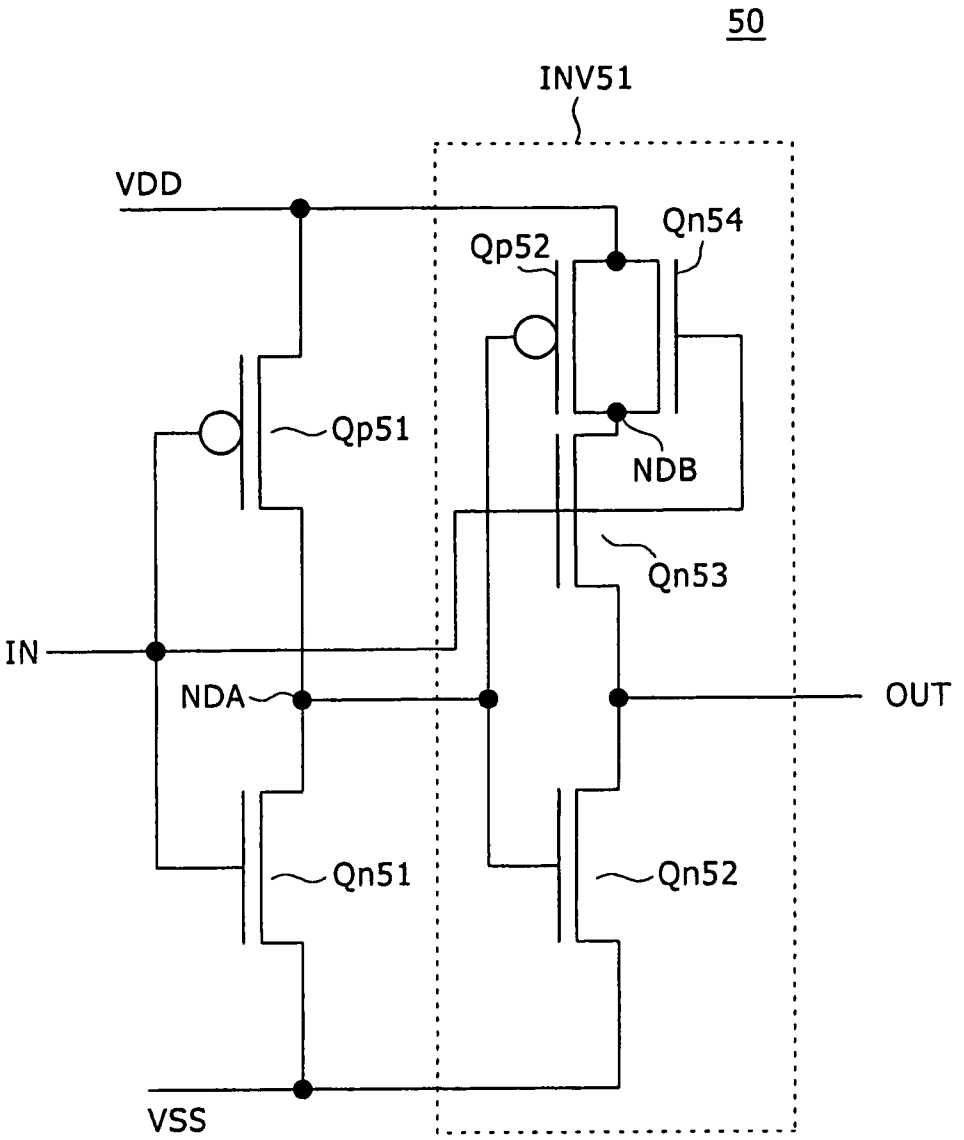

圖9

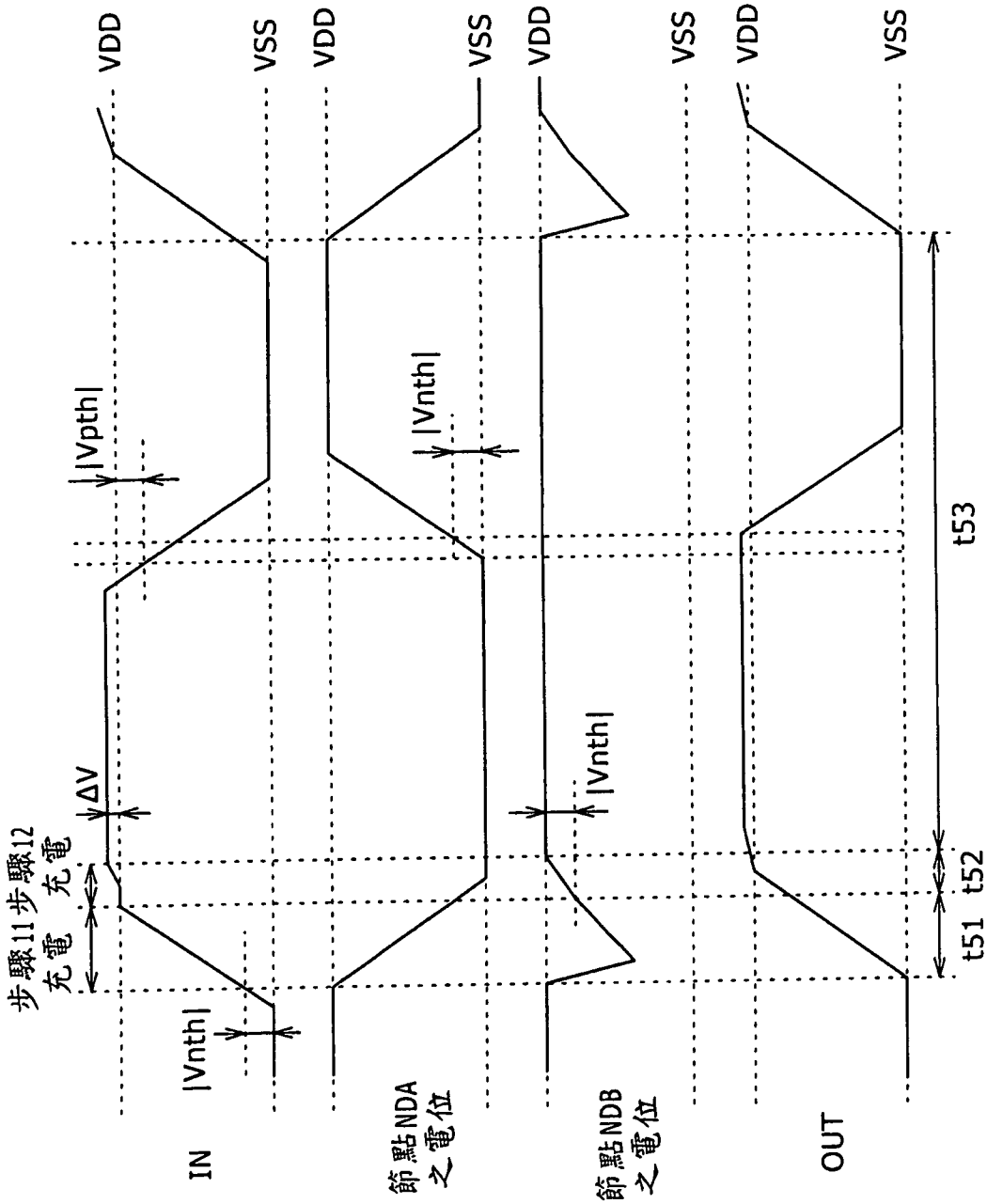
步驟11 充電
步驟12 充電
ΔV
|Vpth|
|Vnth|
IN
節點NDA 之電位
節點NDB 之電位
OUT
VDD
VSS
t51
t52
t53

圖10

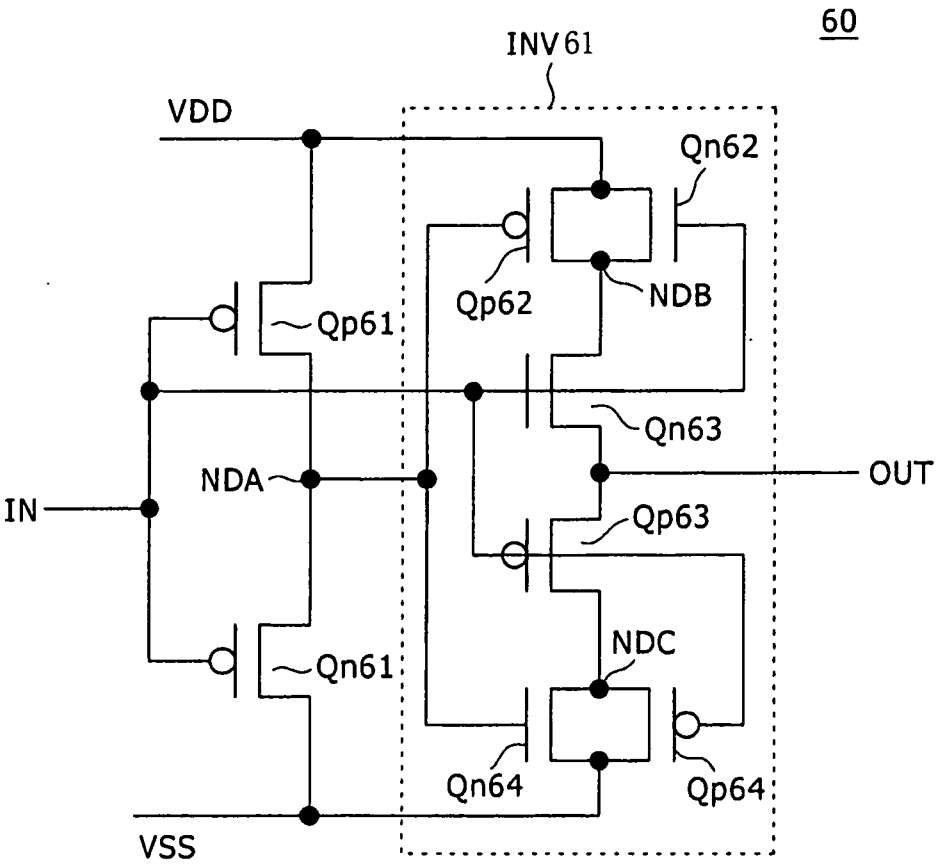
60
INV61
VDD
Qn62
Qp62
NDB
Qp61
Qn63
OUT
NDA
IN
Qp63
NDC
Qn61
Qn64
Qp64
VSS

圖11

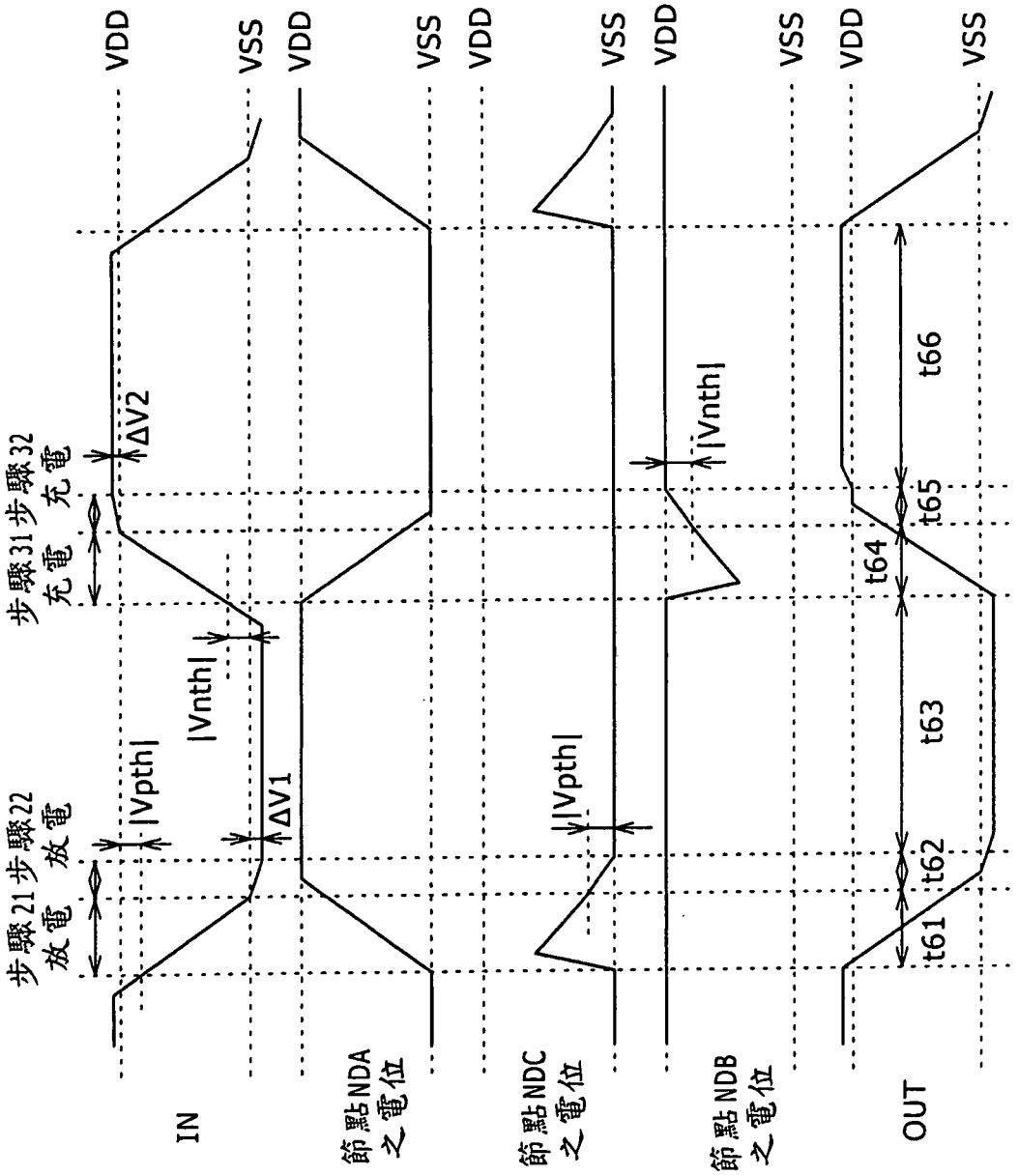
步驟21 放電
步驟22 放電
步驟31 充電
步驟32 充電
|Vpth|
|Vnth|
ΔV1
ΔV2
VDD
VSS
IN
節點NDA之電位
節點NDC之電位
節點NDB之電位
OUT
t61
t62
t63
t64
t65
t66

圖12

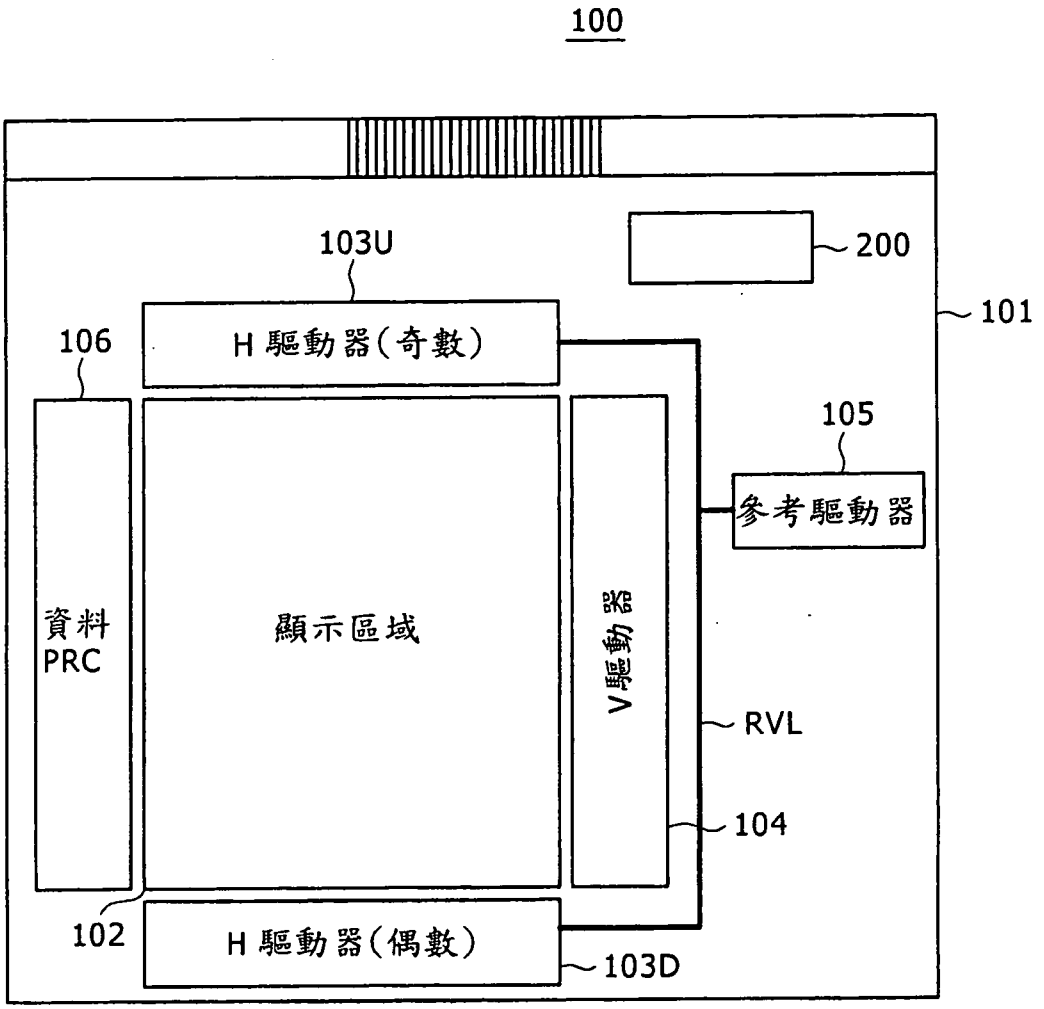
100
103U
200
101
106
H 驅動器(奇數)
105
參考驅動器
資料
PRC
顯示區域
V驅動器
RVL
104
102
H 驅動器(偶數)
103D

圖13

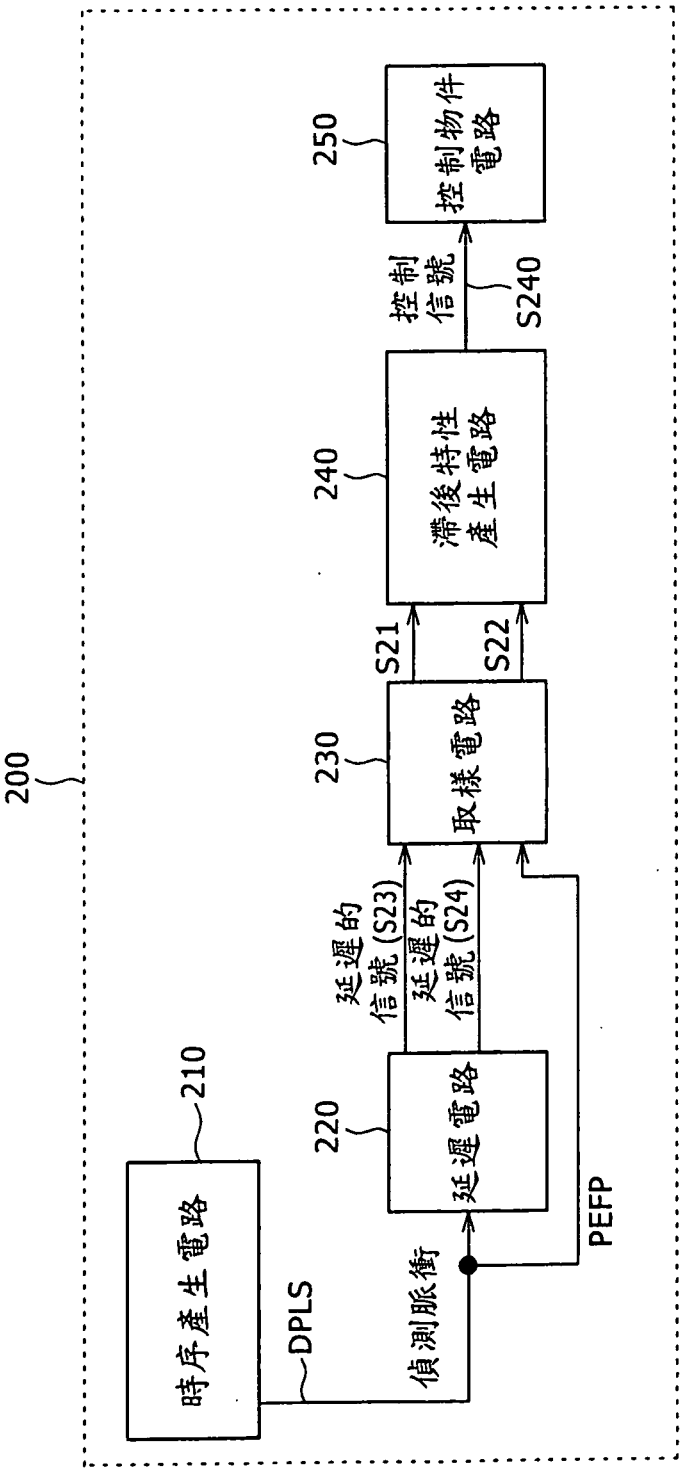
200
時序產生電路
210
DPLS
偵測脈衝
220
延遲電路
延遲的信號(S23)
延遲的信號(S24)
230
取樣電路
S21
S22
PEFP
240
滯後特性產生電路
控制信號
S240
250
控制物件電路

圖14

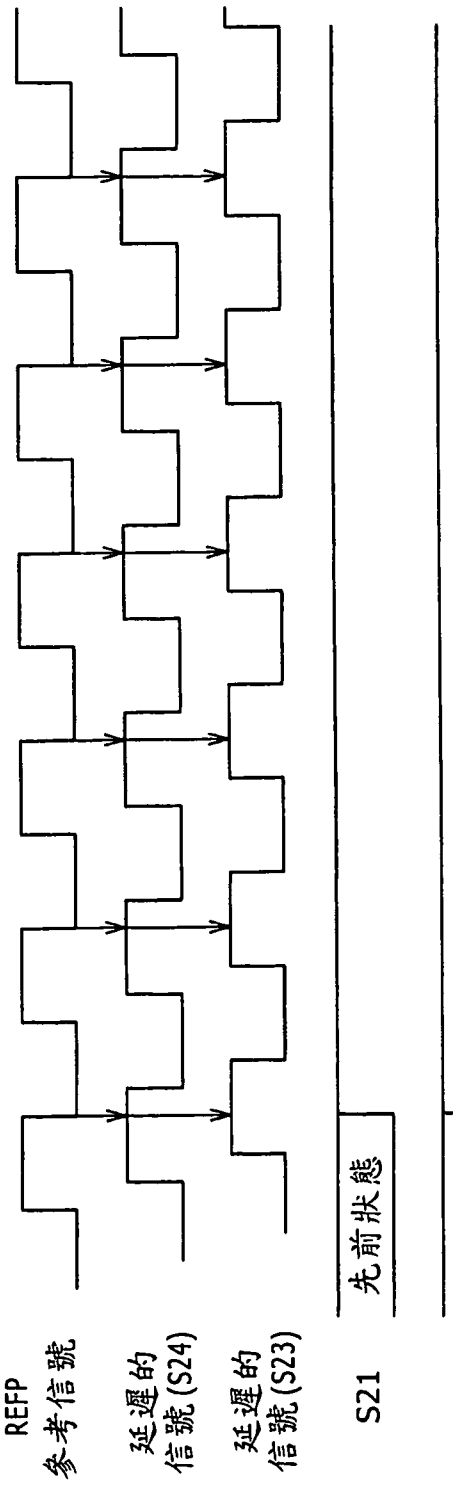

圖15

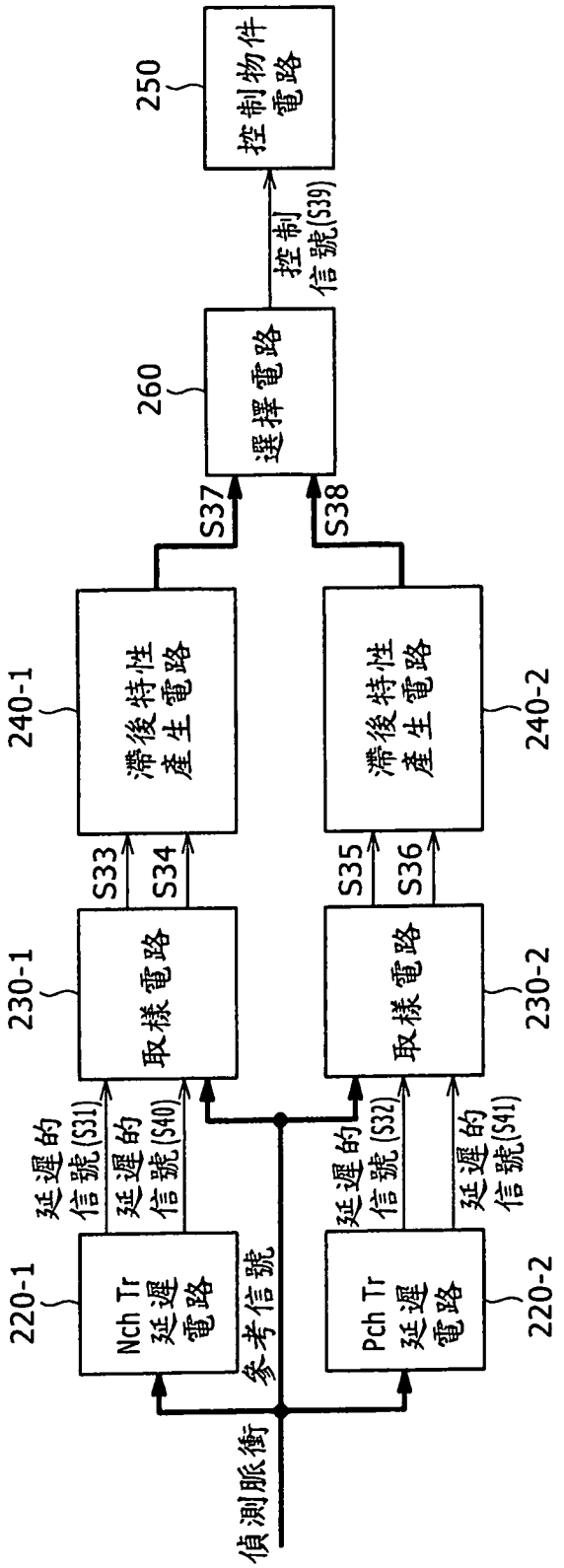
偵測脈衝
參考信號
220-1
Nch Tr 延遲電路
220-2
Pch Tr 延遲電路
延遲的信號(S31)
延遲的信號(S40)
延遲的信號(S32)
延遲的信號(S41)
230-1
取樣電路
230-2
取樣電路
S33
S34
S35
S36
240-1
滯後特性產生電路
240-2
滯後特性產生電路
S37
S38
260
選擇電路
控制信號(S39)
250
控制物件電路

圖16

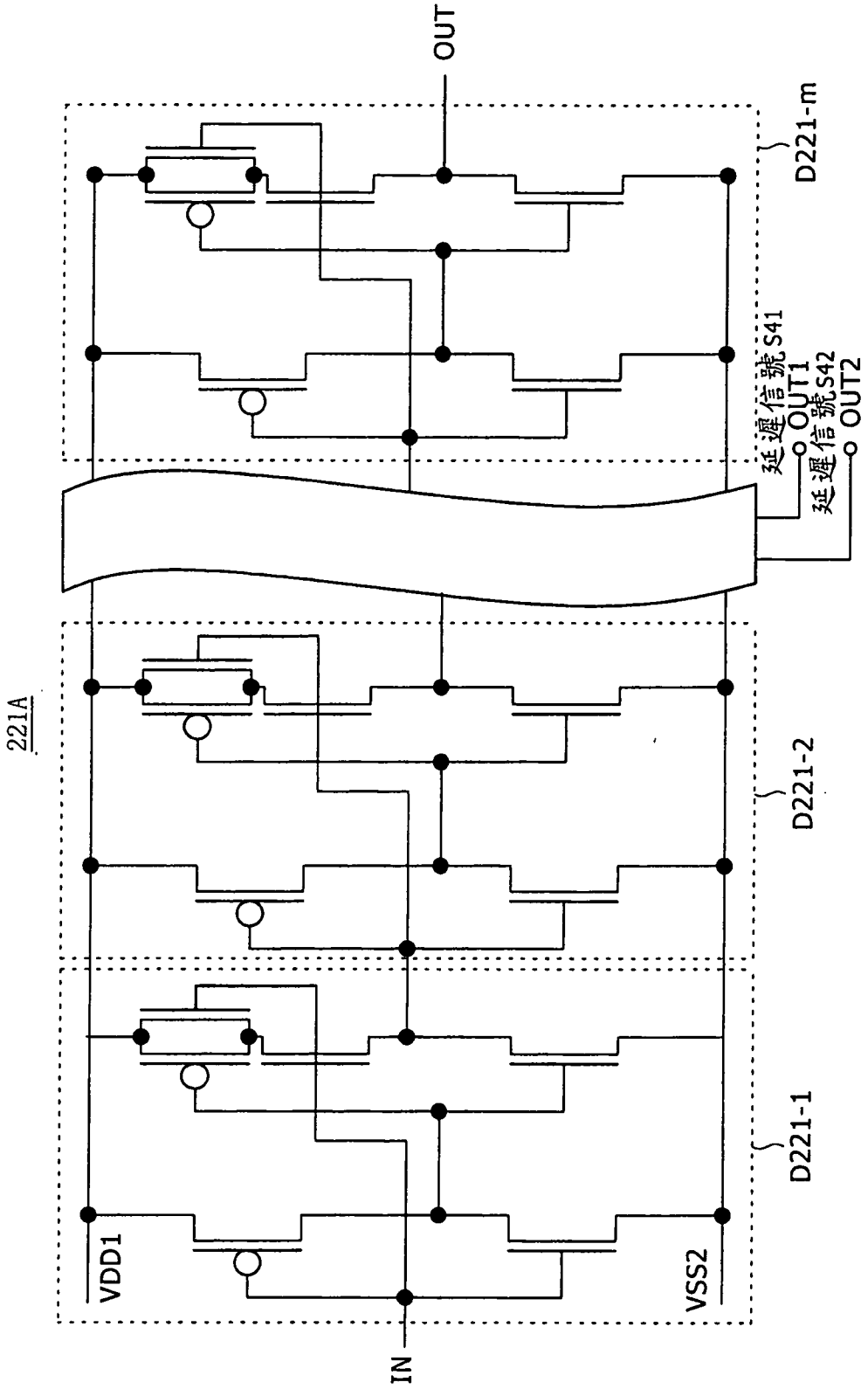
OUT
D221-m
延遲信號S41
OUT1
延遲信號S42
OUT2
221A
D221-2
D221-1
VDD1
VSS2
IN

圖17

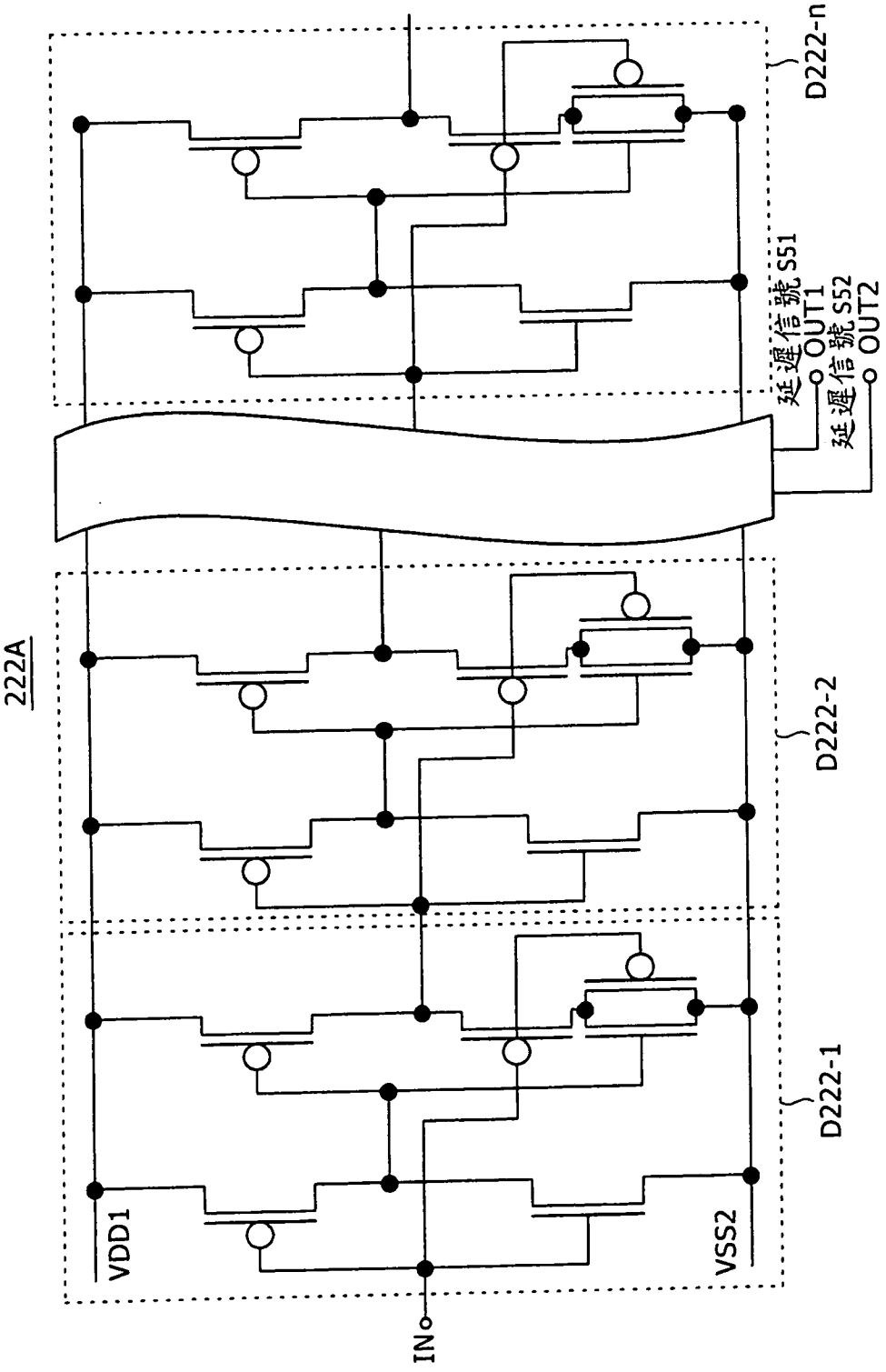
222A
D222-n
D222-2
D222-1
延遲信號 S51
OUT1
延遲信號 S52
OUT2
VDD1
VSS2
IN

圖18

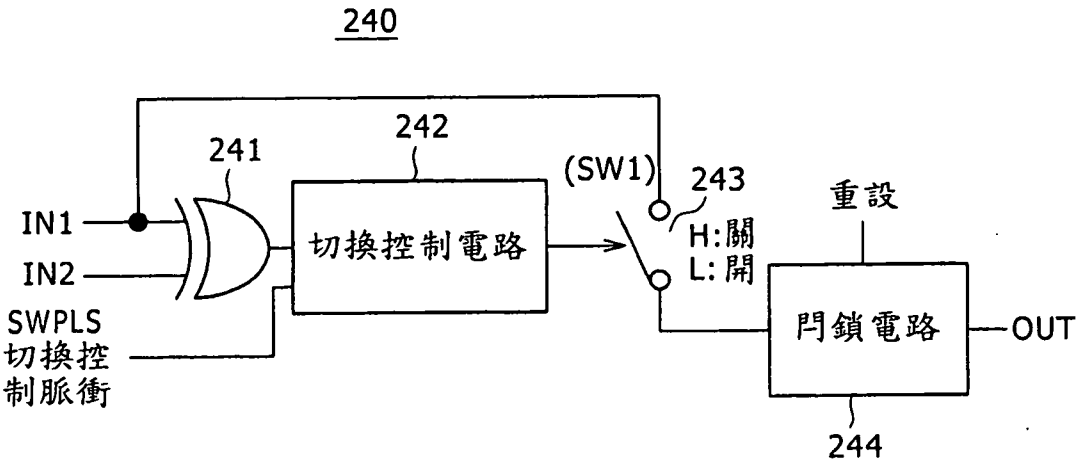
240
241
242
(SW1)
243
重設
IN1
IN2
SWPLS
切換控
制脈衝
切換控制電路
H:關
L:開
閂鎖電路
OUT
244

圖19

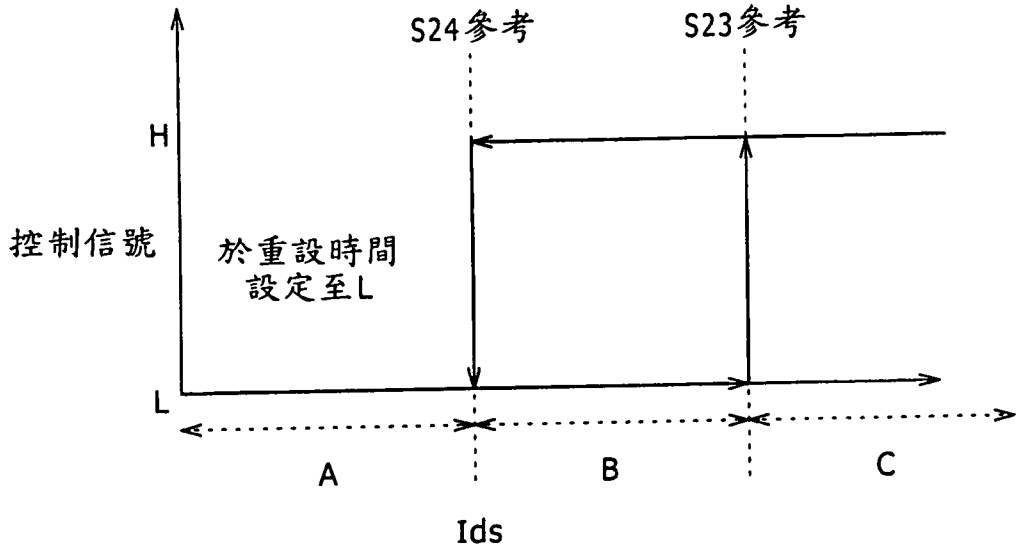

圖 20

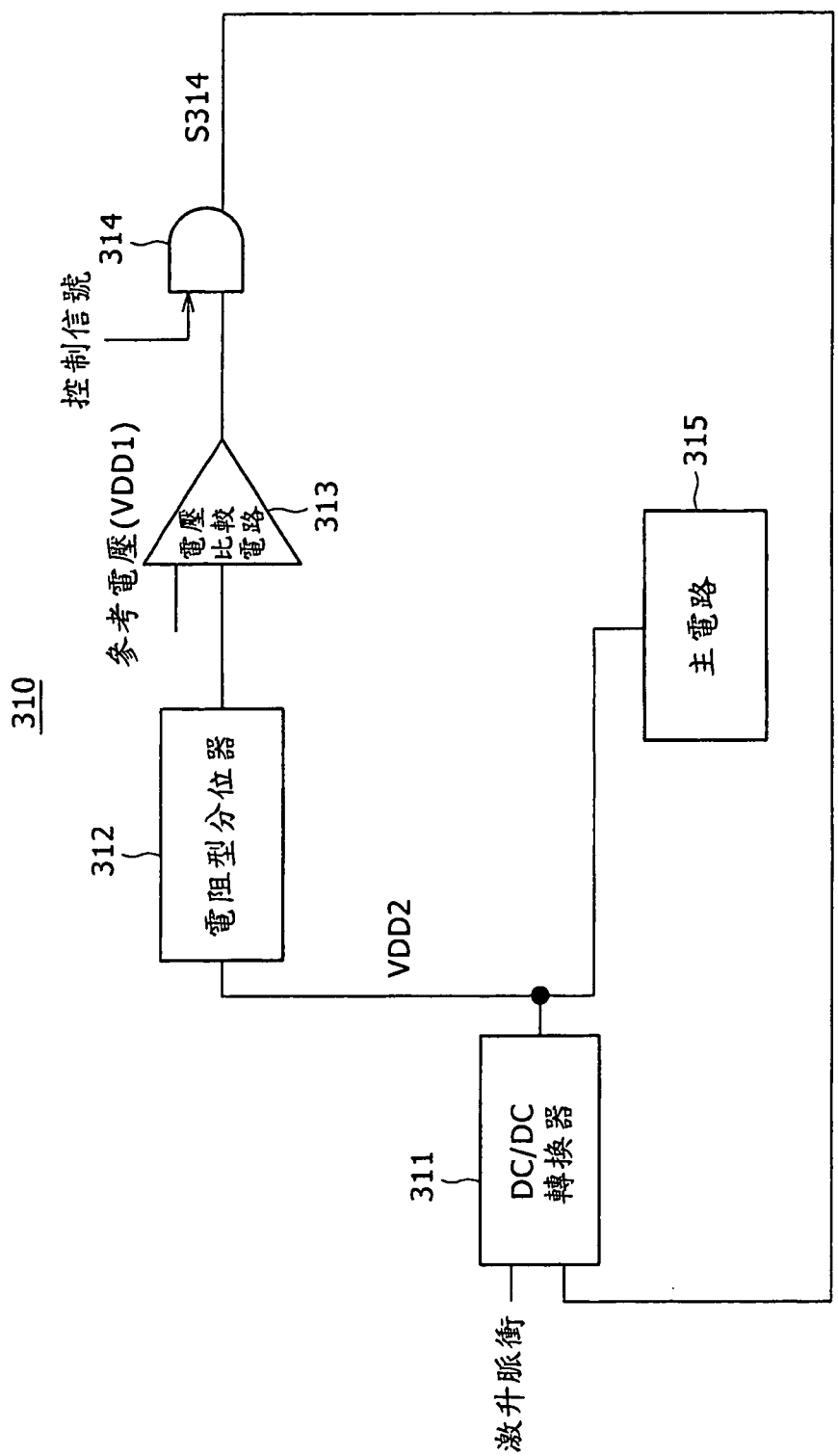
310
311
DC/DC
轉換器
312
電阻型分位器
313
電壓
比較
電路
314
315
主電路
S314
VDD2
參考電壓(VDD1)
控制信號
激升脈衝

圖 21

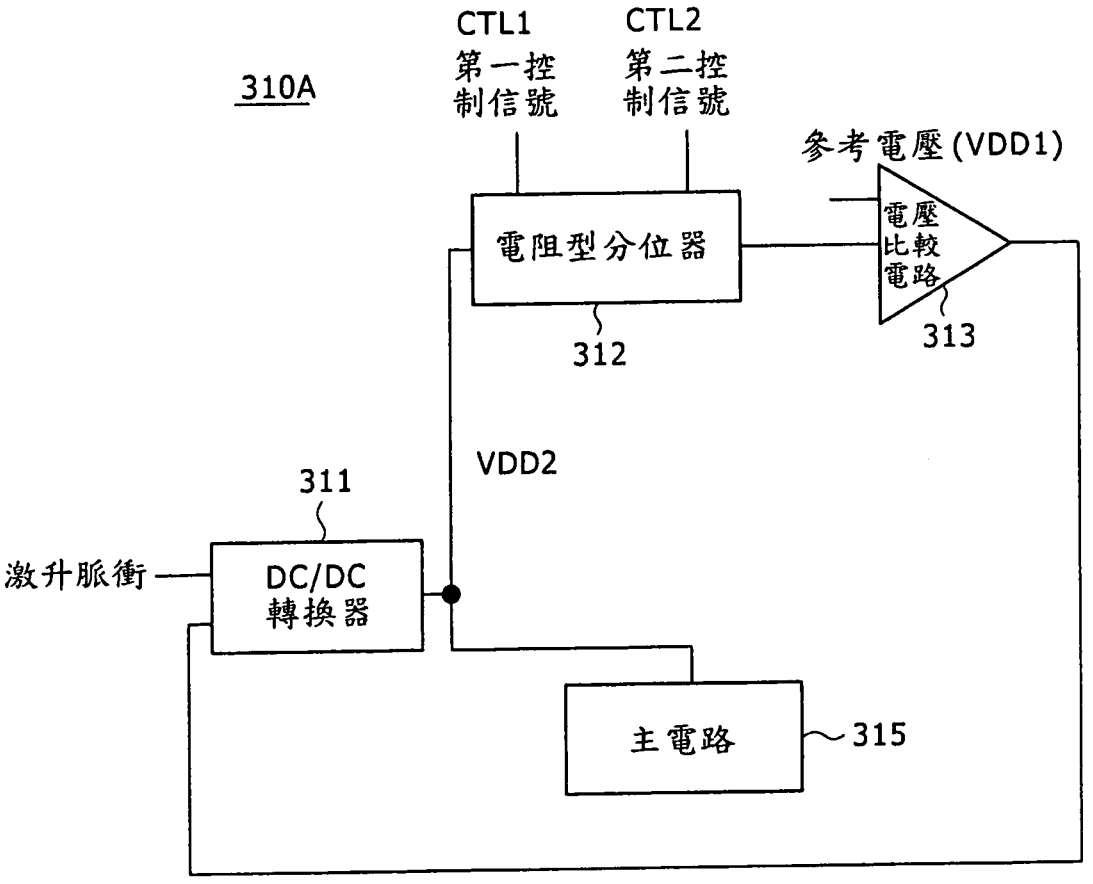
310A
CTL1
第一控制信號
CTL2
第二控制信號
參考電壓(VDD1)
電阻型分位器
電壓比較電路
312
313
VDD2
311
激升脈衝
DC/DC轉換器
主電路
315

圖 22

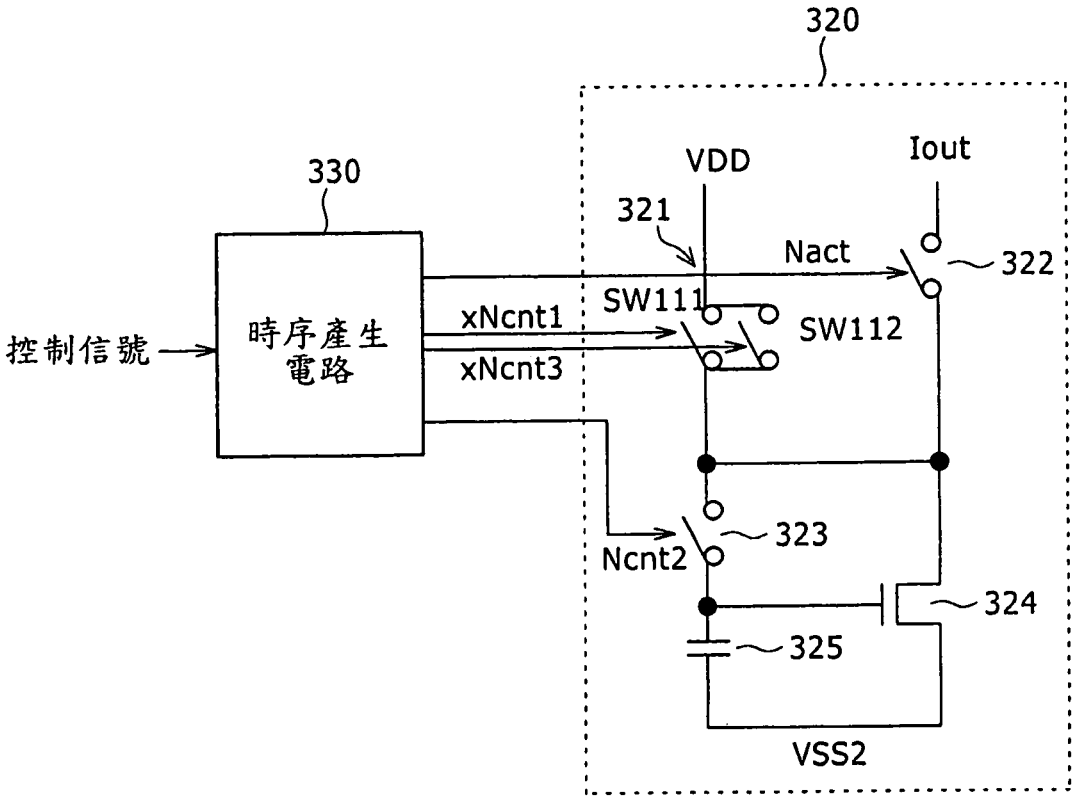
320
330
VDD
Iout
321
Nact
322
SW111
SW112
xNcnt1
xNcnt3
控制信號
時序產生
電路
323
Ncnt2
324
325
VSS2

圖 23

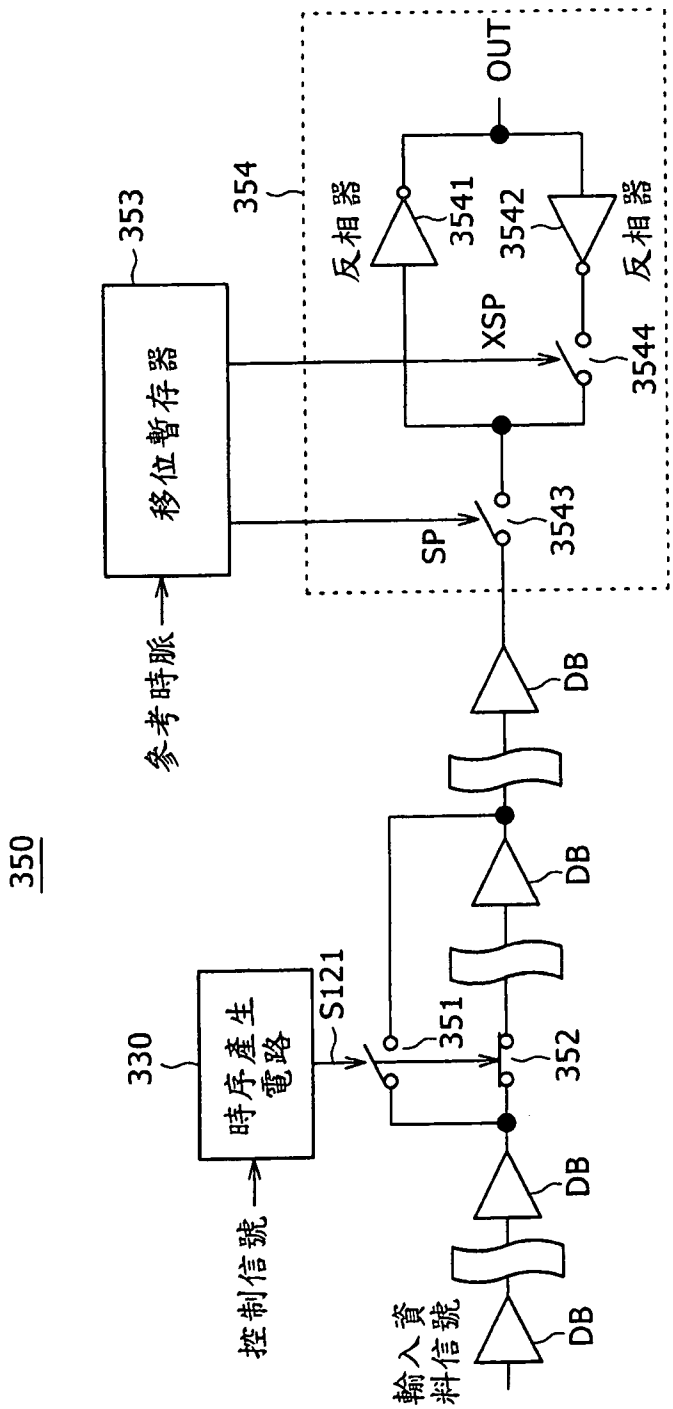
350
353
移位暫存器
354
反相器
3541
3542
反相器
OUT
XSP
3544
SP
3543
參考時脈
DB
DB
DB
DB
330
時序產生電路
S121
351
352
控制信號
輸入資料信號

圖 24

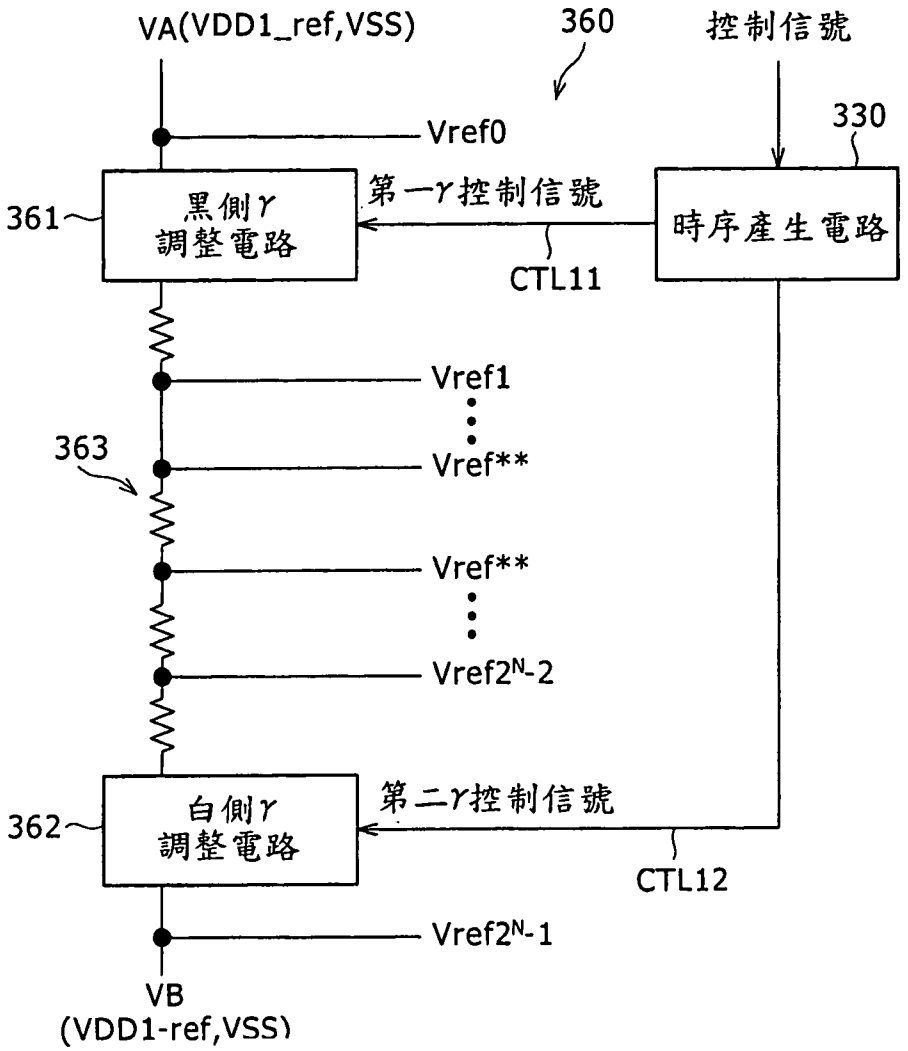
VA(VDD1_ref,VSS)
360
控制信號
330
Vref0
361
黑側γ
調整電路
第一γ控制信號
時序產生電路
CTL11
Vref1
363
Vref**
Vref**
Vref2N-2
362
白側γ
調整電路
第二γ控制信號
CTL12
Vref2N-1
VB
(VDD1-ref,VSS)

圖 25

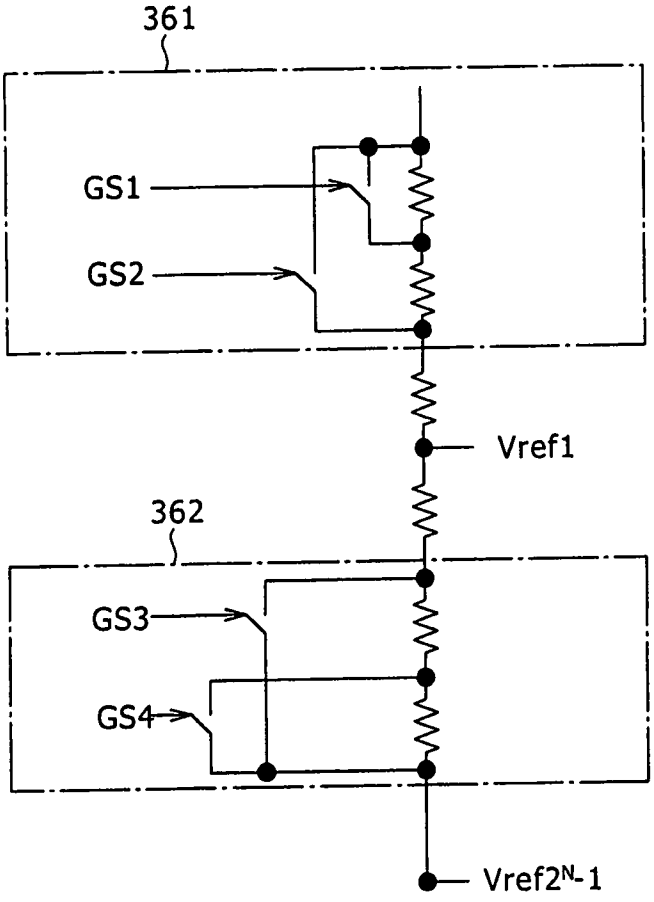

圖 26

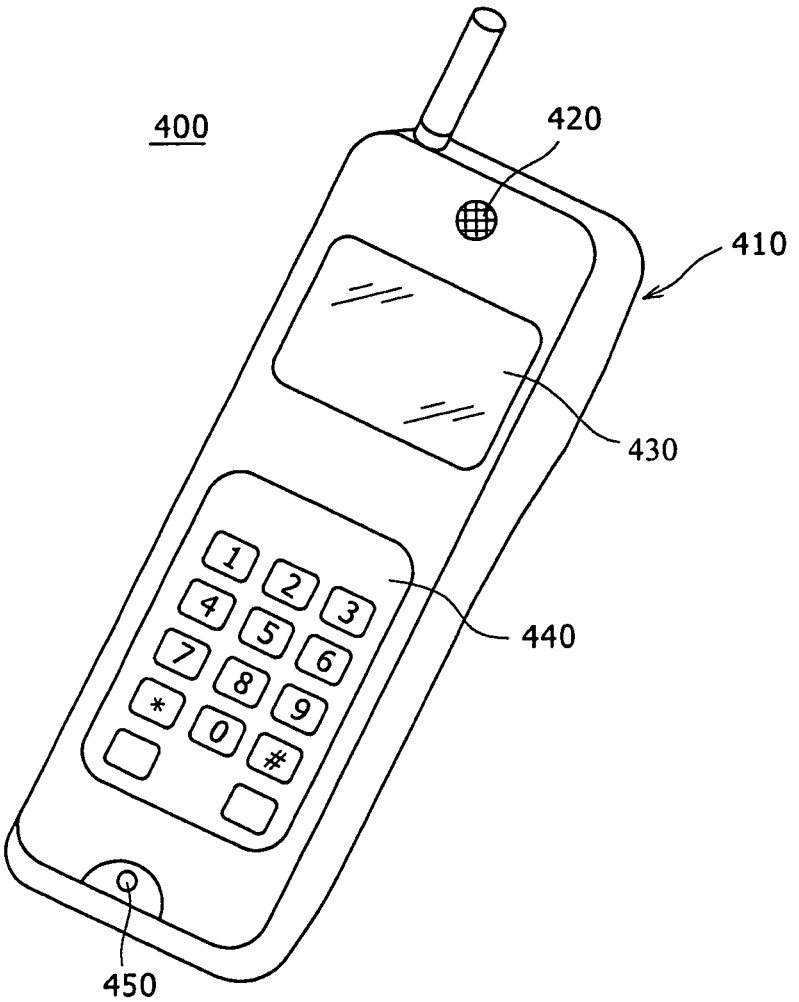

圖 27