



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년05월12일

(11) 등록번호 10-1518792

(24) 등록일자 2015년05월04일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) G02F 1/136 (2006.01)
H01L 21/205 (2006.01)

(21) 출원번호 10-2008-0080030

(22) 출원일자 2008년08월14일

심사청구일자 2013년08월13일

(65) 공개번호 10-2009-0018587

(43) 공개일자 2009년02월20일

(30) 우선권주장

JP-P-2007-00213102 2007년08월17일 일본(JP)

(56) 선행기술조사문헌

JP08088397 A

JP07094749 A

JP07162001 A

JP08339972 A

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본, 가나가와Ken 243-0036, 아쓰기시, 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
데두카 사키아키일본, 가나가와Ken 243-0036, 아쓰기시, 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)

(74) 대리인

장훈

전체 청구항 수 : 총 26 항

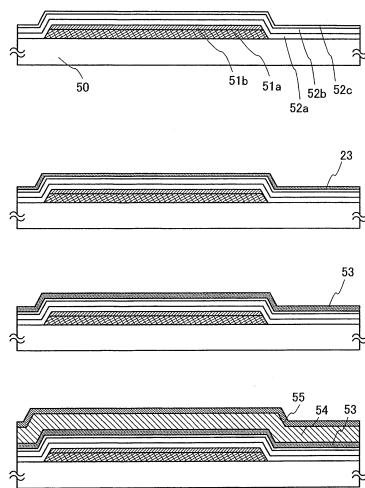
심사관 : 설관식

(54) 발명의 명칭 반도체 장치의 제작 방법

(57) 요약

본 발명은, 대면적의 기판 위에 양호한 품질을 가지는 미결정 반도체 막의 제작 방법을 제공하는 것을 과제로 한다.

게이트 전극 위에 게이트 절연막을 형성한 후, 성막 초기에 형성되는 미결정 반도체 막의 품질을 향상시키기 위해서, 주파수가 다른 고주파 전력을 공급하여 글로우 방전 플라즈마를 생성하고, 성막 속도는 느리지만 품질이 좋은 제 1 성막 조건으로 게이트 절연막 계면 부근의 막의 하부를 형성하고, 그 후, 높은 성막 속도의 제 2 성막 조건으로 바꾸어 막의 상부를 퇴적한다. 또한, 미결정 반도체 막 위에 접하여 베껴층을 적층한다.

대 표 도

(72) 발명자

토리우미 사토시

일본, 가나가와Ken 243-0036, 아쓰기시, 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

후르노 마코토

일본, 가나가와Ken 243-0036, 아쓰기시, 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

진보 앤스히로

일본, 가나가와Ken 243-0036, 아쓰기시, 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

다이리키 코지

일본, 가나가와Ken 243-0036, 아쓰기시, 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
쿠와바라 히데아키

일본, 가나가와Ken 243-0036, 아쓰기시, 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

절연 표면을 가지는 기판 위에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 위에 절연막을 형성하는 단계와;

상기 기판을 진공 챔버 내에 도입하는 단계와;

재료 가스를 상기 진공 챔버 내에 도입하는 단계와;

글로우 방전 플라즈마를 생성하는 전극에 파장 10m 이상의 주파수를 가지는 제 1 고주파 전력과, 파장 10m 미만의 주파수를 가지는 제 2 고주파 전력을 중첩 인가(superposed application)하여 글로우 방전 플라즈마를 생성하는 제 1 성막 조건으로 상기 진공 챔버 내에서 미결정 반도체 막의 하부를 형성하는 단계와;

기판 온도, 전력, 주파수, 재료 가스 유량, 및 진공도 중 적어도 하나가 상기 제 1 성막 조건하의 것과 다른 제 2 성막 조건으로 상기 진공 챔버 내에서 상기 미결정 반도체 막의 상부를 퇴적하는 단계와;

상기 미결정 반도체 막 위에 버퍼층을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

절연 표면을 가지는 기판 위에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 위에 절연막을 형성하는 단계와;

상기 기판을 진공 챔버 내에 도입하는 단계와;

재료 가스를 상기 진공 챔버 내에 도입하는 단계와;

글로우 방전 플라즈마를 생성하는 전극에, 3MHz 내지 30MHz의 제 1 고주파 전력과, 30MHz 내지 300MHz의 제 2 고주파 전력을 중첩 인가하여 글로우 방전 플라즈마를 생성하는 제 1 성막 조건으로 상기 진공 챔버 내에서 미

결정 반도체 막의 하부를 형성하는 단계와;

기판 온도, 전력, 주파수, 재료 가스 유량, 및 진공도 중 적어도 하나가 상기 제 1 성막 조건하의 것과 다른 제 2 성막 조건으로 상기 진공 챔버 내에서 상기 미결정 반도체 막의 상부를 퇴적하는 단계와;

상기 미결정 반도체 막 위에 버퍼층을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 10

제 1 항 또는 제 9 항에 있어서,

상기 버퍼층은 상기 진공 챔버와 다른 진공 챔버에서 기판 온도가 300°C 이상 400°C 미만의 성막 조건으로 형성되는 비정질 반도체 막인, 반도체 장치의 제작 방법.

청구항 11

제 9 항에 있어서,

상기 기판을 상기 진공 챔버 내에 도입하기 전에, 상기 진공 챔버 내의 분위기를 $1\times 10^{-8}\text{Pa}$ 를 넘고 $1\times 10^{-5}\text{Pa}$ 이하의 진공도로 진공 배기한 후, 재료 가스를 도입하여 상기 진공 챔버의 내벽에 성막을 행하는, 반도체 장치의 제작 방법.

청구항 12

제 9 항에 있어서,

상기 기판을 상기 진공 챔버 내에 도입하기 전에, 상기 진공 챔버 내의 분위기를 $1\times 10^{-8}\text{Pa}$ 를 넘고 $1\times 10^{-5}\text{Pa}$ 이하의 진공도로 진공 배기한 후, 수소 가스 또는 희소 가스를 도입하여 플라즈마를 생성시키는, 반도체 장치의 제작 방법.

청구항 13

제 9 항에 있어서,

상기 기판을 상기 진공 챔버 내에 도입한 후, 수소 가스 또는 희소 가스를 도입하여 플라즈마를 생성시키는, 반도체 장치의 제작 방법.

청구항 14

제 1 항 또는 제 9 항에 있어서,

상기 버퍼층 위에 n형 불순물 원소를 포함하는 반도체 막을 형성하는 단계와;

상기 n형 불순물 원소를 포함하는 반도체 막 위에 소스 전극 및 드레인 전극을 형성하는 단계와;

소스 영역 및 드레인 영역을 형성하기 위해서 상기 n형 불순물 원소를 포함하는 반도체 막을 에칭하는 단계와;

상기 소스 영역 및 드레인 영역과 중첩하는 영역들이 잔존되도록 상기 버퍼층의 일부를 에칭하고 제거하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 15

제 1 항 또는 제 9 항에 있어서,

상기 제 2 고주파 전력은 펄스 발진하는, 반도체 장치의 제작 방법.

청구항 16

제 1 항 또는 제 9 항에 있어서,

상기 미결정 반도체 막을 형성하기 위한 재료 가스는 실란 가스, 수소 가스, 및 트리메틸붕소 가스를 포함하는, 반도체 장치의 제작 방법.

청구항 17

제 1 항 또는 제 9 항에 있어서,

상기 제 1 성막 조건은 기판 온도가 100°C 이상 300°C 미만의 성막 조건인, 반도체 장치의 제작 방법.

청구항 18

제 1 항 또는 제 9 항에 있어서,

상기 절연막은, 상기 글로우 방전 플라즈마를 생성하는 전극에 파장 10m 이상의 주파수를 가지는 HF 대역의 고주파 전력과, 파장 10m 미만의 주파수를 가지는 VHF 대역의 고주파 전력을 중첩 인가하여 글로우 방전 플라즈마를 생성하여 상기 진공 챔버 내에서 성막되는, 반도체 장치의 제작 방법.

청구항 19

제 1 항 또는 제 9 항에 있어서,

상기 절연막은, 상기 글로우 방전 플라즈마를 생성하는 전극에, 3MHz 내지 30MHz의 HF 대역의 고주파 전력과, 30MHz 내지 300MHz의 VHF 대역의 고주파 전력을 중첩 인가하여 글로우 방전 플라즈마를 생성하여 상기 진공 챔버 내에서 성막되는, 반도체 장치의 제작 방법.

청구항 20

제 9 항에 있어서,

상기 제 1 성막 조건에서는 상기 제 1 고주파 전력과, 상기 제 1 고주파 전력보다 전력이 큰 상기 제 2 고주파 전력을 중첩 인가하고,

상기 제 2 성막 조건에서는 상기 제 1 고주파 전력보다 전력이 큰 제 3 고주파 전력과, 상기 제 3 고주파 전력보다 전력이 작은 제 4 고주파 전력을 중첩 인가하고,

상기 제 3 고주파 전력은 상기 제 1 고주파 전력과 같은 주파수를 갖고,

상기 제 4 고주파 전력은 상기 제 2 고주파 전력과 같은 주파수를 갖는, 반도체 장치의 제작 방법.

청구항 21

제 9 항에 있어서,

상기 제 1 성막 조건에서는 상기 제 1 고주파 전력과 상기 제 2 고주파 전력을 중첩 인가하고,

상기 제 2 성막 조건에서는 상기 제 1 고주파 전력과 동일한 주파수를 갖는 제 3 고주파 전력을 인가하는, 반도체 장치의 제작 방법.

청구항 22

절연 표면을 갖는 기판 위에 게이트 전극 및 화소 전극을 형성하는 단계와;

상기 게이트 전극 및 상기 화소 전극 위에 절연막을 형성하는 단계와;

상기 기판을 진공 챔버 내에 도입하는 단계와;

글로우 방전 플라즈마를 생성하는 전극에 파장 10m 이상의 주파수를 갖는 제 1 고주파 전력과, 파장 10m 미만의 주파수를 갖는 제 2 고주파 전력을 중첩 인가하여 글로우 방전 플라즈마를 생성하는 제 1 성막 조건으로 상기 진공 챔버 내에서 미결정 반도체 막의 하부를 형성하는 단계와;

기판 온도, 전력, 주파수, 재료 가스 유량, 및 진공도 중 적어도 하나가 상기 제 1 성막 조건하의 것과 다른 제 2 성막 조건으로 상기 진공 챔버 내에서 상기 미결정 반도체 막의 상부를 퇴적하는 단계를 포함하는, 표시 장치의 제작 방법.

청구항 23

제 22 항에 있어서,

상기 미결정 반도체 막 위에 n형 불순물 원소를 포함하는 반도체 막을 형성하는 단계와;

상기 n형 불순물 원소를 포함하는 반도체 막 위에 소스 전극 및 드레인 전극을 형성하는 단계와;

소스 영역 및 드레인 영역을 형성하기 위해서 상기 n형 불순물 원소를 포함하는 반도체 막을 예칭하는 단계를 더 포함하는, 표시 장치의 제작 방법.

청구항 24

제 22 항에 있어서,

상기 절연막은 상기 글로우 방전 플라즈마를 생성하는 전극에 과장 10m 이상의 주파수를 갖는 HF 대역의 고주파 전력과, 과장 10m 미만의 주파수를 갖는 VHF 대역의 고주파 전력을 중첩 인가하여 글로우 방전 플라즈마를 생성하여 상기 진공 챔버 내에서 형성되는, 표시 장치의 제작 방법.

청구항 25

제 22 항에 있어서,

상기 절연막은 상기 글로우 방전 플라즈마를 생성하는 전극에 3MHz 내지 30MHz의 HF 대역의 고주파 전력과, 30MHz 내지 300MHz의 VHF 대역의 고주파 전력을 중첩 인가하여 글로우 방전 플라즈마를 생성하여 상기 진공 챔버 내에서 형성되는, 표시 장치의 제작 방법.

청구항 26

절연 표면을 갖는 기판 위에 게이트 전극 및 화소 전극을 형성하는 단계와;

상기 게이트 전극 및 상기 화소 전극 위에 절연막을 형성하는 단계와;

상기 기판을 진공 챔버 내에 도입하는 단계와;

글로우 방전 플라즈마를 생성하는 전극에 3MHz 내지 30MHz의 제 1 고주파 전력과, 30MHz 내지 300MHz의 제 2 고주파 전력을 중첩 인가하여 글로우 방전 플라즈마를 생성하는 제 1 성막 조건으로 상기 진공 챔버 내에서 미결정 반도체 막의 하부를 형성하는 단계와;

기판 온도, 전력, 주파수, 재료 가스 유량, 및 진공도 중 적어도 하나가 상기 제 1 성막 조건하의 것과 다른 제 2 성막 조건으로 상기 진공 챔버 내에서 상기 미결정 반도체 막의 상부를 퇴적하는 단계를 포함하는, 표시 장치의 제작 방법.

청구항 27

제 26 항에 있어서,

상기 기판을 상기 진공 챔버 내에 도입하기 전에, 상기 진공 챔버 내의 분위기를 1×10^{-8} Pa를 넘고 1×10^{-5} Pa 이하의 진공도로 진공 배기한 후, 재료 가스를 도입하여 상기 진공 챔버의 내벽에 성막을 행하는, 표시 장치의 제작 방법.

청구항 28

제 26 항에 있어서,

상기 기판을 상기 진공 챔버 내에 도입하기 전에, 상기 진공 챔버 내의 분위기를 1×10^{-8} Pa를 넘고 1×10^{-5} Pa 이하의 진공도로 진공 배기한 후, 수소 가스 또는 희소 가스를 도입하여 플라즈마를 생성시키는, 표시 장치의 제작 방법.

청구항 29

제 26 항에 있어서,

상기 기판을 상기 진공 챔버 내에 도입한 후, 수소 가스 또는 희소 가스를 도입하여 플라즈마를 생성시키는, 표

시 장치의 제작 방법.

청구항 30

제 26 항에 있어서,

상기 미결정 반도체 막 위에 n형 불순물 원소를 포함하는 반도체 막을 형성하는 단계와;

상기 n형 불순물 원소를 포함하는 반도체 막 위에 소스 전극 및 드레인 전극을 형성하는 단계와;

소스 영역 및 드레인 영역을 형성하기 위해서 상기 n형 불순물 원소를 포함하는 반도체 막을 예칭하는 단계를 더 포함하는, 표시 장치의 제작 방법.

청구항 31

제 22 항 또는 제 26 항에 있어서,

상기 제 2 고주파 전력은 펄스 발진하는, 표시 장치의 제작 방법.

청구항 32

제 22 항 또는 제 26 항에 있어서,

상기 제 1 성막 조건은 기판 온도가 100°C 이상 300°C 미만의 성막 조건인, 표시 장치의 제작 방법.

청구항 33

제 22 항 또는 제 26 항에 있어서,

상기 미결정 반도체 막 위에 버퍼층을 형성하는 단계를 더 포함하는, 표시 장치의 제작 방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터(이하, TFT라고도 한다)로 구성된 회로를 가지는 반도체 장치 및 그 제작 방법에 관한 것이다. 예를 들면, 액정 표시 패널로 대표되는 전기 광학 장치나 유기 발광 소자를 가지는 발광 표시 장치를 부품으로서 탑재한 전자 기기에 관한 것이다.

[0002] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반(全般)을 가리키고, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

배경 기술

[0003] 근년, 절연 표면을 가지는 기판 위에 형성된 반도체 막(두께 수십nm 내지 수백nm 정도)을 사용하여 박막 트랜지스터(TFT)를 구성하는 기술이 주목을 받고 있다. 박막 트랜지스터는 IC나 전기 광학 장치와 같은 전자 디바이스에 광범위하게 응용되고, 특히, 화상 표시 장치의 스위칭 소자로서 개발이 가속되고 있다.

[0004] 화상 표시 장치의 스위칭 소자로서, 비정질 반도체 막을 사용한 박막 트랜지스터, 또는 다결정 반도체 막을 사용한 박막 트랜지스터 등이 사용된다.

[0005] 비정질 반도체 막을 사용한 박막 트랜지스터는, 수소화 아모퍼스 실리콘 막 등의 비정질 반도체 막을 사용하기 때문에, 프로세스 온도에 제한이 있고, 수소가 막 중으로부터 탈리하는 400°C 이상의 가열이나, 막 중의 수소에 의하여 표면 거칠기가 생기는 강도의 레이저광 조사 등을 행하지 않는다. 수소화 아모퍼스 실리콘 막은, 수소를 미결합수(未結合手)에 결합시켜, 결과적으로 미결합수를 소실시켜 막의 전기적 특성을 향상시킨 비정질 실리콘 막이다.

[0006] 또한, 폴리실리콘 막 등의 다결정 반도체 막의 형성 방법으로서는, 표면 거칠기가 생기지 않도록, 미리 아모퍼스 실리콘 막 중의 수소 농도를 저감시키는 탈 수소화 처리를 행한 후, 펄스 발진의 액시머 레이저 빔을 광학계에 의하여 선형으로 가공하여, 탈 수소화시킨 아모퍼스 실리콘 막에 대해서 선형 빔을 주사시키면서 조사하여

결정화하는 기술이 알려진다.

[0007] 다결정 반도체 막을 사용한 박막 트랜지스터는, 비정질 반도체 막을 사용한 박막 트랜지스터와 비교하여 이동도가 2자릿수 이상 높고, 반도체 표시 장치의 화소부와 그 주변의 구동 회로를 동일 기판 위에 일체 형성할 수 있다는 이점을 가진다. 그러나, 비정질 반도체 막을 사용한 경우와 비교하여, 반도체 막의 결정화를 위하여 공정이 복잡해지기 때문에, 수율이 저감하고, 비용이 높아진다는 문제가 있다.

[0008] 본 출원인은, 채널 형성 영역이 결정 구조와 비결정 구조의 혼합으로 이루어지는 반도체인 FET(Field Effect Transistor)를 특허 문헌 1에서 개시한다.

[0009] 또한, 화상 표시 장치의 스위칭 소자로서, 미결정 반도체 막을 사용한 박막 트랜지스터가 사용된다(특히 문헌 2 및 특허 문헌 3 참조).

[0010] 또한, 종래의 박막 트랜지스터의 제작 방법으로서, 게이트 절연막 위에 아모퍼스 실리콘 막을 형성한 후, 그 상면에 금속막을 형성하고, 상기 금속막에 다이오드 레이저를 조사하여 아모퍼스 실리콘 막을 마이크로 크리스탈 실리콘 막으로 개질(改質)하는 기술(비특허 문헌 1 참조)이 알려진다. 이 방법에 의하면, 아모퍼스 실리콘 막 위에 형성한 금속막은 다이오드 레이저의 광 에너지를 열 에너지로 변환하기 위한 것이며, 박막 트랜지스터의 완성을 위해서는 후에 제거되어야 하는 것이다. 즉, 금속막으로부터의 전도 가열만에 의하여 아모퍼스 실리콘 막이 가열되어, 마이크로 크리스탈 실리콘 막을 형성하는 방법이다.

[0011] 아모퍼스 실리콘에 레이저 광을 조사하여 미결정 반도체 막을 형성하는 방법 이외에, 미결정 반도체 막을 플라즈마 CVD법에 의하여 성막하는 방법이 있다. 플라즈마 CVD법에 의한 미결정 실리콘 막의 제작 방법으로서, 30MHz 이상의 VHF(Very High Frequency) 대역의 고주파를 이용하는 발명이 개시된다(특허 문헌 4 참조).

[특허 문헌 1] 미국 특허 제5591987

[특허 문헌 2] 특개평 4-242724호 공보

[특허 문헌 3] 특개 2005-49832호 공보

[특허 문헌 4] 특허 제3201492호 공보

[비특허 문헌 1] 아라이 토시아키(Toshiaki Arai) 이외, SID 07 DIGEST, 2007, 1370페이지 내지 1373페이지

발명의 내용

해결 하고자하는 과제

[0017] 액정 패널은, 마더 유리(mother glass)라고 불리는 대면적 유리 기판 위에서 복수의 패널을 가공한 후, 최종적으로 텔레비전이나 폐스널 컴퓨터의 화면에 맞춘 사이즈로 분단되어 제작된다. 1장의 마더 유리로부터 복수의 패널을 추출하여 패널 1장당의 비용을 저감시키기 위해서다. 액정 텔레비전의 시장에서는, 화면 사이즈(패널 사이즈)의 대형화와 판매 가격의 저하가 급격히 진행되고 있다. 대화면화와 저비용화에 대응하여 생산성을 향상시키기 위해서, 최근 수년 사이, 마더 유리의 대형화가 진행되고 있다.

[0018] 제 1 세대라고 불리는 1991년쯤의 대표적인 유리 기판의 사이즈는 $300\text{mm} \times 400\text{mm}$ 이었다. 그 후, 마더 유리의 사이즈는, 제 2 세대($400\text{mm} \times 500\text{mm}$), 제 3 세대($550\text{mm} \times 650\text{mm}$), 제 4 세대($730\text{mm} \times 920\text{mm}$), 제 5 세대($1000\text{mm} \times 1200\text{mm}$), 제 6 세대($2450\text{mm} \times 1850\text{mm}$), 제 7 세대($1870\text{mm} \times 2200\text{mm}$), 제 8 세대($2000\text{mm} \times 2400\text{mm}$), 제 9 세대($2450\text{mm} \times 3050\text{mm}$), 제 10 세대($2850\text{mm} \times 3050\text{mm}$)라고 나타내는 바와 같이, 대형화가 도모된다.

[0019] 이와 같이, 마더 유리, 즉, 유리 기판이 대면적화되면, 그 유리 기판에 미결정 실리콘 막을 형성하기 위해서 플라즈마 CVD 장치의 전극 면적도 대형화된다. 이 경우, 유리 기판의 사이즈가 제 6 세대를 넘는 쪽으로부터, 플라즈마 CVD 장치의 전극의 사이즈가 고주파 전원의 주파수의 파장에 가까워진다. 예를 들면, 27MHz의 전원 주파수의 경우, 파장은 1100mm 이며, 60MHz 의 경우는 500mm , 120MHz 의 경우는 250mm 가 된다.

[0020] 이러한 경우, 표면 정재파(表面定在波)의 영향이 현저히 나타나고, 플라즈마 CVD 장치의 반응실 내의 플라즈마 밀도 분포가 불균일하게 되어, 유리 기판에 형성되는 박막의 막질이나 두께의 면내(面内) 균일성이 상실된다는 점이 문제가 된다.

[0021] 그래서 이 발명은, 대면적의 유리 기판 위에 균일성이 높은 막질을 가지는 미결정 반도체 막을 형성하는 미결정 반도체 막의 제작 방법을 과제의 하나로 한다. 또한, 효율 좋게 미결정 반도체 막의 형성을 행하는 미결정 반

도체 막의 제작 방법을 과제의 하나로 한다. 덧붙여, 아모퍼스 실리콘 막을 사용하는 TFT보다 전계 효과 이동도를 높이고, 또한 오프(OFF) 전류값을 내리는 반도체 장치의 제작 방법을 제공하는 것을 과제의 하나로 한다. 또한, 아모퍼스 실리콘 막을 주로 하여 채널 형성 영역에 사용하는 TFT보다 신뢰성이 높은 반도체 장치의 제작 방법을 과제의 하나로 한다.

과제 해결수단

[0022]

대면적의 유리 기판 위에 미결정 반도체 막을 사용한 박막 트랜지스터를 제작하는 경우, 성막 초기에 형성되는 반도체 영역의 품질 및 균일성을 향상시키기 위해서, 주파수가 다른 2이상의 고주파 전력을 공급하여 글로우 방전 플라즈마를 생성하여 미결정 반도체 막을 형성한다. 또한, 게이트 절연막 등도 주파수가 다른 2이상의 고주파 전력을 공급하여 글로우 방전 플라즈마를 생성하여 형성한다.

[0023]

제 1 고주파 전력은 표면 정재파 효과가 나타나지 않는 주파수 대역의 전력이며, 대략 파장으로서 10m 이상의 고주파가 적용되어, 상기 고주파 전력에 파장이 그보다 짧은 제 2 고주파 전력을 가한다. 주파수가 다른(파장이 다른) 고주파 전력을 플라즈마 CVD 장치의 전극에 중첩 인가함으로써, 플라즈마의 고밀도화와 플라즈마의 표면 정재파 효과가 생기지 않도록 균일화를 도모한다.

[0024]

또한, 미결정 반도체 막의 형성에 있어서, 성막 조건을 다단계로 분류하여 바꿈으로써, 성막 속도를 향상시켜, 대량 생산에 적합한 프로세스로 한다. 예를 들면, 성막 초기에 형성되는 반도체 영역의 품질을 향상시키기 위해서, 게이트 전극 위에 게이트 절연막을 형성한 후, 성막 속도는 느리지만, 품질이 좋은 제 1 성막 조건으로 게이트 절연막 계면 부근의 미결정 반도체 막의 하부를 형성하고, 그 후, 높은 성막 속도의 제 2 성막 조건으로 바꾸어 미결정 반도체 막의 상부를 퇴적한다.

[0025]

성막 속도는 느리지만, 품질이 좋은 제 1 성막 조건으로서는, 미리 성막 전에 진공 챔버(반응 용기) 내의 산소나 H_2O 등의 가스의 잔류를 가능한 한 저감하기 위해서, 도달 최저 압력을 $1\times 10^{-10}\text{Torr}$ 내지 $1\times 10^{-7}\text{Torr}$ (약 $1\times 10^{-8}\text{Pa}$ 를 넘고 $1\times 10^{-5}\text{Pa}$ 이하)의 초고진공(UHV) 영역까지 내리고, 높은 순도의 재료 가스를 흘리고, 성막할 때의 기판 온도를 100°C 이상 300°C 미만의 범위로 한다. 또한, 표면 정재파의 영향이 나타나지 않는 고주파 전력과, VHF 대역에 속하는 고주파 전력의 양쪽을 인가하여 플라즈마를 형성한다. 다른 주파수의 고주파 전력을 인가하는, 즉 중첩 인가함으로써 인큐베이션 시간(incubation time)을 대폭으로 감소 또는 해소할 수 있고, 막 질의 균일성을 향상시킬 수 있다. 미결정 반도체 막은 형성 개시와 함께, 막 두께가 증가하지 않고, 성막을 개시하고 나서 잠시 막이 거의 성장하지 않고, 어느 정도 시간이 지나면 막 성장의 속도가 급격히 빨라지는 현상이 생기는 경우가 있다. 이 성막 개시로부터 유효한 막 성장이 시작할 때까지의 시간을 인큐베이션 시간이라고 부르고, 이 인큐베이션 시간은 짧은 시간이라도, 존재함으로써 막질의 불균일성을 초래할 우려가 있다. 또한, 막의 퇴적 개시시에 이러한 인큐베이션 시간이 존재하면 프로세스의 스루풋이 저하될 우려가 있다.

[0026]

본 명세서에서 개시하는 발명의 구성은, 절연 표면을 가지는 유리 기판 위에 게이트 전극을 형성하고, 상기 게이트 전극 위에 절연막을 형성하고, 유리 기판을 진공 챔버 내에 도입하고, 진공 챔버 내에 재료 가스를 도입하고, 상기 진공 챔버 내에 글로우 방전 플라즈마를 생성하는 전극에 파장 10m 이상의 주파수를 가지는 제 1 고주파 전력과, 파장 10m 미만의 주파수를 가지는 제 2 고주파 전력을 중첩 인가하여 글로우 방전 플라즈마를 생성하는 제 1 성막 조건에 의하여 미결정 반도체 막의 하부를 형성하고, 기판 온도, 전력, 주파수, 재료 가스 유량, 및 진공도 중 적어도 하나가 상기 제 1 성막 조건 하의 그것과 다른 제 2 성막 조건으로 상기 미결정 반도체 막의 상부를 퇴적하고, 상기 미결정 반도체 막 위에 베퍼충을 성막하는 반도체 장치의 제작 방법이다.

[0027]

상기 제 1 성막 조건으로 얻을 수 있는 미결정 반도체 막의 하부는, 막 중의 산소 농도가 $1\times 10^{17}/\text{cm}^3$ 이하이다. 미결정 반도체 막의 형성시, 산소는 결정화를 저해하고, 실리콘 막 중에 도입된 경우에는, 도너로서 작용할 우려가 있기 때문에, 특히 저감해야 하는 불순물이다. 이 제 1 성막 조건으로 얻을 수 있는 미결정 반도체 막의 하부의 품질이, 후에 형성되는 TFT의 온(ON) 전류 증대 및 전계 효과 이동도의 향상에 기여한다.

[0028]

또한, 미결정 반도체 막의 형성을 하기 전에, 미리 진공 챔버를 베이킹(200°C 이상 300°C 이하)하여 진공 챔버 내에 존재하는 수분을 주성분으로 하는 잔류 가스를 제거하고, 진공 챔버 내를 초고진공 영역의 진공도의 압력 환경으로 하는 것이 바람직하다. 또한, 미결정 반도체 막의 형성 중에도 진공 챔버 내벽을 가열(50°C 이상 300°C 이하)하여 성막 반응을 촉진시켜도 좋다.

[0029]

또한, 제 2 성막 조건으로서는, 적어도 제 1 성막 조건의 성막 속도보다 빠른 성막 속도를 얻을 수 있는 조건으

로 하면 좋고, 예를 들면, 실란 가스와 수소 가스의 유량 비율을 제 1 성막 조건과 바꾸어 미결정 실리콘 막이 형성되는 범위 내로 수소 농도를 내리면 좋다. 또한, 제 2 성막 조건으로서는, 제 1 성막 조건의 기판 온도보다 높은 온도, 예를 들면 300°C 이상의 기판 온도로 하여 성막 속도를 빠르게 하여도 좋다. 또한, 제 2 성막 조건으로서, 제 1 성막 조건보다 전력을 증대시킴으로써, 성막 속도를 빠르게 하여도 좋다. 또한, 진공 챔버의 컨덕턴스 밸브 등의 배기 밸브를 조절하여 제 2 성막 조건을 제 1 성막 조건과 다른 진공도로 하여 성막 속도를 빠르게 하여도 좋다.

[0030] 또한, 제 1 성막 조건보다 성막 속도를 빠르게 하는 제 2 성막 조건으로 하여, VHF 대역의 고주파 전력을 펄스로 공급함으로써, 성막시에 있어서, 기상 중에서 분체(粉體)가 이상 성장하는 것을 방지할 수 있다. 분체의 성장을 억제하기 위해서는, 기체 분자의 평균 체류 시간을 고려할 필요가 있지만, 펄스의 발진 주파수를 대략 1kHz 내지 100kHz로 하면 좋다.

[0031] 또한, 제 1 성막 조건보다 성막 속도를 빠르게 하는 제 2 성막 조건으로 하여, 미결정 반도체 막을 형성하는 진공 챔버의 내벽을 기판 온도보다 높은 온도로 가열하여 미결정 반도체 막을 형성하여도 좋다. 제 1 성막 조건에 있어서의 기판 온도가 100°C라면, 진공 챔버의 내벽을 150°C로 함으로써, 챔버 내벽보다 저온의 기판 표면에 미결정 반도체 막을 효율 좋게 형성한다.

[0032] 또한, 진공 챔버 내의 분위기를 1×10^{-8} Pa 이상 1×10^{-5} Pa 이하의 진공도로 진공 배기한 후, 기판을 도입하기 전에, 미리 진공 챔버 내에 수소 가스 또는 희소 가스를 도입하여 플라즈마를 발생시켜, 진공 챔버 내에 존재하는 수분을 주성분으로 하는 잔류 가스를 제거하여, 진공 챔버 내의 잔류 산소 농도를 저감시킨 환경으로 하는 것이 바람직하다.

[0033] 또한, 진공 챔버 내의 분위기를 1×10^{-8} Pa 이상 1×10^{-5} Pa 이하의 진공도로 진공 배기한 후, 기판을 도입하기 전에, 미리 실란 가스를 진공 챔버 내에 흘리고, 진공 챔버 내에 잔류 산소와 반응시켜 산화실리콘으로 변화시킴으로써, 더 진공 챔버 내의 산소를 저감하여도 좋다. 또한, 미결정 반도체 막의 형성 중에 혼입하는 알루미늄 등의 금속 원소의 혼입을 방지하기 위해서, 기판을 도입하기 전에, 미리 실란 가스를 진공 챔버 내에 흘리고, 플라즈마를 발생시켜 내벽에 성막하는 처리(프리 코팅(precoating) 처리라고도 부른다)를 행하여도 좋다.

[0034] 제 1 성막 조건은, 성막 속도가 느리기 때문에, 특히 막 두께를 두껍게 하면 성막시간이 길어지고, 그 결과, 막 중에 산소 등의 불순물이 혼입하기 쉽다. 따라서, 이와 같이, 기판을 도입하기 전에 진공 챔버 내의 산소 및 수분을 충분히 저감함으로써, 성막시간이 길어져도, 막 중의 산소 등의 불순물이 거의 혼입되지 않고, 이는 후에 성막하는 미결정 실리콘 막의 품질을 향상시키기 위해서 중요하다.

[0035] 또한, 기판 도입 후, 미결정 실리콘 막의 형성을 하기 전에, 미리 기판 위의 흡착수(吸着水)를 제거하기 위해서, 아르곤 플라즈마 처리 등의 희소 가스 플라즈마 처리 및 수소 플라즈마 처리를 행하여, 미결정 실리콘 막 중의 산소 농도를 $1 \times 10^{17}/\text{cm}^2$ 이하로 저감하여도 좋다.

[0036] 이와 같이, 기판을 도입한 후에 기판이 가지는 산소 및 수분을 충분히 저감하는 것도, 후에 성막하는 미결정 실리콘 막의 품질을 향상시키기 위해서 중요하다.

[0037] 또한, 성막 초기(제 1 성막 기간)의 제 1 성막 조건을 성막 후기의 높은 성막 속도의 제 2 성막 조건(제 2 성막 기간)으로 바꿈으로써, 성막 초기에 미결정이 형성되기 때문에, 성막 후기에서는, 성막 초기에서 얻어진 미결정을 핵(核)으로 하여 품질이 높은 미결정 실리콘 막을 퇴적할 수 있다. 또한, 성막 초기에, 미리 미결정을 형성함으로써, 성막 후기의 성막 속도를 빠르게 할 수 있다.

[0038] 성막 조건을 도중에서 바꾸지 않고 제 1 성막 조건만으로 원하는 막 두께를 얻는 시간과 비교하여, 제 1 성막 조건 하에서 성막을 한 후, 계속해서 같은 챔버에서 제 2 성막 조건 하에서 성막을 행함으로써, 원하는 막 두께를 얻는 시간을 단축할 수 있다. 원하는 막 두께를 얻는 시간을 단축할 수 있으면, 미결정 실리콘 막 중에 산소 등의 불순물이 거의 혼입되지 않고 성막할 수 있다. 또한, 성막 조건을 도중에서 바꾸지 않고 제 1 성막 조건만으로 미결정 실리콘 막의 막 두께를 얇게 하면, 후에 적층하는 베퍼층의 영향이 커지고, 박막 트랜지스터의 전계 효과 이동도가 저하될 우려가 있다.

[0039] 또한, 상기 제 1 성막 조건으로 얻어지는 미결정 실리콘 막은, 산소에 반응하기 쉽기 때문에, 성막 도중에서 높은 성막 속도의 제 2 성막 조건으로 바꾸어 성막함으로써, 게이트 절연막 계면 부근의 막을 보호할 수 있다. 이 제 2 성막 조건으로 얻어지는 미결정 실리콘 막의 품질이, 후에 형성되는 TFT의 오프 전류 저감에도 기여한

다.

[0040] 이렇게 해서, 성막 조건을 2단계로 변화시켜 얻어지는 미결정 실리콘 막은, 적어도 기둥(柱) 형상의 결정을 포함하고, 막 중의 산소 농도가 $1\times10^{17}/\text{cm}^2$ 이하이다. 또한, 2단계로 변화시켜 얻어지는 미결정 실리콘 막의 합계 막 두께는, 5nm 내지 100nm, 바람직하게는, 10nm 내지 30nm의 범위로 한다.

[0041] 초기의 성막 조건이 품질이 높은 미결정 실리콘 막을 형성하는 조건이면, 성막 조건을 2단계로 변화시켜 미결정 실리콘 막을 형성하는 것에 한정되지 않고, 3단계 이상으로 변화시켜 성막할 수도 있다. 또한, 성막 조건을 연속적으로 변화시킬 수도 있다. 성막 조건을 연속적으로 변화시킨다는 의미는, 단위 시간당의 레벨 변화를 연속적으로 생기게 하는 것이며, 예를 들면, 챔버 내에 도입하는 재료 가스(실란 가스 등)의 평균 유량을 시간 경과에 따라 증가시켜, 가스 유량과 시간의 관계를 그래프(세로축을 가스 유량, 가로축을 시간으로 하는 그래프)로 나타낼 때, 오른쪽으로 올라가는 직선 또는 오른쪽으로 올라가는 곡선을 그리는 것을 가리킨다. 혹은, 챔버 내에 도입하는 실란 가스 등의 유량을 일정하게 또는 증가시키고, 그 이외의 가스(수소, 희소 가스 등)의 평균 유량을 시간 경과에 따라 감소시켜, 그 이외의 가스 유량과 시간의 관계를 그래프로 나타낼 때에 오른쪽으로 떨어지는 직선 또는 오른쪽으로 떨어지는 곡선을 그리는 것을 가리킨다. 연속적으로 변화시키는 것은, 적어도 대기에 노출시키지 않고, 성막 조건을 바꾸어 1장의 기판에 성막을 행하는 것을 가리킨다.

[0042] 또한, 상기 미결정 실리콘 막은, 비정질 실리콘 막과 비교하여 산소에 반응하기 쉽기 때문에, 더욱 대기에 노출시키지 않고, 결정립을 포함하지 않는 베퍼층을 적층하여 보호하는 것이 바람직하다. 베퍼층은, 미결정 실리콘 막을 형성하는 진공 챔버와 다른 진공 챔버에서 상기 제 1 성막 조건 및 상기 제 2 성막 조건보다 높은 기판 온도, 예를 들면, 300°C 이상 400°C 미만으로 한다. 베퍼층의 성막시의 기판 온도를 상기 제 1 성막 조건 및 상기 제 2 성막 조건보다 높은 기판 온도로 하는 것은 유용하다. 왜냐하면, 공정을 증가시키지 않고, 베퍼층의 성막시에 미결정 실리콘 막을 어닐링할 수 있고, 미결정 실리콘 막의 막질(膜質)을 향상시킬 수 있기 때문이다. 베퍼층의 성막시에 미결정 실리콘 막을 어닐링함으로써, 전압 인가를 반복적으로 행하는 신뢰성 시험에 있어서의 TFT 특성의 변동(임계값의 변동 등)도 억제하고, TFT의 신뢰성도 향상시킬 수 있다. 베퍼층은 대표적으로는, 100nm 이상 400nm 이하, 바람직하게는 200nm 이상 300nm 이하의 두께로 형성한다. 또한, 베퍼층은, 상기 미결정 실리콘 막보다 결함밀도(defect density)가 높은 비정질 실리콘 막을 사용한다. 베퍼층에 결함 밀도가 높은 비정질 실리콘 막을 사용함으로써, 후에 형성되는 TFT의 오프 전류 저감에 기여한다.

[0043] 또한, 상기 미결정 실리콘 막은, 불순물이 혼입하여 n형의 도전성을 나타내기 쉽기 때문에, 재료 가스에 미량의 트리메틸붕소 가스 등을 가하여, i형이 되도록 성막 조건을 조절하는 것이 바람직하다. 실란 가스 및 수소 가스가 주로 된 재료 가스에 미량의 트리메틸붕소 가스 등을 가함으로써, 박막 트랜지스터의 임계값 제어가 가능하게 된다.

[0044] 또한, 본 명세서에 있어서, 미결정 반도체 막이란, 비정질과 결정 구조(단결정, 다결정을 포함한다)의 중간적인 구조의 반도체를 포함하는 막이다. 이 반도체는, 자유 에너지적으로 안정된 제 3 상태를 가지는 반도체이며, 단거리 질서를 가지고 격자 왜곡을 가지는 결정질 반도체이며, 입경이 0.5nm 내지 20nm의 기둥(柱)형상 또는 침(針)형상의 결정이 기판 표면에 대해서 법선(法線; normal line) 방향으로 성장한다. 또한, 미결정 반도체와 비단결정 반도체가 혼재한다. 미결정 반도체의 대표예인 미결정 실리콘은, 그 라만 스펙트럼이 단결정 실리콘을 나타내는 520.5cm^{-1} 보다 저파수 측에 시프트한다. 즉, 단결정 실리콘을 나타내는 520.5cm^{-1} 와 아모퍼스 실리콘을 나타내는 480cm^{-1} 의 사이에 미결정 실리콘의 라만 스펙트럼의 피크가 있다. 또한, 미결합수(댕글링 본드)를 종단하기 위해서 수소 또는 할로겐을 적어도 1at.% 또는 그 이상 포함시킨다. 또한, 헬륨, 아르곤, 크립톤, 네온 등의 희소 가스 원소를 포함시켜 격자 왜곡을 더욱 촉진시킴으로써, 안정성이 높아지고 양호한 미결정 반도체 막을 얻을 수 있다. 이러한 미결정 반도체 막에 관한 기재는, 예를 들면, 미국특허 4,409,134호에서 개시된다.

[0045] 또한, 대면적의 유리 기판의 처리를 복수 회 행할 때, 스루풋에 있어서는 불리해지지만, 미결정 실리콘 막을 형성하는 진공 챔버와 같은 진공 챔버에서 베퍼층을 형성하여도 좋다. 같은 진공 챔버에서 베퍼층을 형성하면, 기판 반송 중, 부유하는 오염 불순물에 오염되지 않고, 적층 계면을 형성할 수 있기 때문에, 박막 트랜지스터 특성의 편차를 저감시킬 수 있다. 특히, 대면적의 유리 기판의 기판 반송은, 소형의 기판과 비교하여 장시간(長時間) 필요하기 때문에, 오염 불순물이 부착할 우려가 있고, 같은 진공 챔버에서 형성하는 것은 유용하다.

[0046] 또한, 베퍼층 위에는 소스 전극 또는 드레인 전극을 형성하고, 소스 전극 및 드레인 전극 간의 리크 전류를 감

소시키기 위해서, 베퍼층에 홈을 형성한다.

[0047] 또한, 베퍼층과 소스 전극 또는 드레인 전극의 사이에는, n형 불순물 원소를 포함하는 반도체 막(n^+ 층)을 가진다. 또한, 베퍼층은, n^+ 층과 미결정 실리콘 막이 접하지 않도록, 이들의 사이에 형성된다. 따라서, 소스 전극의 하방에는, n^+ 층, 베퍼층, 미결정 실리콘 막이 적층된다(stacked). 마찬가지로, 드레인 전극의 하방에는 n^+ 층, 베퍼층, 미결정 실리콘 막이 적층된다. 이러한 적층 구조로 하여, 베퍼층의 막 두께를 두껍게 함으로써, 내압 향상을 도모한다. 또한, 베퍼층의 막 두께를 두껍게 성막하면, 산화하기 쉬운 미결정 실리콘 막을 노출시키지 않고, 베퍼층의 일부에 홈을 형성할 수 있다.

[0048] 상기 제작 공정에 계속해서, 또한 베퍼층 위에 n형 불순물 원소를 포함하는 반도체 막을 형성하여, 상기 n형 불순물 원소를 포함하는 반도체 막 위에 소스 전극 또는 드레인 전극을 형성하고, n형 불순물 원소를 포함하는 반도체 막을 에칭하여, 소스 영역 및 드레인 영역을 형성하고, 상기 소스 영역 및 드레인 영역과 중첩하는(overlap) 영역을 잔존시켜 상기 베퍼층의 일부를 에칭하여 박막 트랜지스터를 제작한다.

[0049] 이렇게 얻어진 박막 트랜지스터는, 온 동작 시에 제 1 성막 조건으로 성막한 품질이 높은 미결정 실리콘 막에 있어서의 게이트 절연막 계면 부근의 영역이 채널 형성 영역으로서 기능하고, 오프 시에는, 베퍼층이 일부 에칭된 홈의 부분이 극히 미량의 리크 전류가 흐르는 경로(徑路)가 된다. 따라서, 종래의 아모페스 실리콘 단층을 가지는 박막 트랜지스터나 미결정 실리콘 단층을 가지는 박막 트랜지스터와 비교하여 오프 전류와 온 전류의 비율을 크게 할 수 있고, 스위칭 특성이 뛰어나고, 표시 패널의 콘트라스트 향상으로 이어진다.

효과

[0050] 본 발명의 제작 방법에 의하여, 표면 정재파의 영향이 나타나지 않는 고주파 전력과 VHF 대역에 속하는 고주파 전력을 공급하여 플라즈마를 생성함으로써, 장면이 2000mm를 넘는 대면적의 유리 기판에 균질(均質)이고 품질이 좋은 미결정 반도체 막을 채널 형성 영역으로 하는 반도체 장치를 제작할 수 있다. 얻어지는 박막 트랜지스터의 전계 효과 이동도를 1보다 크고 50 이하로 할 수 있다. 따라서, 본 발명의 제작 방법에 의하여 얻어지는 미결정 반도체 막을 사용한 박막 트랜지스터는, 전류 전압 특성을 나타내는 곡선의 상승 부분의 경사가 급준하게 되어, 스위칭 소자로서의 응답성이 뛰어나고, 고속 동작이 가능하게 된다.

[0051] 본 발명의 제작 방법에 의하여 얻어지는 박막 트랜지스터를 사용한 발광 장치는, 박막 트랜지스터의 임계값의 변동을 억제할 수 있고, 신뢰성의 향상으로 이어진다.

[0052] 또한, 본 발명의 제작 방법에 의하여 얻어지는 박막 트랜지스터를 사용한 액정 표시 장치는, 전계 효과 이동도를 크게 할 수 있기 때문에, 구동 회로의 구동 주파수를 높게 할 수 있다. 구동 회로를 고속으로 동작시킬 수 있기 때문에, 프레임 주파수를 4배로 하는 것 또는 흑색 화면을 삽입하는 것 등도 실현할 수 있다.

발명의 실시를 위한 구체적인 내용

[0053] 이하, 본 발명의 실시형태에 대해서 설명한다. 그러나, 본 발명은 많은 다른 모양으로 실시하는 것이 가능하고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명이 하기 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0054] (실시형태 1)

[0055] 본 실시형태에서는, 액정 표시 장치에 사용되는 박막 트랜지스터의 제작 공정에 대해서 도 1a 내지 도 6을 사용하여 설명한다. 도 1a 내지 도 3c는, 박막 트랜지스터의 제작 공정을 도시하는 단면도이며, 도 4는, 일 화소에 있어서의 박막 트랜지스터 및 화소 전극의 접속 영역의 상면도이다. 또한, 도 5는, 미결정 실리콘 막의 형성 방법을 도시하는 타이밍 차트이다. 또한, 도 6은, 주파수가 다른 2이상의 고주파 전력을 공급하여 글로우 방전 플라즈마를 생성할 수 있는 플라즈마 CVD 장치의 일 구성예를 도시하는 단면도이다.

[0056] 미결정 반도체 막을 가지는 박막 트랜지스터는, p형보다 n형이 전계 효과 이동도가 높기 때문에, 구동 회로에 사용하는 박막 트랜지스터로서 적합하다. 동일한 기판 위에 형성하는 박막 트랜지스터를 모두 동일한 극성으로 일치시키는 것은, 공정수를 억제하기 위해서도 바람직하다. 여기서는, n채널형 박막 트랜지스터를 사용하여 설명한다.

[0057] 도 1a에 도시하는 바와 같이, 기판(50) 위에 게이트 전극을 형성한다. 기판(50)은, 바륨 보로실리케이트 유리, 알루미노 보로실리케이트 유리, 또는 알루미노 실리케이트 유리 등, 용융법(fusion method)이나 부유법(floating method)에 의하여 형성되는 무 알칼리 유리 기판을 사용할 수 있다. 기판(50)이 마더 유리의 경우, 기판의 크기는, 제 1 세대(300mm×400mm), 제 2 세대(400mm×500mm), 제 3 세대(550mm×650mm), 제 4 세대(730mm×920mm), 제 5 세대(1000mm×1200mm), 제 6 세대(2450mm×1850mm), 제 7 세대(1870mm×2200mm), 제 8 세대(2000mm×2400mm), 제 9 세대(2450mm×3050mm), 제 10 세대(2850mm×3050mm) 등을 사용할 수 있다.

[0058] 게이트 전극(51)은, 티타늄, 몰리브덴, 크롬, 탄탈, 텉스텐, 알루미늄 등의 금속 재료 또는 그 합금 재료를 사용하여 형성한다. 게이트 전극은, 스퍼터링법이나 진공 증착법이나 CVD법에 의하여 기판(50) 위에 도전막을 형성하고, 상기 도전막 위에 포토리소그래피 기술 또는 잉크젯법에 의하여 마스크를 형성하고, 상기 마스크를 사용하여 도전막을 에칭함으로써, 형성할 수 있다. 또한, 은, 금, 구리 등의 도전성 나노 페이스트를 사용하여 잉크젯법에 의하여 토출하여 소성함으로써, 게이트 전극을 형성할 수도 있다. 또한, 게이트 전극의 밀착성 향상과 하지(下地)로의 대한 확산을 방지하는 배리어 메탈로서, 상기 금속 재료의 질화물막을, 기판(50) 및 게이트 전극의 사이에 형성하여도 좋다. 여기서는, 제 1 포토 마스크를 사용하여 형성한 레지스트 마스크를 사용하여 기판(50) 위에 형성된 도전막의 적층을 에칭하여 게이트 전극을 형성한다.

[0059] 구체적인 게이트 전극 구조의 예로서는, 제 1 도전층(51a)이 되는 알루미늄 막 위에 제 2 도전층(51b)이 되는 몰리브덴 막을 적층시켜, 알루미늄 특유의 힐록(hilllock)이나 일렉트로마이그레이션(electromigration)을 방지하는 구조로 하여도 좋다. 본 실시형태에서는, 대면적의 기판을 사용하여 표시 화면이 큰 표시 장치를 제작하는 예이기 때문에, 전기 저항이 낮은 알루미늄으로 이루어지는 제 1 도전층(51a)과 제 1 도전층(51a)보다 내열성이 높은 제 2 도전층(51b)을 적층시킨 게이트 전극으로 한다. 또한, 알루미늄 막을 몰리브덴 막의 사이에 끼운 3층 구조로 하여도 좋다. 또한, 다른 게이트 전극 구조의 예로서, 구리 막 위에 몰리브덴 막의 적층, 구리 막 위에 질화티타늄 막의 적층, 구리 막 위에 질화탄탈 막의 적층을 들 수 있다.

[0060] 또한, 게이트 전극 위에는, 반도체 막이나 배선 등을 형성하기 때문에, 단절의 방지를 위해서 단부가 테이퍼 형상으로 되도록 가공하는 것이 바람직하다. 또한, 도시하지 않지만, 이 공정에 의하여 게이트 전극에 접속되는 배선도 동시에 형성할 수 있다.

[0061] 다음에, 게이트 전극 상층인 제 2 도전층(51b) 위에 게이트 절연막(52a, 52b, 52c)을 순차로 형성한다.

[0062] 게이트 절연막(52a, 52b, 52c)은, 각각 CVD법이나 스퍼터링법 등을 사용하여 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 또는 질화산화실리콘막에 의하여 형성할 수 있다. 게이트 절연막에 형성되는 핀홀(pinhole) 등에 의한 충간 단락을 방지하기 위해서, 다른 절연층을 사용하여 다층으로 하는 것이 바람직하다. 여기서는, 게이트 절연막(52a, 52b, 52c)으로서 산화실리콘막 또는 산화질화실리콘막과, 질화실리콘막의 순서로 적층하여 형성하는 형태를 나타낸다.

[0063] 여기서는, 산화질화실리콘막이란, 그 조성으로서 질소보다 산소의 함유량이 많고, 농도 범위로서 산소가 55at.% 내지 65at.%, 질소가 1at.% 내지 20at.%, 실리콘 25at.% 내지 35at.%, 수소가 0.1at.% 내지 10at.%의 범위로 포함되는 것을 의미한다. 또한, 질화산화실리콘막이란, 그 조성으로서 산소보다 질소의 함유량이 많고, 농도 범위로서 산소가 15at.% 내지 30at.%, 질소가 20at.% 내지 35at.%, 실리콘 25at.% 내지 35at.%, 수소가 15at.% 내지 25at.%의 범위로 포함되는 것을 의미한다.

[0064] 게이트 절연막의 1층째 및 2층째의 막 두께는 양쪽 모두 50nm보다 두껍게 한다. 게이트 절연막의 1층째는, 기판으로부터의 불순물(예를 들면, 알칼리 금속 등)의 확산을 방지하기 위해서, 질화실리콘막 또는 질화산화실리콘막이 바람직하다. 또한, 게이트 절연막의 1층째는, 게이트 전극의 산화 방지 이외에도, 게이트 전극에 알루미늄을 사용하는 경우에 힐록 방지를 할 수 있다. 또한, 미결정 반도체 막과 접하는 게이트 절연막의 3층째는, 0nm보다 두껍고 5nm 이하, 바람직하게는, 약 1nm로 한다. 게이트 절연막의 3층째는, 미결정 반도체 막과의 밀착성을 향상시키기 위해서 형성하는 것이다. 또한, 게이트 절연막의 3층째를 질화실리콘막으로 함으로써, 후에 행해지는 열 처리나 레이저 조사에 의하여 미결정 반도체 막의 산화 방지를 도모할 수 있다. 예를 들면, 산소의 함유량이 많은 절연막이나 미결정 반도체 막을 접한 상태로 열 처리를 행하면, 미결정 반도체 막이 산화할 우려가 있다.

[0065] 또한, 주파수가 1GHz의 마이크로파 플라즈마 CVD 장치를 사용하여 게이트 절연막을 형성하는 것이 바람직하다. 마이크로파 플라즈마 CVD 장치에서 형성한 산화질화실리콘막, 질화산화실리콘막은 내압이 높고, 박막 트랜지스터의 신뢰성을 높일 수 있다.

[0066] 본 실시형태에서는, 희소 가스 플라즈마 처리, 수소 플라즈마 처리 또는 이 양쪽 모두의 병용에 의하여 행하는 하지 전처리를 행하고, 계속해서 성막 처리를 행하는 것이 바람직하다. 또한, 반응실 내는 미리 게이트 절연막과 같은 종류의 피막으로 코팅되는 것이 바람직하다. 반응실 내벽의 금속 불순물 등이 게이트 절연막 중에 혼입하지 않도록 하기 위해서다.

[0067] 반응 가스는 실란 등의 수소화 실리콘 기체와 산소 또는 질소 함유 기체를 반응 가스로서 사용한다. 그리고, HF 대역(3MHz 내지 30MHz, 대표적으로는, 13.56MHz)과 VHF 대역(30MHz 내지 300MHz)의 고주파 전력을 중첩 인가하여 글로우 방전 플라즈마를 생성한다. 주파수 대역이 다른 고주파 전력을 인가함으로써, 플라즈마 밀도를 높이는 것과 함께, 플라즈마 밀도의 기관의 면내 균일성을 높일 수 있다. 게이트 절연막의 형성 온도는 200°C 내지 400°C에서 행하는 것이 바람직하고, 플라즈마 밀도가 높아짐으로써 치밀하고 내압이 높은 절연막을 형성할 수 있다. 여기까지의 공정을 종료한 단면도가 도 1a에 상당한다.

[0068] 여기서는, 게이트 절연막을 3층 구조로 하지만, 액정 표시 장치의 스위칭 소자에 사용하는 경우, 교류 구동시키기 위해서, 질화실리콘막의 단층만이라도 좋다.

[0069] 다음, 게이트 절연막을 형성한 후, 대기에 노출시키지 않고 기관을 반송하여, 게이트 절연막을 형성하는 진공 챔버와 다른 진공 챔버에서 미결정 반도체 막(53)을 형성하는 것이 바람직하다.

[0070] 이하에, 도 5도 참조하면서 미결정 반도체 막(53)을 형성하는 순서에 대해서 설명한다. 도 5의 설명은 반응실을 대기압으로부터 진공 배기(200)를 하는 단계로부터 나타내고, 그 후에 행해지는 프리 코팅(201), 기관 반입(202), 하지 전처리(前處理)(203), 성막 처리(204), 기관 반출(205), 클리닝(206)의 각 처리가 시간 순으로 나타내진다. 다만, 대기압으로부터 진공 배기하는 것으로 한정되지 않고, 항상 어느 정도의 진공도로 반응실을 유지하는 것이 양산(量產)을 행하기 위해서 바람직하다. 또는 단시간에 도달 진공도를 내리기 위해서 바람직하다.

[0071] 본 실시형태에서는, 기관 반입하기 전의 진공 챔버 내의 진공도를 10^{-5} Pa보다 더 높은 진공도를 확보하기 위해서 초고진공 배기를 행한다. 이 단계가 도 5의 진공 배기(200)에 대응한다. 이러한 초고진공 배기를 행하는 경우, 터보 분자 펌프와 크라이오 펌프(cryopump)를 병용하고, 터보 분자 펌프에 의한 배기를 행하고, 또한, 크라이오 펌프를 사용하여 진공 배기를 하는 것이 바람직하다. 또한, 반응실을 가열 처리하여 내벽으로부터의 탈가스 처리를 행하는 것이 바람직하다. 또한, 기관을 가열하는 히터도 동작시켜 온도를 안정화시킨다. 기관의 가열 온도는 100°C 이상 300°C 이하, 바람직하게는 120°C 이상 220°C 이하에서 행한다.

[0072] 다음, 기관 반입을 하기 전에 프리 코팅(201)을 행하여 내벽 피복막으로서 실리콘 막을 형성한다. 프리 코팅(201)으로서, 수소 또는 희소 가스를 도입하여 플라즈마를 발생시켜 반응실 내의 내벽에 부착한 기체(산소 및 질소 등의 대기 성분, 또는 반응실의 클리닝에 사용한 에칭 가스)를 제거한 후, 실란 가스를 도입하여 플라즈마를 생성한다. 실란 가스는 산소, 수분 등과 반응하기 때문에, 실란 가스를 흘리고, 또 실란 플라즈마를 생성함으로써, 반응실 내의 산소, 수분을 제거할 수 있다. 또한, 프리 코팅(201)의 처리를 행함으로써, 미결정 실리콘 막 중에 반응실을 구성하는 부재의 금속 원소를 불순물로서 도입하는 것을 방지할 수 있다. 즉, 반응실 내를 실리콘으로 피복함으로써, 반응실 내가 플라즈마에 의하여 에칭되는 것을 방지할 수 있고, 후에 성막하는 미결정 실리콘 막 중에 포함되는 불순물 농도를 저감시킬 수 있다. 프리 코팅(201)은, 반응실의 내벽을 기관 위에 퇴적되어야 하는 막과 같은 종류의 막으로 피복하는 처리가 포함된다.

[0073] 프리 코팅(201) 후, 기관 반입(202)이 행해진다. 미결정 실리콘 막이 퇴적되어야 하는 기관은 진공 배기된 로드(load)실에 보관되기 때문에, 기관을 반입해도 반응실 내의 진공도가 현저히 악화되는 것이 아니다.

[0074] 다음, 하지 전처리(203)를 행한다. 하지 전처리(203)는 미결정 실리콘 막을 형성하는 경우에 있어서, 특히 유효한 처리이며, 행하는 것이 바람직하다. 즉, 유리 기관 표면, 절연막의 표면 혹은 비정질 실리콘의 표면 위에 미결정 실리콘 막을 플라즈마 CVD법에 의하여 성막하는 경우에는, 불순물이나 격자 부정합(不整合) 등의 요인에 의하여 퇴적 초기 단계에 있어서, 비정질 층이 형성될 우려가 있다. 이 비정질 층의 두께를 극력 저감시켜, 가능하면 없애기 위해서 하지 전처리(203)를 행하는 것이 바람직하다. 하지 전처리로서는, 희소 가스 플라즈마 처리, 수소 플라즈마 처리 또는 이 양자의 병용에 의하여 행하는 것이 바람직하다. 희소 가스 플라즈마 처리로서는, 아르곤, 크립톤, 크세논 등, 질량수가 큰 희소 가스 원소를 사용하는 것이 바람직하다. 이는 표면에 부착한 산소, 수분, 유기물, 금속 원소 등의 불순물을 스퍼터링의 효과에 의하여 제거하기 위해서이다. 수소 플라즈마 처리는, 수소 라디칼에 의하여 표면에 흡착한 상기 불순물의 제거와, 절연막 또는 비정질 실리콘 막에 대한 에칭 작용에 의하여 청정한 피성막 표면을 형성하기 위해서 유효하다. 또한, 희소 가스 플라즈마 처리와

수소 플라즈마 처리를 병용함으로써, 미결정 핵 생성을 촉진하는 작용도 기대된다.

[0075] 미결정 핵의 생성을 촉진시킨다는 의미로서는, 도 5의 파선(破線)(207)으로 도시하는 바와 같이, 미결정 실리콘 막의 형성 초기에 있어서 아르곤 등의 희소 가스를 계속해서 공급하는 것은 유효하다.

[0076] 다음, 하지 전처리(203)에 계속해서, 미결정 실리콘 막을 형성하는 성막 처리(204)를 행한다. 본 실시형태에서 는, 성막 속도는 느리지만, 품질이 좋은 제 1 성막 조건으로 게이트 절연막 계면 부근의 미결정 실리콘막의 하부를 형성하고, 그 후, 높은 성막 속도의 제 2 성막 조건으로 바꾸어 미결정 실리콘막의 상부를 퇴적한다. 예를 들면, 제 1 성막 조건으로서 주파수가 다른 2개의 고주파 전력을 중첩 인가(superposed application)함으로 써 성막을 행하고, 제 2 성막 조건으로서 중첩 인가하지 않고, 3MHz 내지 30MHz의 제 3 고주파 전력을 인가하는 성막 조건으로 바꾸어, 계속해서 미결정 반도체 막을 형성한다. 또한, 제 1 성막 조건으로서는, 제 1 고주파 전력과, 상기 제 1 고주파 전력보다 전력이 큰 제 2 고주파 전력을 중첩 인가하고, 제 2 성막 조건으로서는, 상기 제 1 성막 조건보다 전력이 큰 제 3 고주파 전력과, 제 3 고주파 전력보다 전력이 작은 제 4 고주파 전력을 인가하는 성막 조건으로 바꾸어, 계속해서 미결정 반도체 막을 형성한다. 또한, 제 3 고주파 전력의 주파수는, 제 1 고주파 전력과 동일하고, 제 4 고주파 전력의 주파수는, 제 2 고주파 전력과 동일하다.

[0077] 제 1 성막 조건에 있어서의 성막 속도보다 제 2 성막 조건의 성막 속도가 빠르면 특히 한정되지 않는다. 본 실시형태에서는, HF 대역(3MHz 내지 30MHz, 대표적으로는, 13.56MHz)의 고주파 전력과 VHF 대역(30MHz 내지 300MHz 정도까지)의 고주파 전력을 중첩 인가하여 생성되는 글로우 방전 플라즈마를 이용하는 플라즈마 CVD 장치를 사용한다. 도 7에 HF 대역의 고주파 전력과, VHF 대역의 고주파 전력을 중첩시킨 경우의 파형의 일례를 도시한다.

[0078] 미결정 실리콘 막은 대표적으로는, SiH_4 , Si_2H_6 등의 수소화 실리콘을 수소로 희석하여 플라즈마 생성함으로써 성막할 수 있다. 또한, 수소화 실리콘 및 수소에 대하여, 헬륨, 아르곤, 크립톤, 네온 중으로부터 선택된 1종 또는 복수 종의 희소 가스 원소에 의하여 희석하여 미결정 반도체 막을 형성할 수 있다. 이때의 수소화 실리콘에 대해서 수소의 유량 비율을 12배 이상 1000배 이하, 바람직하게는, 50배 이상 200배 이하, 더 바람직하게는, 100배로 한다. 또한, 수소화 실리콘 대신에 SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용할 수 있다.

[0079] 또한, 재료 가스에 헬륨을 가한 경우, 헬륨은 24.5eV이며, 모든 기체 중에서 가장 높은 이온화 에너지를 가지며, 그 이온화 에너지보다 조금 낮은, 약 20eV의 준위로 준안정 상태이기 때문에, 방전 지속(持續)중에 있어서는, 이온화에는 그 차이, 약 4eV만 필요하다. 따라서, 방전 개시 전압도 모든 기체 중의 가장 낮은 값을 나타낸다. 이러한 특성에 의하여, 헬륨은 플라즈마를 안정적으로 유지할 수 있다. 또한, 균일한 플라즈마를 형성할 수 있기 때문에, 미결정 실리콘 막을 퇴적하는 기판의 면적이 커져도 플라즈마 밀도의 균일화를 도모하는 효과가 있다.

[0080] 또한, 실란 등의 가스 중에 CH_4 , C_2H_6 등의 탄소의 수소화물, GeH_4 , GeF_4 등의 수소화 게르마늄, 불화 게르마늄을 혼합하여, 에너지 밴드 폭을 1.5eV 내지 2.4eV, 또는 0.9eV 내지 1.1eV로 조절하여도 좋다. 실리콘에 탄소 또는 게르마늄을 가하면 TFT의 온도 특성을 변화시킬 수 있다.

[0081] 여기서는, 제 1 성막 조건은, 실란은 수소 및/또는 희소 가스로 100배를 넘고 2000배 이하로 희석하고, 기판의 가열 온도는 100°C 이상 300°C 미만, 바람직하게는 120°C 이상 220°C 이하로 한다. 미결정 실리콘의 성장을 촉진하기 위해서는, 120°C 이상 220°C 이하로 성막을 행하는 것이 바람직하다.

[0082] 제 1 성막 조건을 종료한 단계에서의 단면도를 도 1b에 도시한다. 게이트 절연막(52c) 위에는, 성막 속도는 느리지만 품질이 좋은 미결정 반도체 막(23)이 형성된다. 이 제 1 성막 조건으로 얻어지는 미결정 반도체 막(23)의 품질이, 후에 형성되는 TFT의 온 전류 증대 및 전계 효과 이동도의 향상에 기여하기 때문에, 막 중의 산소 농도가 $1 \times 10^{17}/\text{cm}^3$ 이하가 되도록 충분히 산소 농도를 저감시키는 것이 중요하다. 또한, 상기 순서에 의하여, 산소뿐만 아니라, 질소, 및 탄소가 미결정 반도체 막의 막 중에 혼입하는 농도를 저감할 수 있기 때문에, 미결정 반도체 막이 n형화되는 것을 방지할 수 있다.

[0083] 다음, 상기 제 1 성막 조건으로부터 제 2 성막 조건으로 바꾸어 성막 속도를 올려 미결정 반도체 막(53)을 형성 한다. 이 단계에서의 단면도가 도 1c에 상당한다. 미결정 반도체 막(53)의 막 두께는, 50nm 내지 500nm(바람직하게는, 100nm 내지 250nm)의 두께로 하면 좋다. 또한, 본 실시형태에서는, 미결정 반도체 막(53)의 형성 시간은, 제 1 성막 조건으로 성막이 행해지는 제 1 성막 기간과, 제 2 성막 조건으로 성막이 행해지는 제 2 성막 기간을 가진다. 또한, 제 1 성막 조건으로 얻어지는 막을 제 1 미결정 반도체 막이라고 부르고, 제 2 성막 조

건으로 얻어지는 막을 제 2 미결정 반도체 막이라고 부를 수 있지만, 성막을 한 후에 제 1 미결정 반도체 막과 제 2 미결정 반도체 막의 명확한 계면을 확인하는 것은 어렵기 때문에, 여기서는 성막 도중에서 조건을 바꾸어 얻어진 적층막을 미결정 반도체 막으로서 표기한다.

[0084] 본 실시형태에 있어서, 제 2 성막 조건은, 실란은 수소 및/또는 희소 가스로 12배 이상 100배 이하로 희석하고, 기판의 가열 온도는 100°C 이상 400°C 미만, 바람직하게는 220°C 이하로 한다. 본 실시형태에 있어서는, 실란 가스의 유량을 증가시킴으로써, 제 2 성막 조건의 성막 속도를 제 1 성막 조건보다 빠르게 하지만, 특히 한정되지 않고, HF 대역의 고주파 전력과 VHF 대역의 고주파 전력을 인가하는 조건을 변경하여 제 2 성막 조건의 성막 속도를 제 1 성막 조건보다 빠르게 하여도 좋다. 예를 들면, 제 1 성막 조건으로는, 도 7에 도시하는 바와 같이, HF 대역의 고주파 전원의 출력 파형에 VHF 대역의 고주파 전원의 출력 파형이 중첩하는 전력 인가를 행하고, 제 2 성막 조건으로는, 도 8에 도시하는 바와 같이, VHF 대역의 고주파 전력의 온/오프를 반복하여 펄스 발진시켜 일부가 중첩하는 파형으로서 성막을 행하여도 좋다.

[0085] 다음, 제 2 성막 조건에 있어서의 미결정 실리콘의 성막을 종료한 후, 이어서 실란, 수소 등의 재료 가스 및 고주파 전력의 공급을 정지하여 기판 반출(205)을 행한다. 계속해서, 다음 기판에 대해서 성막 처리를 행하는 경우에는, 기판 반입(202)의 단계로 되돌아가서 같은 처리가 행해진다. 반응실 내에 부착한 괴막이나 분말을 제거하기 위해서는, 클리닝(206)을 행한다.

[0086] 클리닝(206)은 NF₃, SF₆로 대표되는 에칭 가스를 도입하여 플라즈마 에칭을 행한다. 또한, ClF₃와 같이, 플라즈마를 이용하지 않아도 에칭할 수 있는 가스를 도입하여 행한다. 클리닝(206)에 있어서는, 기판 가열용의 히터를 꺼, 챔버 내의 온도를 낮춰 행하는 것이 바람직하다. 에칭에 의한 반응 부생성물(副生成物)의 생성을 억제하기 위해서다. 클리닝(206)이 종료한 후, 프리 코트(201)로 되돌아가서 다음 기판에 대해서 상술한 것과 같은 처리를 행하면 좋다.

[0087] 여기서, 게이트 절연막이나 미결정 실리콘의 성막에 사용하는 복수의 고주파 전력이 인가되는 플라즈마 CVD 장치의 일 구성예를 도 6에 도시한다.

[0088] 반응실(100)은, 알루미늄 또는 스테인리스 등의 강성(剛性)이 있는 소재로 형성되어, 내부를 진공 배기할 수 있도록 구성된다. 반응실(100)에는 제 1 전극(101)과 제 2 전극(102)이 구비된다.

[0089] 제 1 전극(101)에는 고주파 전력 공급 수단(103)이 연결되어, 제 2 전극(102)은 접지 전위가 주어지고, 기판을 재치(載置)할 수 있도록 구성된다. 제 1 전극(101)은 절연재(116)에 의하여 반응실(100)과 절연 분리되어, 고주파 전력이 누설하지 않도록 구성된다. 또한, 도 6에서는, 제 1 전극(101)과 제 2 전극(102)에 대해서 용량 결합형(평행평판형)의 구성을 나타내지만, 다른 2이상의 고주파 전력을 인가하여 반응실(100)의 내부에 글로우 방전 플라즈마를 생성할 수 있는 것이라면, 유도 결합형 등의 다른 구성을 적용할 수도 있다.

[0090] 고주파 전력 공급 수단(103)은, 제 1 고주파 전원(104)과 제 2 고주파 전원(105), 및 그들에 대응하여 제 1 정합기(106)와 제 2 정합기(107)가 포함된다. 제 1 고주파 전원(104)과 제 2 고주파 전원(105)으로부터 출력되는 고주파 전력은, 양쪽 모두 제 1 전극(101)에 공급된다. 제 1 정합기(106) 또는 제 2 정합기(107)의 출력측에는, 다른 쪽의 고주파 전력이 유입하지 않도록 대역 통과 필터를 형성하여도 좋다.

[0091] 제 1 고주파 전원(104)이 공급하는 고주파 전력은, 대략 파장으로서 10m 이상의 고주파가 적용되어, HF 대역인 3MHz 내지 30MHz, 대표적으로는, 13.56MHz의 주파수가 적용된다. 제 2 고주파 전원(105)이 공급하는 고주파 전력은, VHF 대역의 주파수이고, 대략 파장이 10m 미만, 즉, 30MHz 내지 300MHz의 고주파 전력이 적용된다.

[0092] 제 1 고주파 전원(104)이 공급하는 고주파 전력의 파장은, 제 1 전극(101)의 1변의 길이의 3배 이상을 가지고, 제 2 고주파 전원(105)이 공급하는 고주파의 파장은, 그것보다 짧은 파장을 적용한다. 표면 정재파의 영향이 나타나지 않는 고주파 전력을 제 1 전극(101)에 공급하여 글로우 방전 플라즈마를 생성하고, VHF 대역에 속하는 고주파 전력을 공급하여 글로우 방전 플라즈마의 고밀도화를 도모함으로써, 장면이 2000mm를 넘는 대면적 기판에 균질이고 막질이 좋은 박막을 형성할 수 있다.

[0093] 도 7은 제 1 고주파 전원(104)의 고주파 전력과, 제 2 고주파 전원(105)의 고주파 전력을 중첩시킨 경우의 파형의 일례를 도시한다. HF 대역(대표적으로는, 13.56MHz)의 주파수가 적용되는 제 1 고주파 전원(104)의 출력 파형에, VHF 대역의 주파수가 적용되는 제 2 고주파 전원(105)의 출력 파형이 중첩됨으로써, 플라즈마의 고밀도화를 도모하고, 표면 정재파의 영향을 없애고 플라즈마 밀도의 면내 균일성을 높일 수 있다. 도 8은 제 2 고주파 전원(105)으로서 펄스 발진하는 전원을 사용하는 경우의 일례를 개념도로서 도시한다. VHF 대역의 고주파 전력

을 펄스로 공급함으로써, 성막시에 있어서 기상(氣相) 중에서 분체(fine particle)가 지나치게 성장하는 것을 방지할 수 있다. 분체의 성장을 억제하기 위해서는, 기체 분자의 평균 체류 시간을 고려할 필요가 있지만, 펄스의 발진 주파수를 대략 1kHz 내지 100kHz로 하면 좋다.

[0094] 제 1 전극(101)은 가스 공급 수단(108)에도 연결된다. 가스 공급 수단(108)은, 반응 가스가 충전되는 실린더(110), 압력 조정 밸브(111), 스톱 밸브(112), 매스 플로 컨트롤러(mass flow controller; 113) 등에 의하여 구성된다. 반응실(100) 내에 있어서, 제 1 전극(101)은 기판과 대향하는 면이 샤퍼 판상(板狀)으로 가공되어, 다수의 세공(細孔)이 형성된다. 제 1 전극(101)에 공급되는 반응 가스는, 이 세공으로부터 반응실(100) 내에 공급된다.

[0095] 도 9는 제 1 전극(101)의 다른 구성을 도시한다. 제 1 전극(101)은, 제 1 고주파 전원(104)으로부터 고주파 전력이 공급되는 제 1 전극(101a)과 제 2 고주파 전원(105)으로부터 고주파 전력이 공급되는 제 1 전극(101b)으로 분리된다. 제 1 전극(101a)과 제 1 전극(101b)은 기판과 대향하는 면은 세공이 형성되는 것과 함께, 빗 형상으로 맞물리도록 구성되어, 인접하는 것들은 접촉하지 않도록 절연재(116)로 분리된다. 도 9에 도시하는 구성은, 도 6에서 도시하는 제 1 전극(101)과 바꿀 수 있고, 같은 효과를 얻을 수 있다.

[0096] 반응실(100)에 접속되는 배기 수단(109)은, 진공 배기와, 반응 가스를 흘리는 경우에 있어서 반응실(100) 내를 소정의 압력으로 유지하도록 제어하는 기능이 포함된다. 배기 수단(109)의 구성으로서는, 버터플라이(butterfly) 밸브(117), 컨덕턴스 밸브(118), 터보 분자 펌프(119), 드라이 펌프(120) 등이 포함된다. 버터플라이 밸브(117)와 컨덕턴스 밸브(118)를 별별로 배치하는 경우에는, 버터플라이 밸브(117)를 닫고 컨덕턴스 밸브(118)를 동작시킴으로써, 반응 가스의 배기 속도를 제어하여 반응실(100)의 압력을 소정의 범위로 유지할 수 있다. 또한, 컨덕턴스가 큰 버터플라이 밸브(117)를 열어, 고진공 배기가 가능하게 된다.

[0097] 진공도로서 10^{-5} Pa보다 더욱 고진공으로 하기 위해서 초 고진공 배기를 행하는 경우에는, 크라이오 펌프(121)를 병용하는 것이 바람직하다. 터보 분자 펌프를 2대 직렬로 연결하여 진공 배기하는 것도 유효하다. 그 이외에도, 도달 진공도로서 초고진공까지 배기하는 경우에는, 반응실(100)의 내벽을 경면(鏡面) 가공하여, 내벽으로부터의 가스 방출을 저감하기 위해서 베이킹용의 히터를 설치하여도 좋다.

[0098] 히터 컨트롤러(115)에 의하여 온도 제어되는 기판 가열 히터(114)는 제 2 전극(102)에 형성된다. 기판 가열 히터(114)는 제 2 전극(102) 내에 형성되는 경우, 열 전도 가열 방식이 채용된다. 예를 들면, 기판 가열 히터(114)는 시즈 히터(sheathed heater)로 구성된다. 제 1 전극(101)과 제 2 전극(102)의 전극 간격은 적절히 변경할 수 있게 된다. 이 간격의 조절은, 반응실(100) 내에서 제 2 전극(102)의 높이 변경을 할 수 있도록 벨로우즈(bellows)를 사용하여 구성된다.

[0099] 다음, 미결정 반도체 막(53)을 형성한 후, 대기에 노출시키지 않고, 기판을 반송하고, 미결정 반도체 막(53)을 형성하는 진공 챔버와 다른 진공 챔버로 베퍼총(54)을 성막하는 것이 바람직하다. 베퍼총(54)의 진공 챔버와 별도로 함으로써, 미결정 반도체 막(53)을 형성하는 진공 챔버는 기판 도입 전에 초고진공으로 하는 전용 챔버로 할 수 있고, 불순물 오염을 가능한 한 억제하고, 또한 초고진공에 도달하는 시간을 단축할 수 있다. 초고진공에 도달하기 위해서 베이킹을 행하는 경우, 챔버 내벽 온도가 내려 안정될 때까지 시간이 걸리기 때문에, 특히 유효하다. 또한, 진공 챔버를 따로따로 함으로써, 얻고자 하는 막질에 따라, 각각 고주파 전력의 주파수를 다르게 할 수 있다.

[0100] 베퍼총(54)은, 수소, 질소, 또는 할로겐을 포함하는 비정질 반도체 막을 사용하여 형성한다. 수소화 실리콘의 유량의 1배 이상 10배 이하, 바람직하게는, 1배 이상 5배 이하의 유량의 수소를 사용하여, 수소를 포함하는 비정질 반도체 막을 형성할 수 있다. 또한, 상기 수소화 실리콘과 질소 또는 암모니아를 사용함으로써, 질소를 포함하는 비정질 반도체 막을 형성할 수 있다. 또한, 상기 수소화 실리콘과 불소, 염소, 브롬, 또는 요오드를 포함하는 기체(F_2 , Cl_2 , Br_2 , I_2 , HF, HCl, HBr, HI 등)를 사용함으로써, 불소, 염소, 브롬, 또는 요오드를 포함하는 비정질 반도체 막을 형성할 수 있다. 또한, 수소화 실리콘 대신에 SiH_2Cl_2 , $SiHCl_3$, $SiCl_4$, SiF_4 등을 사용할 수 있다.

[0101] 또한, 베퍼총(54)은, 타깃에 비정질 반도체를 사용하여 수소, 또는 희소 가스에 의하여 스퍼터링하여 비정질 반도체 막을 형성할 수 있다. 이 때, 암모니아, 질소, 또는 N_2O 를 분위기 중에 포함시킴으로써, 질소를 포함하는 비정질 반도체 막을 형성할 수 있다. 또한, 분위기 중에 불소, 염소, 브롬, 또는 요오드를 포함하는 기체(F_2 , Cl_2 , Br_2 , I_2 , HF, HCl, HBr, HI 등)를 포함시킴으로써, 불소, 염소, 브롬, 또는 요오드를 포함하는 비정질 반도체 막을 형성할 수 있다.

체 막을 형성할 수 있다.

[0102] 벼페총(54)은, 결정립을 포함하지 않는 비정질 반도체 막으로 형성하는 것이 바람직하다. 따라서, 주파수가 수십MHz 내지 수백MHz의 고주파 플라즈마 CVD법, 또는 마이크로파 플라즈마 CVD법에 의하여 형성하는 경우는, 결정립을 포함하지 않는 비정질 반도체 막이 되도록, 성막 조건을 제어하는 것이 바람직하다. 물론, 플라즈마의 고밀도화와 플라즈마의 표면 경재파 효과가 생기지 않도록 균일화를 도모하기 위해서, 벼페총(54)을 도 6의 플라즈마 CVD 장치를 사용하여 HF 대역의 고주파 전력과 VHF 대역의 고주파 전력을 양쪽 모두 인가하여 성막하여도 좋다.

[0103] 벼페총(54)은, 후의 소스 영역 및 드레인 영역의 형성 프로세스에 있어서, 일부 에칭된다. 그 때, 미결정 반도체 막(53)이 노정(露呈)하지 않도록 벼페총(54)의 일부가 잔존하는 두께로 형성하는 것이 바람직하다. 대표적으로는, 100nm 이상 400nm 이하, 바람직하게는, 200nm 이상 300nm 이하의 두께로 형성한다. 박막 트랜지스터의 인가 전압이 높은(예를 들면, 15V 정도) 표시 장치, 대표적으로는, 액정 표시 장치에 있어서, 벼페총(54)의 막 두께를 상기 범위에 나타내는 바와 같이 두껍게 형성하면, 내압이 높아지고, 박막 트랜지스터에 높은 전압이 인가되어도, 박막 트랜지스터가 열화하는 것을 회피(回避)할 수 있다.

[0104] 또한, 벼페총(54)에는, 인이나 봉소 등의 일 도전형을 부여하는 불순물이 첨가되지 않는다. 일 도전형을 부여하는 불순물이 첨가된 반도체 막(55)으로부터 불순물이 미결정 반도체 막(53)에 확산되지 않도록, 벼페총(54)이 배리어 층으로서 기능한다. 벼페총(54)을 형성하지 않는 경우, 미결정 반도체 막(53)과 일 도전형을 부여하는 불순물이 첨가된 반도체 막(55)이 접하면, 후의 에칭 공정이나 가열 처리에 의하여 불순물이 이동하기 때문에, 임계값 전압 제어가 어렵게 될 우려가 있다.

[0105] 또한, 벼페총(54)을 미결정 반도체 막(53)의 표면 위에 형성함으로써, 미결정 반도체 막(53)에 포함되는 결정립의 표면의 자연산화를 방지할 수 있다. 특히, 비정질 반도체와 미결정립이 접하는 영역에서는, 국부응력(局部應力)에 의하여 균열이 생기기 쉽다. 이 균열이 산소에 접촉하면 결정립은 산화되어, 산화실리콘이 형성된다.

[0106] 비정질 반도체 막인 벼페총(54)의 에너지 캡이 미결정 반도체 막(53)과 비교하여 크고(비정질 반도체 막의 에너지 캡은, 1.6eV 내지 1.8eV, 미결정 반도체 막의 에너지 캡은 1.1eV 내지 1.5eV), 또한 저항이 높고, 이동도가 낮고, 미결정 반도체 막(53)의 1/5 내지 1/10이다. 따라서, 후에 형성되는 박막 트랜지스터에 있어서, 소스 영역 및 드레인 영역과, 미결정 반도체 막(53)의 사이에 형성되는 벼페총은, 고저항 영역으로서 기능하고, 미결정 반도체 막(53)이 채널 형성 영역으로서 기능한다. 따라서, 박막 트랜지스터의 오프 전류를 저감시킬 수 있다. 상기 박막 트랜지스터를 표시 장치의 스위칭 소자로서 사용하는 경우, 액정 표시 장치의 콘트라스트를 향상시킬 수 있다.

[0107] 또한, 미결정 반도체 막(53) 위에 플라즈마 CVD법에 의하여 벼페총(54)을 300°C 이상 400°C 미만의 기판 온도에서 성막하는 것이 바람직하다. 이 성막 처리에 의하여 수소가 미결정 반도체 막(53)에 공급되고, 미결정 반도체 막(53)을 수소화한 것과 같은 정도의 효과를 얻을 수 있다. 즉, 미결정 반도체 막(53) 위에 벼페총(54)을 퇴적함으로써, 미결정 반도체 막(53)에 수소를 확산시켜, 댕글링 본드의 종단을 행할 수 있다. 또한, 벼페총(54)의 성막시에 미결정 반도체 막(53)의 어닐링을 행할 수도 있고, 막질을 향상시킬 수 있다. 특히, 제 2 성막 조건으로 얻어지는 막은, 제 1 성막 조건과 비교하여 성막 속도가 빠른 한편, 제 1 성막 조건으로 얻어지는 결정성보다 저하하는 경향이 있지만, 벼페총의 성막시에 있어서의 어닐링에 의하여 결정성 등의 막질을 향상시킬 수 있다. 또한, 벼페총(54)의 성막시에 어닐링을 행함으로써, 전압인자를 반복하여 행하는 신뢰성 시험에 있어서의 TFT 특성의 변동(임계값 전압의 변동 등)도 억제하고, 아모퍼스 실리콘 막을 주로 하여 채널 형성 영역에 사용하는 TFT보다 신뢰성이 높은 TFT를 얻을 수 있다.

[0108] 다음, 벼페총(54)의 성막을 행한 후, 대기에 노출시키지 않고 기판을 반송하고, 벼페총(54)을 성막하는 진공 챔버와 다른 진공 챔버에서 일 도전형을 부여하는 불순물이 첨가된 반도체 막(55)을 형성하는 것이 바람직하다. 이 단계에서의 단면도가 도 1d에 상당한다. 벼페총(54)을 성막하는 진공 챔버와 다른 진공 챔버에서 일 도전형을 부여하는 불순물이 첨가된 반도체 막(55)을 형성함으로써, 벼페총의 성막시에 일 도전형을 부여하는 불순물이 혼입하지 않도록 할 수 있다.

[0109] 일 도전형을 부여하는 불순물이 첨가된 반도체 막(55)은, n채널 형의 박막 트랜지스터를 형성하는 경우에는, 대표적인 불순물 원소로서 인을 첨가하면 좋고, 수소화 실리콘에 PH₃ 등의 불순물 기체를 가하면 좋다. 또한, p 채널 형의 박막 트랜지스터를 형성하는 경우에는, 대표적인 불순물 원소로서 봉소를 첨가하면 좋고, 수소화 실리콘에 B₂H₆ 등의 불순물 기체를 가하면 좋다. 일 도전형을 부여하는 불순물이 첨가된 반도체 막(55)은, 미결정

반도체, 또는 비정질 반도체로 형성할 수 있다. 일 도전형을 부여하는 불순물이 첨가된 반도체 막(55)은 2nm 이상 50nm 이하의 두께로 형성한다. 일 도전형을 부여하는 불순물이 첨가된 반도체 막의 막 두께를 얇게 함으로써, 스루홀을 향상시킬 수 있다.

[0110] 다음, 도 2a에 도시하는 바와 같이, 일 도전형을 부여하는 불순물이 첨가된 반도체 막(55) 위에 레지스트 마스크(56)를 형성한다. 레지스트 마스크(56)는, 포토리소그래피 기술 또는 잉크젯법에 의하여 형성된다. 여기서는, 제 2 포토 마스크를 사용하여 일 도전형을 부여하는 불순물이 첨가된 반도체 막(55) 위에 도포된 레지스트를 노광 현상하여 레지스트 마스크(56)를 형성한다.

[0111] 다음, 레지스트 마스크(56)를 사용하여 미결정 반도체 막(53), 베퍼층(54), 및 도전형을 부여하는 불순물이 첨가된 반도체 막(55)을 에칭하고, 도 2b에 도시하는 바와 같이, 미결정 반도체 막(61), 베퍼층(62), 및 일 도전형을 부여하는 불순물이 첨가된 반도체 막(63)을 형성한다. 이 후, 레지스트 마스크(56)를 제거한다.

[0112] 미결정 반도체 막(61), 베퍼층(62)의 단부 측면이 경사진으로써, 베퍼층(62) 위에 형성되는 소스 영역 및 드레인 영역과 미결정 반도체 막(61)의 사이에 리크 전류가 생기는 것을 방지할 수 있다. 또한, 소스 전극 및 드레인 전극과, 미결정 반도체 막(61)의 사이에 리크 전류가 생기는 것을 방지할 수 있다. 미결정 반도체 막(61) 및 베퍼층(62)의 단부 측면의 경사 각도는, 30° 내지 90° 바람직하게는, 45° 내지 80°이다. 이러한 각도로 함으로써, 단차(段差)형상에 의한 소스 전극 또는 드레인 전극의 단절을 방지할 수 있다.

[0113] 다음, 도 2c에 도시하는 바와 같이, 일 도전형을 부여하는 불순물이 첨가된 반도체 막(63) 및 게이트 절연막(52c)을 덮도록 도전막으로서 도전막(65a 내지 65c)을 형성한다. 도전막(65a 내지 65c)은, 알루미늄, 구리, 또는 실리콘, 티타늄, 네오디뮴, 스칸듐, 몰리브덴 등의 내열성 향상 원소 또는 힐록 방지 원소가 첨가된 알루미늄 합금의 단층 또는 적층으로 형성하는 것이 바람직하다. 또한, 일 도전형을 부여하는 불순물이 첨가된 반도체 막과 접하는 측의 막을 티타늄, 탄탈, 몰리브덴, 텉스텐, 또는 이들의 원소의 질화물로 형성하고, 그 위에 알루미늄 또는 알루미늄 합금을 형성한 적층 구조로 하여도 좋다. 또한, 알루미늄 또는 알루미늄 합금의 상면 및 하면을 티타늄, 탄탈, 몰리브덴, 텉스텐, 또는 이들의 원소의 질화물의 사이에 끼운 적층 구조로 하여도 좋다. 여기서는, 도전막으로서 도전막(65a 내지 65c)의 3층이 적층된 구조의 도전막을 나타내고, 도전막(65a, 65c)에 몰리브덴 막, 도전막(65b)에 알루미늄 막을 사용한 적층 도전막이나, 도전막(65a, 65c)에 티타늄 막, 도전막(65b)에 알루미늄 막을 사용한 적층 도전막을 나타낸다. 도전막(65a 내지 65c)은, 스팍터링법이나 진공 증착법에 의하여 형성한다.

[0114] 다음, 도 2d에 도시하는 바와 같이, 도전막(65a 내지 65c) 위에 제 3 포토 마스크를 사용하여 레지스트 마스크(66)를 형성하고, 도전막(65a 내지 65c)의 일부를 에칭하여 소스 전극 및 드레인 전극(71a 내지 71c)을 형성한다. 도전막(65a 내지 65c)을 웨트 에칭하면, 도전막(65a 내지 65c)이 선택적으로 에칭된다. 이 결과, 도전막을 등방적(等方的)으로 에칭하기 때문에, 레지스트 마스크(66)보다 면적이 작은 소스 전극 및 드레인 전극(71a 내지 71c)을 형성할 수 있다.

[0115] 도 3a에 도시하는 바와 같이, 레지스트 마스크(66)를 사용하여 일 도전형을 부여하는 불순물이 첨가된 반도체 막(63)을 에칭하여, 한 쌍의 소스 영역 및 드레인 영역(72)을 형성한다. 또한, 상기 에칭 공정에 있어서, 베퍼층(62)의 일부도 에칭한다. 일부 에칭된 오목부(홈)가 형성된 베퍼층을 베퍼층(73)이라고 나타낸다. 소스 영역 및 드레인 영역의 형성 공정과, 베퍼층의 오목부(홈)를 동일 공정으로 형성할 수 있다. 베퍼층의 오목부(홈)의 깊이를 베퍼층의 가장 막 두께가 두꺼운 영역의 1/2 내지 1/3로 함으로써, 소스 영역 및 드레인 영역의 거리를 뗄 수 있기 때문에, 소스 영역 및 드레인 영역 간에서의 리크 전류를 저감할 수 있다. 이 후, 레지스트 마스크(66)를 제거한다.

[0116] 특히, 드라이 에칭 등에서 사용하는 플라즈마에 노출되면, 레지스트 마스크는 변질하고, 레지스트 제거 공정으로 완전히 제거되지 않고, 잔사(殘渣)가 남는 것을 방지하기 위해서 베퍼층을 50nm 정도 에칭한다. 레지스트 마스크(66)는, 도전막(65a 내지 65c)의 일부의 에칭 처리와, 소스 영역 및 드레인 영역(72)의 형성시의 에칭 처리에 사용되고, 양쪽 모두 드라이 에칭을 사용하는 경우에는, 잔사가 남기 쉽기 때문에, 잔사를 완전히 제거할 때에 에칭되어도 좋은 베퍼층의 막 두께를 두껍게 형성하는 것은 유효하다. 또한, 베퍼층(73)은, 드라이 에칭을 행할 때에 플라즈마 데미지가 미결정 반도체 막(61)에 주어지는 것을 방지할 수도 있다.

[0117] 다음, 도 3b에 도시하는 바와 같이, 소스 전극 및 드레인 전극(71a 내지 71c), 소스 영역 및 드레인 영역(72), 베퍼층(73), 미결정 반도체 막(61), 및 게이트 절연막(52c)을 덮는 절연막(76)을 형성한다. 절연막(76)은, 게이트 절연막(52a, 52b, 52c)과 같은 성막 방법을 사용하여 형성할 수 있다. 또한, 절연막(76)은, 대기 중에 부

유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 방지하는 것이며, 치밀한 막이 바람직하다. 또한, 절연막(76)에 질화실리콘막을 사용함으로써, 베퍼층(73) 중의 산소 농도를 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는, $1 \times 10^{19} \text{ atoms/cm}^3$ 이하로 할 수 있다.

[0118] 도 3b에 도시하는 바와 같이, 소스 전극 및 드레인 전극(71a 내지 71c)의 단부와, 소스 영역 및 드레인 영역(72)의 단부는 일치하지 않고, 어긋난 형상이 됨으로써, 소스 전극 및 드레인 전극(71a 내지 71c)의 단부의 거리가 멀어지기 때문에, 소스 전극 및 드레인 전극 간의 리크 전류나 단락을 방지할 수 있다. 또한, 소스 전극 및 드레인 전극(71a 내지 71c)의 단부와, 소스 영역 및 드레인 영역(72)의 단부는 일치하지 않고, 어긋난 형상이기 때문에, 소스 전극 및 드레인 전극(71a 내지 71c) 및 소스 영역 및 드레인 영역(72)의 단부에 전계가 집중하지 않고, 게이트 전극과 소스 전극 및 드레인 전극(71a 내지 71c)의 사이에서의 리크 전류를 방지할 수 있다. 따라서, 신뢰성이 높고, 또한 내압이 높은 박막 트랜지스터를 제작할 수 있다.

[0119] 이상의 공정에 의하여, 박막 트랜지스터(74)를 형성할 수 있다.

[0120] 본 실시형태에서 나타내는 박막 트랜지스터는, 게이트 전극 위에 게이트 절연막, 미결정 반도체 막, 베퍼층, 소스 영역 및 드레인 영역, 소스 전극 및 드레인 전극이 적층되어, 채널 형성 영역으로서 기능하는 미결정 반도체 막의 표면을 베퍼층이 덮인다. 또한, 베퍼층의 일부에는 오목부(홈)가 형성되며, 상기 오목부 이외의 영역이 소스 영역 및 드레인 영역으로 덮인다. 즉, 베퍼층에 형성되는 오목부에 의하여, 소스 영역 및 드레인 영역의 거리가 멀어지기 때문에, 소스 영역 및 드레인 영역간에서의 리크 전류를 저감시킬 수 있다. 또한, 베퍼층의 일부를 에칭함으로써 오목부를 형성하기 때문에, 소스 영역 및 드레인 영역의 형성 공정에 있어서 발생하는 에칭 잔사를 제거할 수 있기 때문에, 잔사를 통하여 소스 영역 및 드레인 영역에 리크 전류(기생 채널)가 발생하는 것을 회피할 수 있다.

[0121] 또한, 채널 형성 영역으로서 기능하는 미결정 반도체 막과 소스 영역 및 드레인 영역의 사이에 베퍼층이 형성된다. 또한, 미결정 반도체 막의 표면이 베퍼층으로 덮인다. 고저항의 베퍼층은, 미결정 반도체 막과, 소스 영역 및 드레인 영역의 사이까지 연재(延在)하기 때문에, 박막 트랜지스터에 리크 전류가 발생하는 것을 저감시킬 수 있고, 또한 높은 전압의 인가에 의한 열화를 저감시킬 수 있다. 또한, 베퍼층과, 미결정 반도체 막과, 소스 영역 및 드레인 영역은, 모두 게이트 전극과 겹치는 영역 위에 형성된다. 따라서, 게이트 전극의 단부 형상에 영향을 받지 않는 구조라고 말할 수 있다. 게이트 전극을 적층 구조로 한 경우, 하층으로서 알루미늄을 사용하면, 게이트 전극 측면에 알루미늄이 노출하여 힐록이 발생할 우려가 있지만, 또한, 소스 영역 및 드레인 영역을 게이트 전극 단부와 겹치지 않는 구성으로 함으로써, 게이트 전극 측면과 겹치는 영역에서 단락이 발생하는 것을 방지할 수 있다. 또한, 미결정 반도체 막의 표면에 수소로 표면이 종단된 비정질 반도체 막이 베퍼층으로서 형성되기 때문에, 미결정 반도체 막의 산화를 방지할 수 있고, 또한 소스 영역 및 드레인 영역의 형성 공정에 발생하는 에칭 잔사가 미결정 반도체 막에 혼입하는 것을 방지할 수 있다. 따라서, 박막 트랜지스터가 뛰어난 전기 특성 및 뛰어난 내압을 갖는다.

[0122] 또한, 박막 트랜지스터의 채널 길이를 짧게 할 수 있고, 박막 트랜지스터의 평면 면적을 축소할 수 있다.

[0123] 다음, 절연막(76)에 제 4 포토 마스크를 사용하여 형성한 레지스트 마스크를 사용하여 절연막(76)의 일부를 에칭하여 콘택트 홀을 형성하고, 상기 콘택트 홀에 있어서 소소 전극 또는 드레인 전극(71c)에 접하는 화소 전극(77)을 형성한다. 또한, 도 3c는, 도 4의 쇄선(鎖線) A-B의 단면도에 상당한다.

[0124] 도 4에 도시하는 바와 같이, 소스 영역 및 드레인 영역(72)의 단부는, 소스 전극 및 드레인 전극(71c)의 단부의 외측에 위치하는 것을 알 수 있다. 또한, 베퍼층(73)의 단부는 소스 전극 및 드레인 전극(71c) 및 소스 영역 및 드레인 영역(72)의 단부의 외측에 위치한다. 또한, 소스 전극 및 드레인 전극의 한쪽은, 소스 전극 및 드레인 전극의 다른 쪽을 둘러싸는 형상(구체적으로는, U자형, C자형)이다. 따라서, 캐리어가 이동하는 영역의 면적을 증가시킬 수 있기 때문에, 전류양을 증가시킬 수 있고, 박막 트랜지스터의 면적을 축소할 수 있다. 또한, 게이트 전극 위에 있어서, 미결정 반도체 막, 소스 전극 및 드레인 전극이 중첩되기 때문에, 게이트 전극의 단부에 있어서의 요철(凹凸)의 영향이 적고, 피복률의 저감 및 리크 전류의 발생을 억제할 수 있다. 또한, 소스 전극 또는 드레인 전극의 한쪽은, 소스 배선 또는 드레인 배선으로서도 기능한다.

[0125] 또한, 화소 전극(77)은, 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물, 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의 투광성을 가지는 도전성 재료를 사용할 수 있다.

[0126] 또한, 화소 전극(77)으로서, 도전성 고분자(도전성 폴리머라고도 한다)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은, 시트 저항이 $10000\Omega/\square$ 이하, 파장 550nm에 있어서의 투광률이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 $0.1\Omega \cdot \text{cm}$ 이하인 것이 바람직하다.

[0127] 도전성 고분자로서는, 이른바 π 전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 이들의 2종 이상의 공중합체 등을 들 수 있다.

[0128] 여기서는, 화소 전극(77)으로서는, 스퍼터링법에 의하여 인듐주석산화물 막을 형성한 후, 인듐주석산화물 막 위에 레지스트를 도포한다. 다음, 제 5 포토 마스크를 사용하여 레지스트를 노광 및 현상하여, 레지스트 마스크를 형성한다. 다음, 레지스트 마스크를 사용하여 인듐주석산화물 막을 에칭하여 화소 전극(77)을 형성한다.

[0129] 이상에 의하여, 표시 장치에 사용할 수 있는 소자 기판을 형성할 수 있다.

[0130] (실시형태 2)

[0131] 본 실시형태는, 실시형태 1에서 나타내는 TFT를 구성하는 게이트 절연막, 미결정 반도체 막, n^+ 층의 성막에 적합한 멀티 챔버 방식의 플라즈마 CVD 장치의 일례를 나타낸다.

[0132] 도 10은 복수의 반응실을 구비한 멀티 챔버 방식의 플라즈마 CVD 장치의 일례를 도시한다. 이 장치는 공통실(123)과, 로드/언로드실(122), 제 1 반응실(100a), 제 2 반응실(100b), 제 3 반응실(100c)을 구비한 구성이 된다. 로드/언로드실(122)의 카세트(124)에 장전(set-in)되는 기판은, 공통실(123)의 반송 기구(機構)(126)에 의하여 각 반응실에 반출입되는 단일 웨이퍼 처리형(single wafer-processing type)의 구성이다. 공통실(123)과 각 실의 사이에는, 게이트 밸브(125)가 구비되어, 각 반응실에서 행해지는 처리가, 서로 간섭하지 않도록 구성된다.

[0133] 각 반응실은 형성하는 박막의 종류에 의하여 구분된다. 예를 들면, 제 1 반응실(100a)은 게이트 절연막 등의 절연막을 형성하여, 제 2 반응실(100b)은 채널을 형성하는 미결정 반도체 층을 성막하여, 제 3 반응실(100c)은 베퍼층과, 소스 및 드레인을 형성하는 일 도전형의 불순물 반도체 층을 적층 성막하는 반응실로서 충당(充當)된다. 물론, 반응실의 수는 이것에 한정되지 않고, 필요에 따라, 임의로 증감(增減)할 수 있다. 또한, 하나의 반응실에서 하나의 막을 형성하여도 좋고, 하나의 반응실에서 복수의 막을 형성하도록 구성하여도 좋다.

[0134] 또한, 다른 구분의 예로서, 예를 들면, 제 1 반응실(100a)은 게이트 절연막 등의 절연막을 형성하고, 제 2 반응실(100b)은 채널을 형성하는 미결정 반도체 층과, 베퍼층을 적층 형성하고, 제 3 반응실(100c)은, 소스 및 드레인을 형성하는 일 도전형의 불순물 반도체 층을 성막하는 반응실로서 충당하여도 좋다.

[0135] 각 반응실에는 배기 수단으로서 터보 분자 펌프(119)와 드라이 펌프(120)가 접속된다. 배기 수단은 이들의 진공 펌프의 조합에 한정되지 않고, 대략 10^{-5}Pa 로부터 10^{-1}Pa 의 진공도까지 배기할 수 있는 것이라면, 다른 진공 펌프를 적용할 수 있다. 또한, 미결정 반도체 막을 형성하는 제 2 반응실(100b)은 초고진공까지 진공 배기하는 것으로서, 크라이오 펌프(121)가 연결된다. 배기 수단과 각 반응실의 사이에는 버터플라이 밸브(117)가 형성되고, 이것에 의하여 진공 배기를 차단(遮斷)시킬 수 있고, 컨더턴스 밸브(118)에 의하여 배기 속도를 제어하여 각각의 반응실의 압력을 조절할 수 있다. 또한, 도 10에 도시하는 배기 수단의 조합은 일례이며, 특히 한정되지 않는다.

[0136] 가스 공급 수단(108)은 반도체 재료 가스 또는 회소 가스 등, 프로세스에 사용하는 가스가 충전되는 실린더(110), 스탬 밸브(112), 매스 플로 컨트롤러(113) 등으로 구성된다. 가스 공급 수단(108g)은 제 1 반응실(100a)에 접속되어, 게이트 절연막을 형성하기 위한 가스를 공급한다. 가스 공급 수단(108i)은 제 2 반응실(100b)에 접속되어, 미결정 반도체 막용의 가스를 공급한다. 가스 공급 수단(108n)은 제 3 반응실(100c)에 접속되어, 예를 들면, n 형 반도체 막용의 가스를 공급한다. 가스 공급 수단(108a)은 아르곤을 공급하고, 가스 공급 수단(108f)은 반응실 내의 클리닝에 사용하는 에칭 가스를 공급하는 계통(系統)이며, 이들은 각 반응실 공통의 라인으로서 구성된다.

[0137] 각 반응실에는 글로우 방전 플라즈마를 형성하기 위한 고주파 전력 공급 수단(103)이 연결된다. 고주파 전력 공급 수단(103)은, 고주파 전원과 정합기가 포함된다. 이 경우, 실시 형태 1과 마찬가지로, 제 1 고주파 전원(104)과 제 2 고주파 전원(105), 제 1 정합기(106)와 제 2 정합기(107)로 구성됨으로써, 균일성이 좋은 박막을

형성할 수 있다. 플라즈마 CVD 장치의 구성을, 각종 유리 기판의 사이즈(제 1 세대라고 불리는 300mm×400mm, 제 2 세대의 400mm×500mm, 제 3 세대의 550mm×650mm, 제 4 세대의 730mm×920mm, 제 5 세대의 1000mm×1200mm, 제 6 세대의 2450mm×1850mm, 제 7 세대의 1870mm×2200mm, 제 8 세대의 2000mm×2400mm, 제 9 세대의 2450mm×3050mm, 제 10 세대의 2850mm×3050mm 등)에 맞추면, 다양한 사이즈의 기판에 대해서도 균일성이 좋은 박막을 형성할 수 있다.

[0138] 본 실시형태에서 나타내는 바와 같이, 도 10에서 도시하는 반응실을 복수개 사용하여, 공통실에서 연결함으로써, 복수의 다른 층을 대기에 노출시키지 않고 적층할 수 있다.

[0139] 본 실시형태는 실시형태 1과 자유롭게 조합할 수 있다.

[0140] (실시형태 3)

[0141] 본 실시형태에서는, 실시형태 2에 나타낸 도 10과 다른 멀티 챔버 방식의 CVD 장치를 사용하는 박막 트랜ジ스터의 제작 공정에 대해서, 도 11을 사용하여 설명한다. 도 10은, 3개의 반응실을 구비한 장치이지만, 도 11은 4개의 반응실을 구비한 멀티 챔버 방식의 CVD 장치의 상면도이다.

[0142] 도 11은 도 10의 멀티 챔버 방식의 CVD 장치의 구성에 제 4 반응실(100d)을 추가한 구성이다. 도 11에 있어서, 도 10과 동일한 부분은 같은 부호로 하고, 자세한 설명을 여기서는 생략한다. 또한, 도 11에 도시하는 배기 수단의 조합은 일례이며, 특히 한정되지 않는다.

[0143] 제 4 반응실(100d)에는, 가스 공급 수단(108b)이 연결된다. 그 이외에, 고주파 전력 공급 수단, 배기 수단의 구성은 도 10과 마찬가지다. 각 반응실은 형성하는 박막의 종류에 따라 나누어 사용할 수 있다. 예를 들면, 제 1 반응실(100a)은 게이트 절연막 등의 절연막을 형성하고, 제 2 반응실(100b)은 채널을 형성하는 미결정 반도체 층을 성막하여, 제 4 반응실(100d)에서는 채널 형성용의 반도체 층을 보호하는 베퍼층을 형성하고, 제 3 반응실(100c)은 소스 및 드레인을 형성하는 일 도전형의 불순물 반도체 층을 성막하는 반응실로서 사용할 수 있다. 각각의 박막은 최적의 성막 온도(기판 온도라고도 부른다)가 있기 때문에, 반응실을 개별로 분할함으로써 성막 온도를 관리하는 것이 용이하게 된다. 또한, 같은 막 종류를 반복하여 성막할 수 있기 때문에, 이전에 형성된 막에 기인하는 잔류 불순물의 영향을 배제할 수 있다.

[0144] 또한, 도 11에 있어서, 제 2 반응실(100b)에는, 제 1 고주파 전력의 투입과, 제 2 고주파 전력의 투입을 제어하는 스위치(127)를 형성한다. 스위치(127)의 온/오프를 스위칭함으로써, 중첩시키는 출력 파형을 변경할 수 있고, 예를 들면, 스위치(127)가 양쪽 모두 온 상태라면, 도 7의 출력 파형을 나타내고, 한쪽이 온/오프를 반복하면, 도 8에 도시하는 출력 파형이 된다.

[0145] 이와 같이, 스위치(127)를 형성함으로써, 성막 조건의 조절의 폭을 넓힐 수 있다. 예를 들면, 제 1 고주파 전력과, 제 2 고주파 전력의 양쪽 모두를 인가하여 미결정 반도체 막을 형성한 후, 한쪽의 고주파 전력을 인가하여 베퍼층을 적층할 수도 있다.

[0146] 본 실시형태는 실시형태 1 또는 실시형태 2와 자유롭게 조합할 수 있다.

[0147] (실시형태 4)

[0148] 실시형태 1과 다른 박막 트랜ジ스터의 제작 방법에 대해서 도 12a 내지 도 16c를 사용하여 설명한다. 여기서는, 상기 실시형태 1보다 포토 마스크 수를 삭감할 수 있는 프로세스를 사용하여 박막 트랜ジ스터를 제작하는 공정에 대해서 나타낸다.

[0149] 실시형태 1에 나타낸 도 1a와 마찬가지로, 기판(50) 위에 도전막을 형성하고, 도전막 위에 레지스트를 도포하고, 제 1 포토 마스크를 사용한 포토리소 그래피 공정에 의하여 형성한 레지스트 마스크를 사용하여 도전막의 일부를 에칭하여, 게이트 전극(51)을 형성한다. 여기서는 실시형태 1과 달리, 도전막 단층의 예를 나타낸다. 다음, 게이트 전극(51) 위에 도 6에 도시하는 플라즈마 CVD 장치를 사용하여 게이트 절연막(52a, 52b, 52c)을 순차로 형성한다.

[0150] 다음, 실시형태 1에 나타낸 도 1b와 마찬가지로, 제 1 성막 조건으로 미결정 반도체 막(23)을 형성한다. 계속해서, 같은 챔버에서 제 2 성막 조건으로 성막을 행하여, 실시형태 1에 나타낸 도 1c와 마찬가지로, 도 6에 도시하는 플라즈마 CVD 장치를 사용하여 미결정 반도체 막(53)을 형성한다. 다음, 실시형태 1에 나타낸 도 1d와 마찬가지로, 미결정 반도체 막(53) 위에 베퍼층(54), 일 도전형을 부여하는 불순물이 첨가된 반도체 막(55)을 순차로 형성한다.

[0151] 다음, 일 도전형을 부여하는 불순물이 첨가된 반도체 막(55) 위에 도전막(65a 내지 65c)을 형성한다. 다음, 도 13a에 도시하는 바와 같이, 도전막(65a) 위에 레지스트(80)를 도포한다.

[0152] 레지스트(80)는, 포지티브형 레지스트 또는 네거티브형 레지스트를 사용할 수 있다. 여기서는, 포지티브형 레지스트를 사용하여 나타낸다.

[0153] 다음, 제 2 포토 마스크로서 다계조 마스크(multi-tone mask; 59)를 사용하여 레지스트(80)에 빛을 조사하여, 레지스트(80)를 노광한다.

[0154] 여기서, 다계조 마스크(59)를 사용한 노광에 대해서 도 12a 내지 도 12d를 사용하여 설명한다.

[0155] 다계조 마스크란, 노광 부분, 중간 노광 부분, 및 미노광 부분에 3개의 노광 레벨을 행할 수 있는 마스크이며, 한번의 노광 및 현상 공정에 의하여, 복수(대표적으로는 2종류)의 두께의 영역을 가지는 레지스트 마스크를 형성할 수 있다. 따라서, 다계조 마스크를 사용함으로써, 포토 마스크의 매수(枚數)를 삭감할 수 있다.

[0156] 다계조 마스크의 대표 예로서는, 도 12a에 도시하는 바와 같은 그레이 톤(gray tone) 마스크(59a), 도 12c에 도시하는 바와 같은 하프 톤(half tone) 마스크(59b)가 있다.

[0157] 도 12a에 도시하는 바와 같이, 그레이 톤 마스크(59a)는, 투광성을 가지는 기판(163) 및 그 위에 형성되는 차광부(164) 및 회절격자(回折格子)(165)로 구성된다. 차광부(164)에 있어서는, 빛의 투과율이 0%이다. 한편, 회절격자(165)는 슬릿, 도트, 메시(mesh) 등의 광 투과부의 간격을 노광에 사용하는 빛의 해상도 한계 이하의 간격으로 함으로써, 빛의 투과율을 제어할 수 있다. 또한, 회절격자(165)는, 주기적인 슬릿, 도트, 메시, 또는 비주기적인 슬릿, 도트, 메시의 양쪽 모두를 사용할 수 있다.

[0158] 투광성을 가지는 기판(163)은, 석영 등의 투광성을 가지는 기판을 사용할 수 있다. 차광부(164) 및 회절격자(165)는, 크롬이나 산화크롬 등의 빛을 흡수하는 차광 재료를 사용하여 형성할 수 있다.

[0159] 그레이 톤 마스크(59a)에 노광광(露光光)을 조사하는 경우, 도 12b에 도시하는 바와 같이, 차광부(164)에 있어서는, 광 투과율(166)은 0%이며, 차광부(164) 및 회절격자(165)가 형성되지 않는 영역에서는, 광 투과율(166)은 100%이다. 또한, 회절격자(165)에 있어서는, 10% 내지 70%의 범위로 조정할 수 있다. 회절격자(165)에 있어서의 빛의 투과율의 조정은, 회절격자의 슬릿, 도트, 또는 메시의 간격 또는 피치의 조정에 의하여 가능하다.

[0160] 도 12c에 도시하는 바와 같이, 하프 톤 마스크(59b)는, 투광성을 가지는 기판(163) 및 그 위에 형성되는 반 투과부(167) 및 차광부(168)로 구성된다. 반 투과부(167)는, MoSiN, MoSi, MoSiO, MoSiON, CrSi 등을 사용할 수 있다. 차광부(168)는, 크롬이나 산화크롬 등의 빛을 흡수하는 차광 재료를 사용하여 형성할 수 있다.

[0161] 하프 톤 마스크(59b)에 노광광을 조사한 경우, 도 12d에 도시하는 바와 같이, 차광부(168)에 있어서는, 광 투과율(169)은 0%이며, 차광부(168) 및 반 투과부(167)가 형성되지 않는 영역에서는, 광 투과율(169)은 100%이다. 또한, 반 투과부(167)에 있어서는, 10% 내지 70%의 범위로 조정할 수 있다. 반 투과부(167)에 있어서의 빛의 투과율은, 반 투과부(167)의 재료로 조정할 수 있다.

[0162] 다계조 마스크를 사용하여 노광한 후, 현상함으로써, 도 13b에 도시하는 바와 같이, 막 두께가 다른 영역을 가지는 레지스트 마스크(81)를 형성할 수 있다.

[0163] 다음, 레지스트 마스크(81)에 의하여, 미결정 반도체 막(53), 베퍼층(54), 일 도전형을 부여하는 불순물이 첨가된 반도체 막(55), 및 도전막(65a 내지 65c)을 에칭하여 분리한다. 이 결과, 도 14a에 도시하는 바와 같은, 미결정 반도체 막(61), 베퍼층(62), 일 도전형을 부여하는 불순물이 첨가된 반도체 막(63), 및 도전막(85a 내지 85c)을 형성할 수 있다. 또한, 도 14a는 도 16a의 A-B에 있어서의 단면도에 상당한다(다만, 레지스트 마스크(86)를 제외한다).

[0164] 다음, 레지스트 마스크(81)를 애싱(ashing)한다. 이 결과, 레지스트의 면적이 축소되어, 두께가 얇아진다. 이 때, 막 두께가 얇은 영역의 레지스트(게이트 전극(51)의 일부와 중첩하는 영역)는 제거되어, 도 14a에 도시하는 바와 같이, 분리된 레지스트 마스크(86)를 형성할 수 있다.

[0165] 다음, 레지스트 마스크(86)를 사용하여, 도전막(85a 내지 85c)을 에칭하여 분리한다. 결과적으로, 도 14b에 도시하는 바와 같은, 한 쌍의 소스 전극 및 드레인 전극(92a 내지 92c)을 형성할 수 있다. 레지스트 마스크(86)를 사용하여 도전막(85a 내지 85c)을 웨트 에칭하면, 도전막(85a 내지 85c)의 단부가 선택적으로 에칭된다. 결과적으로, 도전막을 등방적으로 에칭하기 위해서, 레지스트 마스크(86)보다 면적이 작은 소스 전극 및 드레인

전극(92a 내지 92c)을 형성할 수 있다.

[0166] 다음, 레지스트 마스크(86)를 사용하여, 일 도전형을 부여하는 불순물이 첨가된 반도체 막(63)을 에칭하여, 한 쌍의 소스 영역 및 드레인 영역(88)을 형성한다. 또한, 상기 에칭 공정에 있어서, 베피층(62)의 일부도 에칭한다. 일부 에칭된 베피층을 베피층(87)이라고 나타낸다. 또한, 베피층(87)에는 오목부가 형성된다. 소스 영역 및 드레인 영역의 형성 공정과, 베피층의 오목부(홈)를 동일한 공정으로 형성할 수 있다. 여기서는, 베피층(87)의 일부가 레지스트 마스크(81)와 비교하여 면적이 축소한 레지스트 마스크(86)에 의하여 일부 에칭되기 때문에, 소스 영역 및 드레인 영역(88)의 외측에 베피층(87)이 돌출한 형상이 된다. 이 후, 레지스트 마스크(86)를 제거한다. 또한, 소스 전극 및 드레인 전극(92a 내지 92c)의 단부와, 소스 영역 및 드레인 영역(88)의 단부는 일치하지 않고 어긋나며, 소스 전극 및 드레인 전극(92a 내지 92c)의 단부의 외측에 소스 영역 및 드레인 영역(88)의 단부가 형성된다.

[0167] 또한, 도 14c는 도 16b의 A-B 단면도에 상당한다. 도 16b에 도시하는 바와 같이, 소스 영역 및 드레인 영역(88)의 단부는, 소스 전극 및 드레인 전극(92c)의 단부의 외측에 위치하는 것을 알 수 있다. 또한, 베피층(87)의 단부는 소스 전극 및 드레인 전극(92c) 및 소스 영역 및 드레인 영역(88)의 단부의 외측에 위치한다. 또한, 소스 전극 및 드레인 전극의 한쪽은, 소스 영역 및 드레인 영역의 다른 쪽을 둘러싸는 형상(구체적으로는, U자형, C자형)이다. 따라서, 캐리어가 이동하는 영역의 면적을 증가시킬 수 있기 때문에, 전류양을 증가시킬 수 있고, 박막 트랜지스터의 면적을 축소할 수 있다. 또한, 게이트 전극 위에 있어서, 미결정 반도체 막, 소스 전극 및 드레인 전극이 중첩되기 때문에, 게이트 전극의 요철의 영향이 적고, 피복률의 저감 및 리크 전류의 발생을 억제할 수 있다. 또한, 소스 전극 또는 드레인 전극의 한쪽은, 소스 배선 또는 드레인 배선으로서도 기능한다.

[0168] 도 14c에 도시하는 바와 같이, 소스 전극 및 드레인 전극(92a 내지 92c)의 단부와, 소스 영역 및 드레인 영역(88)의 단부는 일치하지 않고, 어긋난 형상이 됨으로써, 소스 전극 및 드레인 전극(92a 내지 92c)의 단부의 거리가 멀어지기 때문에, 소스 전극 및 드레인 전극간의 리크 전류나 단락을 방지할 수 있다. 또한, 소스 전극 및 드레인 전극(92a 내지 92c)의 단부와, 소스 영역 및 드레인 영역(88)의 단부는 일치하지 않고 어긋난 형상이기 때문에, 소스 전극 및 드레인 전극(92a 내지 92c) 및 소스 영역 및 드레인 영역(88)의 단부에 전계가 집중하지 않고, 게이트 전극(51)과 소스 전극 및 드레인 전극(92a 내지 92c)의 사이의 리크 전류를 방지할 수 있다. 따라서, 신뢰성이 높고, 내압이 높은 박막 트랜지스터를 제작할 수 있다.

[0169] 이상의 공정에 의하여, 박막 트랜지스터(83)를 형성할 수 있다. 또한, 2매의 포토 마스크를 사용하여 박막 트랜지스터를 형성할 수 있다.

[0170] 다음, 도 15a에 도시하는 바와 같이, 소스 전극 및 드레인 전극(92a 내지 92c), 소스 영역 및 드레인 영역(88), 베피층(87), 미결정 반도체 막(90), 및 게이트 절연막(52c) 위에 절연막(76)을 형성한다. 절연막(76)은, 게이트 절연막(52a, 52b, 52c)과 같은 제작 방법에 의하여 형성할 수 있다.

[0171] 다음, 제 3 포토 마스크를 사용하여 형성한 레지스트 마스크를 사용하여 절연막(76)의 일부를 에칭하여 콘택트 홀을 형성한다. 다음, 상기 콘택트 홀에 있어서 소스 전극 또는 드레인 전극(92c)에 접하는 화소 전극(77)을 형성한다. 여기서는, 화소 전극(77)으로서는, 스팍터링법에 의하여 인듐주석산화물 막을 형성한 후, 인듐주석 산화물 막 위에 레지스트를 도포한다. 다음, 제 4 포토 마스크를 사용하여 레지스트를 노광 및 현상하여 레지스트를 형성한다. 다음, 레지스트 마스크를 사용하여 인듐주석산화물 막을 에칭하여 화소 전극(77)을 형성한다. 또한, 도 15b는, 도 16c의 A-B의 단면도에 상당한다.

[0172] 이상에 의하여, 다계조 마스크를 사용하여 마스크 수를 줄이고, 표시 장치에 사용할 수 있는 소자 기판을 형성 할 수 있다.

[0173] 또한, 본 실시형태는, 실시형태 1 내지 실시형태 3의 어느 하나와 자유롭게 조합할 수 있다.

[0174] (실시형태 5)

[0175] 본 실시형태에서는, 표시 장치의 일 형태로서, 실시형태 1에서 나타내는 박막 트랜지스터를 가지는 액정 표시 장치에 대해서 이하에 나타낸다.

[0176] 우선, VA(Vertical Alignment)형의 액정 표시 장치에 대해서 나타낸다. VA형의 액정 표시 장치란, 액정 패널의 액정 문자의 배열을 제어하는 방식의 일종이다. VA형의 액정 표시 장치는 전압이 인가되지 않을 때에 패널 면에 대해서 액정 문자가 수직 방향으로 향하는 방식이다. 본 실시형태에서는, 특히 화소(픽셀)를 몇 개의 영역

(서브 팩셀)으로 분할하여, 각각 상이한 방향으로 분자를 배향하도록 고려된다. 이것을 멀티도메인화 혹은 멀티도메인 설계라고 한다. 이하의 설명에서는, 멀티도메인 설계가 고려된 액정 표시 장치에 대해서 설명한다.

[0177] 도 18 및 도 19는, 각각 화소 전극 및 대향 전극을 도시한다. 또한, 도 18은 화소 전극이 형성되는 기판 측의 평면도이며, 도면 중에 도시하는 절단선 A-B에 대응하는 단면 구조를 도 17에 도시한다. 또한, 도 19는 대향 전극이 형성되는 기판 측의 평면도이다. 이하의 설명에서는, 이들의 도면을 참조하여 설명한다.

[0178] 도 17은, TFT(628)와 이것에 접속되는 화소 전극(624), 및 유지 용량부(630)가 형성된 기판(600)과, 대향 전극(640) 등이 형성되는 대향 기판(601)이 중첩되어, 액정이 주입된 상태를 도시한다.

[0179] 대향 기판(601)에 있어서, 스페이서(642)가 형성되는 위치에는, 차광막(632), 제 1 착색막(634), 제 2 착색막(636), 제 3 착색막(638), 대향 전극(640)이 형성된다. 이 구조에 의하여, 액정의 배향을 제어하기 위한 돌기(644)와 스페이서(642)의 높이를 다르게 한다. 화소 전극(624) 위에는, 배향막(648)이 형성되고, 마찬가지로 대향 전극(640) 위에도 배향막(646)이 형성된다. 이들 사이에 액정층(650)이 형성된다.

[0180] 스페이서(642)는 여기서는 기둥 형상 스페이서를 사용하여 나타내지만, 비드 스페이서를 산포(散布)하여도 좋다. 또한, 스페이서(642)를 기판(600) 위에 형성되는 화소 전극(624) 위에 형성하여도 좋다.

[0181] 기판(600) 위에는, TFT(628)와 이것에 접속되는 화소 전극(624), 및 유지 용량부(630)가 형성된다. 화소 전극(624)은, TFT(628), 배선, 및 유지 용량부(630)를 덮는 절연막(620), 절연막을 덮는 제 3 절연막(622)을 각각 관통하는 콘택트 훌(623)에서 배선(618)과 접속된다. TFT(628)는, 실시형태 1에서 나타내는 박막 트랜ジ스터를 적절히 사용할 수 있다. 또한, 유지 용량부(630)는, TFT(628)의 게이트 배선(602)과 마찬가지로 형성한 제 1 용량 배선(604)과, 게이트 절연막(606)과, 배선(616, 618)과 마찬가지로 형성한 제 2 용량 배선(617)으로 구성된다.

[0182] 화소 전극(624)과 액정층(650)과 대향 전극(640)이 중첩됨으로써, 액정 소자가 형성된다.

[0183] 도 18에 기판(600) 위의 구조를 도시한다. 화소 전극(624)은 실시형태 1에서 나타낸 재료를 사용하여 형성한다. 화소 전극(624)에는 슬릿(625)을 형성한다. 슬릿(625)은 액정의 배향을 제어하기 위한 것이다.

[0184] 도 18에 도시하는 TFT(629)와 그것에 접속되는 화소 전극(626) 및 유지 용량부(631)는, 각각 TFT(628), 화소 전극(624) 및 유지 용량부(630)와 마찬가지로 형성할 수 있다. TFT(628)와 TFT(629)의 양쪽 모두는 배선(616)과 접속한다. 이 액정 패널의 화소(팩셀)는, 화소 전극(624)과 화소 전극(626)에 의하여 구성된다. 화소 전극(624)과 화소 전극(626)은 서브 팩셀이다.

[0185] 도 19에 대향 기판 측의 구조를 도시한다. 차광막(632) 위에 대향 전극(640)이 형성된다. 대향 전극(640)은, 화소 전극(624)과 같은 재료를 사용하여 형성하는 것이 바람직하다. 대향 전극(640) 위에는, 액정의 배향을 제어하는 돌기(644)가 형성된다. 또한, 차광막(632)의 위치에 맞추어 스페이서(642)가 형성된다.

[0186] 이 화소 구조의 등가 회로(等價回路)를 도 20에 도시한다. TFT(628)와 TFT(629)는, 게이트 배선(602), 배선(616)과 접속된다. 이 경우, 용량 배선(604)과 욹량 배선(605)의 전위를 다르게 함으로써, 액정 소자(651)와 액정 소자(652)의 동작을 다르게 할 수 있다. 즉, 용량 배선(604)과 욹량 배선(605)의 전위를 개별로 제어함으로써, 액정의 배향을 정밀하게 제어하여 시야각을 확대시킨다.

[0187] 슬릿(625)을 형성한 화소 전극(624)에 전압을 인가하면, 슬릿(625)의 근방에는 전계의 왜곡(경사 전계)이 발생한다. 이 슬릿(625)과, 대향 기판(601) 측의 돌기(644)를 교대로 맞물리도록 배치함으로써, 경사 전계를 효과적으로 발생시켜, 액정의 배향을 제어함으로써, 액정이 배향하는 방향을 장소에 따라 다르게 한다. 즉, 멀티도메인화하여 액정 패널의 시야각을 확대시킨다.

[0188] 다음, 상기와 다른 VA형의 액정 표시 장치에 대해서 도 21 내지 도 24를 사용하여 설명한다.

[0189] 도 21과 도 22는, VA형 액정 패널의 화소 구조를 도시한다. 도 22는 기판(600)의 평면도이며, 도면 중에 도시하는 절단선 Y-Z에 대응하는 단면 구조를 도 21에 도시한다. 이하의 설명에서는, 이 양쪽 모두의 도면을 참조하여 설명한다.

[0190] 이 화소 구조는, 하나의 화소에 복수의 화소 전극이 있고, 각각의 화소 전극에 TFT가 접속된다. 각 TFT는, 상이한 게이트 신호에 의하여 구동되도록 구성된다. 즉, 멀티도메인 설계된 화소에 있어서, 개개의 화소 전극에 인가하는 신호를 독립하여 제어하는 구성을 가진다.

[0191]

화소 전극(624)은 콘택트 홀(623)에 있어서, 배선(618)에 의하여 TFT(628)와 접속한다. 또한, 화소 전극(626)은, 콘택트 홀(627)에 있어서, 배선(619)에 의하여 TFT(629)와 접속한다. TFT(628)의 게이트 배선(602)과, TFT(629)의 게이트 배선(603)에는, 다른 게이트 신호를 줄 수 있도록 분리된다. 한편, 데이터 선으로서 기능하는 배선(616)은, TFT(628)와 TFT(629)에서 공통적으로 사용된다. TFT(628)와 TFT(629)는 실시형태 1에서 나타내는 박막 트랜지스터를 적절히 사용할 수 있다.

[0192]

화소 전극(624)과 화소 전극(626)의 형상은 다르고, 슬릿(625)에 의하여 분리된다. V자(字) 형상으로 넓어지는 화소 전극(624)의 외측을 둘러싸도록 화소 전극(626)이 형성된다. 화소 전극(624)과 화소 전극(626)에 인가되는 전압의 타이밍을 TFT(628) 및 TFT(629)에 의하여 다르게 함으로써, 액정의 배향을 제어한다. 이 화소 구조의 등가회로를 도 24에 도시한다. TFT(628)는 게이트 배선(602)과 접속되어, TFT(629)는 게이트 배선(603)과 접속한다. 게이트 배선(602)과 게이트 배선(603)은 상이한 게이트 신호를 줌으로써, TFT(628)와 TFT(629)의 동작 타이밍을 다르게 할 수 있다.

[0193]

대향 기판(601)에는, 차광막(632), 제 2 착색막(636), 대향 전극(640)이 형성된다. 또한, 제 2 착색막(636)과 대향 전극(640)의 사이에는 평탄화막(637)이 형성되어, 액정의 배향이 불규칙하게 되는 것을 방지한다. 도 23에 대향 기판 측의 구조를 도시한다. 대향 전극(640)은 다른 화소간에서 공통화되는 전극이지만, 슬릿(641)이 형성된다. 이 슬릿(641)과, 화소 전극(624) 및 화소 전극(626) 측의 슬릿(625)을 교대로 맞물리도록 배치함으로써, 경사 전계를 효과적으로 발생시켜, 액정의 배향을 제어할 수 있다. 따라서, 액정이 배향하는 방향을 장소에 따라 다르게 할 수 있어, 시야각을 확대시킨다.

[0194]

화소 전극(624)과 액정층(650)과 대향 전극(640)이 중첩됨으로써, 제 1 액정 소자가 형성된다. 또한, 화소 전극(626)과 액정층(650)과 대향 전극(640)이 중첩됨으로써, 제 2 액정 소자가 형성된다. 또한, 1화소에 제 1 액정 소자와 제 2 액정 소자가 형성된 멀티도메인 구조이다.

[0195]

다음, 횡전계 방식의 액정 표시 장치에 대해서 나타낸다. 횡전계 방식은, 셀 내의 액정 분자에 대해서 수평 방향으로 전계를 가함으로써 액정을 구동하여 계조(gray scale) 표현하는 방식이다. 이 방식에 의하면, 시야각을 약 180도까지 확대할 수 있다. 이하의 설명에서는, 횡전계 방식을 채용하는 액정 표시 장치에 대해서 설명한다.

[0196]

도 25는, TFT(628)와 그것에 접속되는 화소 전극(624)이 형성된 기판(600)과, 대향 기판(601)을 중첩하여, 액정을 주입한 상태를 도시한다. 대향 기판(601)에는 차광막(632), 제 2 착색막(636), 평탄화막(637) 등이 형성된다. 화소 전극은 기판(600) 측에 있기 때문에, 대향 기판(601) 측에는 형성되지 않는다. 기판(600)과 대향 기판(601)의 사이에 액정층(650)이 형성된다.

[0197]

기판(600) 위에는, 제 1 화소 전극(607) 및 제 1 화소 전극(607)에 접속되는 용량 배선(604), 및 실시형태 1에서 나타내는 TFT(628)가 형성된다. 제 1 화소 전극(607)은, 실시형태 1에서 나타내는 화소 전극(77)과 같은 재료를 사용할 수 있다. 또한, 제 1 화소 전극(607)은, 대략 화소의 형상으로 구획화한 형상으로 형성한다. 또한, 제 1 화소 전극(607) 및 용량 배선(604) 위에는 게이트 절연막(606)이 형성된다.

[0198]

TFT(628)의 배선(616), 배선(618)이 게이트 절연막(606) 위에 형성된다. 배선(616)은 액정 패널에 있어서 비디오 신호를 입력하는 데이터 선이며, 1방향으로 연장되는 배선이고 또한 소스 영역(610)과 접속되어, 소스 및 드레인의 한 쪽의 전극이 된다. 배선(618)은 소스 및 드레인의 다른 쪽의 전극이 되어, 제 2 화소 전극(624)과 접속되는 배선이다.

[0199]

배선(616), 배선(618) 위에 제 2 절연막(620)이 형성된다. 또한, 절연막(620) 위에는, 절연막(620)에 형성되는 콘택트 홀에 있어서, 배선(618)에 접속되는 제 2 화소 전극(624)이 형성된다. 화소 전극(624)은, 실시형태 1에서 나타낸 화소 전극(77)과 같은 재료를 사용하여 형성한다.

[0200]

이렇게 해서, 기판(600) 위에 TFT(628)와 이것에 접속되는 제 2 화소 전극(624)이 형성된다. 또한, 유지 용량은 제 1 화소 전극(607)과 제 2 화소 전극(624)의 사이에서 형성된다.

[0201]

도 26은, 화소 전극의 구성을 도시하는 평면도이다. 제 2 화소 전극(624)에는 슬릿(625)이 형성된다. 슬릿(625)은 액정의 배향을 제어하기 위한 것이다. 이 경우, 전계는 제 1 화소 전극(607)과 제 2 화소 전극(624)의 사이에서 발생한다. 제 1 화소 전극(607)과 제 2 화소 전극(624)의 사이에는, 게이트 절연막(606)이 형성되지만, 게이트 절연막(606)의 두께는, 50nm 내지 200nm이며, 2 μ m 내지 10 μ m인 액정층의 두께와 비교하여 충분히 얇기 때문에, 실질적으로 기판(600)과 평행한 방향(수평 방향)으로 전계가 발생한다. 이 전계에 의하여 액정의

배향이 제어된다. 이 기판과 대략 평행한 방향의 전계를 이용하여 액정 분자를 수평으로 회전시킨다. 이 경우, 액정 분자는 어느 상태라도 수평이기 때문에, 보는 각도에 의한 콘트라스트 등의 영향은 적고, 시야각은 확대된다. 또한, 제 1 화소 전극(607)과 제 2 화소 전극(624)은 투광성의 전극이기 때문에, 개구율을 향상시킬 수 있다.

[0202] 다음, 횡전계 방식의 액정 표시 장치의 다른 일례에 대해서 나타낸다.

[0203] 도 27과 도 28은, IPS형의 액정 표시 장치의 화소 구조를 도시한다. 도 28은 평면도이며, 도면 중에 도시하는 절단선 A-B에 대응하는 단면 구조를 도 27에 도시한다. 이하의 설명에서는, 양쪽 모두의 도면을 참조하여 설명한다.

[0204] 도 27은, TFT(628)와 그것에 접속되는 화소 전극(624)이 형성된 기판(600)과, 대향 기판(601)을 중첩시켜, 액정을 주입한 상태를 도시한다. 대향 기판(601)에는 차광막(632), 제 2 착색막(636), 평탄화막(637) 등이 형성된다. 화소 전극은 기판(600) 측에 있기 때문에, 대향 기판(601) 측에는 형성되지 않는다. 기판(600)과 대향 기판(601)의 사이에 액정층(650)이 형성된다.

[0205] 기판(600) 위에는, 공통 전위선(609), 및 실시형태 1에서 나타내는 TFT(628)가 형성된다. 공통 전위선(609)은, 박막 트랜지스터(628)의 게이트 배선(602)과 동시에 형성할 수 있다. 또한, 화소 전극(624)은 대략 화소의 형상으로 구획화한 형상으로 형성한다.

[0206] TFT(628)의 배선(616), 배선(618)이 게이트 절연막(606) 위에 형성된다. 배선(616)은 액정 패널에 있어서 비디오 신호를 입력하는 데이터 선이며, 일 방향으로 연장되는 배선이고, 또한 소스 영역(610)과 접속되어 소스 및 드레인의 한쪽의 전극이 된다. 배선(618)은 소스 및 드레인의 다른 쪽의 전극이 되고, 화소 전극(624)과 접속되는 배선이다.

[0207] 배선(616), 배선(618) 위에 제 2 절연막(620)이 형성된다. 또한, 절연막(620) 위에는, 절연막(620)에 형성되는 콘택트 홀(623)에 있어서, 배선(618)에 접속되는 화소 전극(624)이 형성된다. 화소 전극(624)은 실시형태 1에서 나타낸 화소 전극(77)과 같은 재료를 사용하여 형성한다. 또한, 도 28에 도시하는 바와 같이, 화소 전극(624)은, 공통 전위선(609)과 동시에 형성한 빗 형상의 전극과 횡전계가 발생하도록 형성된다. 또한, 화소 전극(624)의 빗살 부분이 공통 전위선(609)과 동시에 형성한 빗 형상의 전극과 교대로 맞물리도록 형성된다.

[0208] 화소 전극(624)에 인가되는 전위와 공통 전위선(609)의 전위와의 사이에 전계가 생기면, 이 전계에 의하여 액정의 배향이 제어된다. 이 기판과 대략 평행 방향의 전계를 이용하여 액정 분자를 수평으로 회전시킨다. 이 경우, 액정 분자는 어느 상태라도 수평이기 때문에, 보는 각도에 의한 콘트라스트 등의 영향은 적고, 시야각이 확대된다.

[0209] 이렇게 해서, 기판(600) 위에 TFT(628)와 그것에 접속되는 화소 전극(624)이 형성된다. 유지 용량은 공통 전위선(609)과 용량 전극(615)의 사이에 게이트 절연막(606)을 형성하여, 그것에 의하여 형성한다. 용량 전극(615)과 화소 전극(624)은 콘택트 홀(633)을 통하여 접속된다.

[0210] 다음, TN형의 액정 표시 장치의 형태에 대해서 나타낸다.

[0211] 도 29와 도 30은, TN형 액정 표시 장치의 화소 구조를 도시한다. 도 30은 평면도이며, 도면 중에 도시하는 절단선 A-B에 대응하는 단면 구조를 도 29에 도시한다. 이하의 설명에서는, 양쪽 모두의 도면을 참조하여 설명한다.

[0212] 화소 전극(624)은 콘택트 홀(623)에 의하여, 배선(618)으로 TFT(628)와 접속한다. 데이터 선으로서 기능하는 배선(616)은, TFT(628)와 접속한다. TFT(628)는 실시형태 1에 나타내는 TFT의 어느 것을 적용할 수 있다.

[0213] 화소 전극(624)은, 실시형태 1에서 나타내는 화소 전극(77)을 사용하여 형성된다.

[0214] 대향 기판(601)에는, 차광막(632), 제 2 착색막(636), 대향 전극(640)이 형성된다. 또한, 제 2 착색막(636)과 대향 전극(640)의 사이에는, 평탄화막(637)이 형성되어, 액정의 배향이 불규칙하게 하는 것을 방지한다. 액정 층(650)은 화소 전극(624)과 대향 전극(640)의 사이에 형성된다.

[0215] 화소 전극(624)과 액정(650)과 대향 전극(640)이 중첩됨으로써, 액정 소자가 형성된다.

[0216] 또한, 기판(600) 또는 대향 기판(601)에 컬러 필터나 전경(轉傾:disclination)을 방지하기 위한 차폐막(블랙 매트릭스) 등이 형성되어도 좋다. 또한, 기판(600)의 박막 트랜지스터가 형성되는 면과 반대의 면에 편광판을 접

착시키고, 또한, 대량 기판(601)의 대향 전극(640)이 형성되는 면과 반대의 면에 편광판을 접착시킨다.

[0217] 대향 전극(640)은, 화소 전극(624)과 같은 재료를 적절히 사용할 수 있다. 화소 전극(624)과 액정(650)과 대향 전극(640)이 중첩됨으로써, 액정 소자가 형성된다.

[0218] 이상의 공정에 의하여, 액정 표시 장치를 제작할 수 있다. 본 실시형태의 액정 표시 장치는, 오프 전류가 적고, 전기 특성이 뛰어나고 신뢰성이 높은 박막 트랜지스터를 사용하기 때문에, 콘트라스트가 높고, 시인성이 높은 액정 표시 장치이다. 또한, 도 6에 도시하는 플라즈마 CVD 장치를 사용하여, 표면 정재파의 영향이 나타나지 않는 고주파 전력과 VHF 대역에 속하는 고주파 전력을 공급하여 플라즈마를 생성함으로써, 장벽이 2000mm 를 넘는 대면적 기판에 균질이고 막질이 좋은 박막을 얻을 수 있고, 액정 표시 장치의 전기 특성의 편차를 억제하고, 대량 생산을 행할 수 있다.

[0219] (실시형태 6)

[0220] 본 실시형태에서는, 표시 장치의 일 형태인 발광 장치에 대해서, 도 13a 내지 도 15b, 도 31a 및 도 31b, 및 도 32a 내지 도 32c를 사용하여 설명한다. 발광 장치로서는, 여기서는 일렉트로 루미네센스를 이용하는 발광 소자를 사용하여 나타낸다. 일렉트로 루미네센스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 의하여 구별되어, 일반적으로는, 전자(前者)는 유기 EL 소자, 후자(後者)는 무기 EL 소자라고 불린다.

[0221] 유기 EL 소자는, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어, 전류가 흐른다. 그리고, 그들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하여, 그 여기 상태가 기저(基底) 상태로 되돌아갈 때에 발광한다. 이러한 메커니즘 때문에, 이러한 발광 소자는 전류 여기형의 발광 소자라고 불린다.

[0222] 무기 EL 소자는, 그 소자 구성에 의하여, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 가지는 것이며, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층의 사이에 끼워, 또한 그것을 전극의 사이에 끼운 구조이며, 발광 메커니즘은 금속 이온의 내각(內殼) 전자 천이를 이용하는 국재형(localized type) 발광이다. 또한, 여기서는 발광 소자로서 유기 EL 소자를 사용하여 설명한다. 또한, 발광 소자의 구동을 제어하는 박막 트랜지스터로서, 실시형태 1의 박막 트랜지스터를 사용하여 나타낸다. 실시형태 1에 의하여 얻어지는 박막 트랜지스터를 사용한 발광 장치는, 박막 트랜지스터의 임계값의 변동을 억제할 수 있고, 신뢰성의 향상에 기여한다. 특히, 발광 장치에서 사용하는 박막 트랜지스터는 직류 구동시키기 위해서, 게이트 절연막을 3층 구조로 하여, 1층째를 질화실리콘막, 2층째를 산화질화실리콘막, 3층째를 질화실리콘막으로 한 실시형태 1의 박막 트랜지스터는, 주로 2층째의 산화질화실리콘막에 의하여 임계값의 드리프트(drift)를 억제할 수 있다.

[0223] 도 13a 내지 도 15b의 공정을 거쳐, 도 31a 및 도 31b에 도시하는 바와 같이, 기판(50) 위에 박막 트랜지스터(83)를 형성하고, 박막 트랜지스터(83) 위에 보호막으로서 기능하는 절연막(87)을 형성한다. 또한, 구동 회로(12)에도 박막 트랜지스터(84)를 형성한다. 박막 트랜지스터(84)는, 화소부(11)의 박막 트랜지스터(83)와 같은 공정으로 제작할 수 있다. 다음, 절연막(87) 위에 평탄화막(93)을 형성하고, 평탄화막(93) 위에 박막 트랜지스터(83)의 소스 전극 또는 드레인 전극에 접속하는 화소 전극(94)을 형성한다.

[0224] 평탄화 막(93)은, 아크릴, 폴리이미드, 폴리아미드 등의 유기 수지, 또는 실록산을 사용하여 형성하는 것이 바람직하다.

[0225] 도 31a에서는, 화소부(11)의 박막 트랜지스터가 n형이기 때문에, 화소 전극(94)으로서, 음극을 사용하는 것이 바람직하지만, p형의 경우는 양극을 사용하는 것이 바람직하다. 구체적으로는, 음극으로서는, 일함수가 작은 공지의 재료, 예를 들면, 칼슘, 알루미늄, 불화칼슘, 마그네슘은합금, 리튬알루미늄합금 등을 사용할 수 있다.

[0226] 다음, 도 31b에 도시하는 바와 같이, 평탄화 막(93) 및 화소 전극(94)의 단부 위에 격벽(91)을 형성한다. 격벽(91)을 개구부를 가지고, 상기 개구부에 있어서 화소 전극(94)이 노출한다. 격벽(91)은, 유기수지막, 무기절연막 또는 유기폴리실록산을 사용하여 형성한다. 특히, 감광성의 재료를 사용하여, 화소 전극 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 가져 형성되는 경사면이 되도록 형성하는 것이 바람직하다.

[0227] 다음, 격벽(91)의 개구부에 있어서 화소 전극(94)과 접하도록, 발광층(95)을 형성한다. 발광층(95)은, 단층의 층으로 구성되어도 좋고, 복수의 층으로 적층되어도 좋다.

[0228]

그리고 발광층(95)을 덮도록, 양극을 사용한 공통 전극(96)을 형성한다. 공통 전극(96)은, 실시형태 1에 화소 전극(77)으로서 열거(列舉)한 투광성을 가지는 도전성 재료를 사용한 투광성 도전막으로 형성할 수 있다. 공통 전극(96)으로서 상기 투광성 도전막 이외에, 질화티타늄막 또는 티타늄막을 사용하여도 좋다. 도 31b에서는, 공통 전극(96)으로 하여, 인듐주석산화물을 사용한다. 격벽(91)의 개구부에 있어서, 화소 전극(94)과 발광층(95)과 공통 전극(96)이 중첩함으로써, 발광 소자(98)가 형성된다. 이 후, 발광 소자(98)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 공통 전극(96) 및 격벽(91) 위에 보호막(97)을 형성하는 것이 바람직하다. 보호막(97)으로서는, 질화실리콘막, 질화산화실리콘막, DLC막 등을 형성할 수 있다.

[0229]

또한, 실제로는, 도 31b까지 완성되면, 외기에 노출되지 않도록, 기밀성이 높고, 탈 가스가 적은 보호 필름(라미네이트 필름, 자외선경화수지 필름 등)이나 커버 재료로 패키징(봉입)하는 것이 바람직하다.

[0230]

다음, 발광 소자의 구성에 대해서 도 32a 내지 도 32c를 사용하여 설명한다. 여기서는, 구동용의 TFT가 n형의 경우를 예로 들어, 화소의 단면 구조에 대해서 설명한다.

[0231]

발광 소자는 발광을 추출하기 위해서 적어도 양극 또는 음극 중 한쪽이 투명이라면 좋다. 그리고, 기판 위에 박막 트랜지스터 및 발광 소자를 형성하여, 기판과 반대 측의 면으로부터 발광을 추출하는 상면 사출이나, 기판 측의 면으로부터 발광을 추출하는 하면 사출이나, 기판 측 및 기판과 반대 측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있고, 본 실시형태의 화소 구성은 어느 사출 구조의 발광 소자에도 적용할 수 있다.

[0232]

상면 사출 구조의 발광 소자에 대해서 도 32a를 사용하여 설명한다.

[0233]

도 32a에 구동용 TFT(7001)가 n형이고, 발광 소자(7002)로부터 방출되는 빛이 양극(7005) 측에 통과하는 경우의 화소의 단면도를 도시한다. 도 32a에서는, 발광 소자(7002)의 음극(7003)과 구동용 TFT(7001)가 전기적으로 접속되고, 음극(7003) 위에 발광층(7004), 양극(7005)이 순차로 적층된다. 음극(7003)은 일함수가 작고, 또한 빛을 반사하는 도전막이라면, 공지의 재료를 사용할 수 있다. 예를 들면, 칼슘, 알루미늄, 불화칼슘, 마그네슘은 합금, 리튬알루미늄합금 등이 바람직하다. 그리고 발광층(7004)은, 단수의 층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 복수의 층으로 구성되는 경우, 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 정공 수송층, 정공 주입층의 순서로 적층한다. 또한, 이들의 층을 모두 형성할 필요는 없다. 양극(7005)은 빛을 투과하는 투광성을 가지는 도전성 재료를 사용하여 형성하고, 예를 들면 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물, 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의 투광성을 가지는 도전막을 사용하여도 좋다.

[0234]

음극(7003) 및 양극(7005)으로 발광층(7004)을 사이에 끼운 영역이 발광 소자(7002)에 상당한다. 도 32a에 도시한 화소의 경우, 발광 소자(7002)로부터 방출되는 빛은, 테두리 화살표로 도시하는 바와 같이, 양극(7005) 측에 사출된다.

[0235]

다음, 하면 사출 구조의 발광 소자에 대하여 도 32b를 사용하여 설명한다. 구동용 TFT(7011)가 n형이고, 발광 소자(7012)로부터 방출되는 빛이 음극(7013) 측으로 사출되는 경우의, 화소의 단면도를 제시한다. 도 32b에서는, 구동용 TFT(7011)와 전기적으로 접속된 투광성을 가지는 도전성 재료(7017) 위에, 발광 소자(7012)의 음극(7013)이 성막되고, 음극(7013) 위에 발광층(7014), 양극(7015)이 순차로 적층된다. 또한, 양극(7015)이 투광성을 가지는 경우, 양극 위를 덮도록, 빛을 반사 혹은 차폐하기 위한 차폐막이 형성되어도 좋다. 음극(7013)은, 도 32a의 경우와 마찬가지로, 일함수가 작은 도전막이라면 공지의 재료를 사용할 수 있다. 다만 그 막 두께는, 빛을 투과하는 정도(바람직하게는, 5nm 내지 30nm 정도)로 한다. 예를 들면, 20nm의 막 두께를 가지는 Al을, 음극(7013)으로서 사용할 수 있다. 그리고 발광층(7014)은, 도 32a와 마찬가지로, 단층으로 구성되어도 좋고, 복수층이 적층되도록 구성되어도 좋다. 양극(7015)은 빛을 투과할 필요는 없지만, 도 32a와 마찬가지로, 투광성을 가지는 도전성 재료를 사용하여 형성할 수 있다. 그리고 차폐막은, 예를 들면, 빛을 반사하는 금속 등을 사용할 수 있지만, 금속막에 한정되지 않는다. 예를 들면, 흑색의 안료를 첨가한 수지 등을 사용할 수도 있다.

[0236]

음극(7013) 및 양극(7015)으로, 발광층(7014)을 사이에 끼운 영역이 발광 소자(7012)에 상당한다. 도 32b에 제시하는 화소의 경우, 발광 소자(7012)로부터 방출되는 빛은, 테두리 화살표로 제시하는 바와 같이 음극(7013) 측으로 사출된다.

[0237]

다음에, 양면 사출 구조의 발광 소자에 대하여, 도 32c를 사용하여 설명한다. 도 32c에서는, 구동용 TFT(702

1)와 전기적으로 접속된 투광성을 가지는 도전막(7027) 위에, 발광 소자(7022)의 음극(7023)이 성막되고, 음극(7023) 위에 발광층(7024), 양극(7025)이 순차로 적층된다. 음극(7023)은, 도 32a의 경우와 마찬가지로, 일함 수가 작은 도전막이라면 공지의 재료를 사용할 수 있다. 다만, 그 막 두께는, 빛을 투과하는 정도로 한다. 예를 들면, 20nm의 막 두께를 가지는 Al을, 음극(7023)으로서 사용할 수 있다. 그리고, 발광층(7024)은, 도 32a 와 마찬가지로, 단층으로 구성되어도 좋고, 복수층이 적층되도록 구성되어도 좋다. 양극(7025)은, 도 32a와 마찬가지로, 빛을 투과하는 투광성을 가지는 도전성 재료를 사용하여 형성할 수 있다.

[0238] 음극(7023)과, 발광층(7024)과, 양극(7025)이 겹치는 부분이 발광 소자(7022)에 상당한다. 도 32c에 도시한 화소의 경우, 발광 소자(7022)로부터 방출되는 빛은, 테두리 화살표로 제시하는 바와 같이, 양극(7025) 측과 음극(7023) 측의 양쪽으로 사출된다.

[0239] 또한, 여기서는, 발광 소자로서 유기EL 소자에 대하여 기술하였지만, 발광 소자로서 무기EL 소자를 형성할 수도 있다.

[0240] 또한, 본 실시형태에서는, 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)와 발광 소자가 전기적으로 접속되는 예를 제시하였지만, 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되는 구성이라도 좋다.

[0241] 또한, 본 실시형태에서 제시하는 발광 장치는, 도 32a 내지 도 32c에 도시한 구성에 한정되지 않고, 본 발명의 기술적 사상에 의거한 각종의 변형이 가능하다.

[0242] 이상의 공정에 의하여, 발광 장치를 제작할 수 있다. 본 실시형태의 발광 장치는, 오프 전류가 적고, 전기 특성이 뛰어나고, 신뢰성이 높은 박막 트랜지스터를 사용하기 때문에, 콘트라스트가 높고, 시인성이 높은 발광 장치이다. 또한, 도 6에 도시하는 플라즈마 CVD 장치를 사용하여, 표면 정재파의 영향이 나타나지 않는 고주파 전력과 VHF 대역에 속하는 고주파 전력을 공급하여 플라즈마를 생성함으로써, 장변이 2000mm를 넘는 대면적 기판에 균질하고 막질이 좋은 박막을 얻을 수 있고, 발광 장치의 전기 특성의 편차를 억제하고, 대량 생산을 행할 수 있다.

[0243] (실시형태 7)

[0244] 본 발명의 표시 장치의 일 형태인 표시 패널의 구성에 대해서 이하에 나타낸다.

[0245] 도 33a에 신호선 구동 회로(6013)만을 별도 형성하고, 기판(6011) 위에 형성된 화소부(6012)와 접속되는 표시 패널의 형태를 도시한다. 화소부(6012) 및 주사선 구동 회로(6014)는, 미결정 반도체 막을 사용한 박막 트랜지스터를 사용하여 형성한다. 미결정 반도체 막을 사용한 박막 트랜지스터보다 높은 전계 효과 이동도를 얻을 수 있는 트랜지스터에서 신호선 구동 회로를 형성함으로써, 주사선 구동 회로보다 높은 구동 주파수가 요구되는 신호선 구동 회로의 동작을 안정시킬 수 있다. 또한, 신호선 구동 회로(6013)는, 단결정의 반도체를 사용한 트랜지스터, 다결정의 반도체를 사용한 박막 트랜지스터, 또는 SOI를 사용한 트랜지스터라도 좋다. 화소부(6012)와, 신호선 구동 회로(6013)와, 주사선 구동 회로(6014)에, 각각 전원 전위, 각종 신호 등이 FPC(6015)를 통하여 공급된다.

[0246] 또한, 신호선 구동 회로 및 주사선 구동 회로를 화소부와 같은 기판 위에 함께 형성하여도 좋다.

[0247] 또한, 구동 회로를 별도 형성하는 경우, 반드시 구동 회로가 형성된 기판을 화소부가 형성된 기판 위에 접착할 필요는 없고, 예를 들면, FPC 위에 접착하도록 하여도 좋다. 도 33b에 신호선 구동 회로(6023)만을 별도 형성하고, 기판(6021) 위에 형성된 화소부(6022)와 주사선 구동 회로(6024)와 접속되는 액정 표시 장치 패널의 형태를 도시한다. 화소부(6022) 및 주사선 구동 회로(6024)는, 미결정 반도체 막을 사용한 박막 트랜지스터를 사용하여 형성한다. 신호선 구동 회로(6023)는, FPC(6025)를 통하여 화소부(6022)와 접속된다. 화소부(6022)와, 신호선 구동 회로(6023)와, 주사선 구동 회로(6024)에 각각 전원 전위, 각종 신호 등이 FPC(6025)를 통하여 공급된다.

[0248] 또한, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 미결정 반도체 막을 사용한 박막 트랜지스터를 사용하여 화소부와 같은 기판 위에 형성하고, 나머지를 별도로 형성하고 화소부와 전기적으로 접속되도록 하여도 좋다. 도 33c에, 신호선 구동 회로의 일부인 아날로그 스위치(6033a)를, 화소부(6032), 주사선 구동 회로(6034)와 같은 기판(6031) 위에 형성하고, 신호선 구동 회로의 일부인 시프트 레지스터(6033b)를 별도로 다른 기판에 형성하여 접착하는 액정 표시 장치 패널의 형태를 도시한다. 화소부(6032) 및 주사선 구동 회로(6034)는, 미결정 반도체 막을 사용한 박막 트랜지스터를 사용하여 형성한다. 신호선 구동 회로의 일부인 시프트 레지스터(6033b)는, FPC(6035)를 통하여 화소부(6032)와 접속된다. 화소부(6032)와 신호선 구동 회로와, 주사선

구동 회로(6034)에 각각 전원 전위, 각종 신호 등이 FPC(6035)를 통하여 공급된다.

[0249] 도 33a 내지 도 33c에 도시하는 바와 같이, 본 발명의 액정 표시 장치는, 구동 회로의 일부 또는 전부를 화소부와 같은 기판 위에 미결정 반도체 막을 사용한 박막 트랜지스터를 사용하여 형성할 수 있다.

[0250] 또한, 별도로 형성한 기판의 접속 방법은, 특히 한정되지 않고, 공지의 COG법, 와이어 본딩법, 혹은 TAB법 등을 사용할 수 있다. 또한, 접속하는 위치는, 전기적인 접속이 가능하면, 도 33a 내지 도 33c에 도시한 위치에 한정되지 않는다. 또한, 컨트롤러, CPU, 메모리 등을 별도로 형성하고, 접속하도록 하여도 좋다.

[0251] 또한, 본 발명에서 사용하는 신호선 구동 회로는, 시프트 레지스터와 아날로그 스위치만을 가지는 형태에 한정되지 않는다. 시프트 레지스터와 아날로그 스위치에 덧붙여, 버퍼, 레벨 시프터, 소스 팔로워(source follower) 등, 다른 회로를 가져도 좋다. 또한, 시프트 레지스터와 아날로그 스위치는 반드시 형성할 필요는 없고, 예를 들면, 시프트 레지스터 대신에 디코더 회로와 같은 신호선 선택을 할 수 있는 다른 회로를 사용하여도 좋고, 아날로그 스위치 대신에 래치 등을 사용하여도 좋다.

[0252] 도 36에 본 발명의 액정 표시 장치의 블록도를 도시한다. 도 36에 도시하는 표시 장치는, 표시 소자를 구비한 복수의 화소를 가지는 화소부(700)와, 각 화소를 선택하는 주사선 구동 회로(702)와, 선택된 화소에 대한 비디오 신호의 입력을 제어하는 신호선 구동 회로(703)를 가진다.

[0253] 도 36에 있어서, 신호선 구동 회로(703)는, 시프트 레지스터(704), 아날로그 스위치(705)를 가진다. 시프트 레지스터(704)에는, 클록 신호(CLK), 스타트 펄스 신호(SP)가 입력된다. 클록 신호(CLK)와 스타트 펄스 신호(S)가 입력되면, 시프트 레지스터(704)에 있어서 타이밍 신호가 생성되고, 아날로그 스위치(705)에 입력된다.

[0254] 또한, 아날로그 스위치(705)에는, 비디오 신호(video signal)가 공급된다. 아날로그 스위치(705)는 입력되는 타이밍 신호에 따라, 비디오 신호를 샘플링하여, 후단(後段)의 신호선에 공급한다.

[0255] 다음, 주사선 구동 회로(702)의 구성에 대해서 설명한다. 주사선 구동 회로(702)는, 시프트 레지스터(706), 버퍼(707)를 가진다. 또한 경우에 따라, 레벨 시프터를 가져도 좋다. 주사선 구동 회로(702)에 있어서, 시프트 레지스터(706)에 클록 신호(CLK) 및 스타트 펄스 신호(SP)가 입력됨으로써, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼(707)에 있어서 완충증폭(buffered and amplified)되어, 대응하는 주사선에 공급된다. 주사선에는, 1라인분의 화소의 트랜지스터의 게이트가 접속된다. 그리고, 1라인분의 화소의 트랜지스터를 일제히 온(ON)해야 하기 때문에, 버퍼(707)는 큰 전류를 흘릴 수 있는 것이 사용된다.

[0256] 풀 컬러의 액정 표시 장치에서, R(적색), G(녹색), B(청색)에 대응하는 비디오 신호를 순차로 샘플링하여 대응하는 신호선에 공급하는 경우, 시프트 레지스터(704)와 아날로그 스위치(705)를 접속하기 위한 단자수가 아날로그 스위치(705)와 화소부(701)의 신호선을 접속하기 위한 단자수의 1/3 정도에 상당한다. 따라서, 아날로그 스위치(705)를 화소부(701)와 같은 기판 위에 형성함으로써, 아날로그 스위치(705)를 화소부(701)와 다른 기판 위에 형성한 경우에 비교하여 별도 형성한 기판의 접속에 사용하는 단자의 수를 억제할 수 있어, 접속 불량의 발생 확률을 억제하고, 수율을 높일 수 있다.

[0257] 또한, 도 36의 주사선 구동 회로(702)는, 시프트 레지스터(706), 및 버퍼(707)를 가지지만, 시프트 레지스터(706)에서 주사선 구동 회로(702)를 구성하여도 좋다.

[0258] 또한, 도 36에 도시하는 구성은, 본 발명의 표시 장치의 일 형태에 불과하고, 신호선 구동 회로와 주사선 구동 회로의 구성은 이것에 한정되지 않는다. 도 36에 도시하는 바와 같은 회로를, 미결정 반도체를 사용한 트랜지스터로 구성한 액정 표시 장치는, 회로를 고속으로 동작시킬 수 있다. 예를 들면, 비정질 반도체 막을 사용한 경우와 미결정 반도체 막을 사용한 경우를 비교하면, 미결정 반도체 막을 사용한 경우가 박막 트랜지스터의 전계 효과 이동도가 크기 때문에, 구동 회로(예를 들면, 주사선 구동 회로(702)의 시프트 레지스터(706))의 구동 주파수를 높일 수 있다. 주사선 구동 회로(702)를 고속으로 동작시킬 수 있기 때문에, 프레임 주파수를 높이거나, 또는 흑색 화면 삽입을 실현하는 것 등도 실현할 수 있다.

[0259] 프레임 주파수를 올리는 경우는, 화상의 동작의 방향에 따라, 화면의 데이터를 생성하는 것이 바람직하다. 즉, 동작보상(動作補償)을 행하여, 데이터를 보간(補間)하는 것이 바람직하다. 이와 같이, 프레임 주파수를 높이고, 화상 데이터를 보간함으로써, 동영상의 표시 특성이 개선되어, 스무드(smooth)한 표시를 행할 수 있다. 예를 들면, 2배(예를 들면, 120Hz, 100Hz) 이상, 보다 바람직하게는, 4배(예를 들면, 480Hz, 400Hz) 이상으로 함으로써, 동영상에 있어서의 화상의 번짐 현상이나 잔상(殘像)을 저감할 수 있다. 그 경우, 주사선 구동 회로(702)도, 구동 주파수를 높여, 동작시킴으로써, 프레임 주파수를 높일 수 있다.

[0260] 흑색 화면 삽입을 행하는 경우는, 화상 데이터 혹은 흑색 표시가 되는 데이터를 화소부(701)에 공급할 수 있게 한다. 그 결과, 임펄스 구동에 가까운 형태가 되어, 잔상을 저감시킬 수 있다. 그 경우, 주사선 구동 회로(702)도, 구동 주파수를 높여, 동작시킴으로써, 흑색 화면 삽입을 행할 수 있다.

[0261] 또한, 주사선 구동 회로(702)의 트랜지스터의 채널 폭을 크게 하거나, 복수의 주사선 구동 회로를 배치하는 것 등에 의하여, 더 높은 프레임 주파수를 실현할 수 있다. 예를 들면, 8배(예를 들면, 960Hz, 800Hz) 이상의 프레임 주파수로 할 수 있다. 복수의 주사선 구동 회로를 배치하는 경우는, 짹수행의 주사선을 구동하기 위한 주사선 구동 회로를 한쪽에 배치하고, 홀수행의 주사선을 구동하기 위한 주사선 구동 회로를 그 반대 쪽에 배치함으로써, 프레임 주파수를 높이는 것을 실현할 수 있다.

[0262] 또한, 도 36에 도시하는 바와 같은 회로를, 미결정 반도체를 사용한 트랜지스터로 구성함으로써, 레이아웃 면적을 작게 할 수 있다. 따라서, 표시 장치의 일례인 액정 표시 장치의 프레임을 작게 할 수 있다. 예를 들면, 비정질 반도체 막을 사용한 경우와 미결정 반도체 막을 사용한 경우를 비교하면, 미결정 반도체 막을 사용한 경우가 트랜지스터의 전계 효과 이동도가 크기 때문에, 트랜지스터의 채널 폭을 작게 할 수 있다. 그 결과, 액정 표시 장치의 프레임을 더 좁게 할 수 있다.

[0263] 그러나, 비정질 반도체 막을 사용한 경우와, 미결정 반도체 막을 사용한 경우를 비교하면, 미결정 반도체 막을 사용한 경우가 열화되기 어렵다. 따라서, 미결정 반도체 막을 사용한 경우는, 트랜지스터의 채널 폭을 작게 할 수 있다. 또는 열화에 대한 보상용의 회로를 배치하지 않아도 정상으로 동작시킬 수 있다. 이에 따라, 1화소당의 트랜지스터의 평면 면적을 작게 할 수 있다.

[0264] (실시형태 8)

[0265] 본 발명의 표시 장치의 일 형태에 상당하는 액정 표시 패널의 외관(外觀) 및 단면에 대해서 도 37a 및 도 37b를 사용하여 설명한다. 도 37a는, 제 1 기판(4001) 위에 형성된 미결정 반도체 막을 가지는 박막 트랜지스터(4010) 및 액정 소자(4013)를 제 2 기판(4006)과의 사이에 씰(seal)재(4005)에 의하여 밀봉한 패널의 상면도이며, 도 37b는, 도 37a의 A-A'에 있어서의 단면도에 상당한다.

[0266] 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 씰재(4005)가 형성된다. 또한, 화소부(4002)와 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 형성된다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는, 제 1 기판(4001)과 씰재(4005)와 제 2 기판(4006)에 의하여 액정(4008)과 함께 밀봉된다. 또한, 제 1 기판(4001) 위의 씰재(4005)에 의하여 둘러싸이는 영역과 다른 영역에, 별도 준비된 기판 위에 다결정 반도체 막으로 형성된 신호선 구동 회로(4003)가 실장된다. 또한, 본 실시형태에서는, 다결정 반도체 막을 사용한 박막 트랜지스터를 가지는 신호선 구동 회로를 제 1 기판(4001)에 접착하는 예에 대해서 설명하지만, 단결정 반도체를 사용한 트랜지스터로 신호선 구동 회로를 형성하고, 접착하도록 하여도 좋다. 도 37a 및 도 37b에서는, 신호선 구동 회로(4003)에 포함되는, 다결정 반도체 막으로 형성된 박막 트랜지스터(4009)를 예시한다.

[0267] 또한, 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)는, 복수의 박막 트랜지스터를 가지고, 도 37b에서는, 화소부(4002)에 포함되는 박막 트랜지스터(4010)를 예시한다. 박막 트랜지스터(4010)는 미결정 반도체 막을 사용한 박막 트랜지스터에 상당한다.

[0268] 또한, (4011)은 액정 소자에 상당하고, 액정 소자(4013)가 가지는 화소 전극(4030)은, 박막 트랜지스터(4010)와 배선(4041)을 통하여 전기적으로 접속된다. 그리고 액정 소자(4013)의 대향 전극(4031)은 제 2 기판(4006) 위에 형성된다. 화소 전극(4030)과 대향 전극(4031)과 액정(4008)이 중첩되는 부분이 액정 소자(4013)에 상당한다.

[0269] 또한, 제 1 기판(4001), 제 2 기판(4006)으로서는, 유리, 금속(대표적으로는, 스테인리스), 세라믹스, 플라스틱을 사용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플로라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 알루미늄포일을 PVF 필름이나 폴리에스테르 필름의 사이에 끼운 구조의 시트를 사용할 수도 있다.

[0270] 또한, (4035)는 구(球)형의 스페이서이며, 화소 전극(4030)과 대향 전극(4031)과의 사이의 거리(셀 캡)를 제어하기 위해서 형성된다. 또한, 절연막을 선택적으로 예칭함으로써 얻어지는 스페이서를 사용하여도 좋다.

[0271] 또한, 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 주어지는 각종 신호 및 전위는, 리드(lead)배선(4014, 4015)을 통하여 FPC(4018)로부터 공급된다.

- [0272] 본 실시형태에서는, 접속 단자(4016)가 액정 소자(4013)가 가지는 화소 전극(4030)과 같은 도전막으로 형성된다. 또한, 리드 배선(4014, 4015)은, 배선(4041)과 같은 도전막으로 형성된다.
- [0273] 접속 단자(4016)는, FPC(4018)가 가지는 단자와, 이방성 도전막(4019)을 통하여 전기적으로 접속된다.
- [0274] 또한, 도시하지 않지만, 본 실시형태에 나타낸 액정 표시 장치는 배향막, 편광판을 가지고, 또한 컬러 필터나 차폐막을 가져도 좋다.
- [0275] 또한, 도 37a 및 도 37b에서는, 신호선 구동 회로(4003)를 별도 형성하고, 제 1 기판(4001)에 실장하는 예를 나타내지만, 본 실시형태는 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하고 실장하여도 좋다.
- [0276] 본 실시형태는, 다른 실시형태에 기재한 구성과 조합하여 실시할 수 있다.
- [0277] (실시형태 9)
- [0278] 다음, 본 발명의 표시 장치의 일 형태에 상당하는 발광 표시 패널의 외관 및 단면에 대해서 도 38a 및 도 38b를 사용하여 설명한다. 도 38a는 제 1 기판 위에 형성된 미결정 반도체 막을 사용한 박막 트랜지스터 및 발광 소자를, 제 2 기판과의 사이에 셀재에 의하여 밀봉한 패널의 상면도이며, 도 38b는, 도 38a의 A-A'에 있어서의 단면도에 상당한다.
- [0279] 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 셀재(4005)가 형성된다. 또한, 화소부(4002)와 주사선 구동 회로(4004)의 위에 제 2 기판(4006)이 형성된다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는, 제 1 기판(4001)과 셀재(4005)와 제 2 기판(4006)에 의하여 충전재(4007)와 함께 밀봉된다. 또한, 제 1 기판(4001) 위의 셀재(4005)에 의하여 둘러싸이는 영역과 다른 영역에, 별도 준비된 기판 위에 다결정 반도체 막으로 형성된 신호선 구동 회로(4003)가 실장된다. 또한, 본 실시형태에서는, 다결정 반도체 막을 사용한 박막 트랜지스터를 가지는 신호선 구동 회로를 제 1 기판(4001)에 점착하는 예에 대해서 설명하지만, 단결정 반도체를 사용한 트랜지스터로 신호선 구동 회로를 형성하고, 점착하도록 하여도 좋다. 도 38a 및 도 38b에서는, 신호선 구동 회로(4003)에 포함되는, 다결정 반도체 막으로 형성된 박막 트랜지스터(4009)를 예시한다.
- [0280] 또한, 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)는, 박막 트랜지스터를 복수 가지고, 도 38b에서는, 화소부(4002)에 포함되는 박막 트랜지스터(4010)를 예시한다. 또한, 본 실시형태에서는, 박막 트랜지스터(4010)가 구동용 TFT라고 가정하지만, 박막 트랜지스터(4010)는 전류 제어용 TFT라도 좋고, 소거용 TFT라도 좋다. 박막 트랜지스터(4010)는 미결정 반도체 막을 사용한 박막 트랜지스터에 상당한다.
- [0281] 또한, (4011)은 액정 소자에 상당하고, 액정 소자(4011)가 가지는 화소 전극은, 박막 트랜지스터(4010)의 소스 전극 또는 드레인 전극과, 배선(4017)을 통하여 전기적으로 접속된다. 그리고 본 실시형태에서는, 발광 소자(4011)의 공통 전극과 투광성을 가지는 도전성 막(4012)이 전기적으로 접속된다. 또한, 발광 소자(4011)의 구성은, 본 실시형태에 나타낸 구성에 한정되지 않는다. 발광 소자(4011)로부터 추출하는 빛의 방향이나, 박막 트랜지스터(4010)의 구성 등에 맞추어, 발광 소자(4011)의 구성은 적절히 변경할 수 있다.
- [0282] 또한, 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 주어지는 각종 신호 및 전위는, 도 38b에 도시하는 단면도에서는 도시되지 않지만, 리드(lead)배선(4014, 4015)을 통하여 FPC(4018)로부터 공급된다.
- [0283] 본 실시형태에서는, 접속 단자(4016)가 배선(4017)과 같은 도전막으로 형성된다. 또한, 리드 배선(4014, 4015)은, 박막 트랜지스터(4010)의 소스 전극 또는 드레인 전극과 같은 도전막으로 형성된다.
- [0284] 접속 단자(4016)는, FPC(4018)가 가지는 단자와, 이방성 도전막(4019)을 통하여 전기적으로 접속된다.
- [0285] 발광 소자(4011)로부터의 빛의 추출 방향으로 위치하는 제 2 기판은 투명하게 되어야 한다. 그 경우에는, 유리판, 플라스틱 판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 가지는 재료를 사용한다.
- [0286] 또한, 충전재(4007)로서는 질소나 아르곤 등의 불활성의 기체 이외에, 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있고, PVC(폴리비닐 클로라이드), 아크릴, 폴리아미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄) 또는 EVA(에틸렌비닐아세테이트)를 사용할 수 있다. 본 실시형태에서는, 충전재로서 질소를 사용한다.
- [0287] 또한, 필요하다면, 발광 소자의 사출면에 편광판, 또는 원(圓) 편광판(타원 편광판을 포함한다), 위상차판(1/4

파장판, 1/2파장판), 컬러 필터 등의 광학 필름을 적절히 형성하여도 좋다. 또한, 편광판 또는 원 편광판에 반사 방지막을 형성하여도 좋다. 예를 들면, 표면의 요철에 의하여 반사광을 확산하고, 눈부심을 저감할 수 있는 눈부심 방지(anti-glare) 처리를 행할 수 있다.

[0288] 또한, 도 38a 및 도 38b에서는, 신호선 구동 회로(4003)를 별도 형성하고, 제 1 기판(4001)에 실장하는 예를 나타내지만, 본 실시형태는 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하고 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장하여도 좋다.

[0289] 본 실시형태는, 다른 실시형태에 기재한 구성과 조합하여 실시할 수 있다.

[0290] (실시형태 10)

[0291] 본 발명에 의하여 얻어지는 표시 장치에 의하여, 액티브 매트릭스형 표시 장치 모듈에 사용할 수 있다. 즉, 그들을 표시부에 내장한 전자 기기 모두에 본 발명을 실시할 수 있다.

[0292] 이와 같은 전자 기기로서는, 비디오 카메라나 디지털 카메라 등의 카메라, 헤드 장착형 디스플레이(고글형 디스플레이), 카 네비게이션 시스템, 프로젝터, 카 스테레오, 퍼스널 컴퓨터, 휴대 정보 단말(모바일 컴퓨터, 휴대 전화 또는 전자 서적 등) 등을 들 수 있다. 그들의 일례를 도 34a 내지 도 34d에 도시한다.

[0293] 도 34a는 텔레비전 장치이다. 표시 모듈을 도 34a에 도시하는 바와 같이, 하우징에 내장하여, 텔레비전 장치를 완성시킬 수 있다. FPC까지 설치된 표시 패널을 표시 모듈이라고도 부른다. 표시 모듈에 의하여 주화면(200 3)이 형성되고, 그 이외의 부속 설비로서 스피커부(2009), 조작 스위치 등이 구비된다. 이와 같이, 텔레비전 장치를 완성시킬 수 있다.

[0294] 도 34a에 도시하는 바와 같이, 케이스(2001)에 표시 소자를 이용한 표시용 패널(2002)이 내장되고, 수신기(2005)에 의하여 일반의 텔레비전 방송의 수신을 비롯하여, 모뎀(2004)을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써 일 방향(송신자로부터 수신자) 또는 쌍 방향(송신자와 수신자간, 또는 수신자간끼리)의 정보 통신을 할 수도 있다. 텔레비전 장치의 조작은, 하우징에 내장된 스위치 또는 별개의 리모트 컨트롤러(2006)에 의하여 행할 수 있고, 이 리모트 컨트롤러에도 출력하는 정보를 표시하는 표시부(2007)가 형성되어도 좋다.

[0295] 또한, 텔레비전 장치에도, 주화면(2003) 이외에 서브 화면(2008)을 제 2 표시용 패널로 형성하고, 채널이나 음량 등을 표시하는 구성이 부가되어도 좋다. 이 구성에 있어서, 주화면(2003)을 시야각이 뛰어난 액정 표시 패널로 형성하고, 서브 화면을 저소비 전력으로 표시할 수 있는 발광 표시 패널로 형성하여도 좋다. 또한, 저소비 전력화를 우선시키기 위해서는, 주화면(2003)을 발광 표시 패널로 형성하고, 서브 화면을 발광 표시 패널로 형성하고, 서브 화면을 점멸할 수 있는 구성으로 하여도 좋다.

[0296] 도 35는 텔레비전 장치의 주요한構成을 도시하는 블록도를 도시한다. 표시 패널(900)에는, 화소부(921)가 형성된다. 신호선 구동 회로(922)와 주사선 구동 회로(923)는, 표시 패널(900)에 COG 방식에 의하여 실장되어도 좋다.

[0297] 그 이외의 외부 회로의 구성으로서, 영상 신호의 입력 측에서는, 튜너(924)로 수신한 신호 중에서, 영상 신호를 증폭하는 영상 신호 증폭 회로(925)와, 거기서 출력되는 신호를 적색, 녹색, 청색의 각 색에 대응한 색 신호에 변환하는 영상 신호 처리 회로(926)와, 그 영상 신호를 드라이버 IC의 입력 사양에 변환하기 위한 컨트롤 회로(927) 등을 가진다. 컨트롤 회로(927)는, 주사선 측과 신호선 측에 각각 신호를 출력한다. 디지털 구동하는 경우에는, 신호선 측에 신호 분할 회로(928)를 형성하여, 입력 디지털 신호를 m개로 분할하여 공급하는 구성으로 하여도 좋다.

[0298] 튜너(924)에서 수신한 신호에 있어서, 음성 신호는, 음성 신호 증폭 회로(929)에 송신되고, 그 출력은, 음성 신호 처리 회로(930)를 거쳐 스피커(933)에 공급된다. 제어 회로(931)는 수신국(수신 주파수)나 음량의 제어 정보를 입력부(932)로부터 받고, 튜너(924)나 음성 신호 처리 회로(930)에 신호를 송출한다.

[0299] 물론, 본 발명은 텔레비전 장치에 한정되지 않고, 퍼스널 컴퓨터의 모니터를 비롯하여, 철도의 역이나 공항 등에 있어서의 정보 표시판이나, 가두에 있어서의 광고 표시판 등 대면적의 표시 매체로서도 다양한 용도에 적용할 수 있다.

[0300] 도 34b는 휴대 전화기(2301)의 일례를 도시한다. 이 휴대 전화기(2301)는, 표시부(2302), 조작부(2303) 등을 포함하여 구성된다. 표시부(2302)에 있어서는, 상기 실시형태에서 설명한 액정 표시 장치를 적용함으로써, 양

산성을 높일 수 있다.

[0301] 또한, 도 34c에 도시하는 휴대형의 컴퓨터는, 본체(2401), 표시부(2402) 등을 포함한다. 표시부(2402)에, 상기 실시형태에 나타내는 액정 표시 장치를 적용함으로써, 양산성을 높일 수 있다.

[0302] 도 34d는 탁상(卓上) 조명 기구이며, 조명부(2501),갓(2502), 가변(可變) 암(arm)(2503), 지주(2504), 대(臺)(2505), 전원(2506)을 포함한다. 상기 실시형태 6에서 설명한 발광 장치를 조명부(2501)에 사용함으로써 제작된다. 또한, 조명 기구에는 천정 고정형의 조명기구 또는 벽걸이형의 조명 기구 등도 포함된다. 상기 실시형태 6에 나타내는 표시 장치를 적용함으로써, 양산성을 높일 수 있고, 값싼 탁상 조명 기구를 제공할 수 있다.

[0303] [실시예 1]

[0304] 본 실시예에서는, 하나의 고주파 전력 인가에 의하여 플라즈마 형성하는 성막 조건과, 두개의 고주파 전력을 중첩 인가시켜 플라즈마 형성하는 성막 조건으로, 각각 미결정 실리콘 막의 형성을 행하여, 성장 속도의 비교를 행하였다. 또한, 성장 속도란, 성막 개시로부터 막이 거의 성장하지 않는 인큐베이션 시간을 제외하고, 인큐베이션 시간 경과 직후를 시간 0으로 하여, 막의 퇴적이 개시될 때부터의 퇴적 속도를 나타낸다. 또한, 성막 속도란, 실란 가스 등의 가스를 챔버 내에 도입하고, 또한 고주파 전력을 투입한 시간을 0으로 하여 성막 개시로부터의 퇴적 속도를 가리키는 것으로 한다.

[0305] 각 성막 조건은, SiH₄ 유량은 4sccm, H₂ 유량을 400sccm로 하고, 성막 압력을 100Pa로 하고, 기판 온도를 200°C에서 고정한다. 또한, 유리 기판 위에 질화실리콘막 50nm를 형성하고, 그 위에 50nm의 미결정 실리콘 막의 형성을 행하여, 성장 속도를 비교하였다.

[0306] 비교예 1은, 하나의 고주파 전력 인가(전원 주파수 60MHz, 전력 파워 15W)에 의하여 성막을 행한 예이며, 전극 간격을 20mm로 하여 성막을 행한 결과, 미결정 실리콘 막의 성장 속도는 2.8nm/min이 되고, 인큐베이션 시간은 0.7분이 되었다.

[0307] 또한, 비교예 2는, 하나의 고주파 전력 인가(전원 주파수 13.56MHz, 전력 파워 80W)에 의하여 성막을 행한 예이며, 전극 간격을 30mm로 하여 성막을 행한 결과, 미결정 실리콘 막의 성장 속도는 4.8nm/min이 되고, 인큐베이션 시간은 0.4분이 되었다.

[0308] 또한, 비교예 3은, 하나의 고주파 전력 인가(전원 주파수 60MHz, 전력 파워 80W)에 의하여 성막을 행한 예이며, 전극 간격을 30mm로 하여 성막을 행한 결과, 미결정 실리콘 막의 성장 속도는 3.3nm/min이 되고, 인큐베이션 시간은 0.6분이 되었다.

[0309] 또한, 샘플 1은, 2개의 고주파 전력을 중첩 인가되어 성막을 행한 것이며, 제 1 고주파 전력 조건을 13.56MHz의 주파수로 전력 파워를 60W로 하고, 제 2 고주파 전력 조건을 60MHz의 주파수로 전력 파워를 20W로 하고, 전극 간격을 30mm로 하여 성막을 행하였다. 샘플 1에 있어서, 미결정 실리콘 막의 성장 속도는 6.3nm/min이 되고, 인큐베이션 시간은 0.8분이 되었다.

[0310] 또한, 샘플 2는, 2개의 고주파 전력을 중첩 인가시켜 성막을 행한 것이며, 제 1 고주파 전력 조건을 13.56MHz의 주파수로 전력 파워를 40W로 하고, 제 2 고주파 전력 조건을 60MHz의 주파수로 전력 파워를 40W로 하고, 전극 간격을 30mm로 하여 성막을 행하였다. 샘플 2에 있어서, 미결정 실리콘 막의 성장 속도는 5.5nm/min이 되고, 인큐베이션 시간은 0.3분이 되었다.

[0311] 또한, 샘플 3은, 2개의 고주파 전력을 중첩 인가시켜 성막을 행한 것이며, 제 1 고주파 조건을 13.56MHz의 주파수로 전력 파워를 20W로 하고, 제 2 고주파 전력 조건을 60MHz의 주파수로 전력 파워를 60W로 하고, 전극 간격을 30mm로 하여 성막을 행하였다. 샘플 3에 있어서, 미결정 실리콘 막의 성장 속도는 3.6nm/min이 되고, 인큐베이션 시간은 0분이 되었다.

[0312] 샘플 1에 있어서는, 중첩 인가함으로써, 성장 속도를 향상시키는 것이 실현될 수 있다. 인큐베이션 시간은 0.8분이 되지만, 미결정 실리콘 막의 성장 속도를 가장 빠르게 하는 조건이라고 말할 수 있다.

[0313] 샘플 2에 있어서는, 비교예 1 내지 비교예 3과 비교하여 인큐베이션 시간을 감소시킬 수 있다. 또한, 샘플 3에 있어서는, 고주파 전력을 중첩 인가함으로써, 인큐베이션 시간을 해소하는 것이 실현될 수 있고, 해소함으로써 막질의 균일성을 도모할 수 있다. 샘플 3에 있어서는, 인큐베이션 시간이 해소되기 때문에, 샘플 3의 성장 속도는 성막 속도라고 말할 수 있다. 특히, 1장씩 성막 처리하는 단일 웨이퍼 처리형의 성막 프로세스에서는, 기

판마다 인큐베이션 시간에 대응하는 기다리는 시간이 생기기 때문에, 반도체 장치의 제작 공정 전체에 있어서 슬루풋의 저하를 생길 우려가 있기 때문에, 인큐베이션 시간을 해소하는 것이 대량 생산에 있어 유용하다.

[0314] 즉, 샘플 2의 성막 조건은, 성막 초기에 형성되는 반도체 영역의 품질 및 균일성을 향상시키는 미결정 반도체 막의 성막 조건으로 적합하다고 말할 수 있다. 예를 들면, 샘플 2의 성막 조건을 제 1 성막 조건으로 하여, 제 2 성막 조건으로서 샘플 1의 성막 조건으로 하면, 성막 속도는 느리지만, 품질이 좋은 제 1 성막 조건으로 게이트 절연막 계면 부근의 막의 하부를 형성하고, 그 후, 높은 성막 속도의 제 2 성막 조건으로 바꾸어 막의 상부를 퇴적할 수 있다. 이 경우, 이미 제 2 성막 조건으로 변경하기 전의 제 1 성막 조건에 의하여 핵이 되는 결정립을 포함하는 막이 형성되기 때문에, 제 2 성막 조건의 인큐베이션 시간은 거의 발생하지 않고, 효율 좋게 미결정 반도체 막의 성막을 행할 수 있다.

[0315] 물론, 샘플 2의 성막 조건을 제 1 성막 조건으로 하고, 제 2 성막 조건으로서 비교예 2의 성막 조건으로 하여 미결정 실리콘 막을 형성하는 것도 유용하다. 즉, 성막 초기는, 2개의 고주파 전력을 중첩 인가함으로써 성막하고, 한쪽의 고주파 전력의 투입을 정지한 성막 조건으로 바꾸어 계속해서 미결정 반도체 막의 형성을 행하였다.

[0316] 또한, 상기 실험결과를 도 39에 도시한다. 중첩 인가시켜 성막을 행한 샘플 1 내지 샘플 3에 있어서는, 미결정 실리콘 막의 막 두께의 면내 분포가 $\pm 3\%$ 미만으로 억제되어, 양호한 막 두께 균일성도 나타낸다.

도면의 간단한 설명

[0317] 도 1a 내지 도 1d는 본 발명의 제작 방법을 설명하는 단면도.

[0318] 도 2a 내지 도 2d는 본 발명의 제작 방법을 설명하는 단면도.

[0319] 도 3a 내지 도 3c는 본 발명의 제작 방법을 설명하는 단면도.

[0320] 도 4는 본 발명의 제작 방법을 설명하는 상면도.

[0321] 도 5는 미결정 실리콘 막을 형성하는 공정을 설명하는 타임 차트의 일례를 도시하는 도면.

[0322] 도 6은 복수의 고주파 전력이 하나의 전극에 인가되는 반응실의 구성을 설명하는 도면.

[0323] 도 7은 제 1 고주파 전원의 고주파 전력과, 제 2 고주파 전원의 고주파 전력을 중첩시키는 경우의 과형(波形)의 일례를 도시하는 모식도.

[0324] 도 8은 제 1 고주파 전원의 고주파 전력과, 제 2 고주파 전원의 고주파 전력을 중첩시키는 경우의 과형의 일례를 도시하는 모식도.

[0325] 도 9는 복수의 고주파 전력이 하나의 전극에 인가되는 반응실에 있어서의 전극 구조의 다른 일례를 도시하는 도면.

[0326] 도 10은 3개의 처리실을 구비한 멀티 챔버 방식의 CVD 장치의 구성을 도시하는 상면도.

[0327] 도 11은 4개의 처리실을 구비한 멀티 챔버 방식의 CVD 장치의 구성을 도시하는 상면도.

[0328] 도 12a 내지 도 12d는 본 발명에 적용할 수 있는 다계조 마스크를 설명하는 도면.

[0329] 도 13a 및 도 13b는 본 발명의 제작 공정의 단면도를 도시하는 도면.

[0330] 도 14a 내지 도 14c는 본 발명의 제작 공정의 단면도를 도시하는 도면.

[0331] 도 15a 및 도 15b는 본 발명의 제작 공정의 단면도를 도시하는 도면.

[0332] 도 16a 내지 도 16c는 본 발명의 제작 공정의 상면도를 도시하는 도면.

[0333] 도 17은 액정 표시 장치의 일례를 설명하는 도면.

[0334] 도 18은 액정 표시 장치의 일례를 설명하는 도면.

[0335] 도 19는 액정 표시 장치의 일례를 설명하는 도면.

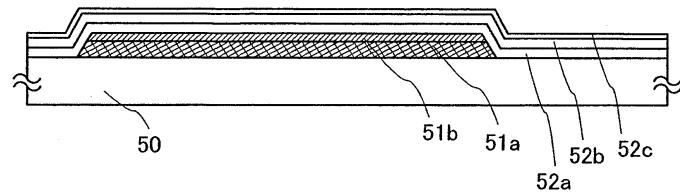
[0336] 도 20은 액정 표시 장치의 일례를 설명하는 도면.

[0337] 도 21은 액정 표시 장치의 일례를 설명하는 도면.

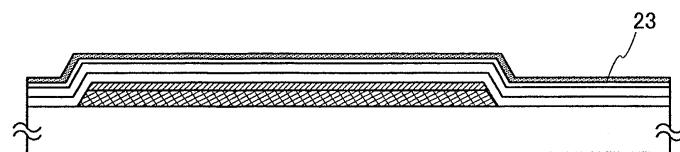
- [0338] 도 22는 액정 표시 장치의 일례를 설명하는 도면.
- [0339] 도 23은 액정 표시 장치의 일례를 설명하는 도면.
- [0340] 도 24는 액정 표시 장치의 일례를 설명하는 도면.
- [0341] 도 25는 액정 표시 장치의 일례를 설명하는 도면.
- [0342] 도 26은 액정 표시 장치의 일례를 설명하는 도면.
- [0343] 도 27은 본 발명의 액정 표시 장치를 설명하는 도면.
- [0344] 도 28은 본 발명의 액정 표시 장치를 설명하는 도면.
- [0345] 도 29는 액정 표시 장치의 일례를 설명하는 도면.
- [0346] 도 30은 액정 표시 장치의 일례를 설명하는 도면.
- [0347] 도 31a 및 도 31b는 발광 장치의 제작 방법의 일례를 설명하는 단면도.
- [0348] 도 32a 내지 도 32c는 발광 장치에 적용할 수 있는 화소를 설명하는 단면도.
- [0349] 도 33a 내지 도 33c는 표시 패널을 설명하는 사시도.
- [0350] 도 34a 내지 도 34d는 발광 장치를 사용한 전자 기기를 설명하는 사시도.
- [0351] 도 35는 발광 장치를 사용한 전자 기기를 설명하는 도면.
- [0352] 도 36은 발광 장치의 구성을 설명하는 블록도.
- [0353] 도 37a 및 도 37b는 표시 패널을 설명하는 상면도 및 단면도.
- [0354] 도 38a 및 도 38b는 표시 패널을 설명하는 상면도 및 단면도.
- [0355] 도 39는 다른 주파수의 고주파 전력을 중첩시켜 성막을 얻은 실험 결과를 도시하는 도면.
- [0356] <도면의 주요 부분에 대한 부호의 설명>
- [0357] 23: 미결정 반도체 막
- [0358] 50: 기판
- [0359] 51a: 제 1 도전층
- [0360] 51b: 제 2 도전층
- [0361] 52a: 게이트 절연막
- [0362] 52b: 게이트 절연막
- [0363] 52c: 게이트 절연막
- [0364] 53: 미결정 반도체 막
- [0365] 54: 베퍼층
- [0366] 55: 일 도전형을 부여하는 불순물이 첨가된 반도체 막

도면

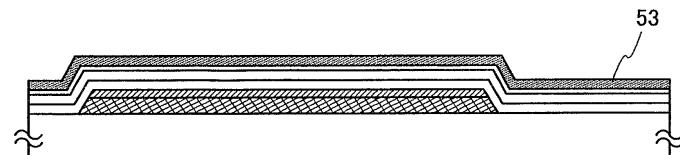
도면1a



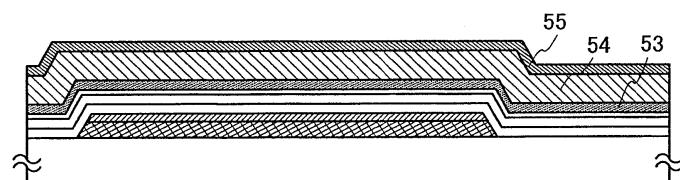
도면1b



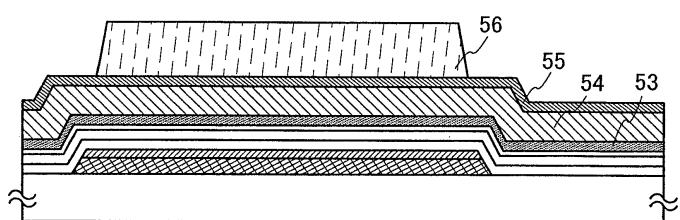
도면1c



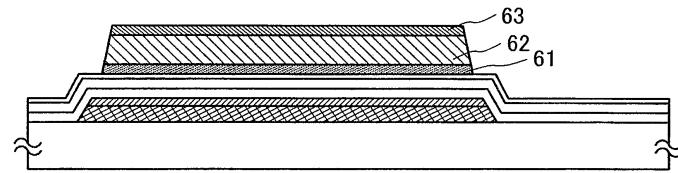
도면1d



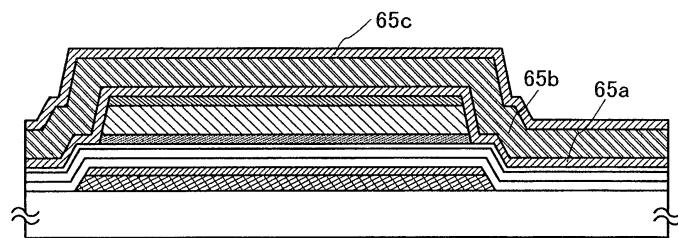
도면2a



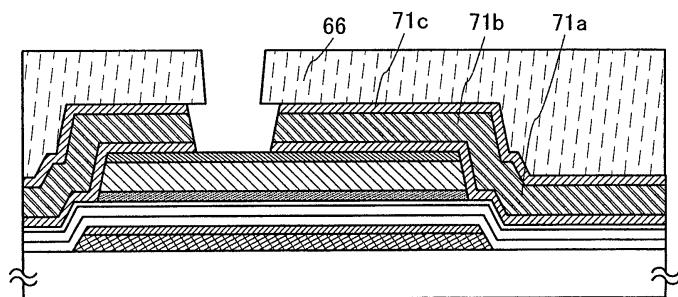
도면2b



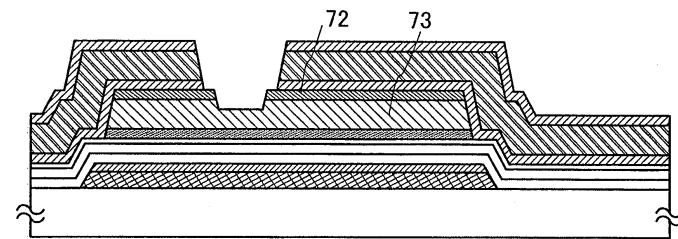
도면2c



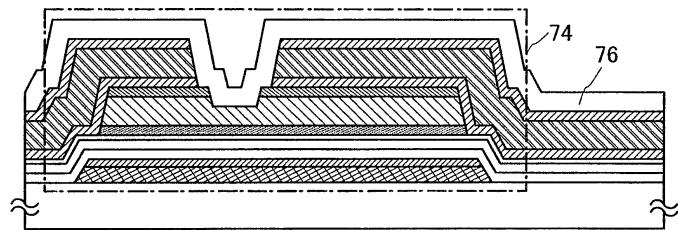
도면2d



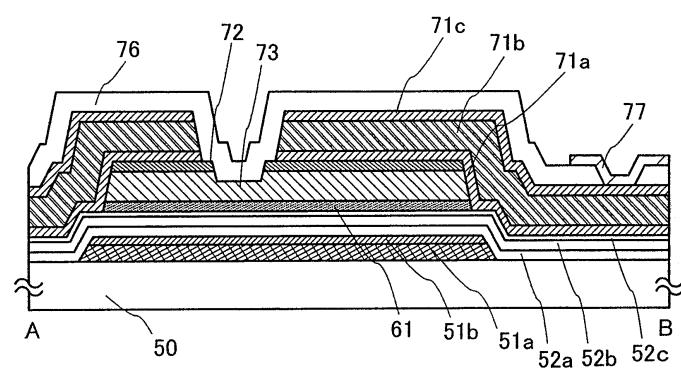
도면3a



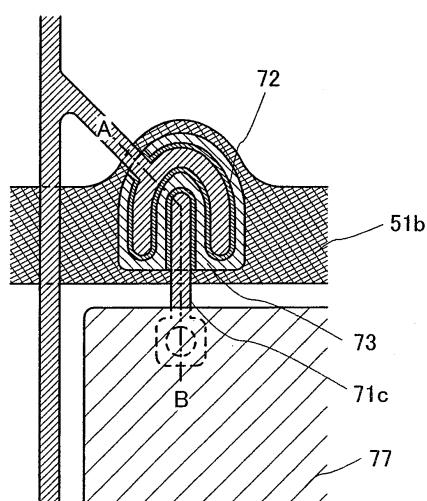
도면3b



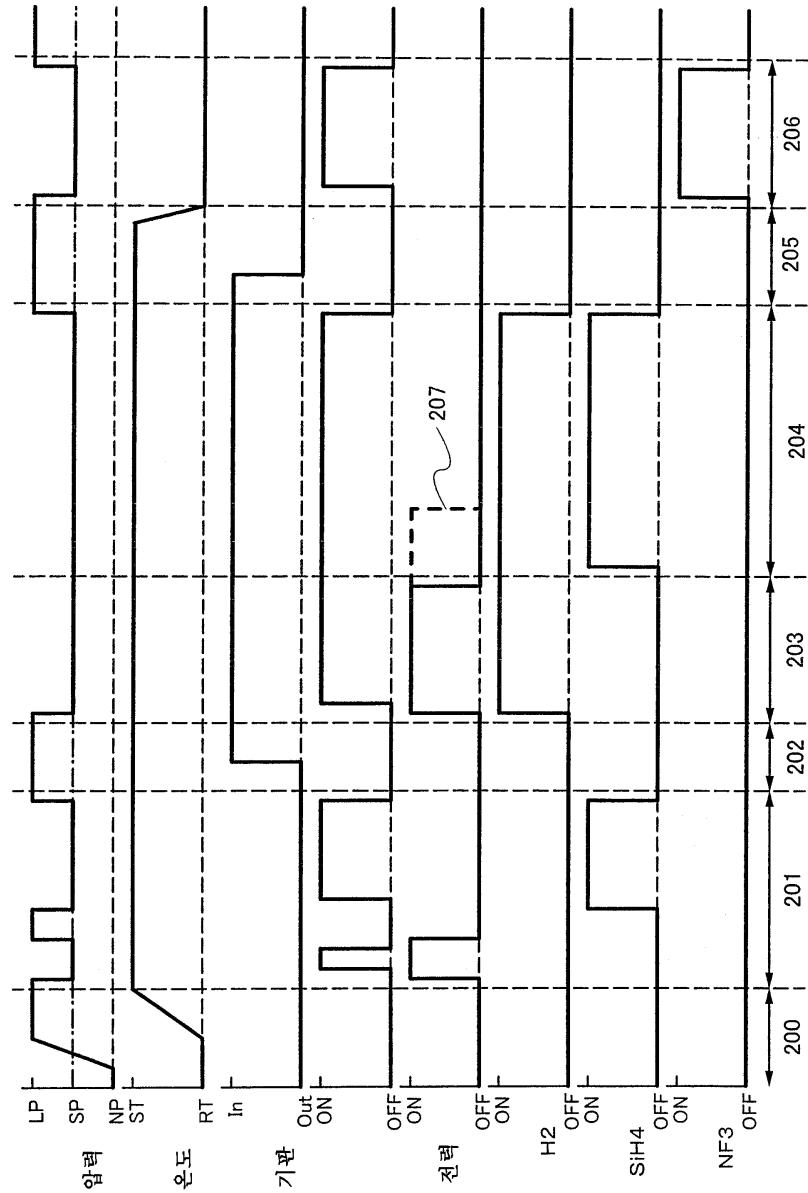
도면3c



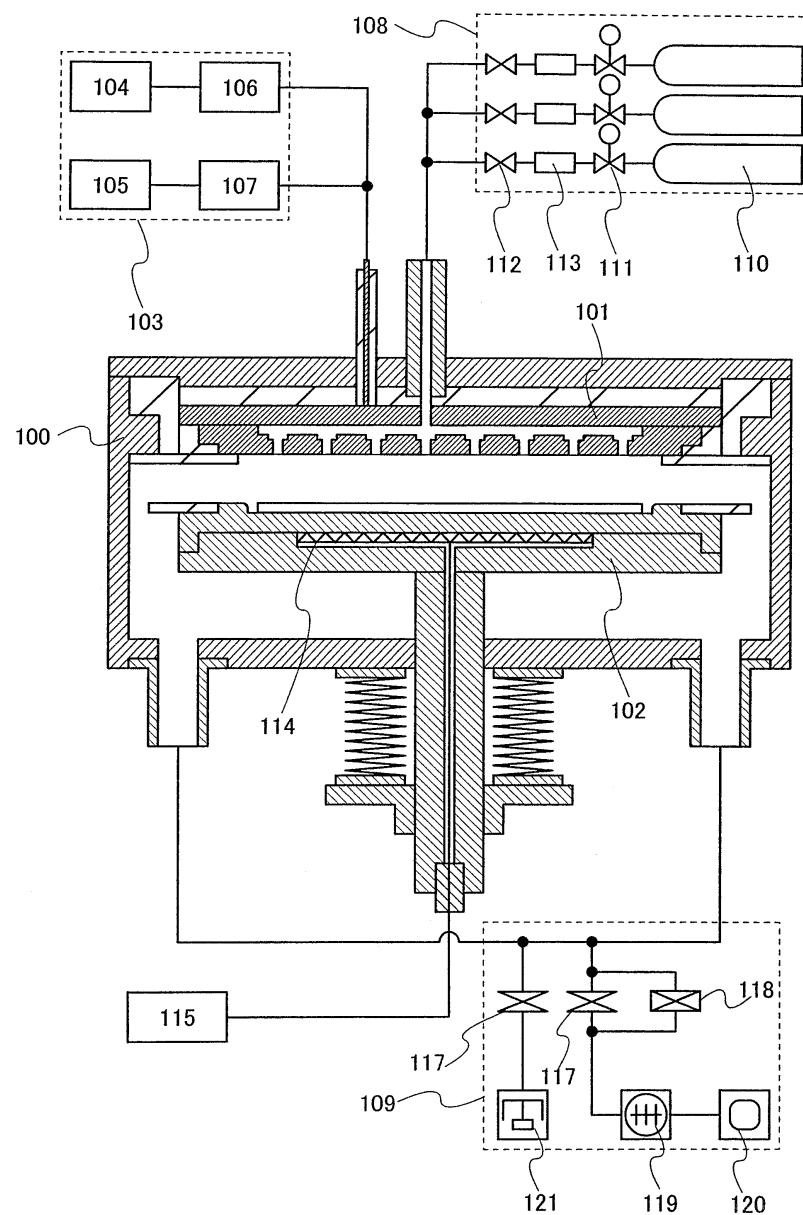
도면4



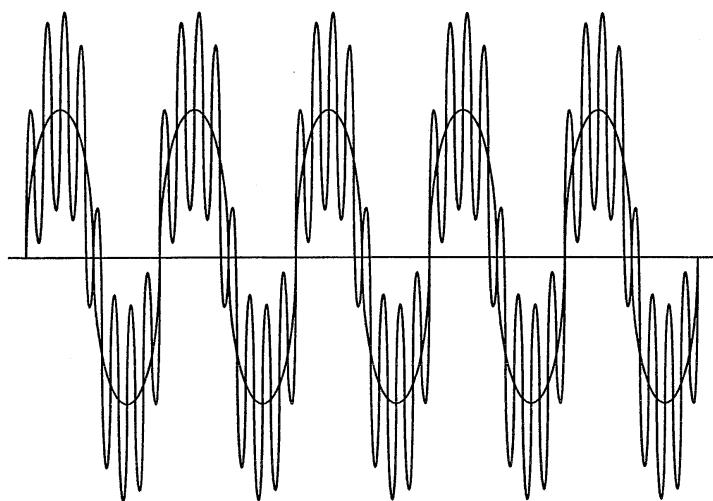
도면5



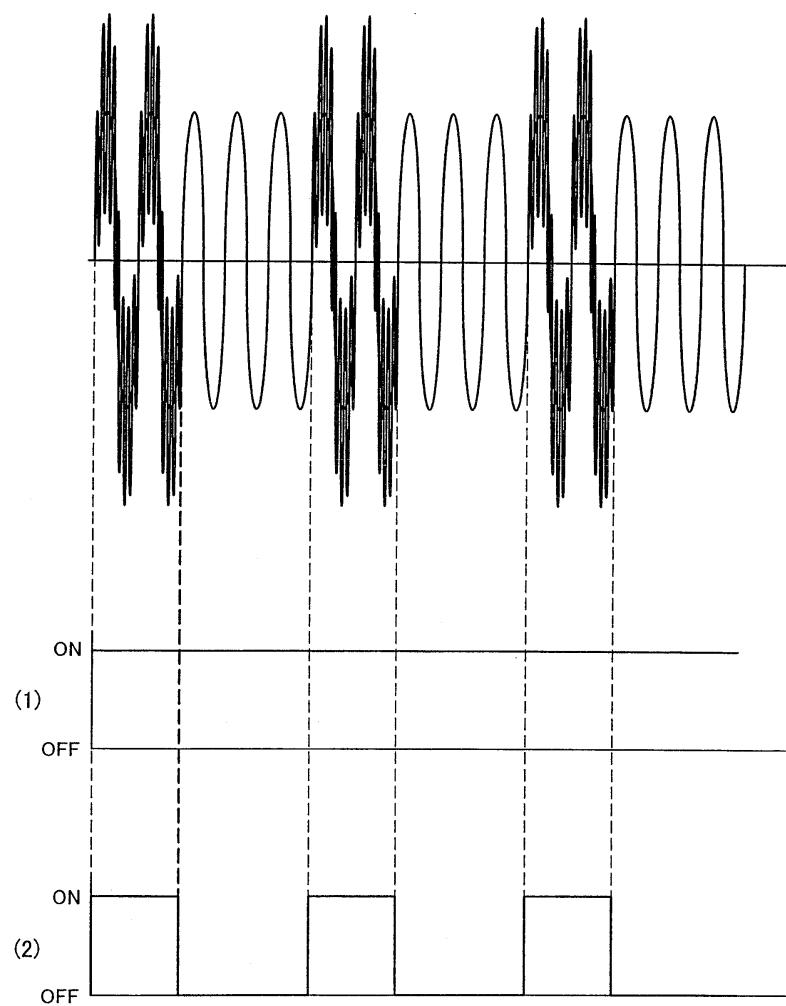
도면6



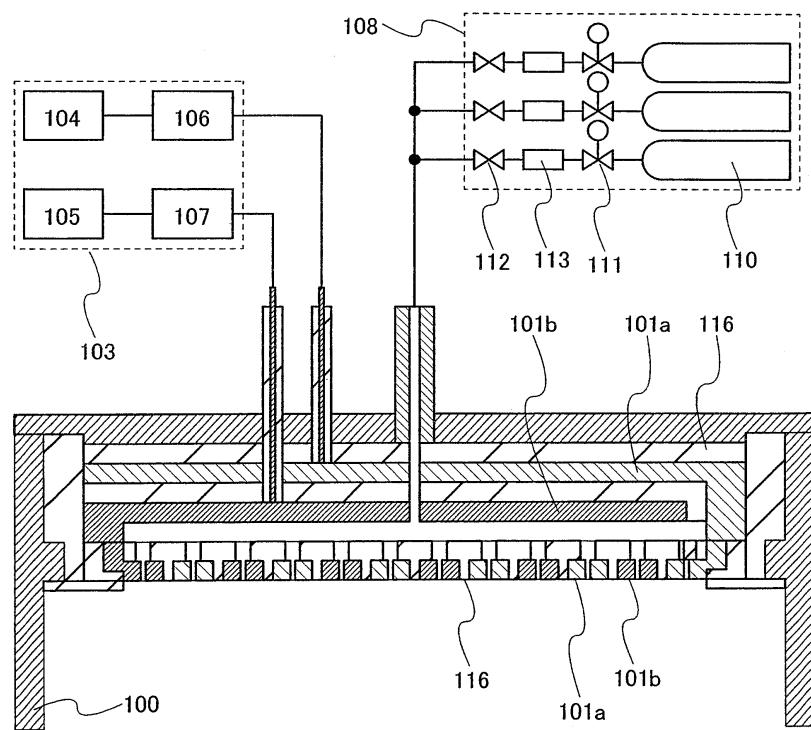
도면7



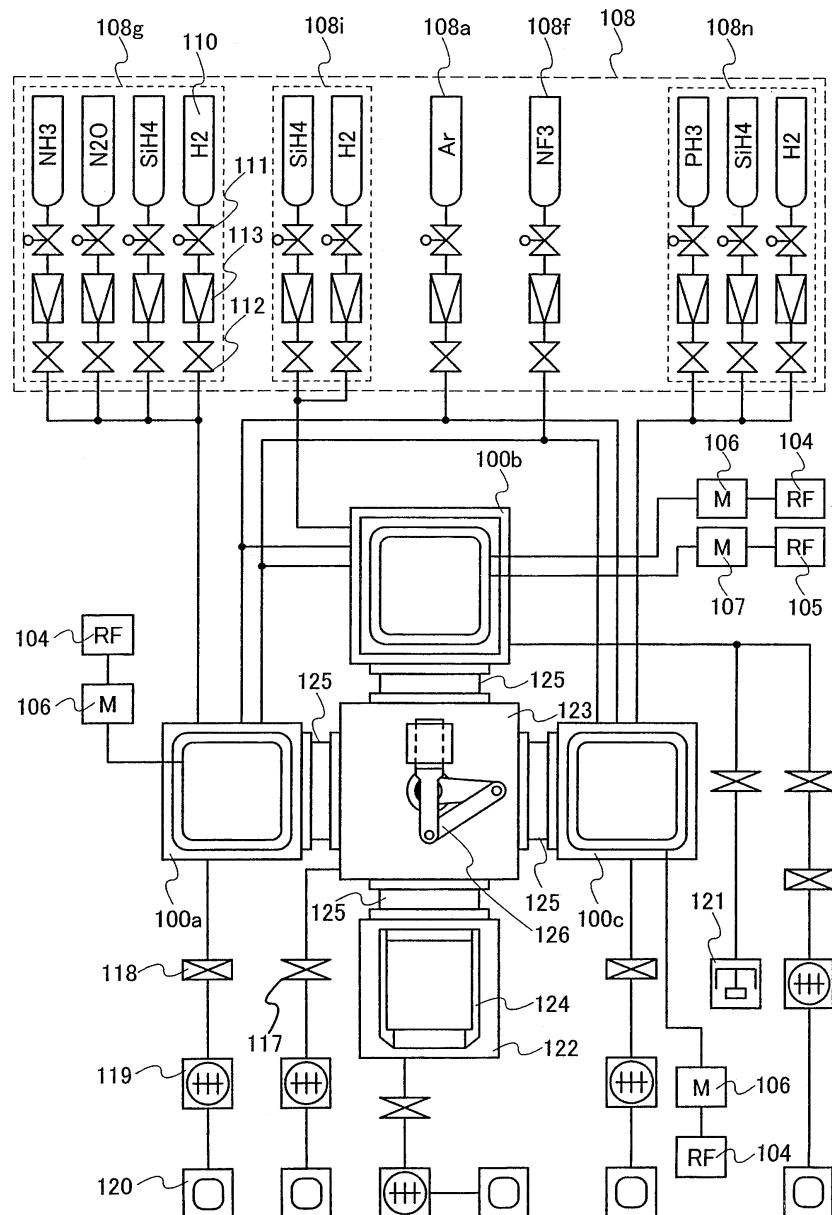
도면8



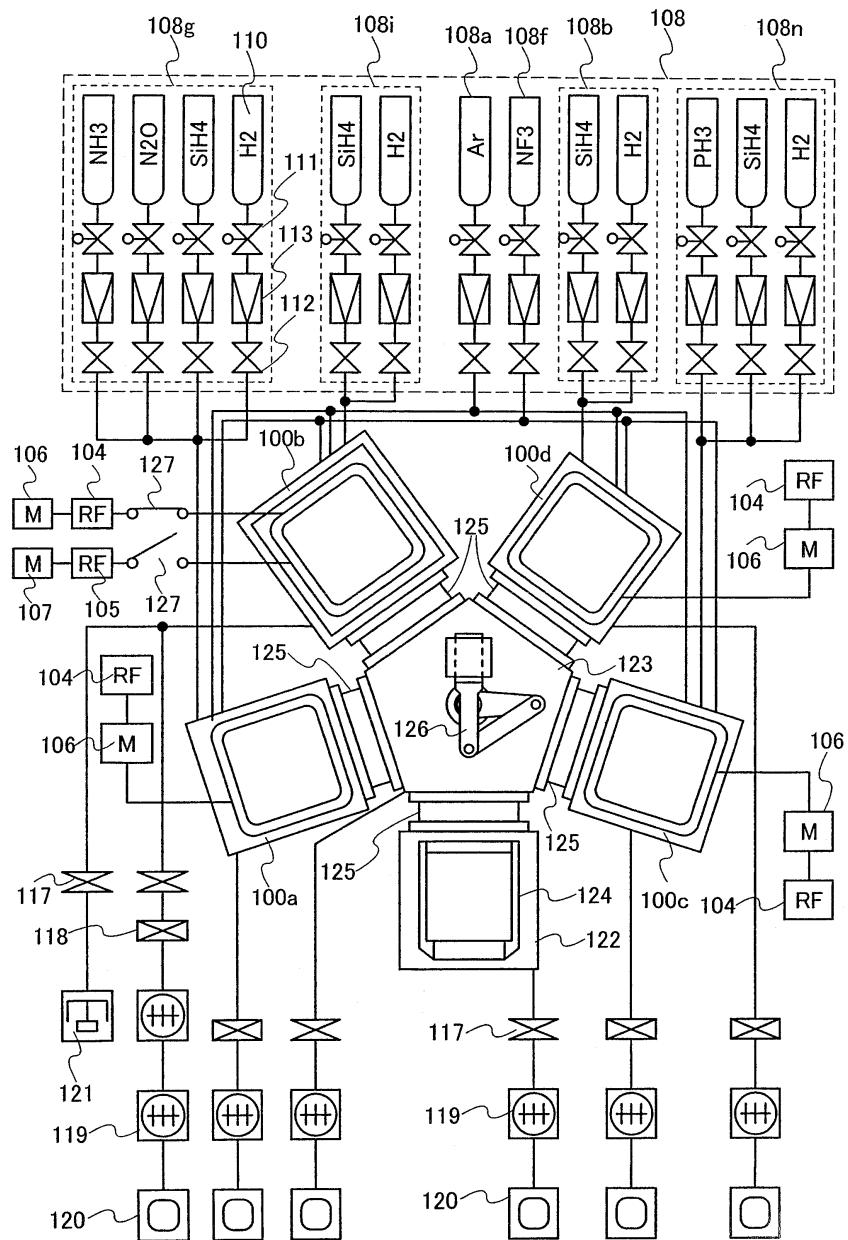
도면9



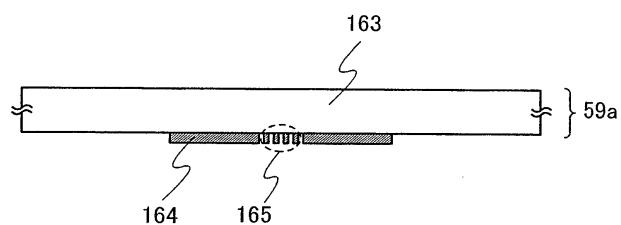
도면10



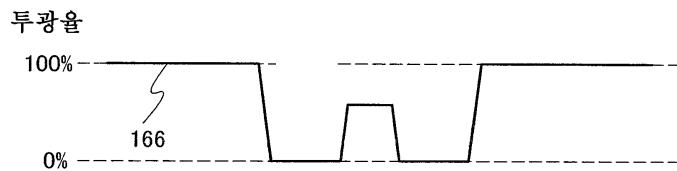
도면11



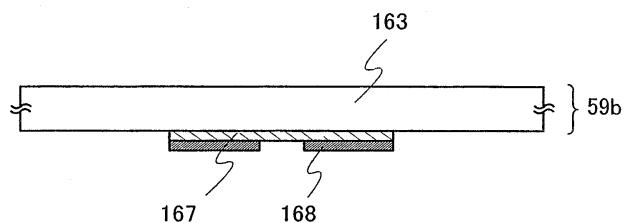
도면12a



도면12b



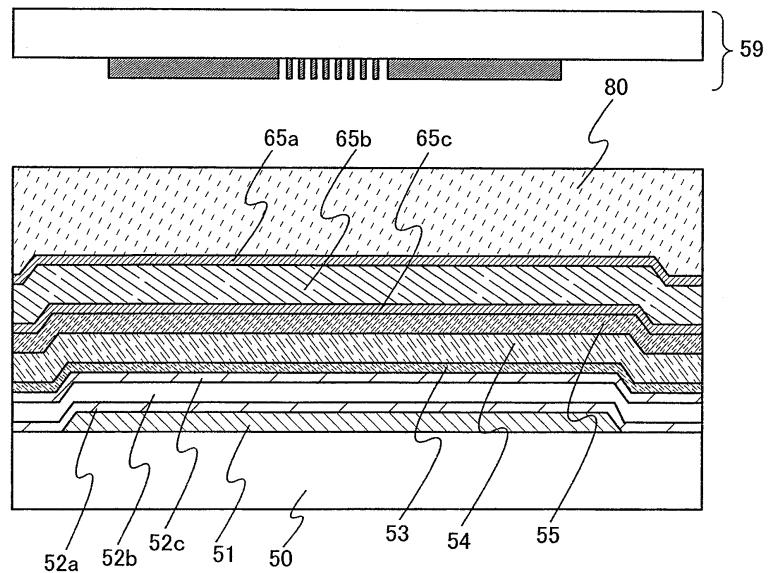
도면12c



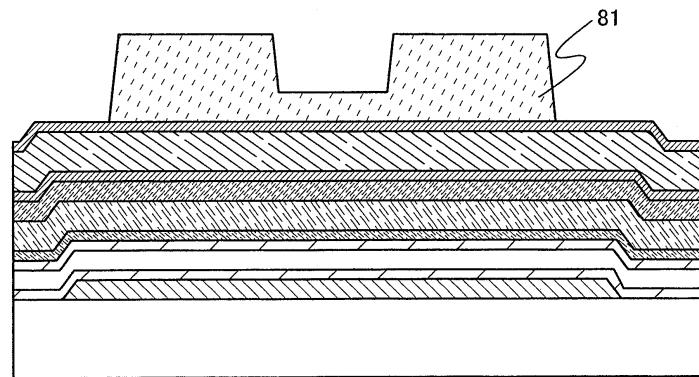
도면12d



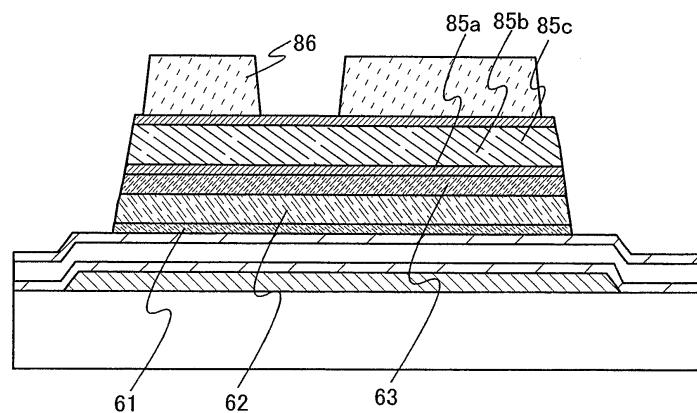
도면13a



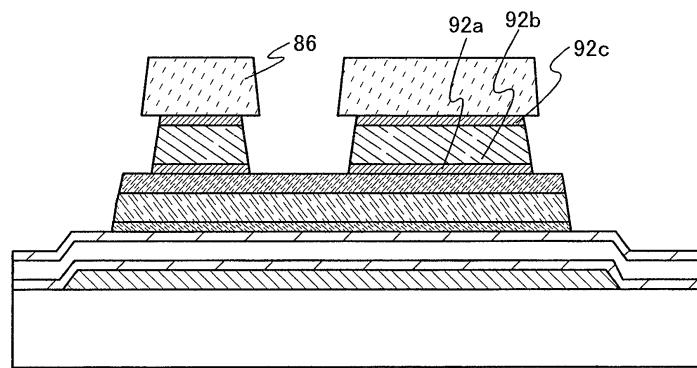
도면13b



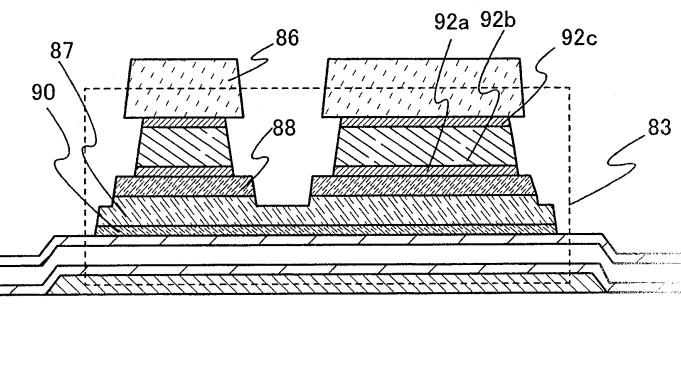
도면14a



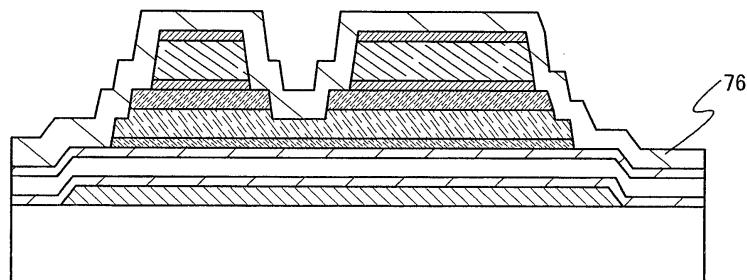
도면14b



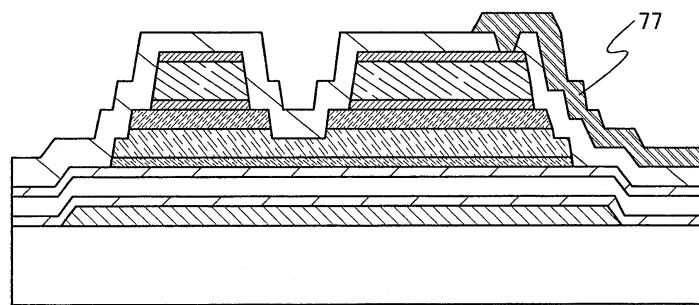
도면14c



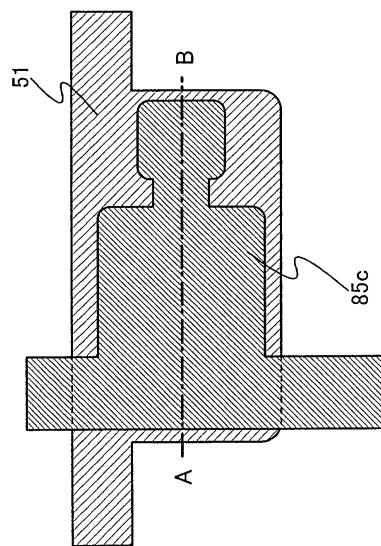
도면15a



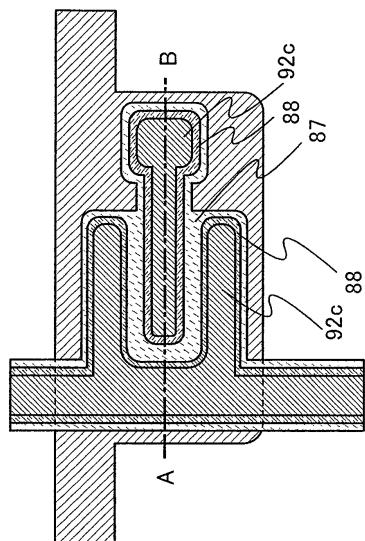
도면15b



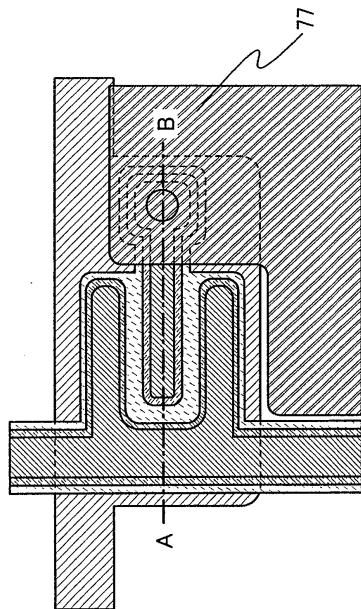
도면16a



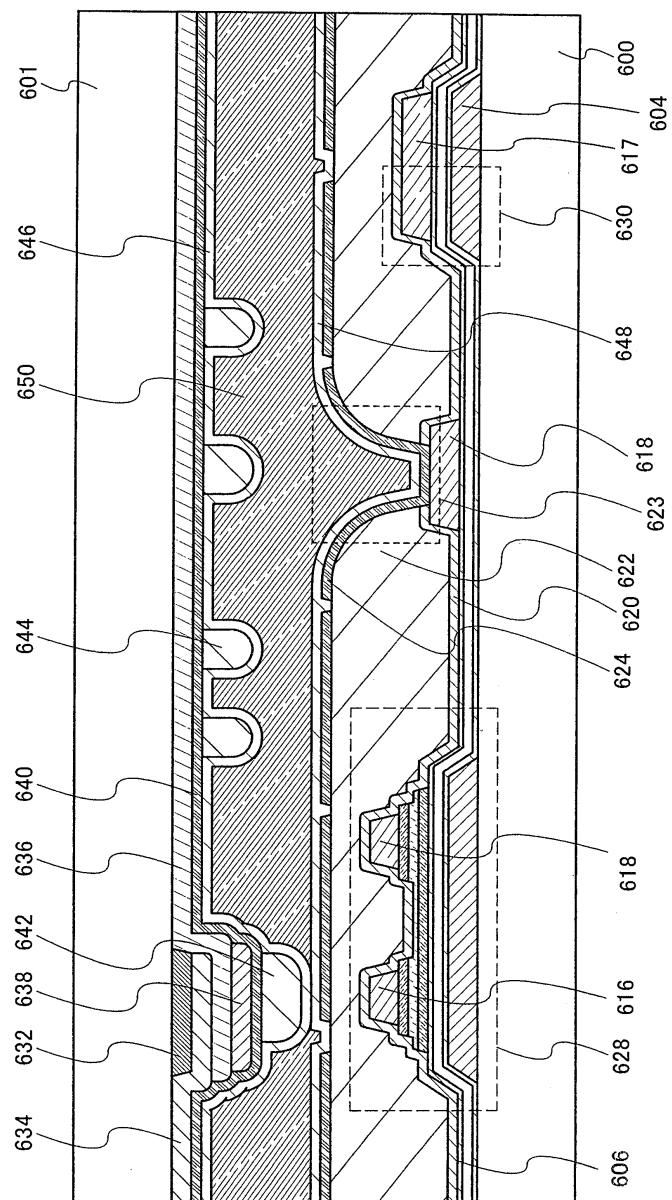
도면16b



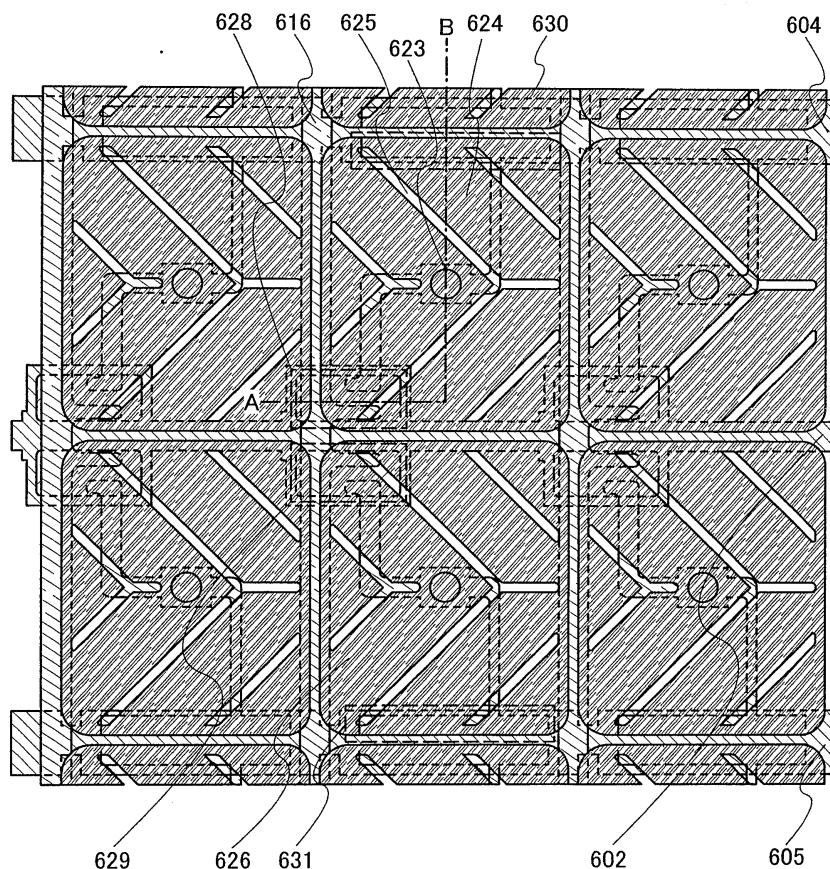
도면 16c



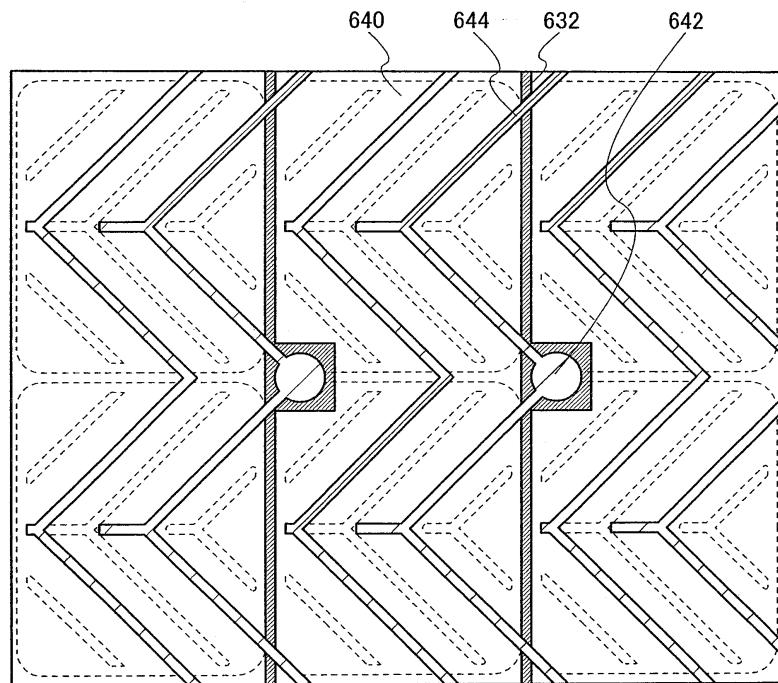
도면17



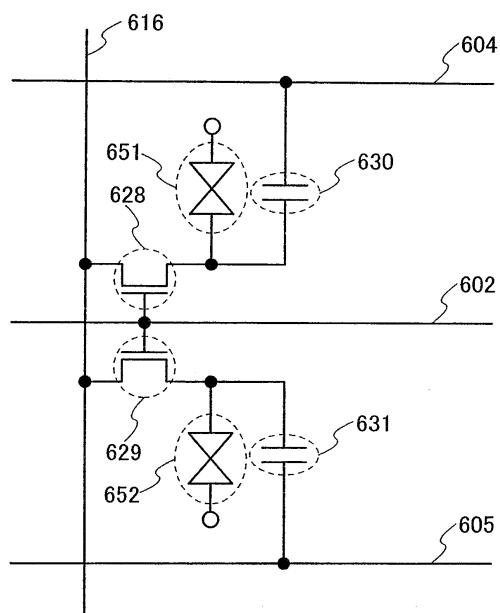
도면18



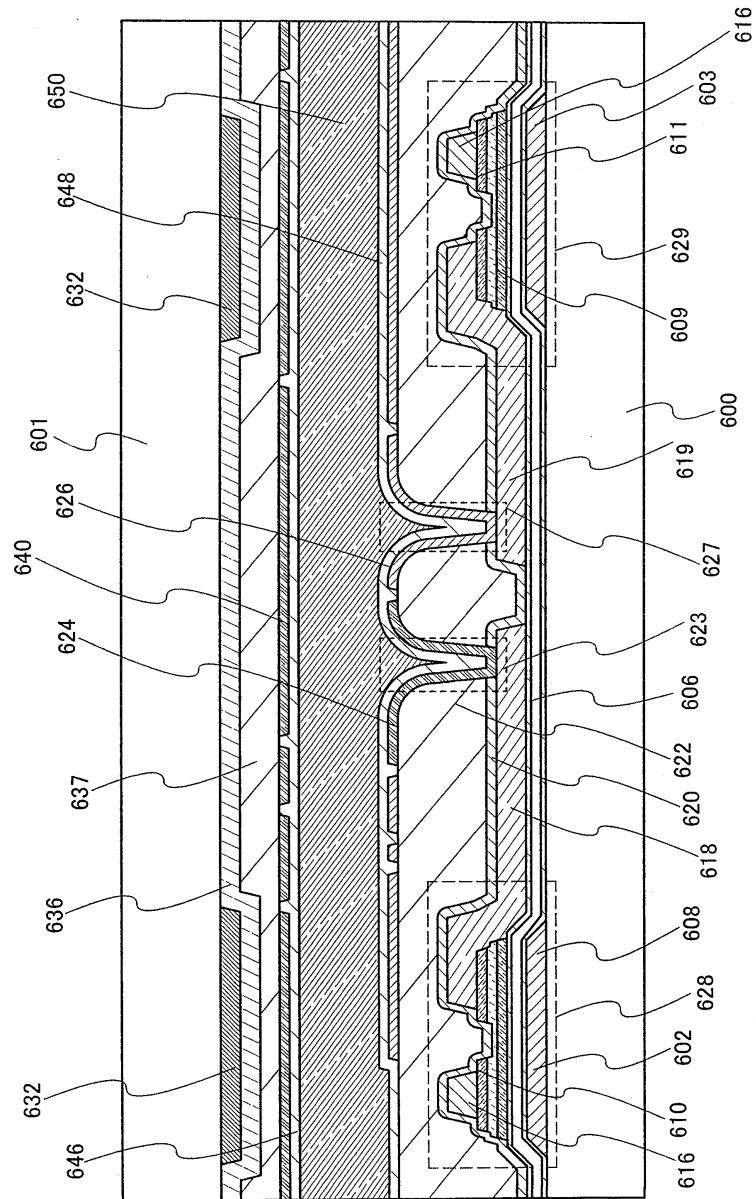
도면19



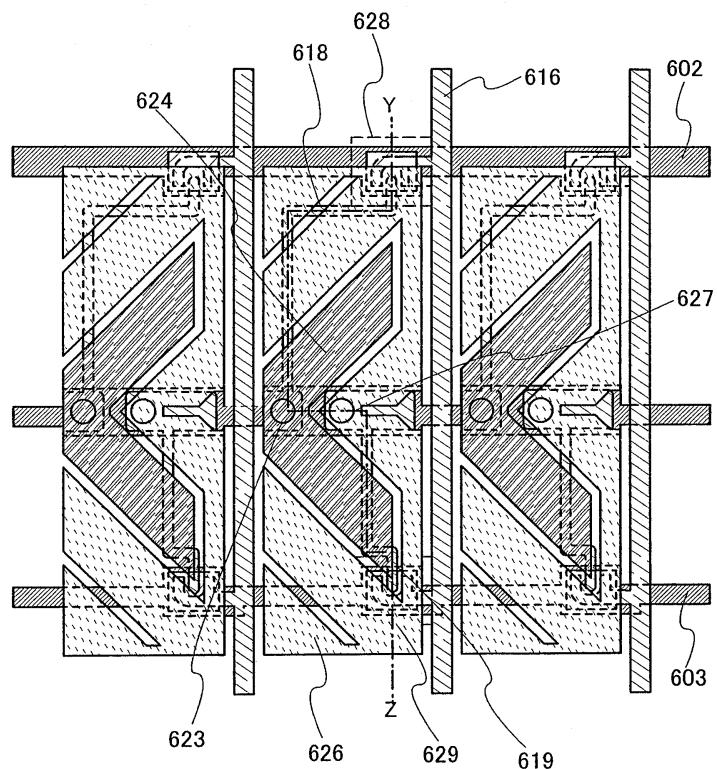
도면20



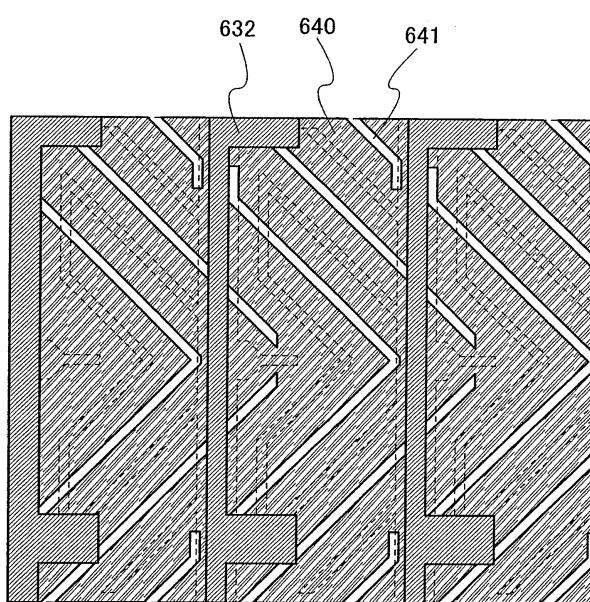
도면21



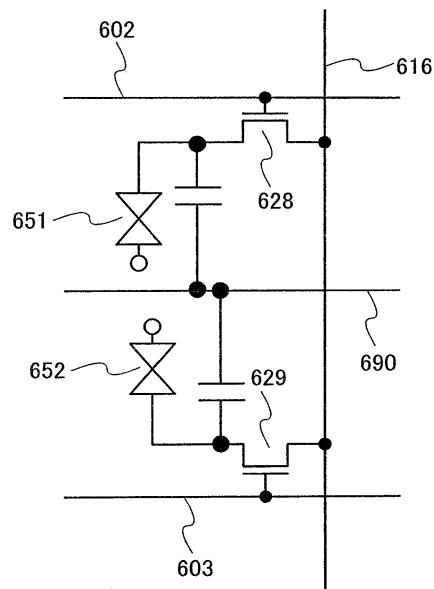
도면22



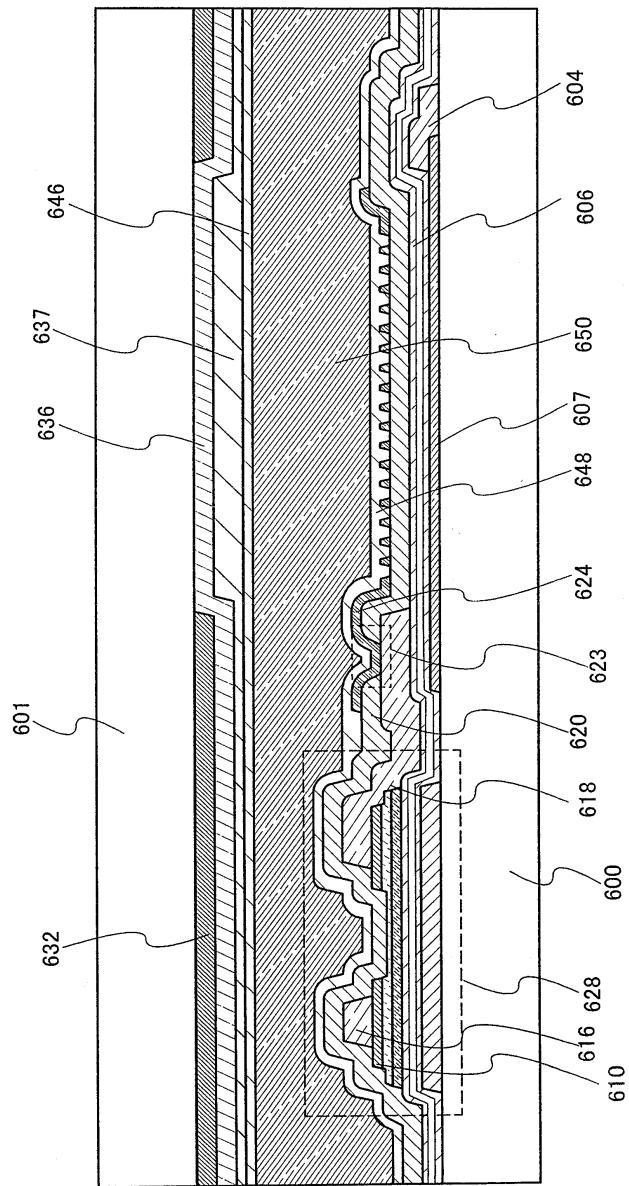
도면23



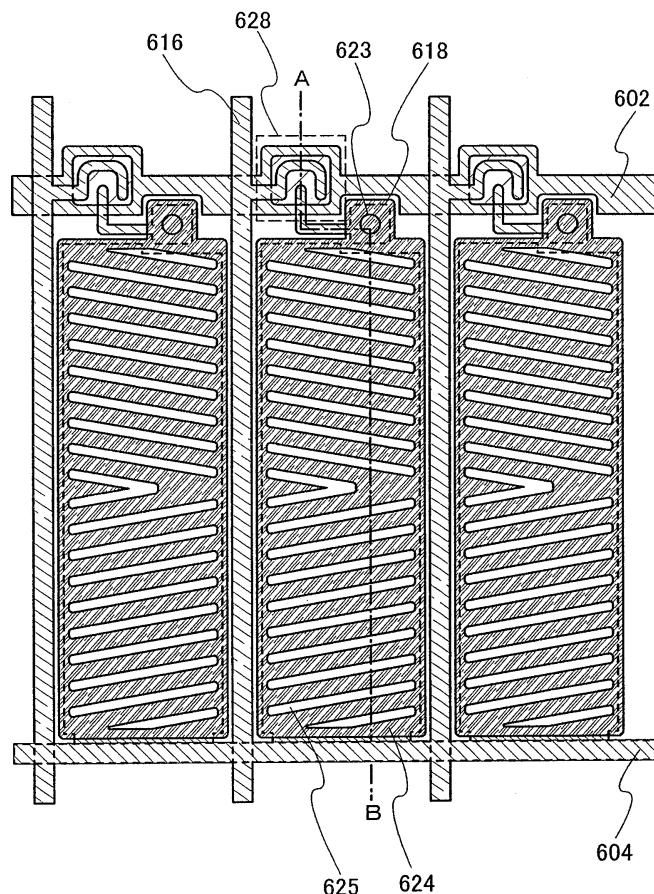
도면24



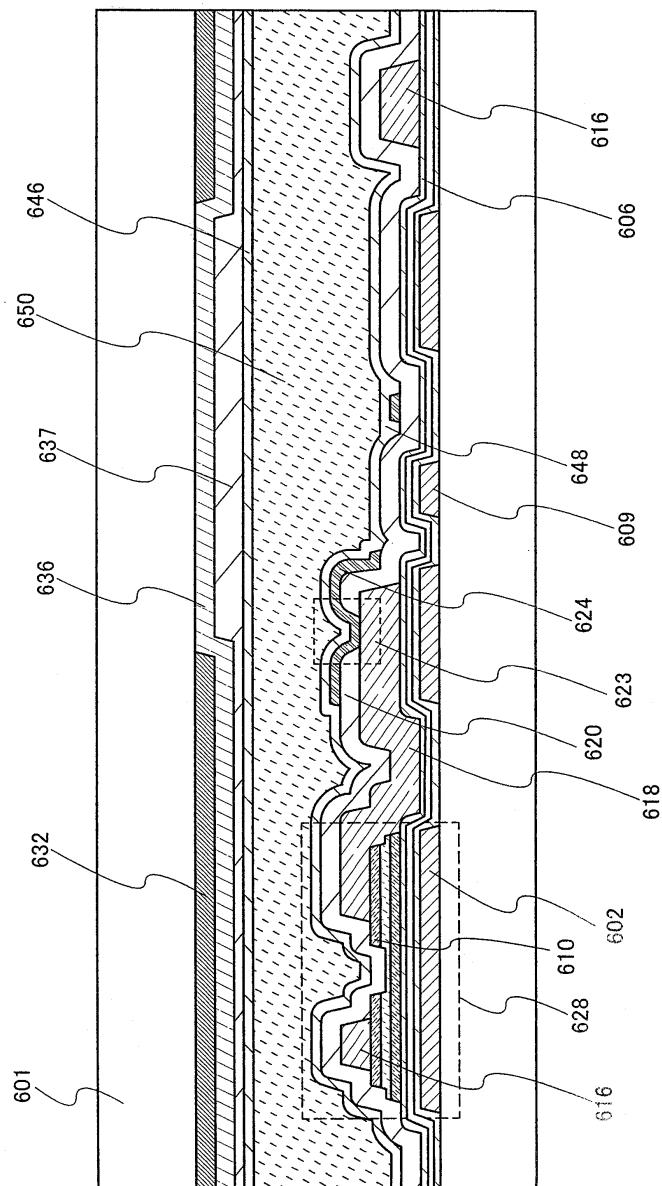
도면25



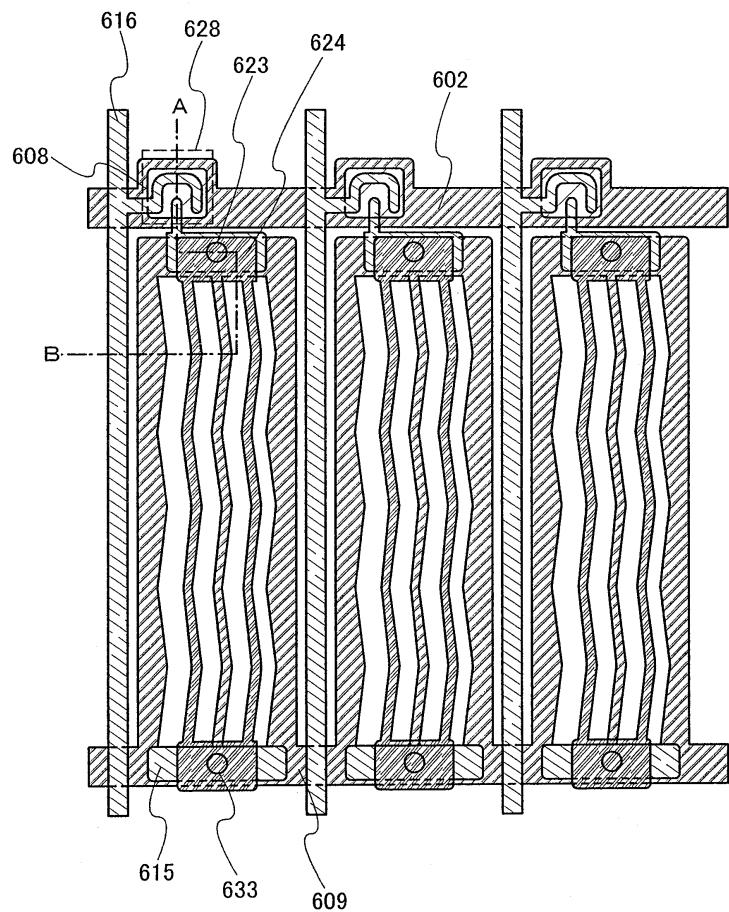
도면26



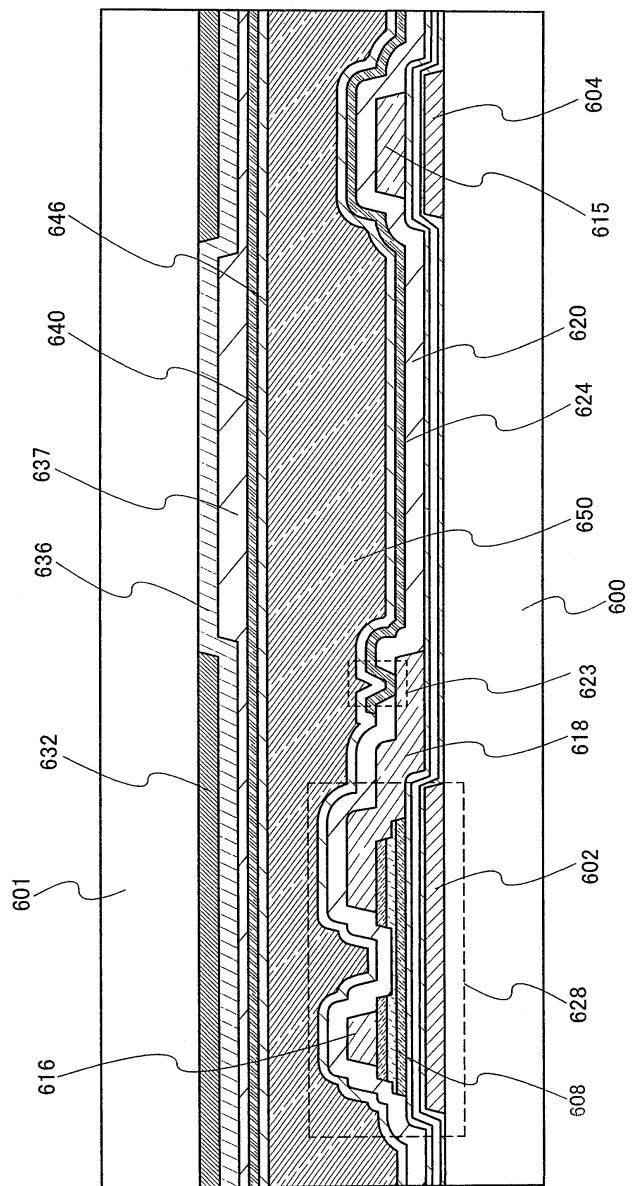
도면27



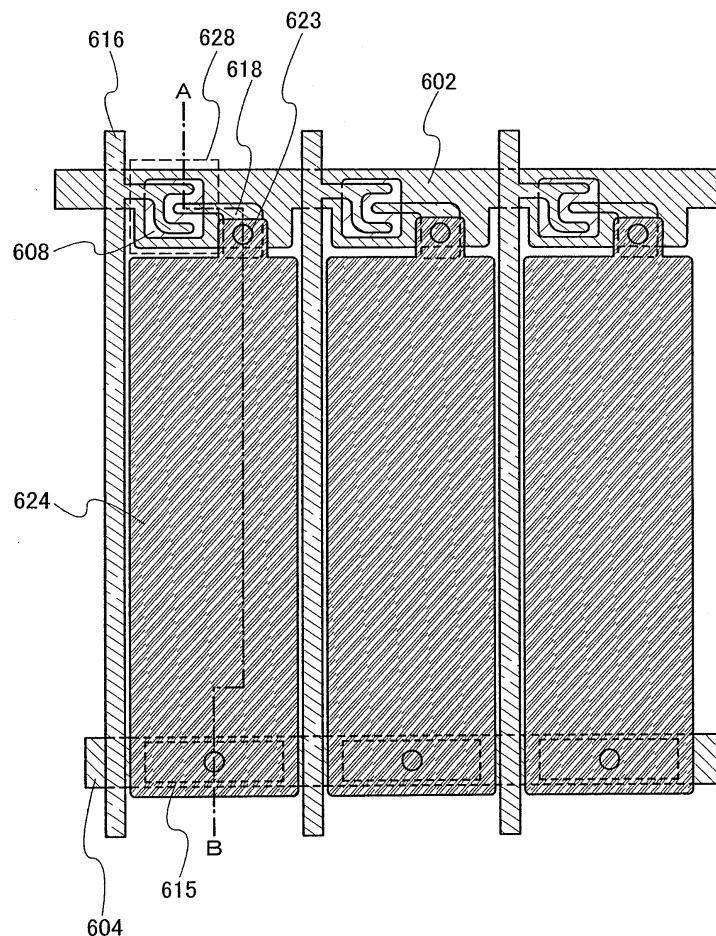
도면28



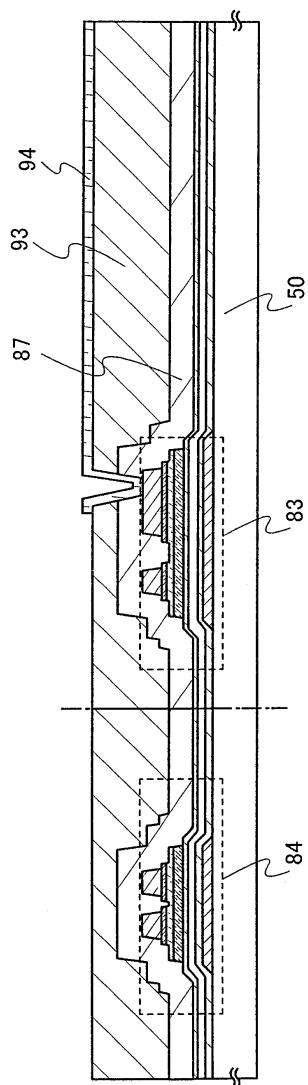
도면29



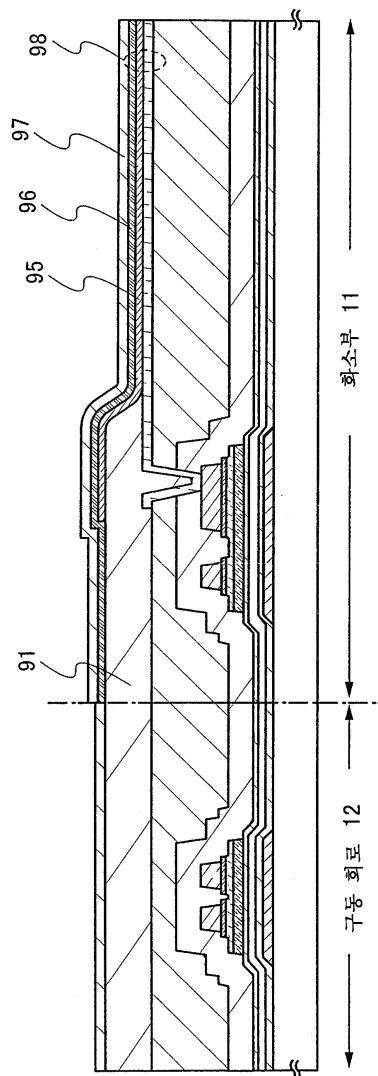
도면30



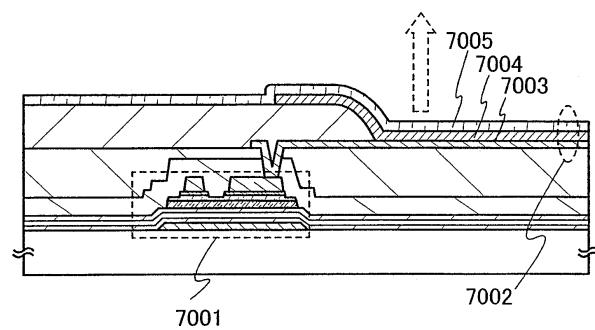
도면31a



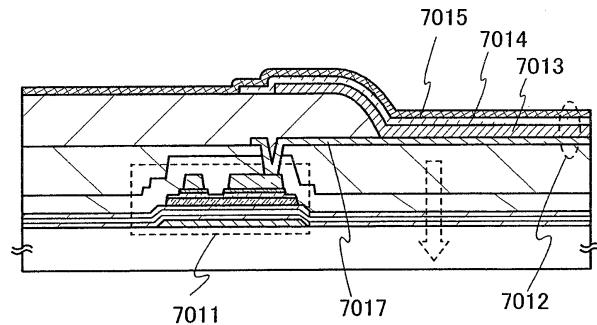
도면31b



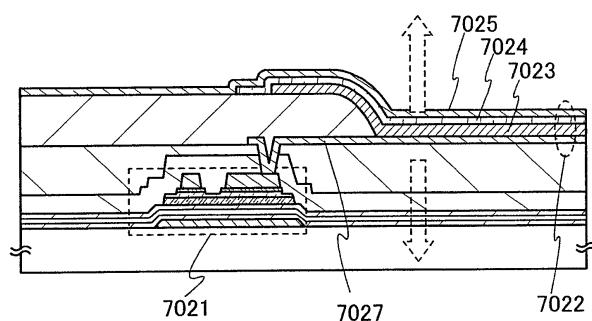
도면32a



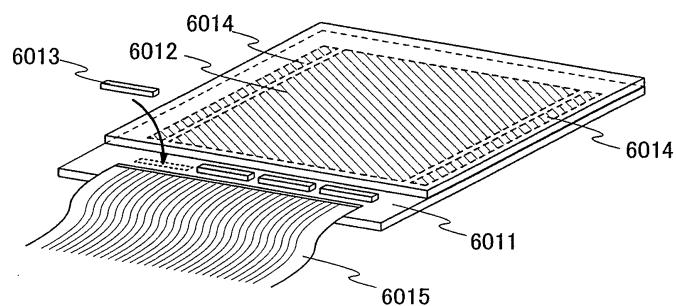
도면32b



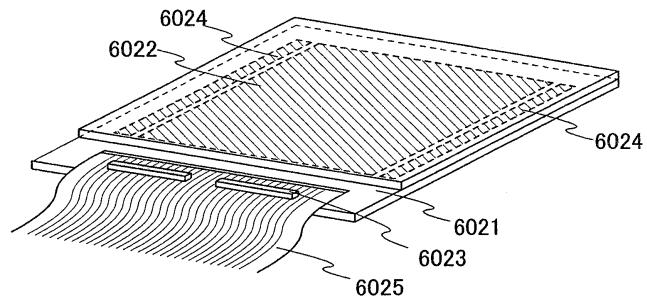
도면32c



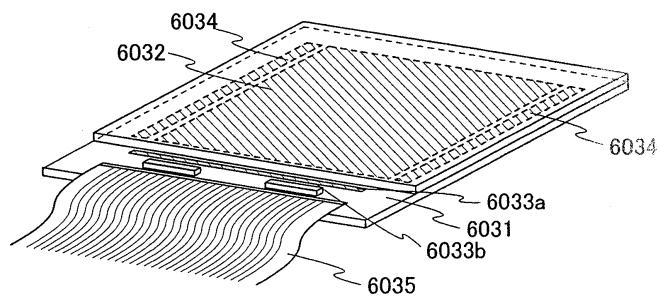
도면33a



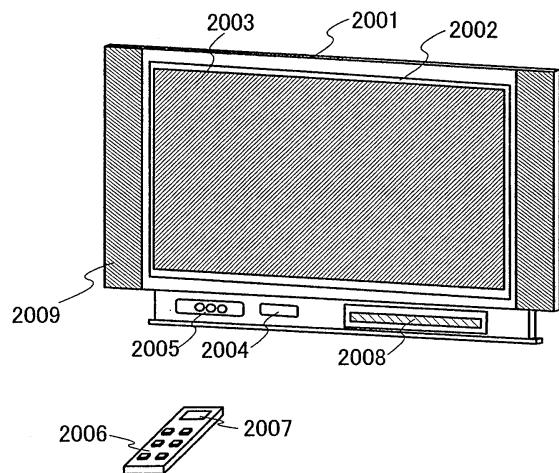
도면33b



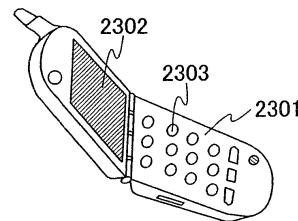
도면33c



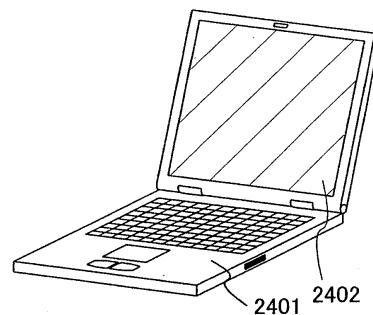
도면34a



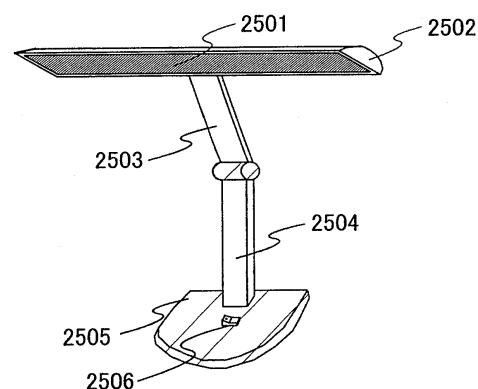
도면34b



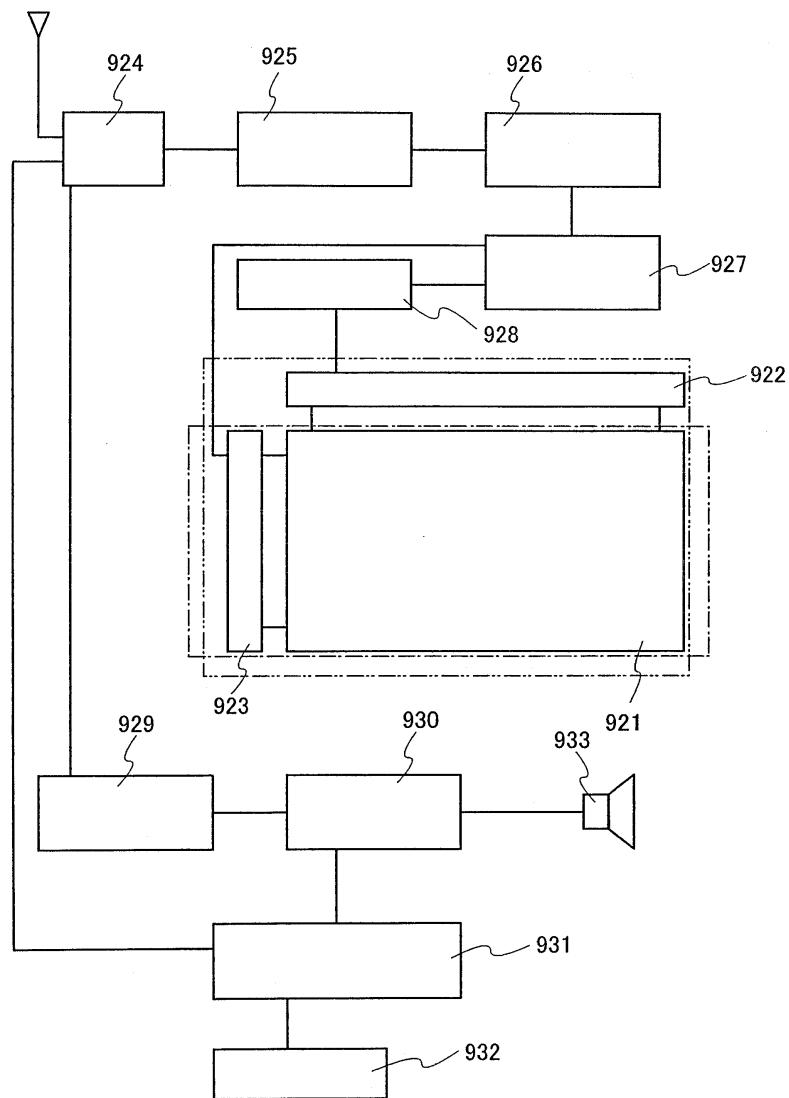
도면34c



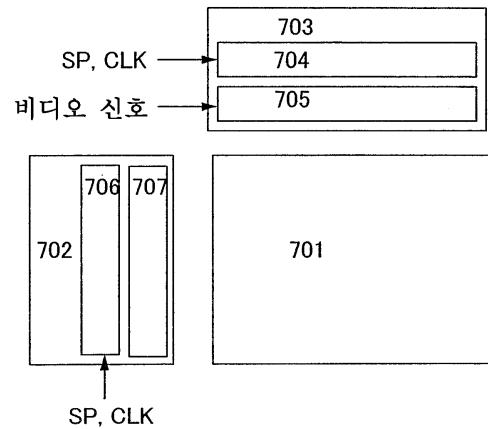
도면34d



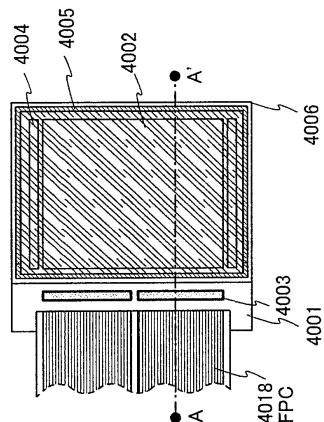
도면35



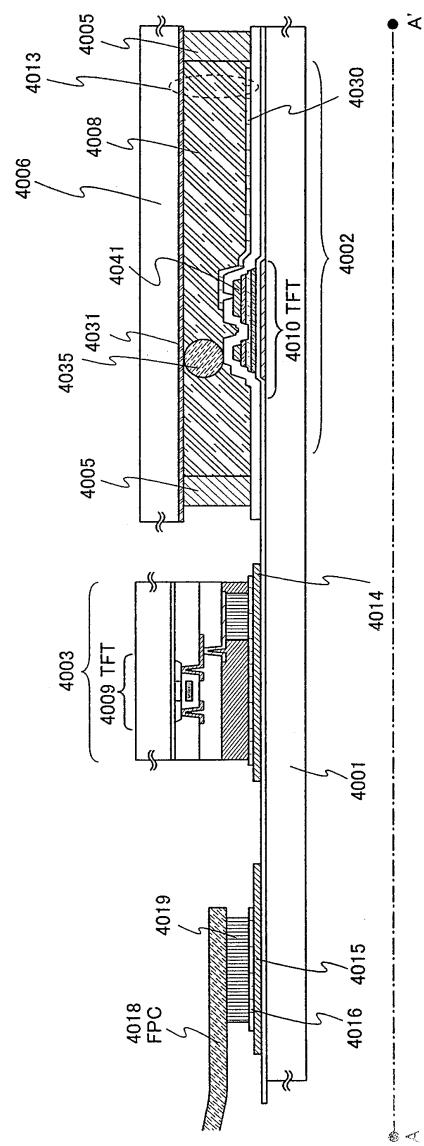
도면36



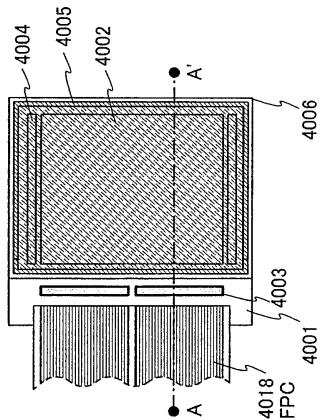
도면37a



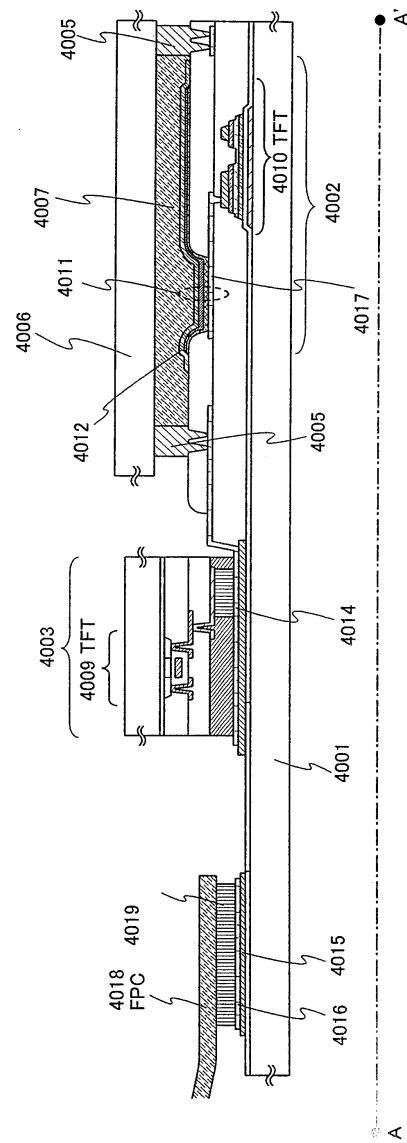
도면37b



도면38a



도면38b



도면39

	SiH4 유량	H2 유량	성막 압력	전원 주파수	RF 파워	전극 간 갭	인큐베이션 시간	성장률 (데포율)	막 두께 분포
< 단위 >	[sccm]	[sccm]	[Pa]	[MHz]	[W]	[mm]	[min]	nm/min	[± %]
비교예 1	4	400	100	60	15	20	0.7	2.8	1.3
비교예 2	4	400	100	13.56	80	30	0.4	4.8	1.3
샘플 1	4	400	100	13.56/60	60/20	30	0.8	6.3	1.8
샘플 2	4	400	100	13.56/60	40/40	30	0.3	5.5	2.1
샘플 3	4	400	100	13.56/60	20/60	30	0.0	3.6	1.7
비교예 3	4	400	100	60	80	30	0.6	3.3	3.1