

FEDERÁLNY ÚRAD
PRE VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVEDČENIU

269 598

(11)

(13) B1

(51) Int. Cl.⁴
G 06 F 12/02

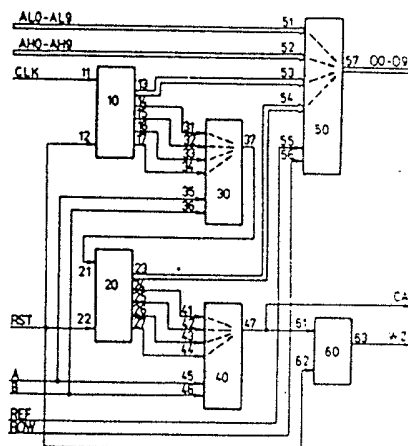
(21) PV 4362-88.5
(22) Prihlásené 22 06 88

(40) Zverejnené 12 09 89
(45) Vydané 29 01 91

(75) Autor vynálezu KIRNER JOZEF ing.,
LAJDA JAROSLAV ing., ŽILINA

(54) Generátor adresy pre dynamické pamäte

(57) Riešeným problémom je zapojenie generátora adresy pre dynamické pamäte, ktorý zabezpečuje generovanie adresných bitov pre dynamické pamäte 16Kl, 64Kl, 256Kl a 1Ml vo všetkých režimoch ich činnosti a ktorý zabezpečuje indikáciu vykonávania inicializačného zápisu v pamäťovom zariadení so samočinnou detekciou a opravou chýb. Podstatou riešenia je zapojenie, ktoré generuje adresný znak o dĺžke 10 bitov, signál indikácie vykonávania inicializačného zápisu v pamäťovom zariadení a signál prenosu nahor. Zapojenie, ktoré je možné realizovať ako monolitický integrovaný obvod na báze hradlového poľa HP 200 je určené pre použitie vo všetkých číslicových pamäťových zariadeniach v mikropočítačoch a minipočítačoch, ktoré pre svoju činnosť využívajú dynamické pamäťové integrované obvody, ďalej v číslicových obvodoch, ktoré využívajú asynchrónne binárne čítače s funkciou počítania vpred s nastaviteľnou dĺžkou 14, 16, 18 a 20 bitov a ďalej v číslicových obvodoch, ktoré využívajú dvojkanálový desaťbitový multiplexer.



Vynález sa týka generátora adresy pre dynamické pamäte 16K1, 64K1, 256K1 a 1M1.

V doteraz známych pamäťových zariadeniach s dynamickými pamäťami 16K1, 64K1 a 256K1 je generátor adresy pre dynamické pamäte realizovaný dvanástimi integrovanými obvodmi MSI TTL, alebo je realizovaný integrovanými obvodmi VLSI TTL, ktoré nie sú vyrábané v štátoch RVHP a ktoré nemôžu byť použité v pamäťových zariadeniach s dynamickými pamäťami 1M1, alebo je realizovaný integrovanými obvodmi MHB 207/0203 a MHB 206/0204, ktoré nemôžu byť použité v pamäťových zariadeniach s dynamickými pamäťami 256K1 a 1M1. Nedostatkom týchto zapojení generátora adresy pre dynamické pamäte je použitie uvedeného počtu integrovaných obvodov MSI TTL, nedostupnosť integrovaných obvodov VLSI TTL a ich nemožnosť použitia v pamäťových zariadeniach s dynamickými pamäťami 256K1 a 1M1.

Uvedené nedostatky odstraňuje generátor adresy pre dynamické pamäte, ktorého podstatou je to, že vstup desaťbitového znaku adresy riadku je pripojený na prvý vstup tretieho multiplexera, vstup desaťbitového znaku adresy stĺpca je pripojený na druhý vstup tretieho multiplexera, hodinový vstup je pripojený na prvý vstup prvého desaťbitového binárneho čítača, vstup nulovania čítačov je pripojený na druhý vstup prvého desaťbitového čítača, na druhý vstup druhého desaťbitového čítača, na druhý vstup dvojbitového binárneho čítača, prvý vstup adresy kanálu prvého a druhého multiplexera je pripojený na piaty vstup prvého multiplexera a na piaty vstup druhého multiplexera, druhý vstup adresy kanálu prvého a druhého multiplexera je pripojený na šiesty vstup prvého multiplexera a na šiesty vstup druhého multiplexera, prvý vstup adresy kanálu tretieho multiplexera je pripojený na piaty vstup tretieho multiplexera, druhý vstup adresy kanálu tretieho multiplexera je pripojený na šiesty vstup tretieho multiplexera, prvý výstup prvého desaťbitového binárneho čítača je pripojený na tretí vstup tretieho multiplexera, druhý výstup prvého desaťbitového binárneho čítača je pripojený na prvý vstup prvého multiplexera, tretí výstup prvého desaťbitového binárneho čítača je pripojený na druhý vstup prvého multiplexera, štvrtý výstup prvého desaťbitového binárneho čítača je pripojený na tretí vstup prvého multiplexera, piaty výstup prvého desaťbitového binárneho čítača je pripojený na štvrtý vstup prvého multiplexera, výstup prvého multiplexera je pripojený na prvý vstup druhého desaťbitového binárneho čítača, prvý výstup druhého desaťbitového binárneho čítača je pripojený na štvrtý vstup tretieho multiplexera, druhý výstup druhého desaťbitového binárneho čítača je pripojený na prvý vstup druhého multiplexera, tretí výstup druhého desaťbitového binárneho čítača je pripojený na druhý vstup druhého multiplexera, štvrtý výstup druhého desaťbitového binárneho čítača je pripojený na tretí vstup druhého multiplexera, piaty výstup druhého desaťbitového binárneho čítača je pripojený na štvrtý vstup druhého multiplexera, výstup druhého multiplexera je pripojený na výstup prenosu nahor a na prvý vstup dvojbitového binárneho čítača, výstup tretieho multiplexera je pripojený na výstup desaťbitového adresného znaku, výstup dvojbitového binárneho čítača je pripojený na výstup druhého bitu dvojbitového binárneho čítača.

Hlavnou výhodou generátora adresy pre dynamické pamäte je to, že ako nomolitický integrovaný obvod na báze hradlového poľa HP 200 predstavuje samostatný konštrukčný prvok, ktorý zabezpečuje prepínanie desaťbitového adresného znaku riadku a desaťbitového adresného znaku stĺpca pre dynamické pamäte, generovanie sedembitového adresného znaku pre dynamické pamäte 16K1, osembitového adresného znaku pre dynamické pamäte 64K1, deväťbitového adresného znaku pre dynamické pamäte 256K1 a desaťbitového adresného znaku pre dynamické pamäte 1M1 v režime inicializačného zápisu, indikáciu vykonávania inicializačného zápisu v pamäťovom zariadení so samočinnou detekciou a opravou chýb, generovanie adresného znaku v režime obnovenia informácie v dynamických pamätiach.

Na pripojenom výkrese je znázornená schéma generátora adresy pre dynamické pamäte podľa vynálezu.

Generátor adresy pre dynamické pamäte, realizovaný obvodom štvorkanálového desaťbitového multiplexera, ktorý je určený hlavne pre prepínanie štyroch desaťbitových adresných znakov v režime zápisu informácie, čítania informácie, inicializačného zápisu informácie a obnovenia informácie v pamäťových zariadeniach, obvodom dvoch desaťbitových synchrónnych čítačov, ktoré sú zaradené do série cez jeden štvorkanálový jednobitový multiplexer a ktoré sú určené hlavne pre generovanie adresného znaku pre dynamické pamäte 16Kl, 64Kl, 256Kl a 1Ml v režime obnovenia informácie a v režime inicializačného zápisu, obvodom dvojbitového asynchrónneho čítača, ktorý je spojený s druhým desaťbitovým asynchrónnym binárnym čítačom cez jeden štvorkanálový jednobitový multiplexer a ktorý je určený hlavne pre generovanie signálu indikácie vykonávania inicializačného zápisu informácie v pamäťovom zariadení, je zapojený tak, že vstup desaťbitového znaku adresy riadku ALO-AL9 je pripojený na prvý vstup 51 tretieho multiplexera 50, vstup desaťbitového znaku adresy riadku AHO-AH9 je pripojený na druhý vstup 52 tretieho multiplexera 50, hodinový vstup CLK je pripojený na prvý vstup 11 prvého desaťbitového binárneho čítača 10, vstup nulovania čítačov RST je pripojený na druhý vstup 12 prvého desaťbitového binárneho čítača 10, na druhý vstup 22 druhého desaťbitového binárneho čítača 20, na druhý vstup 62 dvojbitového binárneho čítača 60, prvý vstup adresy kanálu prvého a druhého multiplexera A je pripojený na piaty vstup 35 prvého multiplexera 30 a na piaty vstup 45 druhého multiplexera 40, druhý vstup adresy kanálu prvého a druhého multiplexera B je pripojený na šiesty vstup 36 prvého multiplexera 30 a na šiesty vstup 46 druhého multiplexera 40, prvý vstup adresy kanálu tretieho multiplexera REF je pripojený na piaty vstup 55 tretieho multiplexera 50, druhý vstup adresy kanálu tretieho multiplexera ROW je pripojený na šiesty vstup 56 tretieho multiplexera 50, prvý výstup 11 prvého desaťbitového binárneho čítača 10 je pripojený na tretí vstup 53 tretieho multiplexera 50, druhý výstup 14 prvého desaťbitového binárneho čítača 10 je pripojený na prvý vstup 31 prvého multiplexera 30, tretí výstup 15 prvého desaťbitového binárneho čítača 10 je pripojený na druhý vstup 32 prvého multiplexera 30, štvrtý výstup 16 prvého desaťbitového binárneho čítača 10 je pripojený na tretí vstup 33 prvého multiplexera 30, piaty výstup 17 prvého desaťbitového binárneho čítača 10 je pripojený na štvrtý vstup 34 prvého multiplexera 30, výstup 37 prvého multiplexera 30 je pripojený na prvý vstup 21 druhého desaťbitového binárneho čítača 20, prvý výstup 23 druhého desaťbitového čítača 20 je pripojený na štvrtý vstup 54 tretieho multiplexera 50, druhý výstup 24 druhého desaťbitového binárneho čítača 20 je pripojený na prvý vstup 41 druhého multiplexera 40, tretí výstup 25 druhého desaťbitového binárneho čítača 20 je pripojený na druhý vstup 42 druhého multiplexera 40, štvrtý výstup 26 druhého desaťbitového binárneho čítača 20, je pripojený na tretí vstup 43 druhého multiplexera 40, piaty výstup 27 druhého desaťbitového binárneho čítača 20 je pripojený na štvrtý vstup 44 druhého multiplexera 40, výstup 47 druhého multiplexera 40 je pripojený na výstup prenosu nahor CA a na prvý vstup 61 dvojbitového binárneho čítača 60, výstup 57 tretieho multiplexera 50 je pripojený na výstup desaťbitového adresného znaku 00-09, výstup 63 dvojbitového binárneho čítača 60 je pripojený na výstup druhého bitu dvojbitového binárneho čítača WZ.

V režime čítania alebo zápisu pri komunikácii pamäťového zariadenia s inými zariadeniami počítačového systému je dolná polovica štrnásťbitového znaku adresy pre dynamické pamäte 16Kl, dolná polovica šesťnásťbitového znaku adresy pre dynamické pamäte 64Kl, dolná polovica osemnásťbitového znaku adresy pre dynamické pamäte 256Kl alebo dolná polovica dvadsaťbitového znaku adresy pre dynamické pamäte 1Ml pripojená cez vstup desaťbitového znaku adresy riadku ALO-AL9 na prvý vstup 51 tretieho multiplexera 50 a horná polovica štrnásťbitového znaku adresy pre dynamické pamäte 16Kl, horná polovica šesťnásťbitového znaku adresy pre dynamické pamäte 64Kl, horná polovica osemnásťbitového znaku adresy pre dynamické pamäte 256Kl a horná polovica dvad-

desaťbitového znaku adresy pre dynamické pamäte 1M1 je pripojená cez vstup desaťbitového znaku adresy AHO-AH9 na druhý vstup 52 tretieho multiplexera 50, pričom nie sú s vonkajšími obvodmi pre prenos adresného znaku v pamäťovom zariadení spojené pre dynamické pamäte 16Kl bity AL7, AL8, AL9, pre dynamické pamäte 64Kl bity AL8, AL9, pre dynamické pamäte 256Kl bit AL9 vstupu desaťbitového znaku adresy riadku ALO-AL9 a tiež nie sú s vonkajšími obvodmi pre prenos adresného znaku v pamäťovom zariadení spojené pre dynamické pamäte 16Kl bity AH7, AH8, AH9, pre dynamické pamäte 64Kl bity AH8, AH9, pre dynamické pamäte 256Kl bit AH9 vstupu desaťbitového znaku adresy stĺpca AHO-AH9. Prenos dolnej polovice znaku adresy z prvého vstupu 51 tretieho multiplexera 50 na výstup 57 tretieho multiplexera 50 alebo hornej polovice znaku adresy z druhého vstupu 52 tretieho multiplexera 50 na výstup 57 tretieho multiplexera 50 je určený binárnou hodnotou signálov pripojených cez prvý vstup adresy kanálu tretieho multiplexera REF na piaty vstup 55 tretieho multiplexera 50 a cez druhý vstup adresy kanálu tretieho multiplexera ROW na šiesty vstup 56 tretieho multiplexera 50. Hodinovým signálom pripojeným cez hodinový vstup CLK na prvý vstup 11 prvého desaťbitového binárneho čítača 10 sa vykonáva zvyšovanie binárnej hodnoty desaťbitového znaku adresy na prvom výstupe 13 prvého desaťbitového binárneho čítača 10. Aby generátor adresy pre dynamické pamäte v režime obnovenia s vykonávaním detekcie a korekcie chýb a v režime inicializačného zápisu v pamäťovom zariadení generoval adresu pamäťového miesta pre každý typ dynamickej pamäte z typov 16Kl, 64Kl, 256Kl a 1M1 v celej ich kapacite zvyšovaním adresy pamäťového miesta vždy o plus jedna je hodinový signál pre druhý čítač prenášaný na prvý vstup 21 druhého desaťbitového binárneho čítača cez prvý multiplexer 30 z ďalej uvedených výstupov prvého desaťbitového binárneho čítača 10. Na prvý vstup 21 druhého desaťbitového binárneho čítača 20 je cez prvý multiplexer 30 prenášaná pre dynamické pamäte 16Kl hodnota siedmeho bitu z druhého výstupu 14 prvého desaťbitového čítača 10, pre dynamické pamäte 64Kl hodnota ôsmeho bitu z tretieho výstupu 15 prvého desaťbitového binárneho čítača 10, pre dynamické pamäte 256Kl hodnota deviateho bitu zo štvrtého výstupu 16 prvého desaťbitového binárneho čítača 10 a pre dynamické pamäte 1M1 hodnota desiateho bitu z piateho výstupu 17 prvého desaťbitového binárneho čítača 10. Prenos jedného z uvedených bitov cez prvý multiplexer 30 je určený binárnou hodnotou signálov privedených cez prvý vstup adresy kanálu prvého a druhého multiplexera A na piaty vstup 15 prvého multiplexera 10 a cez druhý vstup adresy kanálu prvého a druhého multiplexera B na šiesty vstup 16 prvého multiplexera 10.

Signál na výstupe druhého bitu dvojbitového binárneho čítača WZ umožňuje indikáciu a určenie doby vykonávania potrebného počtu cyklov v režime inicializačného zápisu v pamäťovom zariadení pre každý typ dynamickej pamäte z typov 16Kl, 64Kl, 256Kl a 1M1. Nízkou logickou úrovňou signálu, ktorý je privedený cez vstup nulovania čítačov RST na druhý vstup 12 prvého desaťbitového binárneho čítača 10, na druhý vstup 22 druhého desaťbitového binárneho čítača 20 a na druhý vstup 62 dvojbitového binárneho čítača 60 sa výstup druhého bitu dvojbitového binárneho čítača WZ nastaví do nízkej logickej úrovne a hodinový signál pre dvojbitový binárny čítač 60 na výstupe 47 druhého multiplexera 40 sa nastaví do vysokej logickej úrovne. Po uvoľnení prvého desaťbitového binárneho čítača 10, druhého desaťbitového binárneho čítača 20 a dvojbitového binárneho čítača 60 vysokou logickou úrovňou signálu na vstupe nulovania čítačov RST sa signál na výstupe druhého bitu dvojbitového binárneho čítača WZ nastaví do vysokej logickej úrovne po druhej zmene z nízkej logickej úrovne do vysokej logickej úrovne hodinového signálu na výstupe 47 druhého multiplexera, ktorý je pripojený na prvý vstup 61 dvojbitového binárneho čítača 60. Na prvý vstup 61 dvojbitového binárneho čítača 60 je cez druhý multiplexer 40 prenášaná pre dynamické pamäte 16Kl hodnota siedmeho bitu z druhého výstupu 24 druhého desaťbitového čítača 20, pre dynamické pamäte 64Kl hodnota ôsmeho bitu z tretieho výstupu 25 druhého desaťbitového binárneho čítača 20, pre dynamické pamäte 256Kl hodnota deviateho bitu zo štvrtého výstupu 26 druhého desaťbitového binárneho čítača 20 a pre dynamické pamäte 1M1 hodnota desiateho bitu z piate-

ho výstupu 27 druhého desaťbitového binárneho čítača 20. Dvojbitový binárny čítač 60 ukončí počítanie po nastavení vysokej úrovne signálu na výstupe druhého bitu dvojbitového binárneho čítača WZ a tento signál v uvedenej hodnote zotrvá. Funkcia vyššie popísaného zapojenia zabezpečuje, že signál na výstupe druhého bitu dvojbitového binárneho čítača sa nastaví do vysokej logickej úrovne po vykonaní dvoch cyklov v režime inicializačného zápisu na každom pamäťovom mieste každého vyššie uvedeného typu dynamickkej pamäte.

Signál na výstupe prenosu nahor QA, ktorý je pripojený na výstup 47 druhého multiplexera 40 a na prvý vstup 61 dvojbitového binárneho čítača 60 môže byť použitý ako hodinový signál pre obvod vonkajšieho čítača spolupracujúceho s generátorom adresy pre dynamické pamäte podľa tohoto vynálezu.

P R E D M E T V Y N Á L E Z U

Generátor adresy pre dynamické pamäte sa vyznačuje tým, že vstup desaťbitového znaku adresy riadku (ALO-AL9) je pripojený na prvý vstup (51) tretieho multiplexera (50), vstup desaťbitového znaku adresy stĺpca (AHO-AH9) je pripojený na jeho druhý vstup (52) a hodinový vstup (CLK) je pripojený na prvý vstup (11) prvého čítača, vstup nulovania čítačov (RST) je pripojený na jeho druhý vstup (12), na druhý vstup (22) druhého čítača (20), a na druhý vstup (62) dvojbitového čítača (60), prvý vstup adresy kanálu prvého a druhého multiplexera (A) je pripojený na piaty vstup (35) prvého multiplexera (30) a na piaty vstup (45) druhého multiplexera (40), druhý vstup adresy kanálu prvého a druhého multiplexera (B) je pripojený na šiesty vstup (36) prvého multiplexera (30) a na šiesty vstup (46) druhého multiplexera (40), ďalej prvý vstup adresy kanálu tretieho multiplexera (REF) je pripojený na piaty vstup (55) tretieho multiplexera (50), pričom druhý vstup adresy kanálu tretieho multiplexera (ROM) je pripojený na jeho šiesty vstup (56), prvý výstup (13) prvého čítača (10) je pripojený na tretí vstup (53) tretieho multiplexera (50), pričom výstupy (14 až 17) prvého čítača (10) sú pripojené na vstupy (31 až 34) prvého multiplexera (30), ktorého výstup (37) je pripojený na prvý vstup (21) druhého čítača (20), ktorého prvý výstup (23) je pripojený na štvrtý vstup (54) tretieho multiplexera (50), pričom výstupy (24 až 27) druhého čítača (20) sú pripojené na vstupy (41 až 44) druhého multiplexera (40), ktorého výstup (47) je pripojený na výstup (CA) a na prvý vstup (61) binárneho čítača (60), výstup (57) tretieho multiplexera (50) je pripojený na výstup desaťbitového adresného znaku (00-09) a výstup (63) binárneho čítača (60) je pripojený na výstup druhého bitu dvojbitového binárneho čítača (WZ).

1 výkres

