

公告本

297861

申請日期	84 年 1 月 28 日
案 號	84100854
類 別	Int. Cl ⁶ G01R 23/175

A4
C4

297861

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	慢速測試器之高性能數位組成件的延遲測試
	英 文	Delay testing of high-performance digital components by a slow-speed tester
二、發明 創作人	姓 名	(1) 維西汪尼·亞格瓦 Agrawal, Vishwani Deo (2) 泰潘·加拉伯堤 Chakraborty, Tapan Jyoti
	國 籍	(1) 印度 (2) 美國
	住、居所	(1) 美國新澤西州新普佛登斯柯其斯特路四十號 40 Colchester Road, New Providence, NJ 07974, USA (2) 美國新澤西州莫塞維爾蒙塔納路三七號 37 Montana Avenue, Mercerville, NJ 08619, USA
	代 表 人 姓 名	(1) 皮·汪爾德 Wilde, P. V. D.
三、申請人	姓 名 (名稱)	(1) 美國電話電報股份有限公司 AT&T Corp.
	國 籍	(1) 美國
	住、居所 (事務所)	(1) 美國紐約州·紐約市美州大道三十二號 32 Avenue of the Americas, New York, NY 10013-2412, U.S.A.
	代 表 人 姓 名	(1) 皮·汪爾德 Wilde, P. V. D.

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐ 有 ☐ 無主張優先權
美國 1994 年 10 月 21 日 08/327338 ☒ 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

發明部份

本發明一般係有關數位組成件之測試。更明確言之，本發明係有關以較組成件之額定頻率為低之一時鐘頻率來測試高速數位組成件。

背景

數位組成件，諸如 $VLSI$ ，印刷電路板，及多晶片模組設計工作於超過 100 MHz 之頻率上。在高量生產環境中用以測試數位組成件之普通自動測試裝備 (ATE) 現能在僅到達 40 MHz 之時鐘頻率上執行測試。然而，在較額定頻率或時鐘頻率為低之頻率上之測試不能保證數位組成件可在額定之頻率上適當作用。

需要有一種方法及裝置，用以在較之可保證在額定頻率上作用之額定頻率為低之一時鐘頻率上測試複雜及高速之數位組成件。技術上最進步之組成件之額定速度在大部份情形中超過現行 ATE 之能量，並作為發展較高速度之 ATE 之驅動因素。

能在 500 MHz 左右之時鐘頻率上執行測試之 ATE 設計已顯示可在未來發展用於生產環境中。然而，知道 ATE 之成本隨測試組成件所需之測試速度，銷數，及向量記憶器而大幅增加。故此，能以額定之頻率測試一複雜之高速數位組成件（諸如一 VLSI，此常具有多銷數，且需要長序列之向量來測試）之 ATE 之成本會極為高昂。而且，在超過 20 MHz 之頻率上執行 ATE 測試

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

受測試系統雜訊之影響，此為測試不正確之一來源。

常提出內裝自試 (B I S T) 作為解決高速測試問題之一辦法，如 A T & T 技術雜誌 1 9 9 4 年三 / 四月號卷 7 3 第 3 0 - 3 9 頁，艾格拉瓦，林，魯可斯基，吳，及左利安所作之「數位積體電路之內裝自我測試」中所述，此列作參考。在此方法中，數位組成件中加裝硬體，用以產生測試資料及分析反應。例如，可由一外部 A T E 供應高速時鐘信號，同時受測試之裝置內之硬體產生測試圖形。如此，A T E 無需大向量記憶器及多銷數能量。然而，B I S T 方法可不提供充足之診斷或除錯能力，因為整個測試反應亦由加裝之反應分析電路緊縮為簡單之行 / 不行之特徵。而且，B I S T 加裝重大及昂貴之硬體於裝置中。而且，對一些高速組成件，不能加裝執行 B I S T 所需之額外電路，因為此會降低組成件之高速作用。

發明概要

本發明提供一種方法，用以測試在額定頻率上作用之高速數位電路之聯合邏輯塊，使用在較額定頻率為低之一測試頻率上所施加之測試刺激。在較慢之測試時鐘頻率上之 A T E 測試之期間中，加進一選定之延遲量（此根據測試時鐘頻率及該電路之額定頻率計算而得）於含有聯合邏輯塊之電路之聯合信號徑路中。該延遲加於信號徑路中，其目的在減少以較低之測試時鐘頻率所施加之測試速激需在 A T E 測試之期間中傳播通過聯合邏輯塊之時間量。結

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (3)

果，模擬以額定之頻率測試聯合邏輯塊，因為信號徑路中之加進延遲使測試刺激需以額定之頻率傳播通過聯合邏輯塊，俾在 A T E 測試期間中獲得適當之反應。

在一實施例中，一單時鐘同步數位電路在製造之期間中經加修改，以包含一可控制延遲元件，俾在 A T E 測試期間中可加進一計算之延遲量於聯合信號徑路中。可控制延遲元件可為一靜態元件，諸如由聯合邏輯閘所構成者；或為一動態元件，諸如脈波觸發之電晶體開關。由可控制延遲元件加於聯合信號徑路中之延遲量由改變測試信號波形之工作週期加以控制，此波形由 A T E 產生，用以測試信號徑路中之聯合邏輯塊之定時作用。此電路之完整測試需要 A T E 產生另一信號波形，以測試可控制延遲元件之邏輯作用。

在另一實施例中，所計算之延遲量可加於多時鐘同步數位電路之聯合信號徑路中，以模擬在額定之頻率上測試信號徑路中之一聯合邏輯塊，由引進一相位改變於多個較慢測試時鐘信號之一中，此等時鐘信號用以控制測試刺激之傳播通過該電路。

自以下之詳細說明，可容易明瞭本發明之其他特色及優點。

附圖說明

圖 1 顯示含有聯合邏輯塊之單時鐘同步高速數位電路中之聯合信號徑路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

圖 2 顯示普通用作圖 1 電路中之二門元件之一主正反器及副正反器之一實施。

圖 3 顯示可用於圖 1 之電路之單時鐘操作上之一時鐘信號波形。

圖 4 顯示依本發明技術修改之圖 1 之電路，以包含一可控制延遲電路元件於聯合信號徑路中。

圖 4 B 顯示可用於圖 4 A 之電路中之一適當之可控制延遲元件。

圖 5 A 為用於依本發明測試圖 4 A 之可控制元件之方法之流程圖。

圖 5 B 為用於以較低之時鐘頻率測試圖 4 A 之電路之聯合邏輯元件之方法之流程圖。

圖 6 A 及 6 B 顯示時鐘波形，此可用以施加一輸入信號序列於圖 4 A 之電路中；及一控制信號波形，此可用以操縱圖 4 A 中之電路之可控制延遲元件。

圖 7 A 顯示一單時鐘同步高速數位電路中之聯合信號路徑，此包含一可控制延遲元件在一三門元件中。

圖 7 B 顯示一動態可控制延遲元件，此可包含於圖 7 A 之電路中，作為三門元件之一部份。

圖 7 C 為用於以測試時鐘頻率測試圖 7 A 之電路中之聯合邏輯元件之方法之流程圖。

圖 8 A 及 8 B 分別顯示一正常及一測試時鐘波形，此等可在以測試時鐘頻率測試圖 7 A 之期間中用以控制圖 7 B 之動態可控制延遲元件。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

圖 9 顯示二時鐘同步高速數位電路中之聯合信號徑路。

圖 1 0 A 及 1 0 B 顯示在以額定頻率操作圖 9 中之電路之期間中可使用之時鐘波形。

圖 1 0 D 及 1 0 C 顯示在以測試頻率測試圖 9 中之電路之期間中可使用之時鐘波形。

圖 1 1 A 及 1 1 B 顯示可施加於圖 9 之電路中之時鐘波形，用以控制依本發明方法加於聯合信號徑路中之延遲量。

圖 1 2 顯示一二時鐘同步高速數位電路中之聯合信號路徑，此包含多個聯合邏輯元件分別置於多個主及副正反器之間。

圖 1 3 為用以依本發明測試圖 1 2 之電路中之聯合邏輯元件之方法之流程圖。

圖 1 4 顯示用於依本發明測試高速數位電路中之聯合邏輯塊之一自動測試裝備構造。

詳細說明

高速數位電路或組成件之內部邏輯中之缺失之測試需要以該電路之時鐘頻率來測試電路中之聯合邏輯元件或正反器。一自動測試裝備 (A T E) 裝置測試一電路之高速作用，依據熟悉之測試方法，施加測試向量及定機信號至一電路之主輸入端，此種技術諸如說明於艾格拉瓦及塞斯所著之「V L S I 晶片之測試產生」，第 3 2 7 - 3 3 1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

頁，加州路斯艾勒米多之 I E E E 電腦社會出版社出版，此列作參考。A T E 然後比較在電路之主輸入端上所出現之信號反應及一預期之正確反應，此根據測試中之電路之設計模擬。所顯示及所預期之反應間之任何不相符表示有一或更多之缺失，例如，電路之聯合邏輯或正反器元件中之單一碰到之缺失或徑路延遲缺失。明確言之，如電路之聯合信號徑路中有延遲缺失，則傳播通過該電路之時間增加至大於額定時鐘時間之一值，致電路之作用不能在額定之時鐘頻率上發生。

本發明提供一種技術，用以測試聯合邏輯塊中是否有延遲缺失，換言之，測試高速數位電路之聯合信號徑路中所含之聯合塊之定時作用，使用以測試時鐘頻率施加之測試刺激信號，此頻率較電路之額定頻率為低或慢。當測試裝備之測試時鐘頻率能量少於電路之額定頻率時，指該測試時鐘頻率為慢。在本說明中，一聯合邏輯塊代表一電路，此可包含任何數目之聯合邏輯閘及正反器元件，此等元件適當相連，以產生所需之結果。如以下更詳細說明者，加一延遲於信號徑路中使 A T E 可使用在較慢之測試時鐘頻率上所施加之測試刺激信號，以測試聯合邏輯塊在額定頻率上之作用。雖本發明以下由 A T E 測試具有聯合邏輯塊在二時鐘信號控制之元件間之示範電路來說明，但應明瞭以下所述之電路普通包含於較大之數位電路中，且本發明之技術可用以測試所各種定時徑路，例如，以正反器或一電路之主輸入端開始者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(7)

圖 1 顯示先行技藝，並提出供更佳明瞭稱為在測試下之裝置 (D U T) 之一高速組成件中之單時鐘同步高速數位電路 1 0 如何可加以修改，俾在自動測試裝備 (A T E) 裝置 1 5 測試之期間中，可加一延遲於信號徑路中。由對電路 1 0 可作之修改，例解說明在測試期間加進延遲於一電路之信號徑路中之技術，以使用較低之測試時鐘頻率，模擬 D U T 中之一電路之內部邏輯在額定頻率上之測試。應明瞭電路 1 0 為範例，且本發明之方法 (如下述) 可應用於測試其他型式之單時鐘電路中之聯合邏輯塊。

電路 1 0 由一聯合邏輯塊 8 0 構成，此連接於一第一二門元件 2 0 及一第二二門元件 9 0 之間，此等從而經由聯合邏輯塊 8 0 相接。元件 2 0 及 9 0 為邏輯電路之例，此用以同步信號之傳播通過一電路之內部邏輯，此在電路 1 0 中顯示為聯合邏輯塊 8 0。二門元件 2 0 及 9 0 通常製成主及副正反器，且此後以此來說明。二門元件 2 0 包含一主輸入端 2 1 及一副輸出端 2 4。同樣，二門元件 9 0 包含一主輸入端 9 1 及一副輸出線 9 6。副輸出線 2 4 連接至聯合邏輯塊 8 0 之一輸入端 8 2。主輸入端 9 1 連接至聯合邏輯塊 8 0 之輸出端 8 4。

一時鐘線 1 2 0 自 A T E 1 5 連接至 D T U 之主輸入端，此直接連接至該二門元件 2 0 及 9 0，如以下更詳細說明者。一輸入線 1 2 及一輸出線 1 3 自 A T E 1 5 分列連接至 D T U 之一主輸入端及一主輸出端。主輸入端直接或間接連接至主輸入端 2 1，及主輸出端直接或間接連接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

至副輸出端 9 6。應明瞭輸入線 1 2 可包含 D U T 之多個主輸入端，及輸出線 1 3 可包含 D U T 之多個主輸出端。爲求清晰，以下以線 1 2 及 1 3 上分別僅具有一主輸入端及一主輸出端來說明本發明。

作爲主正反器 4 0 及副正反器 6 0 之二門元件之適當之電路實施顯示於圖 2。主正反器 4 0 由二雙輸入「及」閘 4 2 及 4 6，以及二雙輸入「反或」閘 5 0 及 5 4 構成。副正反器 6 0 由二雙輸入「或」閘 6 2 及 6 6，以及二雙輸入「反及」閘 7 0 及 7 4 構成。

「及」閘 4 2 及 4 6 之輸出端分別連接至「反或」閘 5 0 及 5 4 之輸入端。「反或」閘 5 0 及 5 4 之輸出端交互連接至對方之輸入端。「反或」閘 5 0 及 5 4 之輸出端且分別連接至副正反器 6 0 之「或」閘 6 2 及 6 6 之輸入端。「或」閘 6 2 及 6 6 之輸出端分別連接至「反反」閘 7 0 及 7 4 之輸入端。「反及」閘 7 0 及 7 4 之輸出端交互連接至對方之輸入端。主輸入端 2 1 連接至「及」閘 4 2 之輸入端，及連接至「及」閘 4 6 之反相輸入端。時鐘線 1 2 0 連接至「及」閘 4 2 及 4 6 之一輸入端，且連接至「或」閘 6 2 及 6 6 之一輸入端。副輸出端 2 4 連接至「反及」閘 7 0 之輸出端。

二門元件 9 0 包含一主正反器 1 1 0 及一副正反器 1 2 0，二者在結構上，且以與上述二門元件 2 0 之主正反器及副正反器 4 0 及 6 0 相同之方式連接。聯合邏輯塊 8 0 爲任何適當之數位電路，由「及」，「或」，「反及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

“，及“反或”式之閘構成，無任何交互連接。

二門元件 2 0 如以下方式作用。當時鐘線 1 2 0 在高位準時，呈現於主輸入端 2 1 上之一輸入信號狀態傳播進入主正反器 4 0。換言之，當時鐘信號位準高時，主正反器 4 0 可作用，及“及”閘 4 2 及 4 6 使主輸入端 2 1 上之輸入信號可傳播至交互連接之“反或”閘 5 0 及 5 4 之輸出端。副正反器 6 0 保持其前狀態，且不受主正反器 4 0 之“反或”閘 5 0 及 5 4 之輸出端上在時鐘線 1 2 0 為高位準時所發生之任何改變之影響。

另一方面，當時鐘線 1 2 0 在低位準時，在主輸入端 2 1 上之輸入信號並不傳播進入主正反器 4 0。然而，呈現於主正反器 4 0 之輸出端上之輸入信號傳播自“或”閘 6 2 及 6 6 之輸入端至副輸出端 2 4。

回至圖 1，說明電路 1 0 在額定頻率 f_{rated} 上之作用，俾對如何可修改電路 1 0，以執行本發明之測試之說明，提供一背景。知道電路 1 0 在 f_{rated} 上之作用需要主輸入端 2 1 及輸出端 8 4 間之聯合信號徑路之延遲應小於時鐘線 1 2 0 上所提供之時鐘波形之週期。圖 3 顯示適用之時鐘波形 CK 之特性，此可提供於時鐘線 1 2 0 上，用以控制可施加於主輸入端 2 1 上之輸入信號狀態之傳播。CK 為週期性波形，具有週期等於 T 毫微秒 (ns)。CK 之連續下降邊沿發生於時間 A 及 C。在時間 A，CK 自“1”或高位準下降至“0”或低位準。CF 保持低位準，直至時間 B，此時升至高位準。CK 保持高位準，直

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (10)

至時間 C，此時降至低位準。

施加於主輸入端 2 1 上之一信號狀態 J 依以下方式傳播通過電路 1 0 之信號徑路。舉例言之，波形 C K 提供於時鐘線 1 2 0 上，及信號狀態 J 施加於主輸入端 2 1 上，並剛在 C K 在時間 A 之下降邊沿之前，儲存於主正反器 4 0 中。當 C K 在時間 A 發生下降邊沿時，在主正反器處之狀態 J 轉移至副正反器 6 0，並開始自門 2 0 之輸出端 2 4 傳播至聯合邏輯塊 8 0。此後，C K 之下降邊沿稱為關閉邊沿，因為在此邊沿後，呈現於主輸入端 2 1 上之輸入信號狀態之任何改變並不傳播通過主正反器 4 0。信號狀態 J 亦保持儲存於門 2 0 中，換言之，信號狀態 J 呈現於副正反器 6 0 之輸出端上，直至時間 C 上之 C K 之次一關閉邊沿為止。在時間 B，C K 之上升邊沿打開主正反器 4 0。此使一第二信號狀態 K（此可在信號狀態 J 之後施加於主輸入端 2 1 上）可完全傳播通過主正反器 4 0。然而，信號狀態 K 並不進入副正反器 6 0 中，直至時間 C。

在本發明之一第一實施例中，上述之電路 1 0 可加以修改，以加進一可控制之延遲元件 1 3 0 於信號徑路中，俾聯合邏輯塊 8 0 可由 A T E 1 5 以較額定頻率為低之一測試時鐘頻率依本發明測試。圖 4 A 顯示一 A T E 1 5，適當連接至一 D U T，此包含一電路 2 0 0，此為一修改型之電路 1 0，含有可控制延遲元件 1 3 0。電路 2 0 0 以及以下引入之與電路 1 0 中之組成件相似且宜相同之其他電路之組成件使用與圖 1 及 2 所用相同之參考編號標示

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (11)

。

在電路 2 0 0 中，可控制延遲元件 1 3 0 連接於副輸出端 2 4 及聯合邏輯塊 8 0 之輸入端 8 2 之間。一控制線 1 2 5 自 A T E 1 5 連接至可控制延遲元件 1 3 0。控制線 1 2 5 為電路 2 0 0 之主輸入。可控制延遲元件 1 3 0 宜為一靜態或動態延遲元件，諸如一交互連接之閘門或金氧半導體 (M O S) 通過電晶體，具有小有限之延遲，且宜由較少之邏輯元件構成。

圖 4 B 顯示可控制延遲元件 1 3 0，具體成為一靜態，位準敏感之正反器。在此構形中，可控制延遲元件 1 3 0 由二雙輸入「及」閘 1 4 2 及 1 4 6 以及二雙輸入「反或」閘 1 5 0 及 1 5 4 構成。「及」閘 1 4 2 及 1 4 6 之輸出端分別連接至「反或」閘 1 5 0 及 1 5 4 之輸入端。「反或」閘 1 5 0 及 1 5 4 之輸出端交互連接至對方之輸入端。

參考圖 4 A 及 4 B，副輸出端 2 4 連接至可控制延遲元件 1 3 0 之一資料輸入端 1 3 2 及「反」閘 1 4 6 之反相輸入端。控制線 1 2 5 連接至「及」閘 1 4 2 及 1 4 6 之一輸入端。「反或」閘 1 5 4 之輸出端連接至可控制延遲元件 1 3 0 之輸出端 1 3 6。輸出端 1 3 6 連接至聯合邏輯塊 8 0 之輸入端 8 2。或且，「反或」閘 1 5 0 之輸出端可連接至輸出端 1 3 6，此視電路 2 0 0 之設計是否需要在聯合邏輯塊 8 0 之輸入端 8 2 上提供該信號之互補型而定。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (12)

圖 4 B 所示之可控制延遲元件 1 3 0 依以下方式作用。當控制線 1 2 5 在高位準時，可控制延遲元件 1 3 0 稱為在傳播狀態。在傳播狀態中，在資料輸入端 1 3 2 上之信號狀態傳播通過可控制延遲元件 1 3 0。反之，當控制線 1 2 5 在低位準時，可控制延遲元件 1 3 0 稱為在儲存狀態。在儲存狀態中，在副輸入端 1 3 2 上之信號狀態並不傳播通過可控制延遲元件 1 3 0。

電路 2 0 0 之 A T E 測試需要測試可控制延遲元件 1 3 0 之邏輯作用及測試聯合邏輯塊 8 0 之定時作用。首先，A T E 1 5 可執行如圖 5 A 所示之程序，以測試可控制延遲元件 1 3 0 之邏輯作用，換言之，測試可控制延遲元件 1 3 0 是否在傳播中適當作用並儲存狀態。於完成可控制延遲元件 1 3 0 之測試後，可執行 A T E 使用較低之測試時鐘頻率測試聯合邏輯塊 8 0 在額定之頻率上是否作用適當。其方式在以下參考圖 5 B 作更詳細之說明。

參考圖 5 A，在步驟 5 1 0，A T E 1 5 置控制線 1 2 5 於邏輯高位準，以測試是否可控制延遲元件 1 3 0 適當作用於傳播狀態中。此邏輯位準之施加於控制線 1 2 5 上應連接可控制延遲元件 1 3 0 之輸入端 1 3 2 至其輸出端 1 3 6，俾可控制延遲元件 1 3 0 在電路 2 0 0 之定時徑路中成為透通。然後執行步驟 5 2 0。

在步驟 5 2 0，A T E 1 5 施加一適當之測試刺激經輸入線 1 2 至主輸入端 2 1 上。如以上艾格拉瓦及塞斯中所述，一測試刺激可包含一或更多之功能輸入或測試向量

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (13)

，此等施加於電路之主輸入端上，以偵測電路之聯合邏輯塊中之碰到之缺失，及測試其中之傳播延遲時間。然後執行步驟 5 3 0。

在步驟 5 3 0，A T E 1 5 記錄在輸出端 8 4 上之反應，此反應提供於輸出線 1 3 上，並決定所記錄之反應是否與所預期之正確反應相符。在此情形中，預期之反應為：施加於主輸入端 2 1 上之一測試刺激應傳播通過可控制延遲元件 1 3 0，並出現於輸出端 8 4 上。如所記錄之反應與所預期之反應不同，則 A T E 在步驟 5 3 5 中提供一指示，指出該電路不作用。A T E 對電路之測試停止，且電路作為壞件被剔除。另一方面，如所記錄與所預期之反應相符，則在測試下之可控制延遲元件 1 3 0 在傳播狀態中作用正確，且 A T E 1 5 進行執行步驟 5 4 0。

在步驟 5 4 0，A T E 1 5 置控制線 1 2 5 於邏輯低位準，以測試是否可控制延遲元件 1 3 0 在儲存狀態中作用適當。在此邏輯狀態中，應阻止施加於主輸入端 2 1 上之輸入信號狀態之任何改變傳播通過電路 2 0 0，因為可控制延遲元件 1 3 0 之輸入端應中斷與輸出端 1 3 6 之連接。然後執行步驟 5 5 0。

在步驟 5 5 0，A T E 1 5 施加一適當之測試刺激，以測試可控制延遲元件 1 3 0 之儲存狀態。在步驟 5 6 0，A T E 1 5 記錄在輸出端 8 4 上之反應，此提供於輸出線 1 3 上，並決定所記錄之反應是否與所預期之反應相符，在步驟 5 6 0 中，此為自步驟 5 1 0 至 5 3 0 中之傳播

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

束

五、發明說明 (14)

狀態之測試呈現於最後正反器狀態上之信號狀態。如所記錄之反應與所預期之反應相符，則 A T E 1 5 在步驟 5 7 0 中提供一指示，指出可控制延遲元件在儲存及傳播狀態中作用正確。否則，A T E 1 5 執行步驟 5 3 5。

如 A T E 測試確定可控制延遲元件 1 3 0 之邏輯作用良好，則可由 A T E 1 5 測試聯合邏輯塊 8 0，依據本發明，使用以較低之測試時鐘頻率 f_{test} 所施加之測試刺激。

熟知聯合信號徑路（此包含一聯合邏輯塊）之 A T E 測試需要測試時鐘波形之週期 T_{test} 超過該信號徑路中之所有延遲時間之和。本發明要求加一計算之延遲量 Δ 於此信號徑路中，俾減少以 f_{test} 施加之一測試刺激應傳播通過聯合邏輯塊之時間量。如電路 2 0 0 中所見，加進計算之延遲量 Δ 於測試中之信號徑路可用以模擬以 f_{rated} 測試聯合邏輯塊 8 0，因為此延遲之加進需要以 f_{test} 施加之一測試刺激傳播通過在 f_{rated} 上之聯合邏輯塊 8 0，俾該刺激可在 T_{test} 終止之前到達輸出端 8 4。

用以計算延遲量 Δ （此需加於信號徑路中，俾可使用較低之時鐘頻率 f_{test} 來模擬在 f_{rated} 上之聯合邏輯塊 8 0 之測試）。知道 T_{test} 需超過在測試下之信號徑路（此包含於聯合邏輯塊中）之最大延遲時間（稱為 t_{max} ）及可加於該信號徑路上之任何延遲時間 Δ 之和，俾 $T_{test} \geq t_{max} + \Delta$ 。為使本發明之測試最佳， T_{test} 應等於 $t_{max} + \Delta$ 。由以額定時鐘頻率之週期或 $1 / f_{rated}$ 取代此

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

泉

五、發明說明 (15)

方程式中之 $t_{\max}$ ，及 $1 / f_{\text{test}}$ 取代 T_{test} ，則可由頻率重寫該方程式為 $\Delta = (f_{\text{rated}} - f_{\text{test}}) / (f_{\text{rated}} * f_{\text{test}})$ 。應注意一可控制延遲元件（諸如電路 200 中之可控制延遲元件 130）具有固有之有限延遲，即使在其依下述方式操縱，以產生零延遲時亦然。在本說明中，可控制延遲元件之有延遲包含於 $t_{\max}$ 中。

圖 5 B 顯示一程序 600，此可由 ATE 15 執行，用以依據本發明，使用一慢測試時鐘頻率 f_{test} ，以測試電路 200 中之聯合邏輯塊 80。在步驟 610，ATE 15 使用上述之方程式，依據 f_{rated} 及 f_{test} 之值，計算電路 200 之 Δ 。應明瞭依據本藝中熟悉之技術，可由人工計算延遲值 Δ ，並適當提供給 ATE 15。

在步 620，ATE 產生一測試時鐘波形 CK，如顯示於圖 6 A，用以控制測試向量之傳播通過電路 200；並產生一第二測試時鐘波形 CONTROL，如顯示於圖 6 B，用以操縱可控制延遲元件 130，俾所計算之延遲 Δ 加進電路 200 之信號徑路中。CK 具有與圖 3 所示之 CK 波形相同之特性，唯具有一週期等於 T_{test} 。CONTROL 亦具有一週期等於 T_{test} 。CONTROL 及 CK 二者具有連續之下降邊沿發生於時間 A 及 C 上。然而，CONTROL 在時間 A 上自高下降至低位準後，在等於 Δ 之一時間中保持於低位準。在時間 Δ 之終，CONTROL 升至高位準，然後保持於高位準，直至時間 C，此時降至低位準。如自圖 6 B 可見，可加於聯合信號徑路中之延遲量 Δ 由改變波形 CONTROL 之脈

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

泉

五、發明說明 (16)

波寬度加以控制。在固定之測試時鐘頻率上， Δ 為 CONTROL 之脈波寬度之線性函數。

在步驟 6 3 0，ATE 1 5 依據所產生之波形 CONTROL 及 CK，施加一適當之測試向量於電路 2 0 0 之主輸入端 2 1 上，此二波形分別施加於控制線 1 2 5 及時鐘線 1 2 0 上。舉例言之，測試向量包含一輸入信號狀態 J，此剛在時間 A 時 CK 之下降邊沿之前呈現於主輸入端 2 1 上。

在步驟 6 4 0，ATE 記錄在電路 2 0 0 之主輸出端上之反應，然後決定是否所記錄之反應與預期之儲存之反應（此係前根據電路之設計模擬而得）相符。如以上所述，電路 2 0 0 之所希望之作用為，一信號態應在一時鐘週期以內傳播通過聯合邏輯塊 8 0。在步 6 5 0，ATE 1 5 提供一指示，指出是否保證電路 2 0 0 在 f.r-ate 上作用，換言之，根據在步驟 6 4 0 中所執行之比較，是否聯合邏輯塊 8 0 適當作用於額定之頻率上。

在電路 2 0 0，信號狀態 J（此係依據波形 CK 及 CONTROL 而施加於信號徑路中）之預期之傳播如下：在時間 A 之 CK 終止邊沿處，在主正反器 4 0 之主輸入端 2 1 上之信號狀態 J 應開始傳播通過主正反器 4 0 及副正反器 6 0。然而，信號狀態 J 應由可控制延遲元件 1 3 0 阻正傳播至聯合邏輯塊 8 0，因為 CONTROL 在時間 A 降至低位準。僅在延遲 Δ 後，此時 CONTROL 升至高位準，呈現於副正反器 6 0 之輸出端 2 4 上之信號狀態 J 應傳播通過可控

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

泉

五、發明說明 (17)

制延遲元件 1 3 0 及至聯合邏輯塊 8 0 。故此，爲使信號狀態 J 在 C K 之下降邊沿發生於時間 C 之前記錄於輸出端 8 4 上，則信號狀態 J 需在等於 $T_{test} - \Delta$ 之時間中，換言之，即以等於 f_{rated} 之速度傳播通過聯合邏輯塊 8 0 。

故此，克服先行技藝之測試高速電路之限制。可使用較慢之測試時鐘信號來測試高速電路之頻率性能。

在另一實施例中，先行技藝之電路可依本發明修改，加進一可控制延遲元件，作爲由時鐘信號控制之門元件 2 0 及 9 0 之一部份。此實施例消除去需要產生一額外信號波形，用以由縱操插入之可控制延遲元件來控制加進延遲時間於信號徑路中。圖 7 a 顯示一 A T E 1 5 連接於含有電路 3 0 0 之一 D U T，此顯示電路 1 0 之此修改。如以下所述，電路 3 0 0 之測試僅使用一單信號時鐘輸入執行，此輸入亦用以控制延遲時間之加進於信號徑路中。

電路 3 0 0 由一聯合邏輯塊 8 0 構成，此連接於一第一三門元件 3 2 0 及一第二三門元件 3 9 5 之間。三門元件 3 2 0 包含一輸入端 3 0 2 及一輸出端 3 0 6。同樣，三門元件 3 9 5 包含一輸入端 3 9 2 及一輸出線 3 9 6。輸出線 3 0 6 連接至聯合邏輯塊 8 0 之輸入端 8 2。輸入端 3 9 2 連接至聯合邏輯塊 8 0 之輸出端 8 4。

一時鐘線 3 2 5 爲 D U T 之主輸入端，並自 A T E 1 5 直接連接至三門元件 3 2 0 及 3 9 5，如更詳細說明於下。輸入線 1 2 自 A T E 1 5 連接至 D U T 之一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (18)

主輸入端，此直接或間接連接至輸入端 3 0 2。同樣，輸出線 1 3 自 A T E 1 5 連接至 D U T 之一主輸出線，此直接或間接連接至輸出線 3 9 6。

圖 7 A 顯示三閘元件 3 2 0 之一適當之實施。三閘元件由一閘正反器 3 6 0，一可控制延遲元件 3 9 0，及一閘正反器 3 8 0 構成。閘正反器 3 6 0 包含二雙輸入「或」閘 3 6 2 及 3 6 6 以及二雙輸入「反及」閘 3 7 0 及 3 7 4。可控制延遲元件 3 9 0 宜為一脈波觸發之正反器，由通過電晶體 3 9 3 及 3 9 8 構成。閘正反器 3 8 0 包含二雙輸入「或」閘 3 8 2 及 3 8 6 以及二雙輸入「反及」閘 3 8 7 及 3 8 8。

「或」閘 3 6 2 及 3 6 6 之輸出端分別連接至「反及」閘 3 7 0 及 3 7 4 之輸入端。「反及」閘 3 7 0 及 3 7 4 之輸出端交互連接至對方之輸入端。「反及」閘 3 7 0 及 3 7 4 之輸出端分別連接至通過電晶體 3 9 3 及 3 9 8 之源極。通過電晶體 3 9 3 及 3 9 8 之吸極分別連接至「或」閘 3 8 2 及 3 8 6 之輸入端。「或」閘 3 8 2 及 3 8 6 之輸出線分別連接至「反及」閘 3 8 7 及 3 8 8 之輸入端。「反及」閘 3 8 7 及 3 8 8 之輸出端交互連接至對方之輸入端。輸入端 3 0 2 連接至「或」閘 3 6 2 之輸入端及「或」閘 3 6 6 之反相輸入端。時鐘線 3 2 5 連接至「或」閘 3 6 2，3 6 6，3 8 2，及 3 8 6 之一輸入端，及電晶體 3 9 3 及 3 9 8 之閘極。輸出端 3 0 6 連接至「反及」閘 3 8 7 之輸出線。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

三門元件 3 2 0 由提供於時鐘線 3 2 5 上之一時鐘波形控制，俾可控制延遲元件 3 9 0 作用如一中間時鐘控制之門元件。門正反器 3 6 0 及 3 8 0 對時鐘線 3 2 5 上之低位準敏感。此等正反器在低位準上作用，或換言之，當時鐘線上之位準低時，信號狀態傳播通過此等正反器。然而，當時鐘線 3 2 5 在低位準時，可控制延遲元件 3 9 0 阻止信號傳播。換言之，當時鐘線 3 2 5 在高位準時，可控制延遲線可傳播輸入信號，而門正反器 3 6 0 及 3 8 0 則阻止輸入信號之傳播。三門元件 3 9 5 在結構上與以上三門元件 3 2 0 所述者相似，且以相似之方式作用。

電路 3 0 0 之 A T E 測試依本發明之方法分二階段執行，使用圖 7 C 所示之程序 7 0 0。首先，在步驟 7 1 0 至 7 4 0，A T E 1 5 測試三門元件 3 2 0（此包含可控制延遲元件 3 9 0）之定時作用，及聯合邏輯塊 8 0 之邏輯作用。然後，在步驟 7 5 0 及 7 8 0，A T E 1 5 測試三門元件 3 2 0（此包含可控制延遲元件 3 9 0）之邏輯作用，及聯合邏輯塊 8 0 之定時作用。此後，為易於指出，三門元件 3 2 0（此包含可控制延遲元件 3 9 0）之測試稱為可控制延遲元件 3 9 0 之測試。

在步驟 7 1 0，A T E 1 5 計算延遲值 Δ ，其方式與程序 6 0 0 之步驟 6 1 0 相同。在執行步驟 7 1 0 後，A T E 1 5 在步驟 7 2 0 中產生一測試時鐘波形 C K（正常，如顯示於圖 8 A。C K（正常）波形具有一週期等於 T. test 及發生於時間 D 及 G 上之連續上升之邊沿。C K

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

泉

五、發明說明 (20)

(正常) 自時間 D 起在等於 $T_{test} - t_{max} / \text{NORMAL}$ 之期間中保持於高位準，其後，在時間 E 上下降至低位準。

C K (正常) 然後在等於 t_{max} / NORMAL 之期間中保持於低位準，其後，在時間 G，升至高位準。測試刺激 (此依 C K (正常) 施加) 在電路 1 0 0 中之預期之傳播敘述於下。

在步驟 7 3 0，A T E 1 5 供應一適當之測試向量於輸入端 1 2 上，俾施加於輸入端 3 0 2 上，及施加 C K (正常) 於控制線 3 2 5 上。舉例言之，該測試向量包含一輸入信號狀態 J，此剛在時間 E 上 C K (正常) 之上升邊沿前呈現於輸入端 3 0 2 上。A T E 1 5 然後在步驟

7 4 0 中記錄輸出端 1 3 上之輸出端 8 4 之輸出反應，並根據預期之反應，決定 (1) 是否一輸入信號狀態以額定之速度完全傳播通過可控制延遲元件 3 9 0，(2) 是否聯合邏輯塊 8 0 在高及低邏輯輸入位準上均作用適當。如所記錄及預期之反應不相符，則在步驟 7 4 5 中，

A T E 1 5 提供一指示，指出該電路不作用。A T E 測試停止，電路以故障剔除。否則，如所記錄及所預期之反應相符，則 A T E 在步驟 7 5 0 中進行執行程序 7 0 0 之第二階段。

現以所施加之波形 C K (正常) 來說明測試信號狀態 J 之預期之傳播通過電路 3 0 0 之信號徑路。當 C K (正) 施加於電路 3 0 0 上時，時鐘線 3 2 5 自時間 D 開始在一短時間中採取位準 ' 1 '，此連接應足夠長，俾信號狀

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (21)

態 J 可輸送通過可控制延遲元件 3 9 0 並建立於輸出端 3 0 6 上。當 C K (正常) 在時間 B 降至低位準時，輸出端 3 0 6 應在 C K (正常) 在低位準時之其餘期間中保持該信號狀態 J。換言之，當 C K (正常) 自時間 E 至時間 G 在低位準時，僅信號狀態 J 應繼續傳播通過信號徑路。如此二條件如預期發生，則可控制延遲元件 3 9 0 在額定之時鐘頻率上作用適當。

而且，如聯合邏輯塊 8 0 之邏輯作用功能正常，則信號狀態 J 應在 C K (正常) 在低位準之其餘期間中自輸出線端 3 0 6 傳播通過聯合邏輯塊 8 0，並在時間 G 之前呈現於輸出端 8 4 上。故此，在電路 3 0 0 方面，信號狀態 J 之依據所施加之波形 C K (正常) 預期傳播通過信號路徑應為該信號狀態 J 在時間 G 之前記錄於輸出端 8 4 上。

回頭來說明程序 7 0 0，在步驟 7 5 0，A T E 1 5 產生一測試時鐘波形 C K (測試)，如顯示於圖 8 B，用以測試聯合邏輯塊 8 0 之定時作用，及可控制延遲元件 3 9 0 之邏輯作用。C K (測試) 具有一週期等於 T_{test} 及發生於時間 D 及 G 上之連續上升邊沿。C K (測試) 具有與 C K (正常) 相似之特性，唯 C K (測試) 中脈波保持於高位準上之時間長度 (自時間 D 開始量度) 增加等於 Δ 之一量，如在步驟 7 1 0 中由 A T E 1 5 所計算者。如顯示於圖 8 B，C K (測試) 自時間 D 至時間 F 在高位準。C K (測試) 中脈波在低位準時之時間長度故此等於 $t_{max}/NORMAL - \Delta$ 或 $t_{max}/TEST$ 。以下說明測試刺激 (此

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (22)

依 C K (測試) 施加) 在 電路中之預期之傳播。

在步驟 7 6 0 , A T E 1 5 供應一適當之測試向量 , 俾依 C K (測試) 施加於輸入端 3 0 2 上。舉例言之 , 測試向量包含一輸入信號狀態 J , 此剛在時間 D 上 C K (測試) 之上升邊沿之前呈現於輸入端 3 0 2 上。

A T E 然後在步驟 7 7 0 中記錄輸出線 1 3 上之輸出端 8 4 之輸出反應 , 並根據預期之反應 , 決定 (1) 是否輸入信號狀態在額定之速度上完全傳播通過聯合邏輯塊 , 及 (2) 是否可控制延遲元件 3 9 0 之邏輯作用正常。如所記錄及所預期之反應並不相符 , 則 A T E 1 5 在步驟 7 4 5 中提供一指示 , 指出電路 2 0 0 不良。如所預期之反應符合所記錄之反應 , 則 A T E 1 5 在步驟 7 8 0 中提供一指示 , 指出電路 2 0 0 在額定之頻率上作用正常。

現以所施加之波形 C K (測試) 來說明測試信號狀態 J (此在程序 7 0 0 之步驟 7 6 0 中施加) 之預期之傳播通過電路 3 0 0 之信號徑路。知道 C K (正常) 之脈波寬度增加 Δ , 如上述 , 以產生波形 C K (測試) , 用以加一延遲 Δ 於電路 3 0 0 中聯合邏輯塊 8 0 前之信號徑路中。由加進此延遲於信號徑路中 , 剛在時間 D 之前所施加之信號狀態 J 之效應僅在該信號狀態 J 在少於或等於 $t_{\max}/\text{NORMAL} - \Delta$ 或 $t_{\max}/\text{TEST}$ 之期間中傳播通過聯合邏輯塊 8 0 時 , 方在時間 G 之前呈現於輸出端 8 4 上。換言之 , 信號狀態 J 應傳播通過在 f_{rated} 上之聯合邏輯塊 8 0 , 俾能在時間 G 之前到達輸出端 8 4 上。如發生如此 , 則聯

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (23)

合邏輯塊 8 0 在額定之時鐘頻率上作用正常。

而且，如信號狀態 J 之效應在時間 G 之前記錄於輸出端 8 4 上，則可控制延遲元件 3 9 0 之邏輯功能作用正常，因為在自 D 之剛前至時間 G 之剛前之期間中，當 C K (測試) 自低至高至低位準改變時，信號狀態 J 應適當轉移自輸入端 3 0 2 至輸出端 3 0 6。故此，如在使用 C K (正常) 測試之第一階段中，信號狀態 J 之依據所施加之波形 C K (測試) 預期傳播通過信號徑路亦為該信號狀態 J 應在時間 G 之前記錄於輸出端 8 4 上。

在又一實施例中，依據本發明，多時鐘同步高速數位電路中之聯合邏輯塊可在較低之測試時鐘頻率上測試，由適當修改施加於電路上之多個時鐘信號而成。如以下更詳細說明，可加進計算而得之一延遲量於此電路之一聯合信號路徑中，此由一時鐘信號對所有其他時鐘信號移相而成。此延遲之加於信號徑路中使測試可在較低之測試時鐘頻率上執行，其方式與以上有關本發明之單一時鐘實施例中所述者相似。舉例言之，圖 9 顯示一 D U T，含有二時鐘同步高速數位電路 4 0 0，並適當連接至一 A T E，以下說明本發明之應用於多時鐘電路上。

電路 4 0 0 由與電路 1 0 所述相同之組成件及連接構成，唯主正反器 4 0 及副正反器 6 0 分別連接至各別之時鐘線。在電路 4 0 0 中，電路 1 0 之時鐘線由一主時鐘線 3 3 0 (此連接至主正反器 4 0) 及一副時鐘線 3 4 0 (此連接至副正反器 6 0) 取代。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (24)

輸入信號狀態之在電路 4 0 0 中之傳播由施加於主時鐘線 3 3 0 及副時鐘線 3 4 0 上之時鐘波形控制。圖

1 0 A 及 1 0 B 顯示在電路 4 0 0 在 f_{rated} 上工作之期間中，可分別提供於主時鐘線 3 3 0 及副時鐘線 3 4 0 上之適當之主時鐘波形信號 (M C K) 及副時鐘波形信號 (S C K)。M C K 及 S C K 為週期性之波形，具有一週期等於 T_{rated} 。 T_{rated} 由四期間構成， T_1 ， T_2 ， T_3 ，及 T_4 。以下以自時間 L 延伸至時間 M 之週期性期間來說明 M C K 及 S C K 之特性。

M C K 之連續上升邊沿發生於時間 L 及 M。M C K 在自時間 L 開始之期間中在高位準，並等於 T_1 。在時間 T_1 後，M C K 降至低位準，並在延伸至時間 M 之期間中，保持於低位準，此期間等於 $T_{rated} - T_1$ 。

S C K 在時間 L 亦在高位準。S C K 在時間 L 開始之期間中保持於高位準，且此期間等於 $T_1 + T_2$ ，此後，S C K 至低位準。S C K 然後在等於 T_3 之一期間中保持於低位準，其後，S C K 升至高位準。S C K 然後保持高位準至時間 M。在時間 T_3 之終至時間 M 之間之期間等於 T_4 。

依 M C K 及 S C K 而施加於電路 4 0 0 上之一輸入信號狀態依以下方式傳播通過信號徑路。首先，輸入信號狀態僅在正反器 4 0 保持開放之期間 T_1 中方可傳播通過主正反器 4 0。 T_1 稱為主正反器 4 0 之建立時間，並約等信號傳播通過正反器 4 0 所需之時間。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (25)

一旦門定於主正反器 4 0 中，輸入信號需傳播通過主正反器 4 0，並在時段 T 1 之終呈現於副正反器 6 0 之輸入端上。在時段 T 3 之開始，副正反器 6 0 打開，俾容許在副正反器 6 0 之輸入端上之輸入信號狀態開始自副正反器傳播通過聯合邏輯塊 8 0。T 3 為副正反器 6 0 之建立時間。信號狀態必需在主正反器 1 1 0 關閉之前到達聯合邏輯塊 8 0 之另一端上之門 9 0 之主正反器 1 1 0 處。故此，通過聯合邏輯塊 8 0 之最大延遲時間 $t_{\max}$ 需少於時段 T 4，或少於 $T_{\text{rated}} - T_1 - T_2 - T_3$ ，俾 $t_{\max} < T_4$ 或 $t_{\max} < T_{\text{rated}} - T_1 - T_2 - T_3$ 。

此際，說明時鐘波形 M C K (測試) 及 S C K (測試)，如分別顯示於圖 1 0 C 及 1 0 D，俾可更明瞭可如何依據本發明，使用以 T.test 施加之測試刺激來測試路 4 0 0。

。M C K (測試) 及 S C K (測試) 波形具有一週期等於 T.test，並在以下以界定於時間 L 及 N 間之期間來作說明。波形 M C K (測試) 及 S C K (測試) 分別與 M C K 及 S C K 相似，唯 T 4 時段適當增加，以計及 T.test 及 T.rated 間之時間差。

如欲依波形 M C K (測試) 及 S C K (測試) 施加測試刺激於信號徑路中，在較低之速度 f.test 上測試高速電路 4 0 0，則注意測試時鐘頻率之週期 T.test 遠大於 $t_{\max}$ 。故此，即使時間 4 0 0 含有延遲錯誤，致 $t_{\max}$ 超過 $T_{\text{rated}} - T_1 - T_2 - T_3$ ，電路仍可通過在 f.test 上之測試，因為 $t_{\max}$ 仍可小於 $T_{\text{test}} - T_1 - T_2 - T_3$ 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (26)

。

依據本發明，由測試時鐘之週期 T_{test} 大於額定時鐘 T_{rated} 所許可之該額外傳播時間由修改波形 MCK (測試) 及 SCK (測試) 來補償，以分別產生時鐘波形 $MCK(\Delta)$ 及 $SCK(\Delta)$ ，如顯示於圖 11A 及 11B，此等可在以 f_{test} 測試之期間中，用以施加測試向量於電路 400 上。波形 $MCK(\Delta)$ 及 $SCK(\Delta)$ 與波形 MCK (測試) 及 SCK (測試) 不同，因為一延遲 Δ 加於 T_2 時段中，及 T_4 時段減去相同之量 Δ 。
 MCK (測試) 及 SCK (測試) 中所加進及減去之適當之延遲量等於 $T_{test} - T_{rated}$ 。

依上述方式增加一延遲 Δ 基本上在主時鐘線 330 及副時鐘線 340 上之信號間產生一相位移動。此相位移動使信號狀態自主正反器 40 傳播至副正反器 60 有效延遲一時間等於 Δ 。故此，在以 f_{test} 之 ATE 測試中，依 $MCK(\Delta)$ 及 $SCK(\Delta)$ 在時間 L 上施加一測試輸入信號狀態於電路 400 之主輸入端 21 上，此信號需以 f_{rated} 傳播通過聯合邏輯塊 80，俾可在時間 N 之前到達輸出端 84。精於本藝之人士可容易採取上述本發明技術之優點，並設計與程序 600 相似之一 ATE 測試常式，以模擬在 f_{rated} 上測試電路 400 之聯合邏輯塊 80。

且注意電路 400 之完整之測試需要測試門 20 及 90 之邏輯作用。精於本藝之人士可設計一 ATE 測試常式，俾可容易作此測定。測試常式可包含依據波形 MCK

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (27)

(測試) 及 S C K (測試) 施加測試向量於電路 4 0 0 中，其方式與上述相似。如測試向量產生預期之正確反應於電路 4 0 0 之主輸出端上，則可認定門 2 0 及 9 0 執行正確，因為測試時鐘波形 M C K (測試) 及 S C K (測試) 在時段 T 1，T 2，及 T 3 之期間中之特性與呈現於額定之時鐘信號，諸如波形 M C K 及 S C K 中者相同。

在另一實施例中，本發明亦可應用於測試具有一聯合邏輯塊分為二各別之聯合邏輯塊之一同步二時鐘高速數位電路。圖 1 2 顯示一 A T E 1 5 連接至一 D U T，D U T 包含一電路 5 0 0，此在結構上與電路 4 0 0 相似，唯聯合邏輯塊 8 0 由聯合邏輯塊 5 8 0 及 5 8 5 取代，此等在電路 5 0 0 中依下述方式連接。

聯合邏輯塊 5 8 0 之輸入端 5 8 1 連接至主正反器 4 0 之「反或」閘 5 0 或「反或」閘 5 4 之輸出端之任一，此視聯合邏輯塊 5 8 0 之設計在接受一互補或非互補之輸出而定。聯合邏輯塊 5 8 0 之輸出端 5 8 2 連接至正反器 6 0 之「或」閘 6 2 之輸入端，且以互補之形態，連接至「或」閘 6 6 之輸入端。聯合邏輯塊 5 8 5 之一輸入端 5 8 3 連接至副正反器 6 0 之「反及」閘 7 0 或「反及」閘 7 4 之輸出端之任一，此視聯合邏輯塊 5 8 5 之設計在接受一互補或非互補之輸入而定。聯合邏輯塊 5 8 5 之一輸出端 5 8 4 連接至主正反器 1 1 0 之主輸入端 9 1。

如在電路 4 0 0 中，電路 5 0 0 中之所有主正反器連

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (28)

接至主時鐘線 3 3 0，及所有副正反器連接至副時鐘線 3 4 0。聯合邏輯塊 5 8 0 及 5 8 5 在受定時控制之元件間之最大定時徑路延遲分別等於 $t.1 \max$ 及 $t.2 \max$ 。

在額定頻率上之信號狀態之傳播通過該電路可參考圖 1 0 A 及 1 0 B 所示之時鐘波形來作說明。如二聯合邏輯塊 5 8 0 及 5 8 5 之延遲時間 $t.1 \max$ 及 $t.2 \max$ 相等，則可提供在額定之時鐘頻率上之適當波形，設定圖 1 0 A 及 1 0 B 中所示之 M C K 及 S C K 波形中之時段 T_2 等於 T_4 。另一方面，當延遲時間 $t.1 \max$ 及 $t.2 \max$ 不相等時，可適當調整 T_2 及 T_4 之相對值，以滿足 $t.1 \max < T_2$ ， $t.2 \max < T_4$ ，及 $T_1 + T_2 + T_3 + T_4 = T_{\text{rated}}$ 。 T_1 及 T_3 分別為正反器 4 0 及 6 0 之建立時間。

依據本發明，A T E 可執行圖 1 3 所示之一程序 8 0 0，俾在低於額定之時鐘頻率上測試電路 5 0 0。在步驟 8 1 0 中，A T E 計算 Δ ，其方式與上述電路 4 0 0 中者相同。在步驟 8 2 0，A T E 1 5 產生適當之時鐘波形，用以測試電路中具有相同之最大許可傳播時間之所有聯合邏輯塊。

在步驟 8 3 0，A T E 1 5 施加測試向量及所產生之波形於電路 5 0 0 上，然後在步驟 8 4 0 中，記錄及比較在主輸出端上之反應及預期之反應。步驟 8 3 0 及 8 4 0 由 A T E 1 5 執行，其方式與程序 6 0 0 之步驟 6 3 0 及 6 4 0 相同。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (29)

舉例言之，A T E 1 5 可供應與 M K (Δ) 及 S C K (Δ) 相似之時鐘波形於電路 5 0 0 之主及副時鐘線 3 3 0 及 3 4 0 上，以測試聯合邏輯塊 5 8 0。如以上對電路 4 0 0 之單一聯合邏輯塊之實施例所述，當測試刺激以 f. test 施加時，時段 T 2 或 T 4 增加 Δ 。故此，可由一小量 Δ 修改波形 S C K (測試)，使 $T 2 + \Delta = t. m z x$ ，俾可在 f. rated 上測試聯合邏輯塊 5 8 0。而且，注意由如此修改 S C K (測試)，T 4 變為遠大於 $t. 2 \max$ 。故此，僅可測試聯合邏輯塊 5 8 5 之邏輯作用，因為測試信號可在較 f. rated 所許可為多之時間中傳播通過聯合邏輯塊 5 8 5。

在步驟 8 5 0，A T E 1 5 決定是否應進行電路之 A T E 測試。如所記錄之輸出反應並不符合測試中之聯合邏輯塊之預期之反應，則電路視為不良加以剔除。在此情形中，A T E 1 5 進行步驟 8 6 5。在步驟 8 6 5 中，A T E 1 5 指示測試之電路為不良或作用正常。

另一方面，如電路未在步驟 8 5 0 中被剔除，則 A T E 進行至步驟 8 6 0。在步驟 8 6 0，A T E 決定是否受測試之電路中之任何聯合邏輯塊尚未依步驟 8 2 0 至 8 5 0 鑑定。如任一聯合邏輯塊尚未鑑定，則 A T E 1 5 繼續執行以上步驟 8 2 0 至 8 5 0 之程序，直至電路中之所有聯合邏輯塊均經測試為止。電路中聯合邏輯塊之測試順序並不重要。

在 A T E 在步驟 8 6 0 中決定電路中之所有聯合邏輯

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (30)

塊已鑑定後，此然後可進行至步驟 8 6 5，並提供指示，指出是否受測試之電路作用適當。

繼續應用程序 6 0 0 於電路 5 0 0，如 A T E 1 5 決定聯合邏輯塊 5 8 0 在以 T.test 測試之期間中作用正確，則 A T E 1 5 然後可執行步驟 8 2 0 至 8 5 0，以測試聯合邏輯塊 5 8 5。A T E 1 5 可產生與 M C K (Δ) 及 S C K (Δ) 相似之時鐘波形，由加一較大之 Δ 於 T 2 而減小波形 M C K (測試) 及 S C K (測試) 中之時段 T 4，俾 $T_4 = t_{.2 \max}$ ，以測試聯合邏輯塊 5 8 5。

A T E 1 5 然後可依據此所產生之波形，施加測試刺激於主輸入端上，並依上述之方式，比較所記錄及所預期之反應。在此等修改之 M C K (測試) 及 S C K (測試) 波形下，測試信號需在 f.rated 所許可之時間內傳播通過聯合邏輯塊，而容許測試信號在較多之時間中通過前已測試之聯合邏輯塊。

應明瞭以上實施例所述之本發明之技術可直接應用於在一正反器處開始之所有徑路上。此等徑路終止於另一正反器或一主輸出端上。對在一主輸入端處開始之徑路，可由 A T E 加進一相似之延遲時間，由延遲施加在測試向量通常應施加處之時鐘信號邊沿後之輸入測試向量而達成。

圖 1 4 顯示一 A T E 1 5，適當連接至含有一電路 6 0 0 之 D T U，此說明於下，以例解測試直接開始於一主輸入端及直接終止於一主輸出端上之一信號徑路。

電路 6 0 0 包含一聯合邏輯塊 8 0。D T U 之主輸入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (31)

端直接連接至聯合邏輯塊 8 0 之輸入埠 8 2，及 D T U 之主輸出端直接連接至輸出埠 8 4。

A T E 1 5 包含一處理器 1 6，此連接至一輸入正反器 1 9；一可控制延遲元件 1 4；及一輸出正反器 1 7。一輸入線 1 2 連接延遲電路輸入端 8 2，及一輸出線 1 3 連接輸出正反器 1 7 至輸出端 8 4。一控制線 1 8 連接延遲時間 1 4 至處理器 1 6。

正反器 1 7 及 1 9 可包含任何熟悉之門元件，及延遲時間 1 4 為普通可控制延遲元件，此可依據由處理器 1 6 施加於線 1 8 上之控制信號，引入延遲時間於一信號徑路中。

A T E 1 5 可依以下之方式，測試含有與電路 6 0 0 相似之一電路之一 D T U。處理器 1 6 供應控制信號至正反器 1 7 及 1 9，用以控制一測試刺激之傳播通過電路 6 0 0。以測試時鐘信號之頻率測試該電路 8 0 所需之延遲由處理器 1 6 以可控制之方式引進於測試信號徑路中，由修改經控制線 1 8 施加於延遲電路 1 4 上之控制信號至達成。依據上述之技術，電路 6 0 0 之 A T E 測試以較電路 6 0 0 之額定頻率為低之一測試時鐘頻率來執行，此由適當加進經計算之延遲時間於測試刺激信號徑路中，並比較所記錄及所預期之反應而成。

應明瞭以上所示及所述之實施例反變化僅在例解本發明之原理，且精於本藝之人士可實施各種修改，而不脫離本發明之範圍及精神。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

四、中文發明摘要 (發明之名稱：

慢速測試器之高性能數位組成件的
延遲測試

雖數位電路之額定頻率超過測試裝備之頻率能量，仍可執行該電路之高速測試。一數位電路可加以設計，俾可在測試期間中加進一可控制之延遲時間於電路之定時徑路中，使用在較電路之額定頻率為低之時鐘頻率上所施加之測試刺激。由加進延遲於聯合信號徑路中，達成在測試期間中以測試裝備之能量內之時鐘頻率測試電路在最大工作頻率上之作用。可控制延遲可作為一延遲元件加於一單時鐘電路中，並由操縱加於電路中之時鐘信號波形之工作週期加以控制。延遲電路可設計成其功能亦為可測試者。在多時鐘電路中，由使一時鐘信號對其他時鐘信號移相來加進該延遲於電路中。

英文發明摘要 (發明之名稱：

Delay testing of high-performance digital
components by a slow-speed tester

High speed testing of a digital circuit may be performed although the rated frequency of the circuit exceeds the frequency capability of the test equipment. A digital circuit may be designed such that a controllable delay may be introduced in the timing paths of the circuit during testing using test stimuli which are applied at a clock rate that is less than the rated frequency of the circuit. By adding delay to the combinational signal path, testing of the circuit for operation at the maximum operating frequency is achieved during testing at a clock rate which is within the capability of the test equipment. The controllable delay may be incorporated as a delay element into a single-clock circuit and controlled by manipulation of the duty-cycle of a clock waveform which is applied to the circuit. The delay circuit is so designed that its function is also testable. In a multi-clock circuit, the delay is added to the circuit by skewing one clock signal with respect to the other clock signals.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種用以測試高速電路之聯合信號徑路中之聯合邏輯塊之方法，包含步驟：

計算一延遲值，其中，如測試時鐘頻率低於電路之額定頻率，則該延遲值等於在測試期間中需加於聯合信號徑路中之延遲量，以模擬在額定之頻率上測試該聯合邏輯塊；

施加在測試時鐘頻率上之一測試刺激至該信號徑路；

加進該計算之延遲於信號徑路中，俾測試刺激傳播通過受該計算之延遲之電路之聯合邏輯塊；

記錄電路之輸出反應；及

比較輸出反應及預期之正確反應。

2. 如申請專利範圍第1項所述之方法，其中，使用一可控制延遲元件加進延遲於聯合信號徑路中，此元件包含於聯合信號徑路中。

3. 一用以測試高速電路之聯合信號徑路中之聯合邏輯塊之方法，包含步驟：

計算一延遲值，其中，如測試時鐘頻率低於電路之額定頻率，則該延遲值等於在測試期間中需加於聯合信號徑路中之延遲量，以模擬在額定之頻率上測試該聯合邏輯塊；

產生一時鐘信號，俾加進該計算之延遲於信號徑路中，其中，時鐘信號頻率等於測試時鐘頻率；

依據時鐘信號施加一測試刺激於電路中；

記錄電路之輸出反應；及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

六、申請專利範圍

比較輸出反應及預期之正確反應。

4. 如申請專利範圍第3項所述之方法，其中，使用一可控制延遲元件加進延遲於聯合信號徑路中，此元件包含於聯合信號徑路中。

5. 一種用以測試單時鐘同步高速數位電路中之聯合邏輯塊之方法，包含步驟：

計算一延遲值，其中，如測試時鐘頻率於電路之額定頻率，則該延遲值等於在測試期間中需加於聯合信號徑路中之延遲量，以模擬在額定之頻率上測試該聯合邏輯塊；

產生至少一時鐘信號，俾加進該計算之延遲於信號徑路中，其中，該至少一時鐘信號之頻率等於測試時鐘頻率；

依據該至少一時鐘信號，施加一測試刺激於電路中；

記錄電路之輸出反應；及

比較輸出反應及預期之正確反應。

6. 如申請專利範圍第5項所述之方法，其中，一可控制延遲元件包含於聯合信號徑路中。

7. 如申請專利範圍第6項所述之方法，其中，該可控制延遲元件連接於聯合信號徑路中一二門元件及聯合邏輯塊之間。

8. 如申請專利範圍第6項所述之方法，其中，該可控制延遲元件為一靜態元件。

9. 如申請專利範圍第6項所述之方法，其中，該可控制延遲元件為一動態元件。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

六、申請專利範圍

1 0 . 如申請專利範圍第 7 項所述之方法，其中，產生至少一時鐘信號之步驟另包含產生一第一及一第二時鐘信號之步驟，

其中，第一時鐘信號用以控制電路中之定時元件，且其中，第二時鐘信號具有特性，此為所計算之延遲之函數，並用以操縱可控制延遲元件，俾加延遲於電路之信號徑路中。

1 1 . 如申請專利範圍第 6 項所述之方法，其中，該可控制延遲元件包含於聯合信號徑路中，作為一三問元件之一中間問。

1 2 . 如申請專利範圍第 1 1 項所述之方法，其中，產生至少一時鐘信號之步驟另包含產生一第一及一第二時鐘信號之步驟，

其中，第一時鐘信號用以測試聯合邏輯塊之定時作用及可控制延遲元件之邏輯作用，及

其中，第二時鐘信號用以測試可控制延遲元件之定時作用及聯合邏輯塊之邏輯作用。

1 3 . 一用以測試同步多時鐘高速數位電路中之聯合邏輯塊之方法，包含步驟：

計算一延遲值，其中，如測試時鐘頻率低於電路之額定頻率，則該延遲值等於在測試期間中需加於聯合信號徑路中之延遲量，以模擬在額定之頻率上測試該聯合邏輯塊；

產生多個時鐘信號，其中，多個時鐘信號之每一個之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

六、申請專利範圍

頻率等於測試時鐘頻率，且其中，多個時鐘信號之一與所有其他時鐘信號相差該計算出之延遲之一函數；

依據多個時鐘信號施加一測試刺激於電路中；

記錄電路之輸出反應；及

比較輸出反應及預期之正確反應。

1 4 . 如申請專利範圍第 1 3 項所述之方法，其中，該電路包含多個聯合邏輯塊，且其中，產生多個時鐘信號之步驟另包含以所計算之延遲之函數改變多個時鐘信號之每一個與所有其他時鐘信號之關係，俾可使用在較電路之額定頻率為低之測試時鐘頻率上所施加之測試刺激，以測試多個聯合邏輯塊之每一個。

1 5 . 一種用以測試同步高速數位電路之聯合信號徑路中之聯合邏輯塊之裝置，包含：

一產生裝具，用以產生一時鐘信號，俾加進一計算之延遲於信號徑路中，其中，至少一時鐘信號之頻率等於測試時鐘頻率，及如測試時鐘頻率低於電路之額定頻率，則延遲值等於在測試期間中需加於聯合信號徑路中之延遲量，俾模擬在額定頻率上測試聯合邏輯塊；

一施加裝具，用以依據時鐘信號施加一測試刺激於電路中；

一記錄裝具，用以記錄電路之輸出反應；及

一比較裝具，用以比較輸出反應及所儲存之正確反應。

1 6 . 如申請專利範圍第 1 3 項所述之裝置，其中，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

該裝置另包含一裝具，用以計算該延遲值。

1 7 . 如申請專利範圍第 1 4 項所述之裝置，其中，該用以產生時鐘信號之裝具另包含一修改裝具，用以使用所計算之延遲值來修改所產生之信號，俾操縱聯合信號路徑中所包含之一可控制延遲元件。

1 8 . 一種用以測試同步高速數位電路之聯合信號徑路中之聯合邏輯塊之裝置，包含：

一處理器，用以產生一時鐘信號，俾加進一計算之延遲於信號徑路中，其中，至少一時鐘信號之頻率等於測試時鐘頻率，及如測試時鐘頻率低於電路之額定頻率，則延遲值等於在測試期間中需加於聯合信號徑路中之延遲量，俾模擬在額定頻率上測試聯合邏輯塊；

其中，該處理器依據時鐘信號施加一測試刺激於電路中；

其中，該處理器記錄電路之輸出反應；及

其中，該處理器比較輸出反應及所預期之正確反應。

1 9 . 如申請專利範圍第 1 8 項所述之裝置，另包含一延遲電路，用以加進該計算之延遲值於信號徑路中。

2 0 . 如申請專利範圍第 1 8 項所述之裝置，另包含一正反器，用以控制測試刺激之傳播至聯合邏輯塊上。

2 1 . 如申請專利範圍第 1 9 項所述之裝置，另包含一正反器，用以控制測試刺激之傳播至聯合邏輯塊上。

2 2 . 如申請專利範圍第 1 8 項所述之裝置，另包含一正反器，用以接受施加於受測試之聯合邏輯塊上之測試

六、申請專利範圍

刺激。

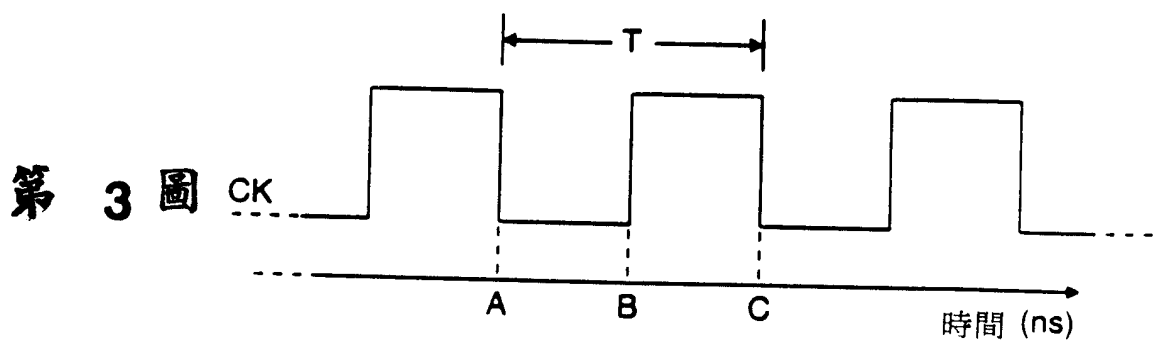
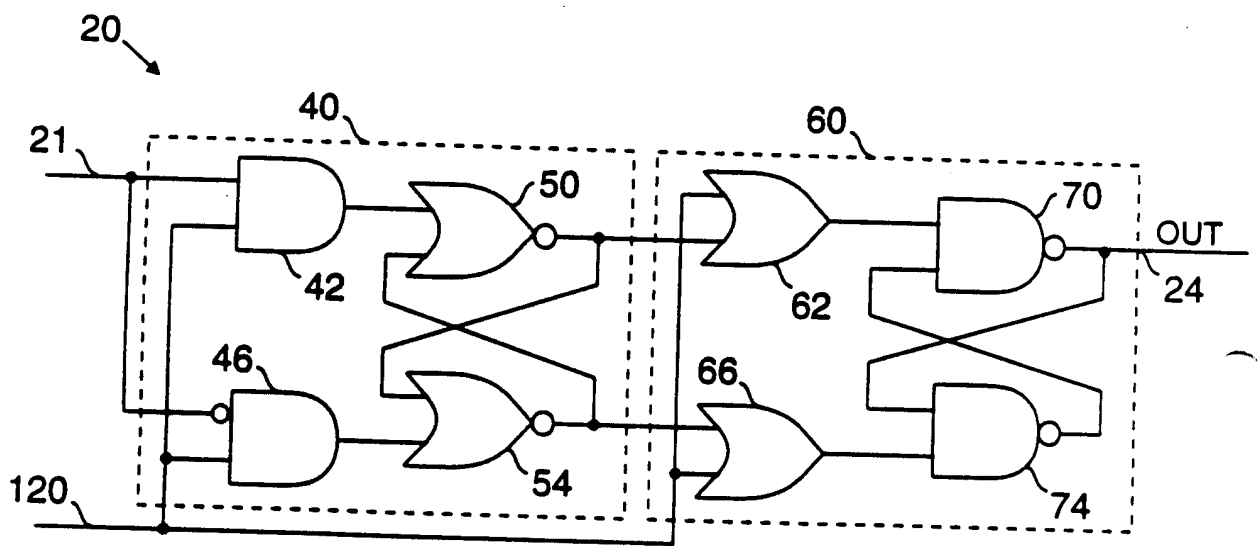
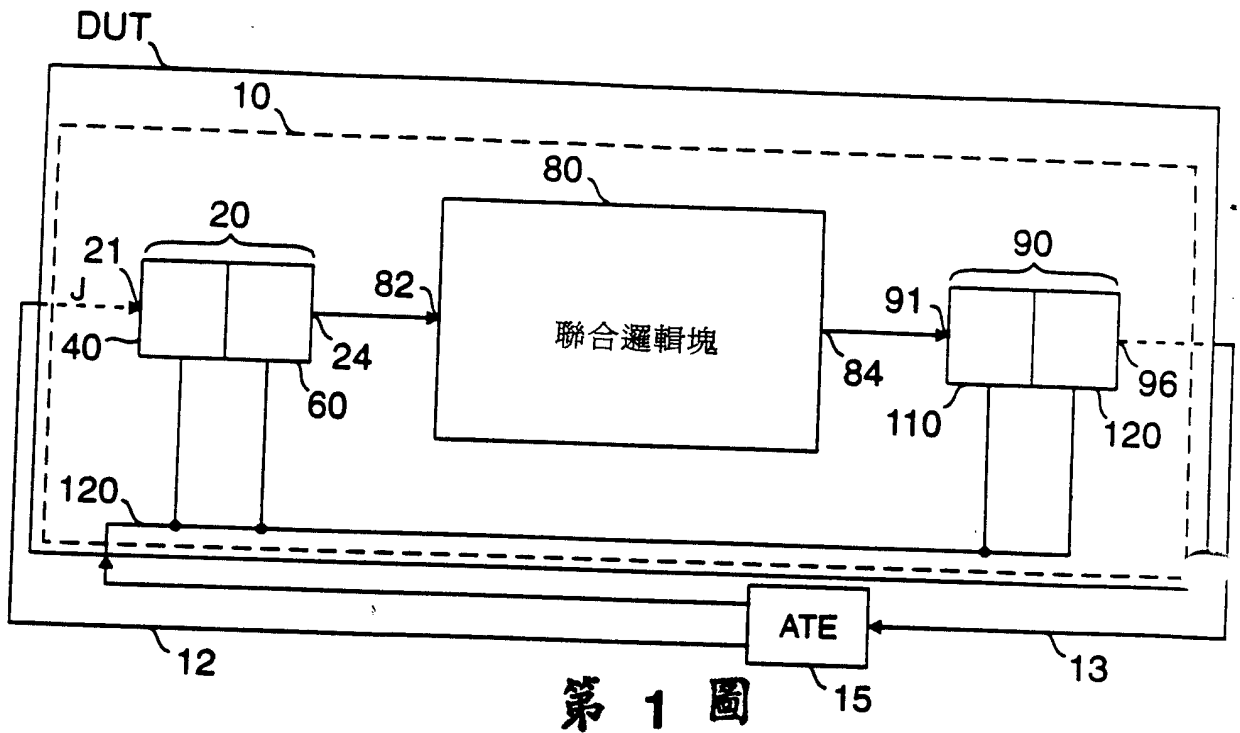
23. 如申請專利範圍第19項所述之裝置，另包含一正反器，用以接受施加於受測試之聯合邏輯塊上之測試刺激之傳播。

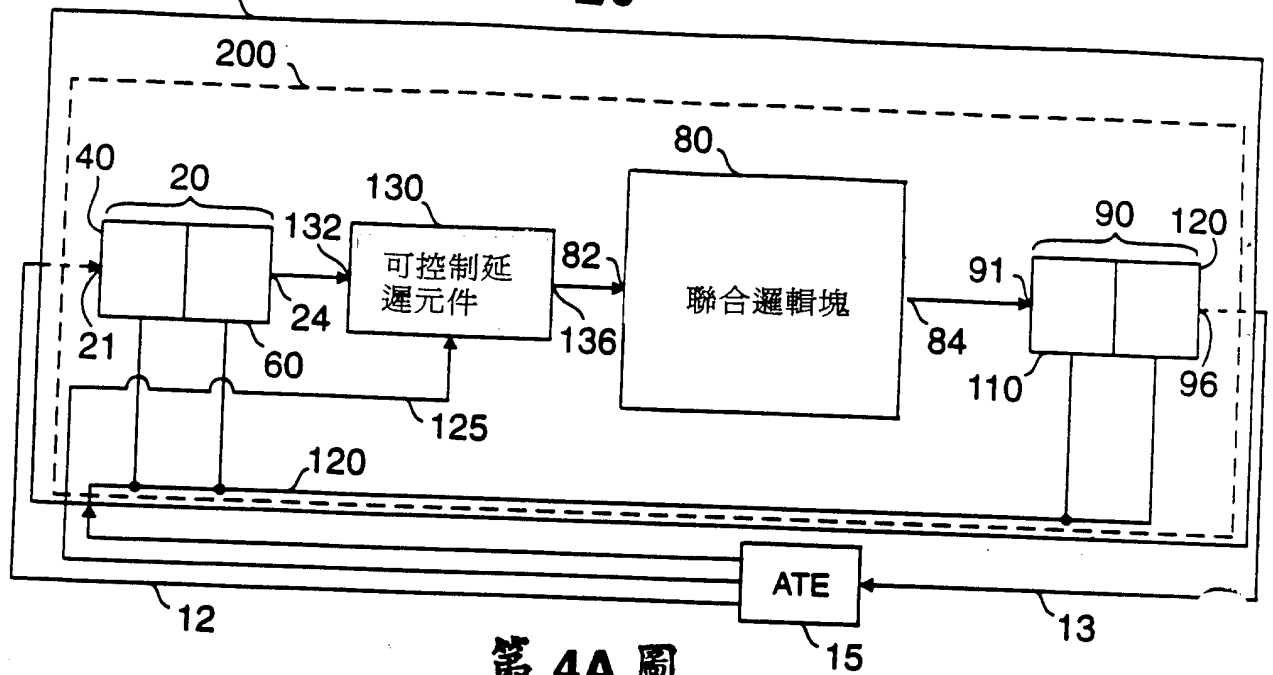
(請先閱讀背面之注意事項再填寫本頁)

裝

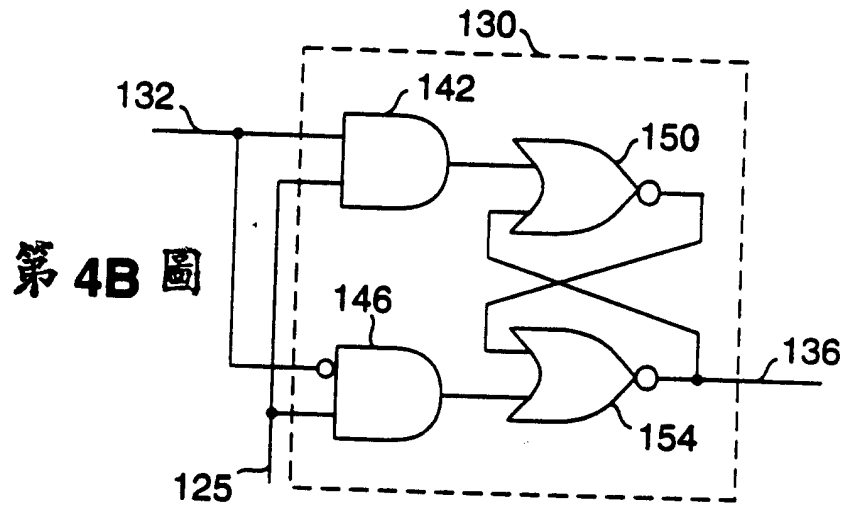
訂

線

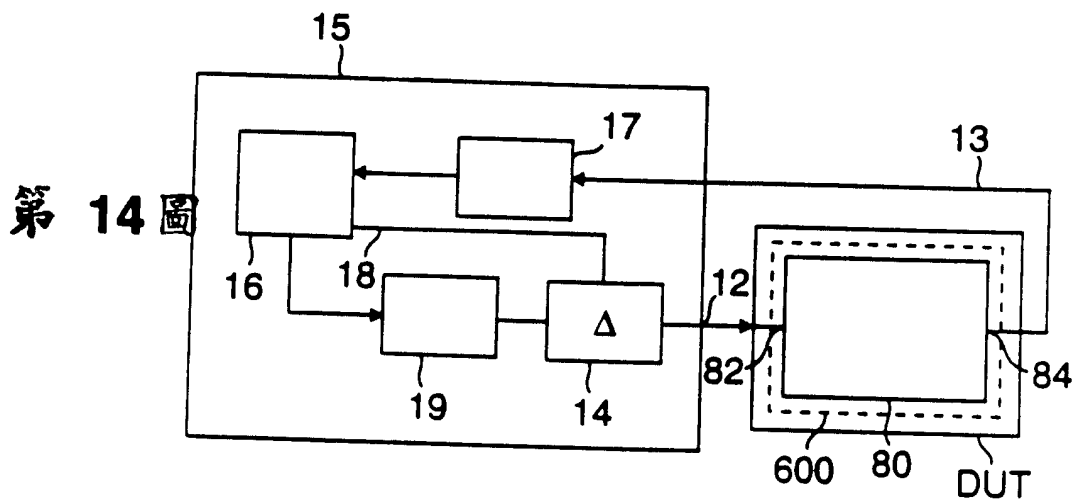




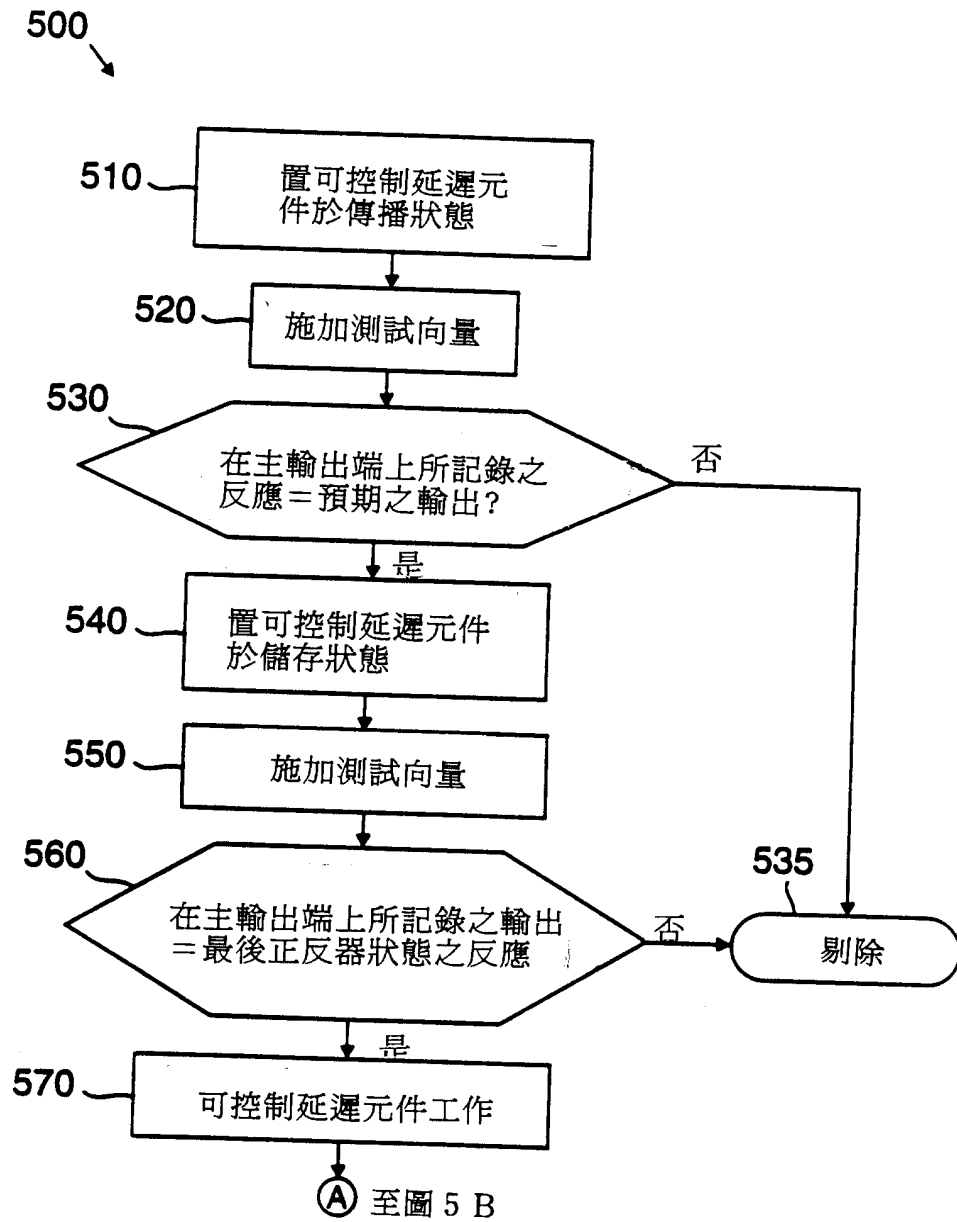
第 4A 圖



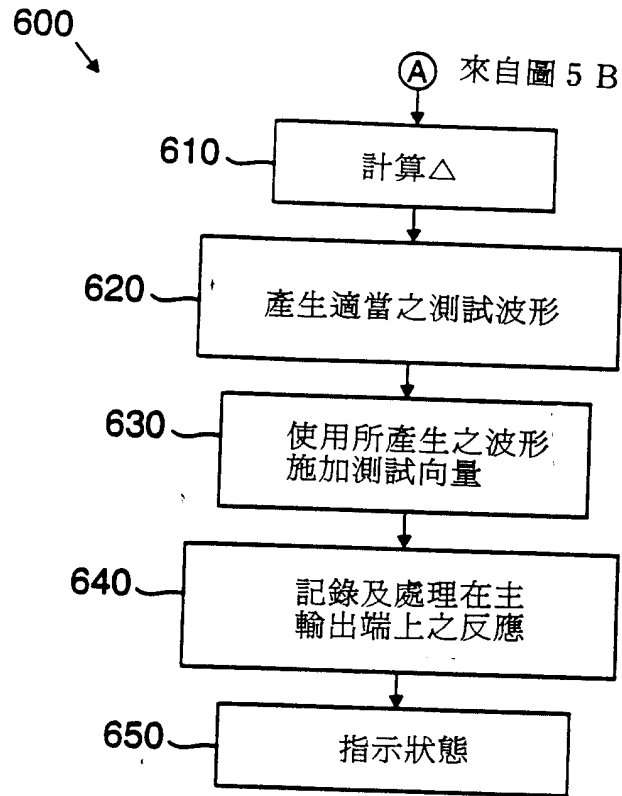
第 4B 圖



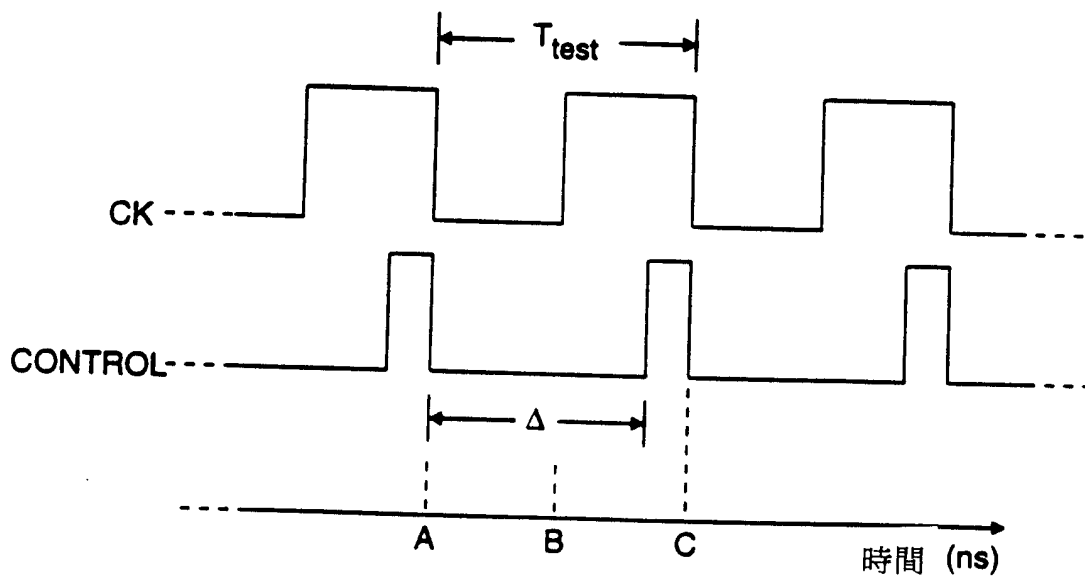
第 14 圖



第 5A 圖

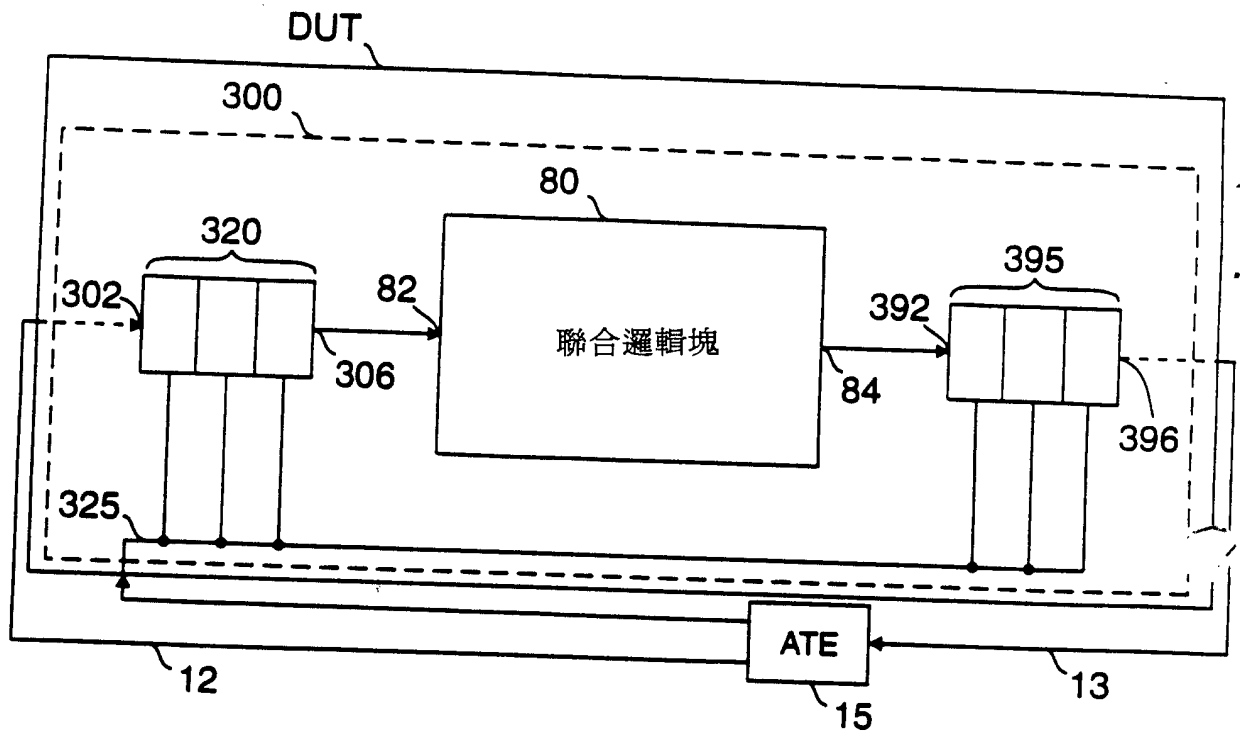


第 5B 圖

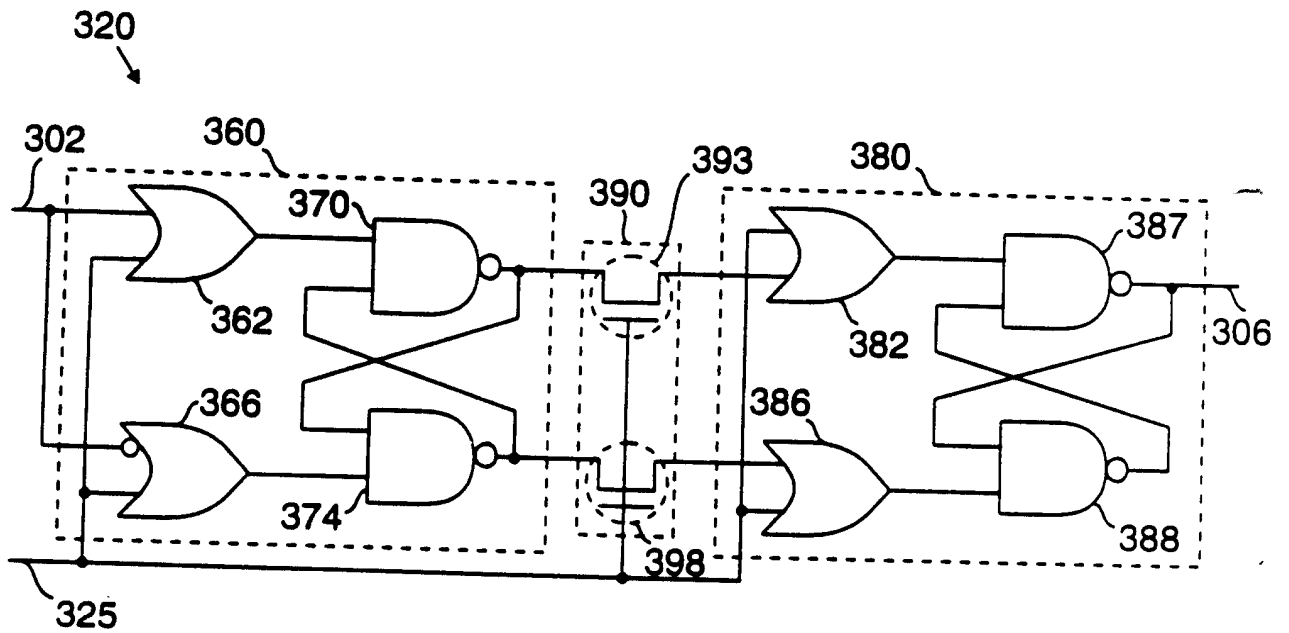


第 6A 圖

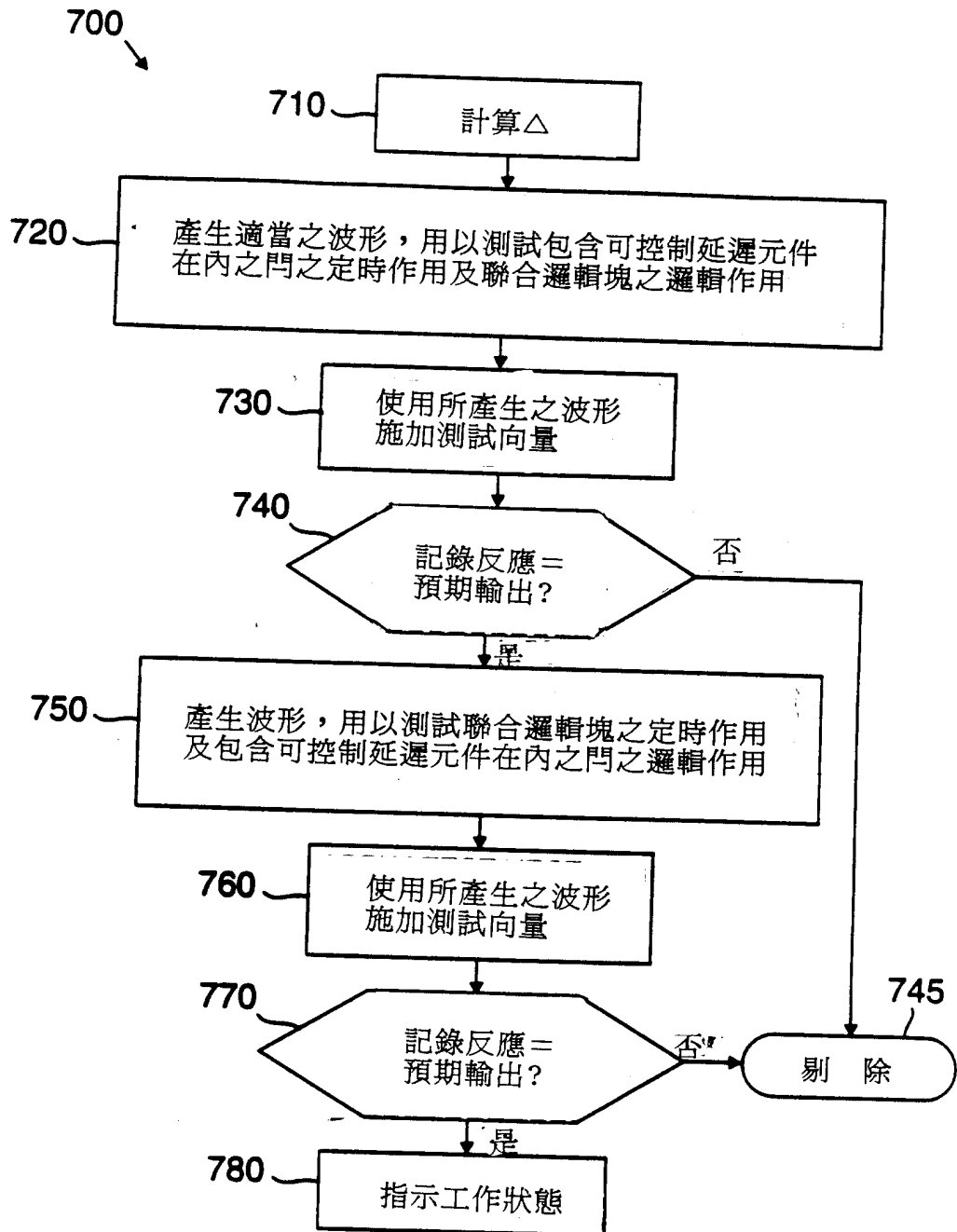
第 6B 圖



第7A圖

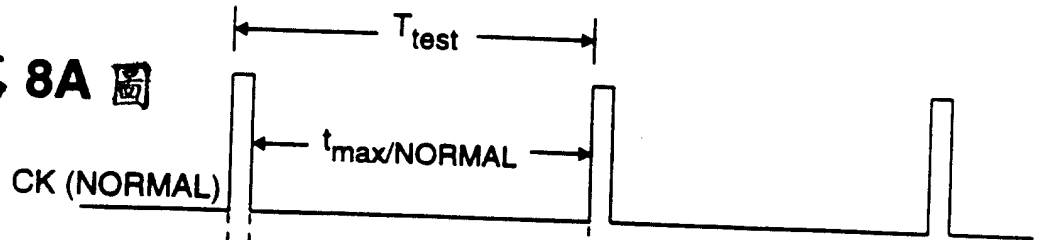


第7B圖

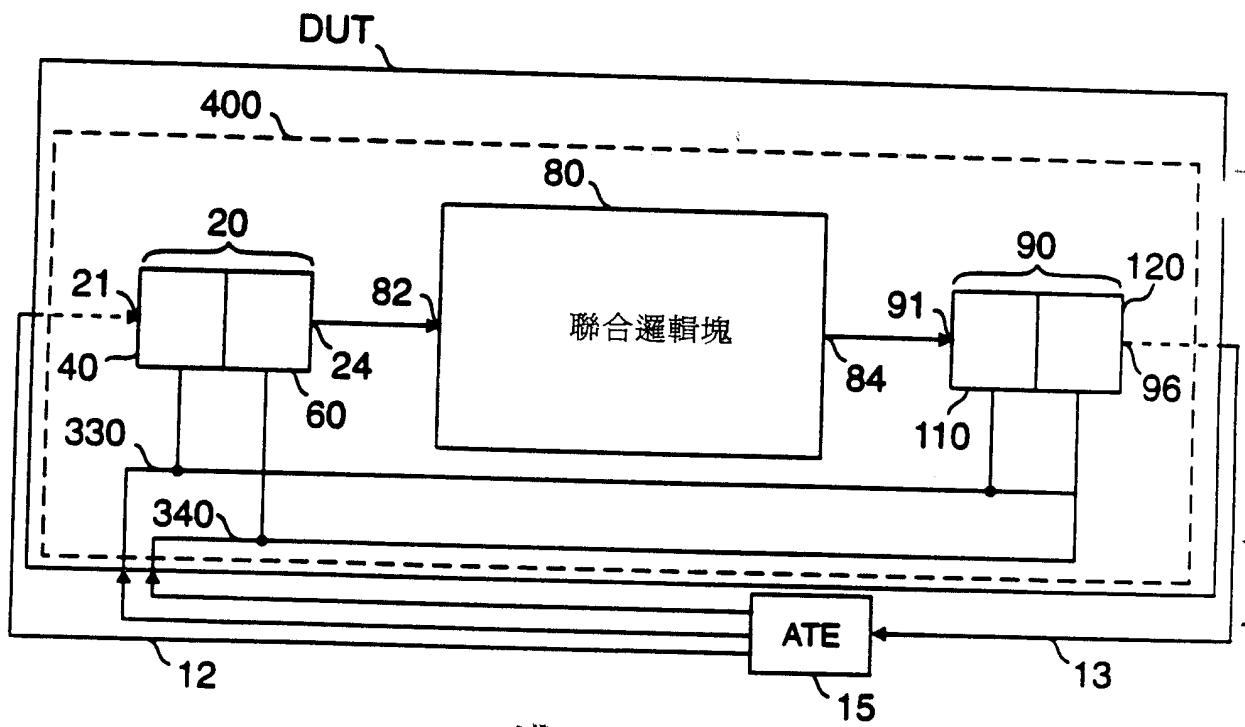
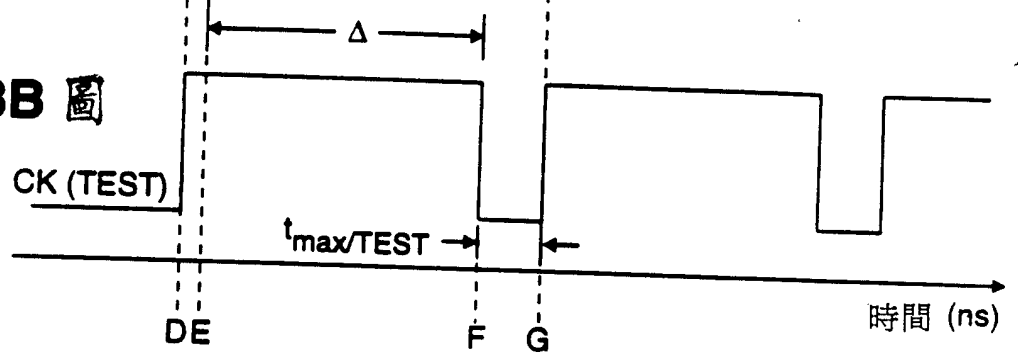


第 7C 圖

第 8A 圖

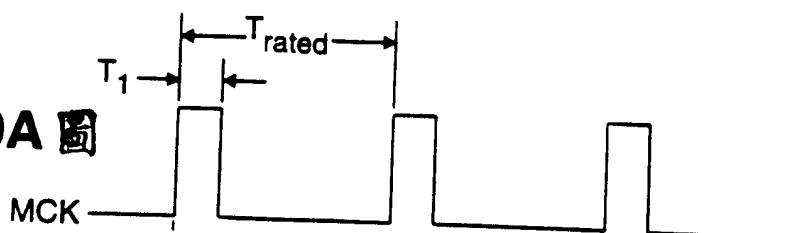


第 8B 圖

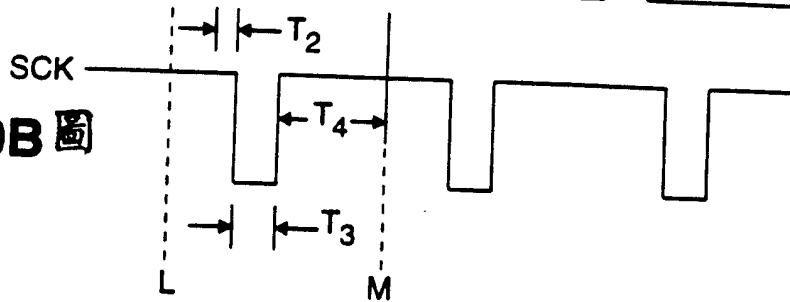


第 9 圖

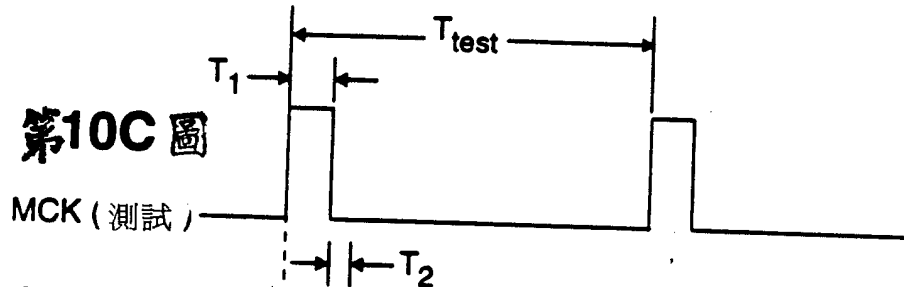
第10A圖



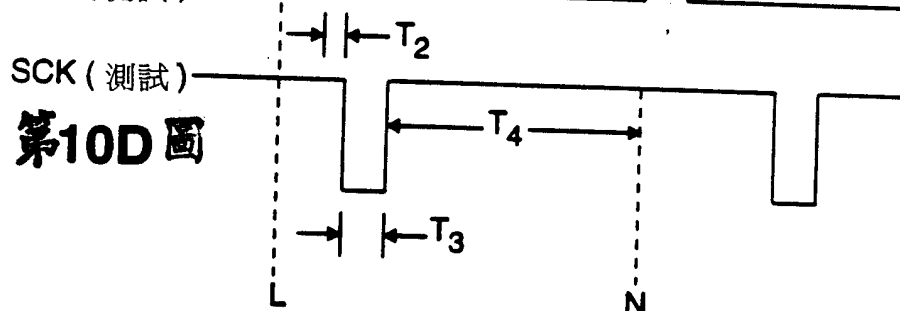
第10B圖



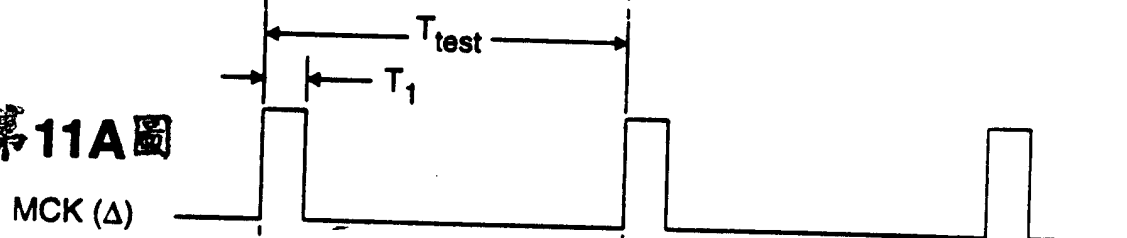
第10C圖



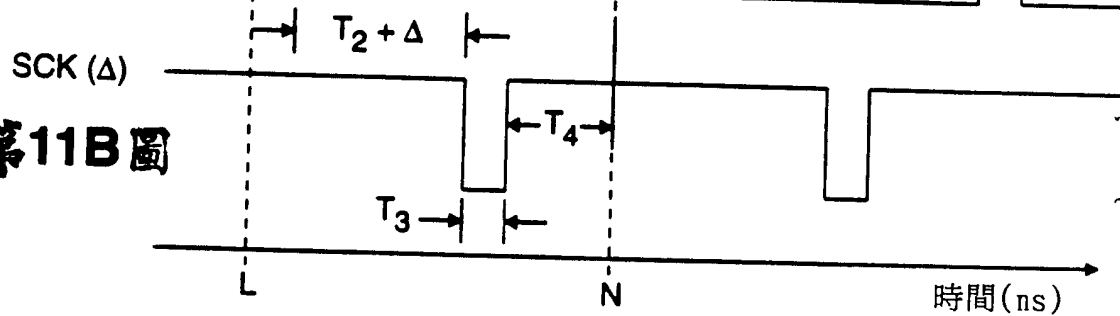
第10D圖



第11A圖



第11B圖



時間(ns)

