

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4792113号

(P4792113)

(45) 発行日 平成23年10月12日(2011.10.12)

(24) 登録日 平成23年7月29日(2011.7.29)

(51) Int.Cl.

F I

G 0 6 F 9/48 (2006.01)

G 0 6 F 9/46 3 1 1 Z

請求項の数 19 外国語出願 (全 12 頁)

(21) 出願番号	特願2010-2051 (P2010-2051)	(73) 特許権者	591003943
(22) 出願日	平成22年1月7日(2010.1.7)		インテル・コーポレーション
(62) 分割の表示	特願2006-521923 (P2006-521923) の分割		アメリカ合衆国 9 5 0 5 2 カリフォル ニア州・サンタクララ・ミッション カレ ッジ プーレバード・2 2 0 0
原出願日	平成16年7月21日(2004.7.21)	(74) 代理人	110000877
(65) 公開番号	特開2010-113734 (P2010-113734A)		龍華国際特許業務法人
(43) 公開日	平成22年5月20日(2010.5.20)	(72) 発明者	ハマーランド、パー
審査請求日	平成22年2月1日(2010.2.1)		アメリカ合衆国、9 7 1 2 4 オレゴン州 、ヒルズバロ、ノースイースト セカンド ドライブ 2 6 0 1
(31) 優先権主張番号	10/631,522	(72) 発明者	クロスランド、ジェームス
(32) 優先日	平成15年7月31日(2003.7.31)		アメリカ合衆国、9 7 1 0 6 オレゴン州 、バンクス、ノースウエスト デビッドソ ン ロード 1 6 7 4 4
(33) 優先権主張国	米国 (US)		最終頁に続く
前置審査			

(54) 【発明の名称】 プロセッサ間割り込み

(57) 【特許請求の範囲】

【請求項 1】

プロセッサ間割り込みを示す書き込みのための第 1 メモリロケーションを監視する第 1 命令を実行する第 1 ロジックと、

前記第 1 命令の実行に応じて前記プロセッサ間割り込みの処理を実行する第 2 ロジックと

を備え、

前記プロセッサ間割り込みは前記第 1 命令の実行とは独立に生じ、

単一の前記第 1 メモリロケーションが複数の装置に対応づけられており、前記複数の装置のそれぞれは、単一の前記第 1 メモリロケーションを監視する前記第 1 命令の実行に応じて、前記プロセッサ間割り込みを検出する装置。

【請求項 2】

前記装置は、前記プロセッサ間割り込みに対する肯定応答を第 2 メモリロケーションに書き込む

請求項 1 に記載の装置。

【請求項 3】

前記装置は、前記プロセッサ間割り込みを処理する関数をブート時に登録する
請求項 1 または 2 に記載の装置。

【請求項 4】

前記第 1 メモリロケーションは、前記第 1 命令に応じて定められる論理アドレスである請求項 1 から 3 のいずれか一項に記載の装置。

【請求項 5】

前記第 1 命令は前記装置に前記第 1 メモリロケーションを監視させ、前記第 1 メモリロケーションへの書き込みの検出に応じて、前記装置は前記プロセッサ間割り込みの処理のための線形アドレスに実行制御権を移行する
請求項 1 から 4 のいずれか一項に記載の装置。

【請求項 6】

前記第 1 命令は、前記第 2 ロジックにより前記第 1 メモリロケーションで前記プロセッサ間割り込み要求が検出されると、リング遷移をイネーブルする状態を確立させる
請求項 1 から 5 のいずれか一項に記載の装置。

【請求項 7】

第 2 装置により第 1 命令の実行に応じて監視される第 1 メモリロケーションに、プロセッサ間割り込みを示す書き込みを実行する第 1 ロジックと、

前記プロセッサ間割り込みに対する前記第 2 装置からの肯定応答について、第 2 メモリロケーションを監視する第 2 ロジックと
を備え、

前記第 1 メモリロケーションは、ライトバックメモリロケーションであり、

前記プロセッサ間割り込みは、前記第 1 命令の実行とは独立に生じ、

単一の前記第 1 メモリロケーションが複数の前記第 2 装置に対応づけられており、前記複数の第 2 装置のそれぞれは、前記第 1 命令の実行に応じて、複数のプロセッサ間割り込みの受け取りについて単一の前記第 1 メモリロケーションを監視する
装置。

【請求項 8】

第 2 装置により第 1 命令の実行に応じて監視される第 1 メモリロケーションに、プロセッサ間割り込みを示す書き込みを実行する第 1 ロジックと、

前記プロセッサ間割り込みに対する前記第 2 装置からの肯定応答について、第 2 メモリロケーションを監視する第 2 ロジックと
を備え、

前記第 1 メモリロケーションは、キャッシュメモリロケーションであり、

前記プロセッサ間割り込みは、前記第 1 命令の実行とは独立に生じ、

単一の前記第 1 メモリロケーションが複数の前記第 2 装置に対応づけられており、前記複数の第 2 装置のそれぞれは、前記第 1 命令の実行に応じて、複数のプロセッサ間割り込みの受け取りについて単一の前記第 1 メモリロケーションを監視する
装置。

【請求項 9】

第 2 装置により第 1 命令の実行に応じて監視される第 1 メモリロケーションに、プロセッサ間割り込みを示す書き込みを実行する第 1 ロジックと、

前記プロセッサ間割り込みに対する前記第 2 装置からの肯定応答について、第 2 メモリロケーションを監視する第 2 ロジックと
を備え、

前記プロセッサ間割り込みは、前記第 1 命令の実行とは独立に生じ、

単一の前記第 1 メモリロケーションが複数の第 2 装置に対応づけられており、前記複数の第 2 装置のそれぞれは、単一の前記第 1 メモリロケーションを監視する前記第 1 命令の実行に応じて、前記プロセッサ間割り込みを検出する
装置。

【請求項 10】

前記第 2 装置は、前記第 1 命令の実行に応じて、複数のプロセッサ間割り込みの受け取りについて、前記第 2 装置に対応づけられた前記第 1 メモリロケーションを監視する
請求項 9 に記載の装置。

10

20

30

40

50

【請求項 1 1】

プロセッサが、プロセッサ間割り込みについてメモリロケーションを監視させる第 1 命令を実行する段階と、

前記プロセッサが、前記メモリロケーションにおいて前記プロセッサ間割り込みを検出する段階と、

前記プロセッサが、前記プロセッサ間割り込みの処理を実行する段階とを備え、

前記プロセッサ間割り込みは前記第 1 命令の実行とは独立に生じ、

単一の前記メモリロケーションが複数の前記プロセッサに対応づけられており、前記複数のプロセッサのそれぞれは、単一の前記メモリロケーションを監視させる前記第 1 命令の実行に応じて、前記プロセッサ間割り込みを検出する方法。

10

【請求項 1 2】

前記プロセッサ間割り込みの処理を実行する段階は、

前記プロセッサが、前記プロセッサ間割り込みの処理をもたらず線形アドレスに実行制御権を移行する段階

を有する請求項 1 1 に記載の方法。

【請求項 1 3】

前記プロセッサが、前記プロセッサ間割り込みに対する肯定応答を第 2 メモリロケーションに書き込む段階

20

をさらに備える請求項 1 1 または 1 2 に記載の方法。

【請求項 1 4】

前記第 1 命令により、線形アドレスに基づく前記メモリロケーションが特定される請求項 1 1 から 1 3 のいずれか一項に記載の方法。

【請求項 1 5】

前記プロセッサが、前記メモリロケーションで前記プロセッサ間割り込み要求が検出された場合に、現在の状態を保存する段階

をさらに備える請求項 1 1 から 1 4 のいずれか一項に記載の方法。

【請求項 1 6】

装置により第 1 命令の実行に応じて監視される第 1 メモリアドレスに、第 2 装置がプロセッサ間割り込みを示す書き込みを実行する段階と、

30

前記第 2 装置が、前記プロセッサ間割り込みの受け取りに対する前記装置からの肯定応答について、第 2 メモリアドレスを監視する段階とを備え、

前記プロセッサ間割り込みは、前記第 1 命令の実行とは独立に生じ、

単一のメモリロケーションが複数の装置に対応づけられており、前記複数の装置のそれぞれは、前記単一のメモリロケーションのアドレスである前記第 1 メモリアドレスを監視する前記第 1 命令の実行に応じて、前記プロセッサ間割り込みを検出する方法。

40

【請求項 1 7】

前記装置は、前記第 1 命令の実行に応じて、複数のプロセッサ間割り込みの受け取りについて、前記装置に対応づけられたメモリロケーションを監視する請求項 1 6 に記載の方法。

【請求項 1 8】

複数のプロセッサコアによりアクセス可能な 1 つのメモリと、

第 1 メモリロケーションにプロセッサ間割り込みを示す書き込みを実行する第 1 ロジック、および、前記プロセッサ間割り込みに対する肯定応答について前記メモリの第 2 メモリロケーションを監視する第 2 ロジックを有する第 1 プロセッサと、

第 1 命令の実行に応じて、プロセッサ間割り込みを示す書き込みについて前記第 1 メモリロケーションを監視する第 3 ロジックを有する第 2 プロセッサと、

50

前記第 1 命令に応じて、前記プロセッサ間割り込みの処理を実行する第 4 ロジックとを備え、

前記第 2 プロセッサは、前記プロセッサ間割り込みに対する肯定応答について前記第 2 メモリロケーションに書き込みをし、

前記プロセッサ間割り込みは前記第 1 命令の実行とは独立に生じ、

単一の前記第 1 メモリロケーションが複数の前記第 2 プロセッサに対応づけられており、前記複数の第 2 プロセッサのそれぞれは、単一の前記第 1 メモリロケーションを監視する前記第 1 命令の実行に応じて、前記プロセッサ間割り込みを検出するシステム。

【請求項 19】

前記第 1 プロセッサは、前記プロセッサ間割り込みを処理する関数をブート時に登録する

請求項 18 に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一実施形態はコンピュータ動作全般に関し、特にプロセッサ間割り込みに関する。

【背景技術】

【0002】

コンピュータは、物理的なプロセッサ及び論理的なプロセッサを含み得る複数のプロセッサを備え得る。オペレーティングシステムはプロセッサ間割り込み（IPI）を利用して、システム内のプロセッサ間で要求を受け渡すことができる。オペレーティングシステムはプロセッサ間割り込みを使用して、1つのプロセッサに1つ又は複数の他のプロセッサに対する特定のアクションを開始させることができる。このようなアクションは、プロセッサが割り込みを他のプロセッサに送ってTLBエントリの無効化を要求するTLB（変換ルックアサイドバッファ）シュートダウン割り込みを含み得る。受け取り側のプロセッサは、線形アドレスマッピングの変更又は特定のメモリ範囲のメモリキャッシュ属性の変更等、送り側のプロセッサが行ったグローバルな変更に応答してキャッシュフラッシュを開始することができる。

【0003】

しかし、プロセッサ間割り込み信号は、送り側のプロセッサ及び受け取り側のプロセッサの両方に大きなオーバヘッドを必要とし得る。送り側のプロセッサはメモリアクセスを行い、ローカルアドバンストプログラマブル割り込みコントローラ（APIC：local advanced programmable interrupt controller）等のプログラマブル割り込みコントローラを通して割り込みを送る必要がある。同様に、受け取り側プロセッサも割り込みを受け取るプロセスにおいて相当なオーバヘッドを負担する恐れがある。

【発明の開示】

【課題を解決するための手段】

【0004】

本発明は、本発明の実施形態を例示するために使用される以下の説明及び添付図面を参照することによって最良に理解することができる。

【発明を実施するための最良の形態】

【0005】

マルチプロセッサシステム内でのプロセッサ間割り込みのための方法及び装置について説明する。

【0006】

本発明の一実施形態下では、プロセッサ間割り込み関数は割り込みを呼び出す命令を使用して行われる。本明細書ではこの命令をMcall命令と呼ぶが、この命令は任意の名称を有することができる。実施形態では、送り側プロセッサへの関数の動作コストはライ

10

20

30

40

50

トバックメモリロケーションへの記憶であり、受け取り側へのコストは関数への強制呼び出しである。本発明の一実施形態はプロセッサ間割り込みの動作コストを大幅に削減し、それによってシステムパフォーマンスを向上させることができる。

【 0 0 0 7 】

本発明の一実施形態によれば、割り込み関数は、メモリシステムを通して送られる信号によって実行される。送り側プロセッサは、ライトバックメモリロケーションへの記憶を行う。その結果、記憶により受け取り側に関数呼び出しが発生する。この動作は、A P I Cを通して送られる従来の割り込みと対照を成すことができる。この実施形態は、プロセッサ間割り込みを送るコストを削減することによってマルチプロセッサ環境及びマルチスレッド環境でのオペレーティングシステムのパフォーマンスを向上させることができる。本発明の一実施形態下では、A P I Cなしで、又は代替の信号動作を有するシステム内でなく、プロセッサ間割り込み関数を実行することができる。

10

【 0 0 0 8 】

プロセッサ間割り込みを送る従来のメカニズムを図 1 に示す。この図では、第 1 の開始側すなわち送り側プロセッサが割り込みを第 2 の受け取り側すなわちターゲットプロセッサに提供する。図 1 に提供する例は 2 つの 3 2 ビット書き込み動作で書かれる 6 4 ビットコマンドが関係する。このシーケンスでは、第 1 のプロセッサは以下のタスクを実行する。

1 . プロセッサローカル A P I C タスク優先度レジスタへの書き込み 1 0 5 を介して割り込み要求レベル (I R Q L) を上げる。これは非キャッシュロケーションへの書き込みである。

20

2 . プロセッサローカル A P I C 割り込みコマンドレジスタに書き込むコマンドを作成する (メモリロケーション又はレジスタに) 1 1 0 。パラメータの中でも特に、このコマンドはターゲットプロセッサ及びターゲットプロセッサへの割り込みに使用すべき割り込みベクトル V を指定する。割り込みベクトル V は、プロセッサ間割り込みを送ったことに応答してターゲットプロセッサにおいて実行され得る割り込みサービスルーチンに対応し得る。

3 . コマンドをプロセッサローカル A P I C 割り込みコマンドレジスタ (I C R) に書き込む 1 1 5 。これは非キャッシュロケーションへの書き込みである。コマンドを書き込むプロセスは以下を含み得る。

30

a . 割り込みのディセーブル動作 1 2 0

b . ローカル A P I C の空きを待つ 1 2 5 。これは割り込みコマンドレジスタの B U S Y ビットをポーリングすることによって行うことができる。

c . コマンドの上位 3 2 ビットを A P I C 割り込みコマンドレジスタハイワードに書き込む 1 3 0 。

d . コマンドの下位 3 2 ビットを A P I C 割り込みコマンドレジスタローワードに書き込む 1 3 5 。

e . ローカル A P I C の空きを待つ 1 4 0 。

f . 割り込み動作を再びイネーブルする 1 4 5 。

4 . ターゲットプロセッサが、特定のデータ値を特定のメモリロケーションに書き込むことにより、プロセッサ間割り込みを受け取ったことに対して肯定応答するのを待つ 1 5 0 。この書き込みは、ターゲットプロセッサに送ったまさにその割り込みに対しての処理の一環として行われ得る。

40

5 . 通常動作を再開する 1 5 5 。

【 0 0 0 9 】

受け取り側プロセッサでは、割り込みは従来通り、ローカル A P I C 割り込み送出メカニズムに組み込まれたロジックを介してラッチされてプロセッサコアに送出される。示す割り込みメカニズムは、プロセッサコアが動作している割り込み優先度 (A P I C タスク優先度レジスタに反映される) 、より高い優先度を有し得る他の保留中の割り込み、及びプロセッサコアの割り込み可能性状態 (i n t e r r u p t i b i l i t y s t a t e

50

)を考慮する。プロセッサコアが割り込みをイネーブルさせ、プロセッサ間割り込みに対応するベクトルが保留中の最高優先度割り込みベクトルである場合、ローカルA P I Cはベクトルをコアにディスパッチする。

【0010】

受け取り側プロセッサでの従来のイベントシーケンスを図2に示す。受け取り側プロセッサでのプロセッサ間割り込みプロセスは以下を含み得る。

1. プロセッサのローカルA P I Cが割り込みベクトルVをディスパッチし205、これはプロセッサコアへの割り込みサービスルーチン(I S R)に対応する。ブート時に、O Sは、割り込みサービスルーチンと共に割り込みゲートを含むように、ベクトルVに対応する割り込み記述子テーブルエントリをプログラムしているであろう。

2. タスク優先度レジスタレベルをベクトルVに対応するレベルに上げる210。

3. プロセッサコアが割り込み記述子テーブルを介してベクトルVをディスパッチする215。

4. プロセッサ間割り込みに対応する割り込みサービスルーチンが割り込みをディセーブルして制御権を獲得する220。

5. 割り込みサービスルーチンがメモリロケーションに書き込み、送り側プロセッサにプロセッサ間割り込みを受け取ったことを通知する225。

6. プロセッサ間割り込みのアクションを実行する230。

7. 通常動作を再開する235。

【0011】

本発明の一実施形態下では、割り込み動作に命令(この説明ではM c a l l 1命令)を使用することで、送り側プロセッサ及び受け取り側プロセッサの動作シーケンスを簡略化することができる。ブート時に、マルチプロセッサシステム内の各プロセッサは、プロセッサ間割り込み関数等、M c a l l 1命令を介して割り込みサービスルーチンを受け取ったときにカーネルモードで実行されていたであろう割り込みサービスルーチンに対応する関数を登録する。しかし、この動作は別法として、モデル固有レジスタの使用を含め、他のメカニズムにより実現することもできる。

【0012】

図3は、送り側プロセッサのプロセッサ間割り込みシーケンスの一実施形態の図である。送り側プロセッサのプロセスは以下を含み得る。

1. 線形アドレスXへのプロセッサ間割り込み要求のメモリ書き込みを実行する305

2. 受け取り側プロセッサが、特定のメモリロケーションをポーリングして値が変更されたか否かを判断することにより、プロセッサ間割り込みを受け取ったことに対して肯定応答するのを待つ310。その値は、受け取り側プロセッサに対する割り込みサービスの一部として、書き込みにより変更される。この動作はプロセッサ間割り込みの送信の場合には必要なく、いくつかの実施形態では、動作は、メモリロケーションのポーリングなしで、又は割り込みの受信に対する肯定応答を受け取ることなく再開することができる。

3. メモリロケーションが値を変更していた場合、通常動作を再開する315。

【0013】

図3に示す例は、割り込みが1つの受け取り側プロセッサに送られる例を示す。プロセッサ間割り込みは複数のプロセッサに送ることができる。一実施形態では、複数のプロセッサが単一のメモリロケーションを監視してプロセッサ間割り込みを検出する。別の実施形態では、各プロセッサが別個のメモリロケーションを監視することができる。プロセッサ間割り込みが複数のターゲットプロセッサに送られる場合、送り側プロセッサは、そのプロセッサが監視しているメモリロケーションへの書き込みを実行することができ、又は複数の書き込み、すなわちターゲットプロセッサが監視している各アドレスへの書き込みを実行することができる。本発明の一実施形態下では、実行される各書き込みはキャッシュメモリロケーションに対しての書き込みであるので、従来のシーケンスでのアンキャッシュタスク優先度レジスタアドレスへの書き込みよりもはるかに高速である。

【 0 0 1 4 】

図 4 は受け取り側プロセッサシーケンスの図である。本発明の一実施形態下では、M c a l l 動作を使用したプロセッサ間割り込みの受け取り側プロセッサの動作は以下を含み得る。

1 . カーネルモードで、プロセッサ間割り込みを受信したときにリング遷移 (ring transition) をイネーブルする状態を確立する 4 0 5 。

2 . メモリロケーション < L i n e a r A d d r e s s X > を監視する 4 1 0 。メモリロケーションへの書き込みはプロセッサ間割り込み要求を示す。

3 . ユーザモード又はカーネルモードのいずれかでプロセッサ間割り込みを検出すると、現在の状態を保存する 4 2 0 。

4 . 割り込み M c a l l < I P I I S R L i n e a r A d d r e s s > を実行する 4 2 5 。

5 . 関数の実行には、送り側プロセッサがポーリングしているメモリロケーションへの書き込みが含まれ得る 4 3 0 。

6 . 通常動作を再開する 4 3 5 。

【 0 0 1 5 】

この実施形態下では、M c a l l 命令は受け取り側プロセッサを、プロセッサが書き込みについて線形アドレス X を監視し、書き込み動作が検出されると実行制御権を I P I I S R 線形アドレスに移す状態にする。リング遷移は必要に応じて行われ、スタックにおいて適切な状態が確立され、プロセッサ優先度レベルが適切な優先度に上げられる。

【 0 0 1 6 】

図 5 は、第 1 の送り側プロセッサと第 2 の受け取り側プロセッサの間のシーケンスの一実施形態を示す。この例示では、送り側プロセッサ 5 0 5 はプロセッサ間割り込みを受け取り側プロセッサ 5 1 0 に送っている。他の例示では、割り込みを複数のプロセッサに送ることができる。送り側プロセッサ 5 0 5 はプロセッサ間割り込み要求 5 1 5 を図では線形アドレス X 5 2 0 として示すアドレスに書き込む。線形アドレス X 5 2 0 は受け取り側プロセッサ 5 1 0 によって監視される 5 3 5 。次いで、送り側プロセッサ 5 0 5 は Y 5 3 0 として例示中に示すメモリロケーションをポーリングする 5 2 5 。メモリロケーション Y 5 3 0 での値の変更は、受け取り側プロセッサ 5 1 0 が割り込み要求を受け取ったことの肯定応答を示す。しかし、受け取りに対する肯定応答は必ずしもプロセッサ間割り込み要求の送信に必要なものではなく、いくつかの実施形態では、送り側プロセッサ 5 0 5 は、メモリロケーションをポーリングすることなく、又は肯定応答を受け取ることなく通常動作を開始することができる。

【 0 0 1 7 】

線形アドレス X 5 2 0 を監視 5 3 5 している受け取り側プロセッサ 5 1 0 には、線形アドレス X 5 2 0 への書き込みが発生したときに割り込み要求が通知される。カーネルモードにおいて、受け取り側プロセッサは、プロセッサ間割り込みを受け取ったときに、リング遷移をイネーブルする状態を確立していることになる。割り込みを受け取ると、受け取り側プロセッサの現在の状態が保存される 5 4 0 。線形プロセッサが割り込みを行い、割り込みのための呼び出しは M c a l l < I P I I S R L i n e a r A d d r e s s > 5 4 5 として示されている。関数の実行には、送り側プロセッサ 5 0 5 がポーリングしている 5 2 5 メモリロケーション Y 5 3 0 への書き込み 5 5 0 を含み得る。メモリロケーション Y 5 3 0 での値の変更が検出されると、送り側プロセッサは通常動作を再開することができる。プロセッサ間割り込みを完了すると、受け取り側プロセッサは通常動作を再開することができる。

【 0 0 1 8 】

本明細書に記載する技法は多くの異なる環境で使用することができる。図 6 は、本発明の一実施形態と併せて使用することができる例示的なコンピュータのブロック図である。本発明の一実施形態下では、コンピュータは組込みシステム又は他の専用コンピュータを含むことができる。組込みシステム又は他の専用コンピュータは、本明細書において述べ

10

20

30

40

50

る特定の構成要素及び特徴なしでも動作することができる。

【 0 0 1 9 】

本発明の一実施形態下では、コンピュータ 6 0 0 は、情報を通信するためのバス 6 0 5 又は他の通信手段、及び第 1 のバス 6 0 5 に結合された情報を処理するための 1 つ又は複数のプロセッサ 6 1 0 (6 1 1、6 1 2 として示し、6 1 3 に続く) 等の処理手段を備える。プロセッサ 6 1 0 のいずれも、プロセッサ間割り込みを他の 1 つ又は複数のプロセッサに提供することができる。各プロセッサは、プロセッサ間割り込み動作のための実行ユニット及びロジックを備えることができる。

【 0 0 2 0 】

コンピュータ 6 0 0 は、情報及びプロセッサ 6 1 0 が実行する命令を記憶するためのメインメモリ 6 1 5 としてランダムアクセスメモリ (R A M) 又は他の動的記憶装置をさらに備える。メインメモリ 6 1 5 は、プロセッサ 6 1 0 が命令を実行している間に変数又は他の中間情報を一時的に記憶するためにも使用することができる。コンピュータ 6 0 0 は、プロセッサ 6 1 0 の静的な情報及び命令を記憶するための読み取り専用メモリ (R O M) 6 2 0 及び / 又は他の静的記憶装置を備えることもできる。

【 0 0 2 1 】

情報及び命令を記憶するためのデータ記憶装置 6 2 5 もコンピュータ 6 0 0 のバス 6 0 5 に結合することができる。データ記憶装置 6 2 5 は、磁気ディスク又は光ディスク並びにそれに対応するドライブ、フラッシュメモリ若しくは他の不揮発性メモリ、又は他のメモリ装置を含むことができる。このような要素は共に結合してもよく、又は別個の構成要素であってもよく、コンピュータ 6 0 0 の他の要素のパーツを利用する。

【 0 0 2 2 】

コンピュータ 6 0 0 は、バス 6 0 5 を介して、情報をエンドユーザに向けて表示するための、液晶ディスプレイ (L C D) 又は他の表示技術等の表示装置 6 3 0 にも結合することができる。環境によっては、表示装置は、入力装置の少なくとも一部としても利用されるタッチスクリーンであることができる。環境によっては、表示装置 6 3 0 は、可聴情報を提供するためのスピーカ等の聴覚装置であることができ、又は聴覚装置を備えることができる。入力装置 6 4 0 をバス 6 0 5 に結合して、情報及び / 又はコマンド選択をプロセッサ 6 1 0 に通信することができる。各種実施態様では、入力装置 6 4 0 はキーボード、キーパッド、タッチスクリーン及びスタイラス、音声作動システム、他の入力装置、又はこのような装置の組み合わせであることができる。備えることができる別のタイプのユーザ入力装置は、方向情報及びコマンド選択をプロセッサ 6 1 0 に通信するとともに表示装置 6 3 0 上のカーソルの移動を制御するための、マウス、トラックボール、又はカーソル方向キー等のカーソル制御装置 6 4 5 である。

【 0 0 2 3 】

通信装置 6 5 0 もバス 6 0 5 に結合することができる。特定の実施態様に応じて、通信装置 6 5 0 は送受信器、ワイヤレスモデム、ネットワークインタフェースカード、又は他のインタフェース装置を備えることができる。コンピュータ 6 0 0 は、通信装置 6 5 0 を使用して、インターネット、ローカルエリアネットワーク、又は別の環境へのリンクを含むことができるネットワーク又は他の装置にリンクすることができる。

【 0 0 2 4 】

上記説明中、説明を目的として、本発明の完全な理解を提供するために多くの特定の詳細について述べた。しかし、本発明はこれら特定の詳細のいくつかなしで実施することができることが当業者に理解されよう。他の場合では、既知の構造及び装置についてはブロック図形態で示した。

【 0 0 2 5 】

本発明は各種ステップを含む。本発明のステップはハードウェア構成要素によって行うことも、又は命令がプログラムされた汎用又は専用のプロセッサ又は論理回路にステップを実行させるために使用することができる機械可読命令で具現することもできる。別法として、ステップはハードウェアとソフトウェアの組み合わせによって実行することができ

10

20

30

40

50

る。

【 0 0 2 6 】

本発明の部分は、命令を記憶した機械可読媒体を含むことができ、本発明によるプロセスを実行するようにコンピュータ（又は他の電子装置）をプログラムするために使用することができるコンピュータプログラム製品として提供することができる。機械可読媒体としては、フロッピー（登録商標）ディスク、光ディスク、CD-ROM、及び光磁気ディスク、ROM、RAM、EPROM、EEPROM、磁気カード、光カード、フラッシュメモリ、又は電子命令の記憶に適した他のタイプの媒体／機械可読媒体を挙げることができるがこれらに限定されない。さらに、本発明はコンピュータプログラム製品としてダウンロードすることもでき、この場合、プログラムは通信リンク（たとえば、モデム又はネットワーク接続）を介して、搬送波又は他の伝搬媒体に具現されるデータ信号によりリモートコンピュータから要求側のコンピュータに転送することができる。

10

【 0 0 2 7 】

方法の多くについて最も基本的な形態で説明したが、本発明の基本範囲から逸脱することなく、方法のいずれに対してもステップの追加又は削除を行うことができ、説明したメッセージのいずれに対しても情報の加減を行うことができる。多くの変更及び適合をさらに行うことが可能なことが当業者には明らかとなろう。特定の実施形態は本発明を限定するためではなく本発明を例示するために提供されている。本発明の範囲は上に提供した特定の例によってではなく以下の特許請求の範囲によってのみ限定されるべきである。

【 0 0 2 8 】

本明細書全体を通じての「一実施形態」又は「実施形態」への言及は、特定の特徴を本発明の実施に含めることができることを意味することも理解されたい。同様に、本発明の例示的な実施形態の上記説明では、本発明の各種特徴が時には、本開示を簡素化するべく、且つ本発明の各種態様のうちの1つ又は複数の理解を助けるべく、単一の実施形態、図、又は説明にグループ化されることも理解されたい。しかし、この開示方法は、請求する発明が各請求項に明示的に記載されるよりも多くの特徴を必要とするという意図を反映したものとして解釈されるべきではない。むしろ、以下の特許請求の範囲に反映されるように、本発明の諸態様は上に開示した単一の実施形態のすべてに満たない特徴にある。したがって、これにより特許請求の範囲をこの説明に明示的に組み込み、各請求項は本発明の別個の実施形態として独立している。

20

【図面の簡単な説明】

【 0 0 2 9 】

【図1】送り側プロセッサシーケンスを示す図である。

【図2】受け取り側プロセッサシーケンスを示す図である。

【図3】送り側プロセッサシーケンスの一実施形態を示す図である。

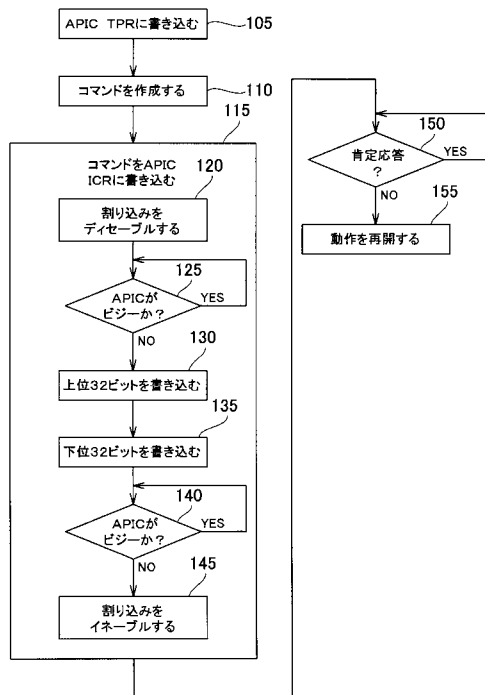
【図4】受け取り側プロセッサシーケンスの一実施形態を示す図である。

【図5】プロセッサ間割り込みシーケンスの一実施形態を例証する図である。

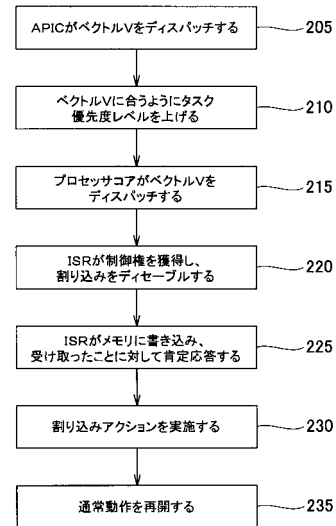
【図6】マルチプロセッサコンピュータの一実施形態を示す図である。

30

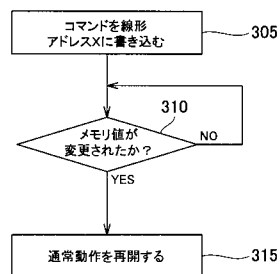
【図 1】



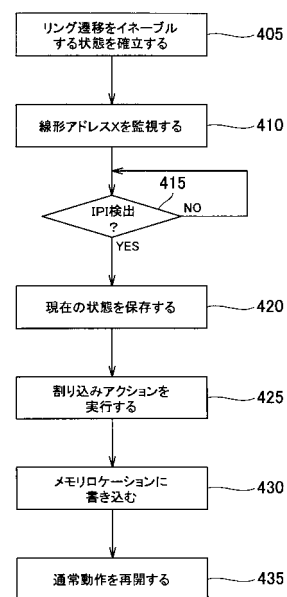
【図 2】



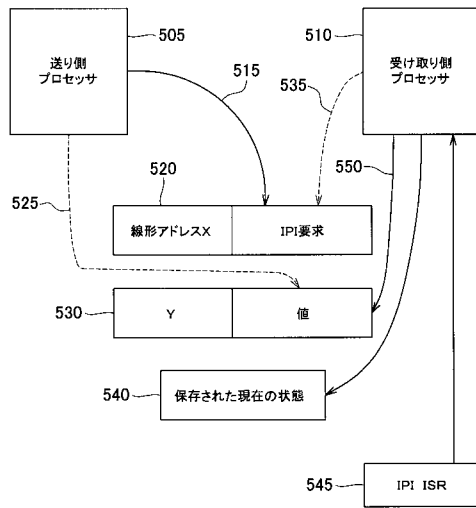
【図 3】



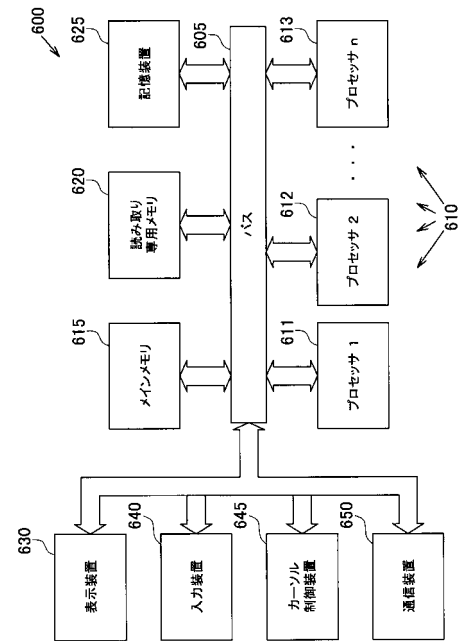
【図 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 カウシック、シブナンダン

アメリカ合衆国、 9 7 2 2 9 オレゴン州、ポートランド、ノースウエスト ハーバーレイン 1
4 1 1 6

(72)発明者 アガールウォル、アンリ

アメリカ合衆国、 9 7 2 2 9 オレゴン州、ポートランド、ノースウエスト ケイトリン テラス
1 5 8 7

審査官 北元 健太

(56)参考文献 特開平 3 - 2 1 2 7 5 5 (J P , A)

国際公開第 0 3 / 0 5 8 4 4 7 (W O , A 2)

特表 2 0 0 6 - 5 0 0 6 3 9 (J P , A)

特開平 4 - 3 0 7 6 5 2 (J P , A)

実開平 2 - 1 4 3 6 6 0 (J P , U)

特開平 2 - 6 9 8 5 4 (J P , A)

特開平 9 - 2 3 7 1 9 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 6 F 9 / 4 6 - 9 / 5 4