

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4792113号
(P4792113)

(45) 発行日 平成23年10月12日(2011.10.12)

(24) 登録日 平成23年7月29日(2011.7.29)

(51) Int.Cl.

G06F 9/48 (2006.01)

F 1

G06F 9/46 311Z

請求項の数 19 外国語出願 (全 12 頁)

(21) 出願番号 特願2010-2051 (P2010-2051)
 (22) 出願日 平成22年1月7日 (2010.1.7)
 (62) 分割の表示 特願2006-521923 (P2006-521923)
 原出願日 平成16年7月21日 (2004.7.21)
 (65) 公開番号 特開2010-113734 (P2010-113734A)
 (43) 公開日 平成22年5月20日 (2010.5.20)
 審査請求日 平成22年2月1日 (2010.2.1)
 (31) 優先権主張番号 10/631,522
 (32) 優先日 平成15年7月31日 (2003.7.31)
 (33) 優先権主張国 米国(US)

前置審査

(73) 特許権者 591003943
 インテル・コーポレーション
 アメリカ合衆国 95052 カリフォルニア州・サンタクララ・ミッション・カレッジ ブーレバード・2200
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 ハマーランド、パー¹
 アメリカ合衆国、97124 オレゴン州
 、ヒルズバロ、ノースイースト・セカンドドライブ 2601
 (72) 発明者 クロスランド、ジェームス
 アメリカ合衆国、97106 オレゴン州
 、バンクス、ノースウエスト・デビッドソン・ロード 16744

最終頁に続く

(54) 【発明の名称】プロセッサ間割り込み

(57) 【特許請求の範囲】

【請求項 1】

プロセッサ間割り込みを示す書き込みのための第1メモリロケーションを監視する第1命令を実行する第1ロジックと、

前記第1命令の実行に応じて前記プロセッサ間割り込みの処理を実行する第2ロジックと
を備え、

前記プロセッサ間割り込みは前記第1命令の実行とは独立に生じ、
单一の前記第1メモリロケーションが複数の装置に対応づけられており、前記複数の装置のそれぞれは、单一の前記第1メモリロケーションを監視する前記第1命令の実行に応じて、前記プロセッサ間割り込みを検出する
装置。

【請求項 2】

前記装置は、前記プロセッサ間割り込みに対する肯定応答を第2メモリロケーションに書き込む

請求項1に記載の装置。

【請求項 3】

前記装置は、前記プロセッサ間割り込みを処理する関数をブート時に登録する
請求項1または2に記載の装置。

【請求項 4】

前記第1メモリロケーションは、前記第1命令に応じて定められる論理アドレスである
請求項1から3のいずれか一項に記載の装置。

【請求項5】

前記第1命令は前記装置に前記第1メモリロケーションを監視させ、前記第1メモリロ
ケーションへの書き込みの検出に応じて、前記装置は前記プロセッサ間割り込みの処理の
ための線形アドレスに実行制御権を移行する
請求項1から4のいずれか一項に記載の装置。

【請求項6】

前記第1命令は、前記第2ロジックにより前記第1メモリロケーションで前記プロセッ
サ間割り込み要求が検出されると、リング遷移をイネーブルする状態を確立させる
請求項1から5のいずれか一項に記載の装置。 10

【請求項7】

第2装置により第1命令の実行に応じて監視される第1メモリロケーションに、プロセ
ッサ間割り込みを示す書き込みを実行する第1ロジックと、

前記プロセッサ間割り込みに対する前記第2装置からの肯定応答について、第2メモリ
ロケーションを監視する第2ロジックと
を備え、

前記第1メモリロケーションは、ライトバックメモリロケーションであり、

前記プロセッサ間割り込みは、前記第1命令の実行とは独立に生じ、

单一の前記第1メモリロケーションが複数の前記第2装置に対応づけられており、前記
複数の第2装置のそれぞれは、前記第1命令の実行に応じて、複数のプロセッサ間割り込
みの受け取りについて单一の前記第1メモリロケーションを監視する
装置。 20

【請求項8】

第2装置により第1命令の実行に応じて監視される第1メモリロケーションに、プロセ
ッサ間割り込みを示す書き込みを実行する第1ロジックと、

前記プロセッサ間割り込みに対する前記第2装置からの肯定応答について、第2メモリ
ロケーションを監視する第2ロジックと
を備え、

前記第1メモリロケーションは、キャッシュメモリロケーションであり、

前記プロセッサ間割り込みは、前記第1命令の実行とは独立に生じ、

单一の前記第1メモリロケーションが複数の前記第2装置に対応づけられており、前記
複数の第2装置のそれぞれは、前記第1命令の実行に応じて、複数のプロセッサ間割り込
みの受け取りについて单一の前記第1メモリロケーションを監視する
装置。 30

【請求項9】

第2装置により第1命令の実行に応じて監視される第1メモリロケーションに、プロセ
ッサ間割り込みを示す書き込みを実行する第1ロジックと、

前記プロセッサ間割り込みに対する前記第2装置からの肯定応答について、第2メモリ
ロケーションを監視する第2ロジックと
を備え、 40

前記プロセッサ間割り込みは、前記第1命令の実行とは独立に生じ、

单一の前記第1メモリロケーションが複数の第2装置に対応づけられており、前記複数
の第2装置のそれぞれは、单一の前記第1メモリロケーションを監視する前記第1命令の
実行に応じて、前記プロセッサ間割り込みを検出する
装置。

【請求項10】

前記第2装置は、前記第1命令の実行に応じて、複数のプロセッサ間割り込みの受け取
りについて、前記第2装置に対応づけられた前記第1メモリロケーションを監視する
請求項9に記載の装置。 50

【請求項 1 1】

プロセッサが、プロセッサ間割り込みについてメモリロケーションを監視させる第1命令を実行する段階と、

前記プロセッサが、前記メモリロケーションにおいて前記プロセッサ間割り込みを検出する段階と、

前記プロセッサが、前記プロセッサ間割り込みの処理を実行する段階とを備え、

前記プロセッサ間割り込みは前記第1命令の実行とは独立に生じ、

単一の前記メモリロケーションが複数の前記プロセッサに対応づけられており、前記複数のプロセッサのそれぞれは、单一の前記メモリロケーションを監視させる前記第1命令の実行に応じて、前記プロセッサ間割り込みを検出する方法。

10

【請求項 1 2】

前記プロセッサ間割り込みの処理を実行する段階は、

前記プロセッサが、前記プロセッサ間割り込みの処理をもたらす線形アドレスに実行制御権を移行する段階

を有する請求項1 1に記載の方法。

【請求項 1 3】

前記プロセッサが、前記プロセッサ間割り込みに対する肯定応答を第2メモリロケーションに書き込む段階

20

をさらに備える請求項1 1または1 2に記載の方法。

【請求項 1 4】

前記第1命令により、線形アドレスに基づく前記メモリロケーションが特定される請求項1 1から1 3のいずれか一項に記載の方法。

【請求項 1 5】

前記プロセッサが、前記メモリロケーションで前記プロセッサ間割り込み要求が検出された場合に、現在の状態を保存する段階

をさらに備える請求項1 1から1 4のいずれか一項に記載の方法。

【請求項 1 6】

装置により第1命令の実行に応じて監視される第1メモリアドレスに、第2装置がプロセッサ間割り込みを示す書き込みを実行する段階と、

30

前記第2装置が、前記プロセッサ間割り込みの受け取りに対する前記装置からの肯定応答について、第2メモリアドレスを監視する段階とを備え、

前記プロセッサ間割り込みは、前記第1命令の実行とは独立に生じ、

単一のメモリロケーションが複数の装置に対応づけられており、前記複数の装置のそれぞれは、前記単一のメモリロケーションのアドレスである前記第1メモリアドレスを監視する前記第1命令の実行に応じて、前記プロセッサ間割り込みを検出する方法。

40

【請求項 1 7】

前記装置は、前記第1命令の実行に応じて、複数のプロセッサ間割り込みの受け取りについて、前記装置に対応づけられたメモリロケーションを監視する請求項1 6に記載の方法。

【請求項 1 8】

複数のプロセッサコアによりアクセス可能な1つのメモリと、

第1メモリロケーションにプロセッサ間割り込みを示す書き込みを実行する第1ロジック、および、前記プロセッサ間割り込みに対する肯定応答について前記メモリの第2メモリロケーションを監視する第2ロジックを有する第1プロセッサと、

第1命令の実行に応じて、プロセッサ間割り込みを示す書き込みについて前記第1メモリロケーションを監視する第3ロジックを有する第2プロセッサと、

50

前記第1命令に応じて、前記プロセッサ間割り込みの処理を実行する第4ロジックとを備え、

前記第2プロセッサは、前記プロセッサ間割り込みに対する肯定応答について前記第2メモリロケーションに書き込みをし、

前記プロセッサ間割り込みは前記第1命令の実行とは独立に生じ、
单一の前記第1メモリロケーションが複数の前記第2プロセッサに対応づけられており、前記複数の第2プロセッサのそれぞれは、单一の前記第1メモリロケーションを監視する前記第1命令の実行に応じて、前記プロセッサ間割り込みを検出するシステム。

【請求項19】

10

前記第1プロセッサは、前記プロセッサ間割り込みを処理する関数をブート時に登録する

請求項18に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一実施形態はコンピュータ動作全般に関し、特にプロセッサ間割り込みに関する。

【背景技術】

【0002】

20

コンピュータは、物理的なプロセッサ及び論理的なプロセッサを含み得る複数のプロセッサを備え得る。オペレーティングシステムはプロセッサ間割り込み(IPI)を利用して、システム内のプロセッサ間で要求を受け渡すことができる。オペレーティングシステムはプロセッサ間割り込みを使用して、1つのプロセッサに1つ又は複数の他のプロセッサに対する特定のアクションを開始させることができる。このようなアクションは、プロセッサが割り込みを他のプロセッサに送ってTLBエントリの無効化を要求するTLB(変換ルックアサイドバッファ)シートダウン割り込みを含み得る。受け取り側のプロセッサは、線形アドレスマッピングの変更又は特定のメモリ範囲のメモリキャッシュ属性の変更等、送り側のプロセッサが行ったグローバルな変更に応答してキャッシュフラッシュを開始することができる。

【0003】

30

しかし、プロセッサ間割り込み信号は、送り側のプロセッサ及び受け取り側のプロセッサの両方に大きなオーバヘッドを必要とし得る。送り側のプロセッサはメモリアクセスを行い、ローカルアドバンストプログラマブル割り込みコントローラ(APIC:local advanced programmable interrupt controller)等のプログラマブル割り込みコントローラを通して割り込みを送る必要がある。同様に、受け取り側プロセッサも割り込みを受け取るプロセスにおいて相当なオーバヘッドを負担する恐れがある。

【発明の開示】

【課題を解決するための手段】

【0004】

40

本発明は、本発明の実施形態を例示するために使用される以下の説明及び添付図面を参照することによって最良に理解することができる。

【発明を実施するための最良の形態】

【0005】

マルチプロセッサシステム内でのプロセッサ間割り込みのための方法及び装置について説明する。

【0006】

本発明の一実施形態下では、プロセッサ間割り込み関数は割り込みを呼び出す命令を使用して行われる。本明細書ではこの命令をMail命令と呼ぶが、この命令は任意の名称を有することができる。実施形態では、送り側プロセッサへの関数の動作コストはライ

50

トバックメモリロケーションへの記憶であり、受け取り側へのコストは関数への強制呼び出しである。本発明の一実施形態はプロセッサ間割り込みの動作コストを大幅に削減し、それによってシステムパフォーマンスを向上させることができる。

【 0 0 0 7 】

本発明の一実施形態によれば、割り込み関数は、メモリシステムを通して送られる信号によって実行される。送り側プロセッサは、ライトバックメモリロケーションへの記憶を行う。その結果、記憶により受け取り側に関数呼び出しが発生する。この動作は、A P I Cを通して送られる従来の割り込みと対照を成すことができる。この実施形態は、プロセッサ間割り込みを送るコストを削減することによってマルチプロセッサ環境及びマルチスレッド環境でのオペレーティングシステムのパフォーマンスを向上させることができる。10

本発明の一実施形態下では、A P I Cなしで、又は代替の信号動作を有するシステム内ではなく、プロセッサ間割り込み関数を実行することができる。

【 0 0 0 8 】

プロセッサ間割り込みを送る従来のメカニズムを図1に示す。この図では、第1の開始側すなわち送り側プロセッサが割り込みを第2の受け取り側すなわちターゲットプロセッサに提供する。図1に提供する例は2つの32ビット書き込み動作で書かれる64ビットコマンドが関係する。このシーケンスでは、第1のプロセッサは以下のタスクを実行する。

1. プロセッサローカルA P I Cタスク優先度レジスタへの書き込み105を介して割り込み要求レベル(I R Q L)を上げる。これは非キャッシュロケーションへの書き込みである。20

2. プロセッサローカルA P I C割り込みコマンドレジスタに書き込むコマンドを作成する(メモリロケーション又はレジスタに)110。パラメータの中でも特に、このコマンドはターゲットプロセッサ及びターゲットプロセッサへの割り込みに使用すべき割り込みベクトルVを指定する。割り込みベクトルVは、プロセッサ間割り込みを送ったことに対応してターゲットプロセッサにおいて実行され得る割り込みサービスルーチンに対応し得る。

3. コマンドをプロセッサローカルA P I C割り込みコマンドレジスタ(I C R)に書き込む115。これは非キャッシュロケーションへの書き込みである。コマンドを書き込むプロセスは以下を含み得る。30

a. 割り込みのディセーブル動作120

b. ローカルA P I Cの空きを待つ125。これは割り込みコマンドレジスタのB U S Yビットをポーリングすることによって行うことができる。

c. コマンドの上位32ビットをA P I C割り込みコマンドレジスタハイワードに書き込む130。

d. コマンドの下位32ビットをA P I C割り込みコマンドレジスタローワードに書き込む135。

e. ローカルA P I Cの空きを待つ140。

f. 割り込み動作を再びイネーブルする145。

4. ターゲットプロセッサが、特定のデータ値を特定のメモリロケーションに書き込むことにより、プロセッサ間割り込みを受け取ったことに対して肯定応答するのを待つ150。この書き込みは、ターゲットプロセッサに送ったまさにその割り込みに対しての処理の一環として行われ得る。

5. 通常動作を再開する155。

【 0 0 0 9 】

受け取り側プロセッサでは、割り込みは従来通り、ローカルA P I C割り込み送出メカニズムに組み込まれたロジックを介してラッチされてプロセッサコアに送出される。示す割り込みメカニズムは、プロセッサコアが動作している割り込み優先度(A P I Cタスク優先度レジスタに反映される)、より高い優先度を有し得る他の保留中の割り込み、及びプロセッサコアの割り込み可能性状態(interruptibility state)4050

)を考慮する。プロセッサコアが割り込みをイネーブルさせ、プロセッサ間割り込みに対応するベクトルが保留中の最高優先度割り込みベクトルである場合、ローカルA P I Cはベクトルをコアにディスパッチする。

【0010】

受け取り側プロセッサでの従来のイベントシーケンスを図2に示す。受け取り側プロセッサでのプロセッサ間割り込みプロセスは以下を含み得る。

1. プロセッサのローカルA P I Cが割り込みベクトルVをディスパッチし205、これはプロセッサコアへの割り込みサービスルーチン(I S R)に対応する。ブート時に、O Sは、割り込みサービスルーチンと共に割り込みゲートを含むように、ベクトルVに対応する割り込み記述子テーブルエントリをプログラムしているであろう。10

2. タスク優先度レジスタレベルをベクトルVに対応するレベルに上げる210。

3. プロセッサコアが割り込み記述子テーブルを介してベクトルVをディスパッチする215。

4. プロセッサ間割り込みに対応する割り込みサービスルーチンが割り込みをディセブルして制御権を獲得する220。

5. 割り込みサービスルーチンがメモリロケーションに書き込み、送り側プロセッサにプロセッサ間割り込みを受け取ったことを通知する225。

6. プロセッサ間割り込みのアクションを実行する230。

7. 通常動作を再開する235。

【0011】

本発明の一実施形態下では、割り込み動作に命令(この説明ではM c a l l命令)を使用することで、送り側プロセッサ及び受け取り側プロセッサの動作シーケンスを簡略化することができる。ブート時に、マルチプロセッサシステム内の各プロセッサは、プロセッサ間割り込み関数等、M c a l l命令を介して割り込みサービスルーチンを受け取ったときにカーネルモードで実行されていたであろう割り込みサービスルーチンに対応する関数を登録する。しかし、この動作は別法として、モデル固有レジスタの使用を含め、他のメカニズムにより実現することもできる。20

【0012】

図3は、送り側プロセッサのプロセッサ間割り込みシーケンスの一実施形態の図である。送り側プロセッサのプロセスは以下を含み得る。30

1. 線形アドレスXへのプロセッサ間割り込み要求のメモリ書き込みを実行する305。

2. 受け取り側プロセッサが、特定のメモリロケーションをポーリングして値が変更されたか否かを判断することにより、プロセッサ間割り込みを受け取ったことに対して肯定応答するのを待つ310。その値は、受け取り側プロセッサに対する割り込みサービスの一部として、書き込みにより変更される。この動作はプロセッサ間割り込みの送信の場合には必要なく、いくつかの実施形態では、動作は、メモリロケーションのポーリングなしで、又は割り込みの受信に対する肯定応答を受け取ることなく再開することができる。

3. メモリロケーションが値を変更していた場合、通常動作を再開する315。

【0013】

図3に示す例は、割り込みが1つの受け取り側プロセッサに送られる例を示す。プロセッサ間割り込みは複数のプロセッサに送ることができる。一実施形態では、複数のプロセッサが単一のメモリロケーションを監視してプロセッサ間割り込みを検出する。別の実施形態では、各プロセッサが別個のメモリロケーションを監視することができる。プロセッサ間割り込みが複数のターゲットプロセッサに送られる場合、送り側プロセッサは、そのプロセッサが監視しているメモリロケーションへの書き込みを実行することができ、又は複数の書き込み、すなわちターゲットプロセッサが監視している各アドレスへの書き込みを実行することができる。本発明の一実施形態下では、実行される各書き込みはキャッシュメモリロケーションに対しての書き込みであるので、従来のシーケンスでのアンキャッシュタスク優先度レジスタアドレスへの書き込みよりもはるかに高速である。4050

【0014】

図4は受け取り側プロセッサシーケンスの図である。本発明の一実施形態下では、Mc a l l動作を使用したプロセッサ間割り込みの受け取り側プロセッサの動作は以下を含み得る。

1. カーネルモードで、プロセッサ間割り込みを受信したときにリング遷移(ring transition)をイネーブルする状態を確立する405。

2. メモリロケーション<Linear Address X>を監視する410。メモリロケーションへの書き込みはプロセッサ間割り込み要求を示す。

3. ユーザモード又はカーネルモードのいずれかでプロセッサ間割り込みを検出すると、現在の状態を保存する420。
10

4. 割り込みMc a l l< I P I I S R L i n e a r A d d r e s s >を実行する425。

5. 関数の実行には、送り側プロセッサがポーリングしているメモリロケーションへの書き込みが含まれ得る430。

6. 通常動作を再開する435。

【0015】

この実施形態下では、Mc a l l命令は受け取り側プロセッサを、プロセッサが書き込みについて線形アドレスXを監視し、書き込み動作が検出されると実行制御権をI P I I S R線形アドレスに移す状態にする。リング遷移は必要に応じて行われ、スタックにおいて適切な状態が確立され、プロセッサ優先度レベルが適切な優先度に上げられる。
20

【0016】

図5は、第1の送り側プロセッサと第2の受け取り側プロセッサの間のシーケンスの一実施形態を示す。この例示では、送り側プロセッサ505はプロセッサ間割り込みを受け取り側プロセッサ510に送っている。他の例示では、割り込みを複数のプロセッサに送ることができる。送り側プロセッサ505はプロセッサ間割り込み要求515を図では線形アドレスX520として示すアドレスに書き込む。線形アドレスX520は受け取り側プロセッサ510によって監視される535。次いで、送り側プロセッサ505はY530として例示中に示すメモリロケーションをポーリングする525。メモリロケーションY530での値の変更は、受け取り側プロセッサ510が割り込み要求を受け取ったことの肯定応答を示す。しかし、受け取りに対する肯定応答は必ずしもプロセッサ間割り込み要求の送信に必要なものではなく、いくつかの実施形態では、送り側プロセッサ505は、メモリロケーションをポーリングすることなく、又は肯定応答を受け取ることなく通常動作を開始することができる。
30

【0017】

線形アドレスX520を監視535している受け取り側プロセッサ510には、線形アドレスX520への書き込みが発生したときに割り込み要求が通知される。カーネルモードにおいて、受け取り側プロセッサは、プロセッサ間割り込みを受け取ったときに、リング遷移をイネーブルする状態を確立していることになる。割り込みを受け取ると、受け取り側プロセッサの現在の状態が保存される540。線形プロセッサが割り込みを行い、割り込みのための呼び出しはMc a l l< I P I I S R L i n e a r A d d r e s s >545として示されている。関数の実行には、送り側プロセッサ505がポーリングしている525メモリロケーションY530への書き込み550を含み得る。メモリロケーションY530での値の変更が検出されると、送り側プロセッサは通常動作を再開することができる。プロセッサ間割り込みを完了すると、受け取り側プロセッサは通常動作を再開することができる。
40

【0018】

本明細書に記載する技法は多くの異なる環境で使用することができる。図6は、本発明の一実施形態と併せて使用することができる例示的なコンピュータのブロック図である。本発明の一実施形態下では、コンピュータは組込みシステム又は他の専用コンピュータを含むことができる。組込みシステム又は他の専用コンピュータは、本明細書において述べ
50

る特定の構成要素及び特徴なしでも動作することができる。

【0019】

本発明の一実施形態下では、コンピュータ600は、情報を通信するためのバス605又は他の通信手段、及び第1のバス605に結合された情報を処理するための1つ又は複数のプロセッサ610(611、612として示し、613に続く)等の処理手段を備える。プロセッサ610のいずれも、プロセッサ間割り込みを他の1つ又は複数のプロセッサに提供することができる。各プロセッサは、プロセッサ間割り込み動作のための実行ユニット及びロジックを備えることができる。

【0020】

コンピュータ600は、情報及びプロセッサ610が実行する命令を記憶するためのメインメモリ615としてランダムアクセスメモリ(RAM)又は他の動的記憶装置をさらに備える。メインメモリ615は、プロセッサ610が命令を実行している間に変数又は他の中間情報を一時的に記憶するためにも使用することができる。コンピュータ600は、プロセッサ610の静的な情報及び命令を記憶するための読み取り専用メモリ(ROM)620及び/又は他の静的記憶装置を備えることもできる。

10

【0021】

情報及び命令を記憶するためのデータ記憶装置625もコンピュータ600のバス605に結合することができる。データ記憶装置625は、磁気ディスク又は光ディスク並びにそれに対応するドライブ、フラッシュメモリ若しくは他の不揮発性メモリ、又は他のメモリ装置を含むことができる。このような要素は共に結合してもよく、又は別個の構成要素であってもよく、コンピュータ600の他の要素のパートを利用する。

20

【0022】

コンピュータ600は、バス605を介して、情報をエンドユーザに向けて表示するための、液晶ディスプレイ(LCD)又は他の表示技術等の表示装置630にも結合することができる。環境によっては、表示装置は、入力装置の少なくとも一部としても利用されるタッチスクリーンであることができる。環境によっては、表示装置630は、可聴情報を提供するためのスピーカ等の聴覚装置であることができ、又は聴覚装置を備えることができる。入力装置640をバス605に結合して、情報及び/又はコマンド選択をプロセッサ610に通信することができる。各種実施態様では、入力装置640はキーボード、キーパッド、タッチスクリーン及びスタイルス、音声作動システム、他の入力装置、又はこのような装置の組み合わせであることができる。備えることができる別のタイプのユーザ入力装置は、方向情報及びコマンド選択をプロセッサ610に通信するとともに表示装置630上のカーソルの移動を制御するための、マウス、トラックボール、又はカーソル方向キー等のカーソル制御装置645である。

30

【0023】

通信装置650もバス605に結合することができる。特定の実施態様に応じて、通信装置650は送受信器、ワイヤレスモデム、ネットワークインターフェースカード、又は他のインターフェース装置を備えることができる。コンピュータ600は、通信装置650を使用して、インターネット、ローカルエリアネットワーク、又は別の環境へのリンクを含むことができるネットワーク又は他の装置にリンクすることができる。

40

【0024】

上記説明中、説明を目的として、本発明の完全な理解を提供するために多くの特定の詳細について述べた。しかし、本発明はこれら特定の詳細のいくつかなしで実施することができることが当業者に理解されよう。他の場合では、既知の構造及び装置についてはプロック図形態で示した。

【0025】

本発明は各種ステップを含む。本発明のステップはハードウェア構成要素によって行うこと、又は命令がプログラムされた汎用又は専用のプロセッサ又は論理回路にステップを実行させるために使用することができる機械可読命令で具現することもできる。別法として、ステップはハードウェアとソフトウェアの組み合わせによって実行することができ

50

る。

【0026】

本発明の部分は、命令を記憶した機械可読媒体を含むことができ、本発明によるプロセスを実行するようにコンピュータ（又は他の電子装置）をプログラムするために使用することができるコンピュータプログラム製品として提供することができる。機械可読媒体としては、フロッピー（登録商標）ディスク、光ディスク、CD-ROM、及び光磁気ディスク、ROM、RAM、EPROM、EEPROM、磁気カード、光カード、フラッシュメモリ、又は電子命令の記憶に適した他のタイプの媒体／機械可読媒体を挙げができるがこれらに限定されない。さらに、本発明はコンピュータプログラム製品としてダウンロードすることもでき、この場合、プログラムは通信リンク（たとえば、モデム又はネットワーク接続）を介して、搬送波又は他の伝搬媒体に具現されるデータ信号によりリモートコンピュータから要求側のコンピュータに転送することができる。10

【0027】

方法の多くについて最も基本的な形態で説明したが、本発明の基本範囲から逸脱することなく、方法のいずれに対してもステップの追加又は削除を行うことができ、説明したメッセージのいずれに対しても情報の加減を行うことができる。多くの変更及び適合をさらに行なうことが可能なことが当業者には明らかとなろう。特定の実施形態は本発明を限定するためではなく本発明を例示するために提供されている。本発明の範囲は上に提供した特定の例によってではなく以下の特許請求の範囲によってのみ限定されるべきである。20

【0028】

本明細書全体を通じての「一実施形態」又は「実施形態」への言及は、特定の特徴を本発明の実施に含めることを意味することも理解されたい。同様に、本発明の例示的な実施形態の上記説明では、本発明の各種特徴が時には、本開示を簡素化するべく、且つ本発明の各種態様のうちの1つ又は複数の理解を助けるべく、单一の実施形態、図、又は説明にグループ化されることも理解されたい。しかし、この開示方法は、請求する発明が各請求項に明示的に記載されるよりも多くの特徴を必要とするという意図を反映したものとして解釈されるべきではない。むしろ、以下の特許請求の範囲に反映されるよう、本発明の諸態様は上に開示した単一の実施形態のすべてに満たない特徴にある。したがって、これにより特許請求の範囲をこの説明に明示的に組み込み、各請求項は本発明の別個の実施形態として独立している。30

【図面の簡単な説明】

【0029】

【図1】送り側プロセッサシーケンスを示す図である。

【図2】受け取り側プロセッサシーケンスを示す図である。

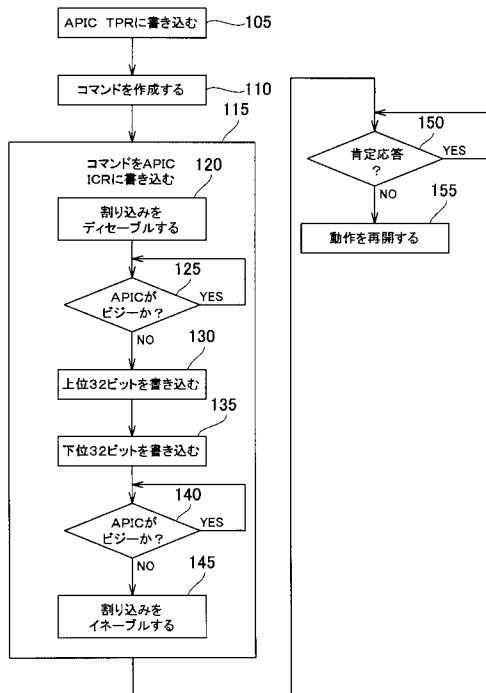
【図3】送り側プロセッサシーケンスの一実施形態を示す図である。

【図4】受け取り側プロセッサシーケンスの一実施形態を示す図である。

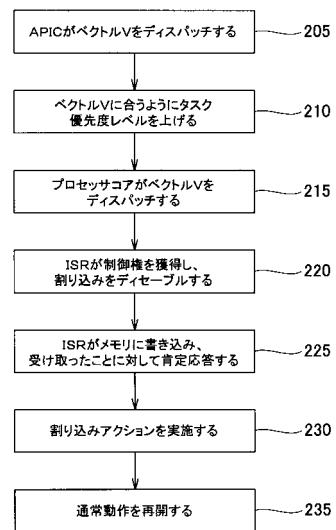
【図5】プロセッサ間割り込みシーケンスの一実施形態を例証する図である。

【図6】マルチプロセッサコンピュータの一実施形態を示す図である。

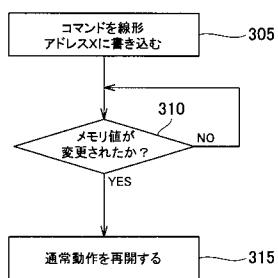
【図1】



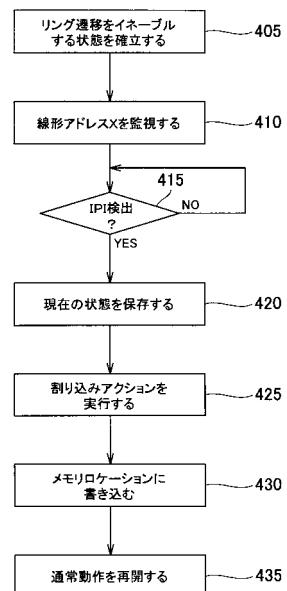
【図2】



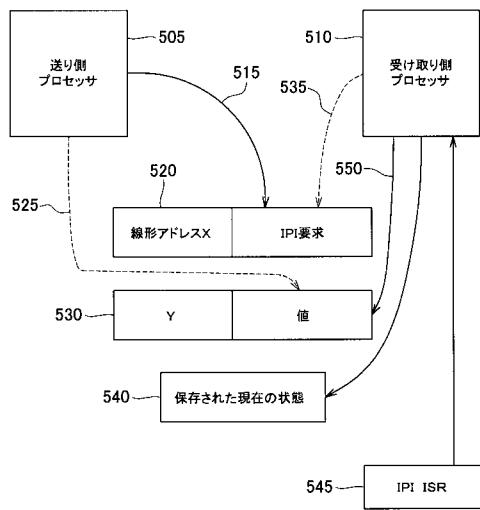
【図3】



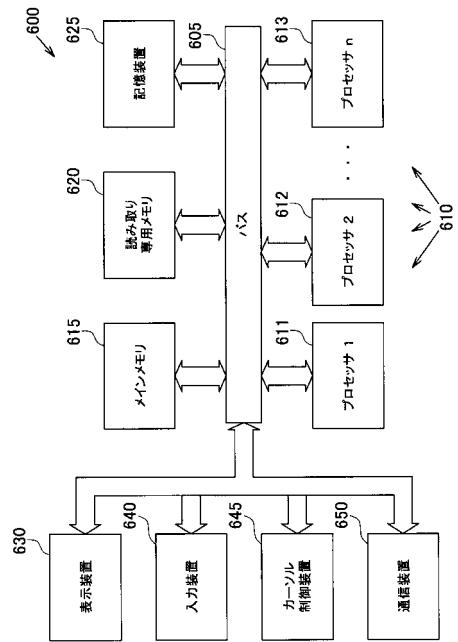
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 カウシック、シブナンダン

アメリカ合衆国、97229 オレゴン州、ポートランド、ノースウェスト ハーバーレイン 1
4116

(72)発明者 アガールウォル、アンリ

アメリカ合衆国、97229 オレゴン州、ポートランド、ノースウェスト ケイトリン テラス
1587

審査官 北元 健太

(56)参考文献 特開平3-212755(JP,A)

国際公開第03/058447(WO,A2)

特表2006-500639(JP,A)

特開平4-307652(JP,A)

実開平2-143660(JP,U)

特開平2-69854(JP,A)

特開平9-237192(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 9/46 - 9/54