202418497

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202418497 A

(43)公開日： 中華民國 113 (2024) 年 05 月 01 日

(21)申請案號：112126944 (22)申請日： 中華民國 112 (2023) 年 07 月 19 日

(51)Int. Cl.： *H01L23/28 (2006.01)* *H01L23/488 (2006.01)*
H01L21/56 (2006.01) *H01L21/60 (2006.01)*

(30)優先權：2022/08/23 美國 17/894,043

(71)申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)
美國

(72)發明人：宋 彥梅 SONG, YANMEI (US)；斯托內 威廉 STONE, WILLIAM (US)；徐 建文 XU, JIANWEN (US)；席瓦斯瓦米 森提爾 SIVASWAMY, SENTHIL (IN)；福爾摩斯 約翰 HOLMES, JOHN (US)；雷 萊恩 LANE, RYAN (US)

(74)代理人：李世章

申請實體審查：無 申請專利範圍項數：30 項 圖式數：19 共 123 頁

(54)名稱

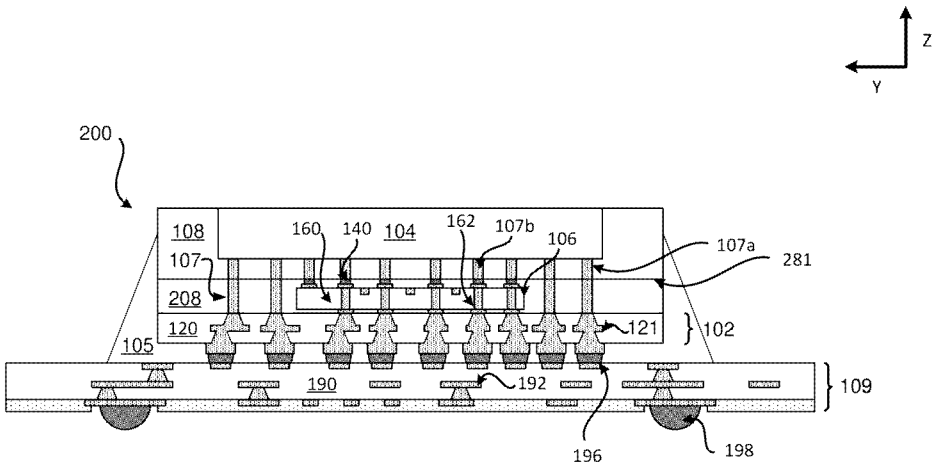
包括位於整合元件與金屬化部分之間的芯粒的封裝

(57)摘要

一種封裝，包括第一金屬化部分、經由第一複數個焊柱互連耦合到該第一金屬化部分的第一整合元件，以及位於該第一整合元件與該第一金屬化部分之間的第一芯粒。該第一芯粒經由第一複數個焊柱間互連耦合到該第一整合元件。該第一芯粒可以包括主動芯粒。該第一芯粒可以包括被動芯粒。

A package comprising a first metallization portion, a first integrated device coupled to the first metallization portion through a first plurality of pillar interconnects, and a first chiplet located between the first integrated device and the first metallization portion. The first chiplet is coupled to the first integrated device through a first plurality of inter pillar interconnects. The first chiplet may include an active chiplet. The first chiplet may include a passive chiplet.

指定代表圖：



橫截面剖面視圖

圖2

符號簡單說明：

102:金屬化部分

104:整合元件

105:底部填料

106:芯粒

107:焊柱互連

107a:焊柱互連

107b:焊柱互連

108:包封層

109:基板

120:介電層

121:金屬化互連

140:焊料互連

160:晶粒基板

162:貫穿基板通孔

190:介電層

192:互連

196:焊料互連

198:焊料互連

200:封裝

208:包封層

281:介電層

Y:軸

Z:軸

【發明摘要】

【中文發明名稱】包括位於整合元件與金屬化部分之間的芯粒的封裝

【英文發明名稱】PACKAGE COMPRISING A CHIPLET LOCATED BETWEEN AN INTEGRATED DEVICE AND A METALLIZATION PORTION

【中文】

一種封裝，包括第一金屬化部分、經由第一複數個焊柱互連耦合到該第一金屬化部分的第一整合元件，以及位於該第一整合元件與該第一金屬化部分之間的第一芯粒。該第一芯粒經由第一複數個焊柱間互連耦合到該第一整合元件。該第一芯粒可以包括主動芯粒。該第一芯粒可以包括被動芯粒。

【英文】

A package comprising a first metallization portion, a first integrated device coupled to the first metallization portion through a first plurality of pillar interconnects, and a first chiplet located between the first integrated device and the first metallization portion. The first chiplet is coupled to the first integrated device through a first plurality of inter pillar interconnects. The first chiplet may include an active chiplet. The first chiplet may include a passive chiplet.

【指定代表圖】第（2）圖。

【代表圖之符號簡單說明】

102：金屬化部分

104：整合元件

105：底部填料

106：芯粒

107：焊柱互連

107a：焊柱互連

107b：焊柱互連

108：包封層

109：基板

120：介電層

121：金屬化互連

140：焊料互連

160：晶粒基板

162：貫穿基板通孔

190：介電層

192：互連

196：焊料互連

198：焊料互連

200：封裝

208：包封層

281：介電層

Y：軸

Z：軸

【特徵化學式】

無

【發明說明書】

【中文發明名稱】包括位於整合元件與金屬化部分之間的芯粒的封裝

【英文發明名稱】PACKAGE COMPRISING A CHIPLET LOCATED BETWEEN AN INTEGRATED DEVICE AND A METALLIZATION PORTION

【技術領域】

【0001】 本專利申請案主張於2022年8月23日在美國專利局提出申請的非臨時申請案第17/894,043的優先權和權益，該申請案的全部內容經由援引如同整體在下文全面闡述一般且出於所有適用目的納入於此。

【0002】 各個特徵係關於包括整合元件的封裝。

【先前技術】

【0003】 封裝可以包括基板、整合元件和被動元件。該等元件被耦合在一起以提供可以執行各種電氣功能的封裝。整合元件、基板和被動元件如何被耦合在一起影響封裝的整體效能。一直存在提供效能更好的封裝的需求。

【發明內容】

【0004】 各個特徵係關於包括整合元件的封裝。

【0005】 一個實例提供了一種封裝，該封裝包括第一金屬化部分、經由第一複數個焊柱互連耦合到該第一金屬化部分的第一整合元件，以及位於該第一整合元件與該第一金屬化部分之間的第一芯粒，其中該第一芯粒經由第一複數個焊柱間互連耦合到該第一整合元件。

【0006】 另一實例提供了一種包括封裝的設備。該封裝包括第一金屬化部分、經由第一複數個焊柱互連耦合到該第

一金屬化部分的第一整合元件，以及位於該第一整合元件與該第一金屬化部分之間的第一芯粒，其中該第一芯粒經由第一複數個焊柱間互連耦合到該第一整合元件。

【0007】 另一實例提供了一種用於製造封裝的方法。該方法提供第一整合元件和第一複數個焊柱間互連。該方法形成包封該第一整合元件和該第一複數個焊柱間互連的包封層。該方法形成被配置成耦合到該第一整合元件的第一複數個焊柱互連。該方法經由第一複數個焊柱間互連來將第一芯粒耦合到該第一整合元件。該方法形成第一金屬化部分，使得該第一金屬化部分耦合到第一芯粒和第一包封層。

【0008】 另一實例提供了一種封裝，該封裝包括第一金屬化部分、耦合到該第一金屬化部分的第一整合元件、耦合到該第一金屬化部分的第二整合元件、經由第一複數個焊柱互連耦合到該第一金屬化部分的第二金屬化部分、位於該第一金屬化部分與該第二金屬化部分之間的第一芯粒，以及位於該第一金屬化部分與該第二金屬化部分之間的第二芯粒，其中該第一芯粒被配置成經由該第一金屬化部分電耦合到該第一整合元件，其中該第二芯粒被配置成經由該第一金屬化部分電耦合到該第二整合元件。

【0009】 另一實例提供了一種包括封裝的設備。該封裝包括第一金屬化部分、耦合到該第一金屬化部分的第一整合元件、耦合到該第一金屬化部分的第二整合元件、經由第一複數個焊柱互連耦合到該第一金屬化部分的第二金屬化部分、位於該第一金屬化部分與該第二金屬化部分之間的

第一芯粒，以及位於該第一金屬化部分與該第二金屬化部分之間的第二芯粒，其中該第一芯粒被配置成經由該第一金屬化部分電耦合到該第一整合元件，其中該第二芯粒被配置成經由該第一金屬化部分電耦合到該第二整合元件。

【0010】 另一實例提供了一種用於製造封裝的方法。該方法提供第一整合元件和第二整合元件。該方法形成包封第一整合元件和第二整合元件的包封層。該方法形成第一金屬化部分，使得該第一金屬化部分耦合到第一整合元件和第二整合元件。該方法形成第一複數個焊柱互連和第二複數個焊柱互連，使得該第一複數個焊柱互連和該第二複數個焊柱互連耦合到第一金屬化部分。該方法將第一芯粒和第二芯粒耦合到第一金屬化部分。該方法形成包封第一複數個焊柱互連、第二複數個焊柱互連、第一芯粒和第二芯粒的另一包封層。該方法形成第二金屬化部分，使得該第二金屬化部分耦合到第一芯粒和第二芯粒。

【0011】 另一實例提供了一種用於製造封裝的方法。該方法形成第二金屬化部分。該方法形成第一複數個焊柱互連和第二複數個焊柱互連，使得該第一複數個焊柱互連和該第二複數個焊柱互連耦合到第二金屬化部分。該方法將第一芯粒和第二芯粒耦合到第二金屬化部分。該方法形成包封第一複數個焊柱互連、第二複數個焊柱互連、第一芯粒和第二芯粒的包封層。該方法形成第一金屬化部分，使得該第一金屬化部分耦合到第一芯粒和第二芯粒。該方法將第一整合元件和第二整合元件耦合到第一金屬化部分。

【圖式簡單說明】

【0012】 在結合附圖理解下文闡述的詳細描述時，各種特徵、本質和優點會變得明顯，在附圖中，相像的元件符號貫穿始終作相應標識。

【0013】 圖1圖示了包括整合元件、金屬化部分以及整合元件與金屬化部分之間的深溝槽電容器的封裝的平面視圖。

【0014】 圖2圖示了包括整合元件、金屬化部分以及整合元件與金屬化部分之間的深溝槽電容器的封裝的平面視圖。

【0015】 圖3圖示了包括整合元件、金屬化部分以及整合元件與金屬化部分之間的芯粒的封裝的平面視圖。

【0016】 圖4圖示了包括多個整合元件、金屬化部分和多個深溝槽電容器的封裝的平面視圖。

【0017】 圖5圖示了包括多個整合元件、金屬化部分、橋和多個深溝槽電容器的封裝的平面視圖。

【0018】 圖6圖示了包括多個整合元件、金屬化部分、橋和多個芯粒的封裝的平面視圖。

【0019】 圖7圖示了包括多個整合元件、金屬化部分和多個深溝槽電容器的封裝的平面視圖。

【0020】 圖8圖示了包括多個整合元件、金屬化部分、橋和多個深溝槽電容器的封裝的平面視圖。

【0021】 圖9圖示了包括多個整合元件、金屬化部分、橋和多個芯粒的封裝的平面視圖。

【0022】 圖10圖示了包括多個整合元件、金屬化部分、橋和多個深溝槽電容器的封裝的平面視圖。

【0023】 圖11圖示了深溝槽電容器的橫截面剖面視圖。

【0024】 圖12A-圖12D圖示了用於製造深溝槽電容器的示例性工序。

【0025】 圖13圖示了用於製造深溝槽電容器的方法的示例性流程圖。

【0026】 圖14A-圖14D圖示了用於製造包括多個整合元件、金屬化部分、橋和多個深溝槽電容器的封裝的示例性工序。

【0027】 圖15A-圖15C圖示了用於製造包括多個整合元件、金屬化部分、橋和多個深溝槽電容器的封裝的示例性工序。

【0028】 圖16A-圖16C圖示了用於製造包括多個整合元件、金屬化部分、橋和多個深溝槽電容器的封裝的示例性工序。

【0029】 圖17A-圖17B圖示了用於製造基板的示例性工序。

【0030】 圖18圖示了用於製造基板的方法的示例性流程圖。

【0031】 圖19圖示了可整合本文中所描述的晶粒、電子電路、整合元件、整合被動元件（IPD）、被動元件、封裝，及/或元件封裝的各種電子設備。

【實施方式】

【0032】 在以下描述中，提供了具體細節以提供對本案的各個態樣的透徹理解。然而，一般技術者將理解，沒有該

等具體細節亦可以實踐該等態樣。例如，電路可能用方塊圖圖示以避免使該等態樣湮沒在不必要的細節中。在其他例子中，公知的電路、結構和技術可能不被詳細圖示以免湮沒本案的該等態樣。

【0033】 本案描述了一種封裝，該封裝包括第一金屬化部分、耦合到該第一金屬化部分的第一整合元件、耦合到該第一金屬化部分的第二整合元件、經由第一複數個焊柱互連耦合到該第一金屬化部分的第二金屬化部分、位於該第一金屬化部分與該第二金屬化部分之間的第一芯粒，以及位於該第一金屬化部分與該第二金屬化部分之間的第二芯粒，其中該第一芯粒被配置成經由該第一金屬化部分電耦合到該第一整合元件，其中該第二芯粒被配置成經由該第一金屬化部分電耦合到該第二整合元件。該第一芯粒可以包括第一主動芯粒或第一被動芯粒。該第二芯粒可以包括第二主動芯粒或第二被動芯粒。將第一芯粒定位成靠近第一整合元件並且將第二芯粒定位成靠近第二整合元件有助於改良封裝的效能。減少第一整合元件與第一芯粒之間的電路徑及/或第二整合元件與第二芯粒之間的電路徑有助於減少信號及/或電流的等待時間，此舉可有助於改良封裝的效能。如以下將進一步描述的，代替執行封裝的所有功能的一個整合元件，該封裝的各種功能由不同的整合元件及/或不同的芯粒來執行。經由將封裝的功能重分佈給不同的整合元件及/或不同的芯粒，可以實現製造封裝中的成本節省，同時仍然提供具有高效能能力的封裝。

包括整合元件和芯粒的示例性封裝

【0034】 圖1圖示了包括整合元件和芯粒的封裝100的橫截面剖面視圖。該封裝100包括金屬化部分102、整合元件104、芯粒106、複數個焊柱互連107和包封層108。複數個焊柱互連107包括複數個焊柱互連107a和複數個焊柱互連107b。該封裝100經由複數個焊料互連196耦合到基板109。在一些實現中，基板109可被視為封裝100的一部分。複數個焊料互連198耦合到基板109的底部。基板109可被配置成經由複數個焊料互連198耦合到板（未圖示）（諸如，印刷電路板（PCB））。基板109包括至少一個介電層190（例如，至少一個基板介電層）和複數個互連192（例如，複數個基板互連）。

【0035】 整合元件104經由複數個焊柱互連107a耦合到金屬化部分102。整合元件104經由複數個焊柱互連107b和複數個焊料互連140耦合到芯粒106。複數個焊柱互連107b可以位於整合元件104與芯粒106之間。複數個焊柱互連107b可以包括複數個焊柱間互連。複數個焊柱間互連可以與複數個焊柱互連107a相似。然而，複數個焊柱間互連可以比複數個焊柱互連107a更短。複數個焊柱間互連可以位於整合元件104與芯粒106之間。芯粒106耦合到金屬化部分102。芯粒106可被配置為被動芯粒。芯粒106可被配置為溝槽電容器元件（例如，深溝槽電容器（DTC）元件）。芯粒106位於金屬化部分102與整合元件104之間。

芯粒106包括前側和背側。芯粒106的前側面對整合元件104。例如，深溝槽電容器的前側面對整合元件104。

【0036】 芯粒106包括晶粒基板160、複數個貫穿基板通孔162、複數個溝槽互連164、複數個溝槽互連166和複數個溝槽電容器167。複數個溝槽互連164位於芯粒106的前側（例如，頂側）。複數個溝槽互連166位於芯粒106的背側（例如，底側）。來自複數個貫穿基板通孔162的一或多個貫穿基板通孔可以耦合到來自複數個溝槽電容器167的一或多個溝槽電容器。複數個貫穿基板通孔162可耦合到複數個溝槽互連164和複數個溝槽互連166。複數個溝槽互連164經由複數個焊料互連140耦合到複數個焊柱互連107b。因此，例如，複數個焊料互連140耦合到複數個溝槽互連164和複數個焊柱互連107b。複數個溝槽互連166可耦合（例如，直接耦合）到金屬化部分102。例如，複數個溝槽互連166可被配置成直接耦合到來自金屬化部分102的金屬化互連121，使得該複數個溝槽互連166接觸來自金屬化部分102的複數個金屬化互連121。該複數個溝槽互連166可以是可任選的。在一些實現中，複數個貫穿基板通孔162可被配置成耦合（例如，直接耦合）到金屬化部分102。例如，複數個貫穿基板通孔162可被配置成直接耦合到來自金屬化部分102的金屬化互連121，使得該複數個貫穿基板通孔162接觸來自金屬化部分102的複數個金屬化互連121。溝槽電容器的更詳細實例在以下在本案的至少圖11中圖示並且描述。芯粒的前側面對整合元件104。

【0037】 金屬化部分102包括至少一個介電層120和複數個金屬化互連121。該金屬化部分102可以包括重分佈部分。該複數個金屬化互連121可以包括複數個重分佈互連。金屬化部分102可以是用於金屬化互連的構件。複數個金屬化互連121可以耦合到芯粒106的背側。例如，複數個金屬化互連121可耦合到複數個溝槽互連166或複數個貫穿基板通孔162。複數個金屬化互連121可耦合到複數個焊柱互連107a。

【0038】 如以上所提及的，金屬化部分（例如，102、702）可以包括重分佈部分，該重分佈部分包括重分佈互連（例如，重分佈層（RDL）互連）。重分佈互連可以包括具有U形或V形的部分。術語「U形」和「V形」應當是可互換的。術語「U形」和「V形」可以指互連及/或重分佈互連的側剖面形狀。U形互連（例如，U形側剖面互連）和V形互連（例如，V形側剖面互連）可具有頂部和底部。U形互連（或V形互連）的底部可耦合到另一U形互連（或V形互連）的頂部。

【0039】 金屬化部分102與整合元件104之間的一或多條電路徑（例如，第一電路徑、第二電路徑、第三電路徑）可以包括來自複數個金屬化互連121中的至少一個金屬化互連和來自複數個焊柱互連107a中的至少一個焊柱互連。

【0040】 金屬化部分102與整合元件104之間的一或多條電路徑（例如，第一電路徑、第二電路徑、第三電路徑）可以包括來自複數個金屬化互連121中的至少一個金屬化

互連，來自複數個溝槽互連166中的至少一個溝槽互連、來自複數個貫穿基板通孔162中的至少一個貫穿基板通孔、來自複數個溝槽互連164中的至少一個溝槽互連，來自複數個焊料互連140中的至少一個焊料互連及/或來自複數個焊柱互連107b中的至少一個焊柱互連。

【0041】 整合元件104可被配置成經由複數個焊柱互連107b和複數個焊料互連140電耦合到芯粒106。因此，整合元件104與芯粒106之間的一或多條電路徑（例如，第一電路徑、第二電路徑、第三電路徑）可以包括來自複數個焊柱互連107b中的至少一個焊柱互連及/或來自複數個焊料互連140中的至少一個焊料互連。

【0042】 包封層108可耦合到金屬化部分102、整合元件104和芯粒106。包封層108可耦合到複數個焊柱互連107。包封層108可耦合到金屬化部分102的第一表面（例如，頂表面）。包封層108可以（例如，部分地或完全地）包封整合元件104和芯粒106。圖1圖示了整合元件104的背側被暴露並且沒有由包封層覆蓋。然而，在一些實現中，整合元件104的背側可耦合到包封層108。包封層108可以包括模製件、樹脂及/或環氧樹脂。包封層108可以是用於包封的構件。可以經由使用壓縮和轉移模製製程、片材模製製程，或液態模製製程來提供包封層108。

【0043】 金屬化部分102經由複數個焊料互連196耦合到基板109。例如，來自複數個金屬化互連121中的金屬化互連可以經由複數個焊料互連196耦合到來自複數個互連

192中的互連。底部填料105耦合到基板109、金屬化部分102和包封層108。底部填料105可被認為是封裝100的一部分。

【0044】 芯粒106在整合元件104附近的位置及/或放置有助於減少整合元件104與芯粒106之間的信號及/或電流的等待時間，此舉有助於改良整合元件104及/或封裝100的效能。芯粒106被描述為被配置為深溝槽電容器。然而，如以下將進一步描述的，不同實現可以使用被配置成執行其他操作及/或功能性的芯粒。

【0045】 在圖1的封裝中以及在至少圖2-圖10中所描述的封裝中使用整合元件、芯粒和金屬化部分提供了若干優點。一個優點是，跨至少一個整合元件和至少一個芯粒重分佈封裝的各種功能可以導致封裝的成本節省。可以使用可能具有不同成本的不同技術節點來製造整合元件和芯粒。

【0046】 技術節點可以指用於製造整合元件及/或芯粒的特定製造製程及/或技術。技術節點可以指定可以製造的最小可能大小（例如，最小大小）（例如，電晶體的大小、跡線的寬度、兩個電晶體之間的間隙）。不同的技術節點可具有不同的產量損失。不同的技術節點可具有不同的成本。與生產細節較不精細的元件（例如，跡線、電晶體）的技術節點相比，生產細節精細的元件（例如，跡線、電晶體）的技術節點更昂貴，並且可具有更高的產量損失。因此，與較不先進的技術節點相比，更先進的技術節點可

能更昂貴並且可具有更高的產量損失。當在單個整合元件中實現封裝的所有功能時，即使整合元件的功能中的一些功能不需要使用該特定技術節點來製造，亦使用相同的技術節點來製造整個整合元件。由此，整合元件被鎖定到一個技術節點中。為了最佳化封裝的成本，可以在不同的整合元件及/或芯粒中實現一些功能，其中可以使用不同的技術節點來製造不同的整合元件及/或芯粒以減小整體成本。例如，需要使用最先進技術節點的功能可以在整合元件中實現，並且可以使用較不先進的技術節點來實現的功能可以在另一整合元件及/或一或多個芯粒中實現。一個實例將是使用第一技術節點（例如，最先進的技術節點）來製造的被配置成提供計算應用的整合元件，以及使用第二技術節點來製造的被配置成提供其他功能性的至少一個芯粒，其中第二技術節點不如第一技術節點昂貴，並且其中第二技術節點製造具有最小大小的元件，該等最小大小大於使用第一技術節點所製造的元件的最小大小。計算應用的各實例可以包括高效能計算及/或高效能處理，此舉可以經由在整合元件中製造和封裝儘可能多的電晶體來實現，此情形就是為什麼為計算應用所配置的整合元件可以使用可用的最先進技術節點來製造，而其他芯粒可以使用不那麼先進的技術節點來製造，因為彼等芯粒可能不需要在芯粒中製造那麼多的電晶體。因此，與使用單個整合元件來執行封裝的所有功能相比，針對不同的整合元件及/或芯粒

使用不同的技術節點（其可能具有不同的相關聯的產量損失）的組合可以降低封裝的整體成本。

【0047】 將功能分離成若干整合元件及/或芯粒的另一優點是，允許在不需要重新設計每個單個整合元件及/或芯粒的情況下改良封裝的效能。例如，若封裝的配置使用第一整合元件和第一芯粒，則可以經由改變第一整合元件的設計來改良封裝的效能，同時保持第一芯粒的設計相同。因此，第一芯粒可以與改良的及/或經不同配置的第一整合元件一起重新使用。此舉經由在製造具有改良的整合元件的封裝時不必重新設計第一芯粒來節省成本。

【0048】 此外，芯粒可以經由銅到銅混合接合或經由焊料互連來耦合到整合元件，使得該芯粒非常靠近該整合元件。例如，芯粒和整合元件可以用金屬化部分（例如，重分佈部分）來實現，以將芯粒定位成儘可能靠近整合元件，此舉減小了芯粒與整合元件之間的電路徑。此舉有助於改良整合元件的效能和提供給該整合元件的功率。在一些實現中，耦合到芯粒的互連的最小間隔可小至約20微米。

【0049】 此外，包括溝槽電容器的芯粒提供了若干技術益處。溝槽電容器及/或溝槽電容器元件提供具有高電容及/或高電容密度的電容器。具有較高電容密度的電容器允許封裝的更緊湊的形狀因數，因為該等電容器佔用較少空間但能夠提供與較大大小的電容器相同及/或相當的電容。溝槽電容器的緊湊形狀因數允許其位於非常靠近整合元件，此舉可以幫助改良對整合元件的功率遞送效能。此外，由

於該等溝槽電容器具有小形狀因數，因而其可以用金屬化部分來實現，而不是在封裝基板中實現。由此，高電容電容器可在封裝的製造期間實施，而不是在封裝耦合到基板時實現。

【0050】 高電容電容器在某些類型的處理操作（諸如計算應用（例如，高效能處理））中尤其重要。如本案中所描述的芯粒、整合元件和金屬化部分的使用有助於改良晶粒到晶粒的通訊，此舉有助於改良整合元件和封裝的整體效能。

【0051】 圖2圖示了包括具有整合元件和芯粒的封裝200的橫截面剖面視圖。該封裝200包括金屬化部分102、整合元件104、芯粒106、複數個焊柱互連107、包封層108、包封層208和介電層281。該封裝200與圖1的封裝100相似，並且因此包括以與封裝100相同及/或相似的方式佈置及/或配置的相同或相似的元件。例如，芯粒106可被配置成作為深溝槽電容器來操作，諸如至少圖11中所描述的深溝槽電容器。

【0052】 該封裝200包括由介電層分開的兩個包封層。包封層108可以是第一包封層，而包封層208可以是第二包封層。介電層281位於包封層108與包封層208之間。介電層281耦合到包封層108的內表面和包封層208的內表面。介電層281可以包括聚醯亞胺（PI）。在一些實現中，包封層208可以與包封層108相同。在一些實現中，包封層208可以具有與包封層108不同的一或多個屬性。例如，包封

層108可以包括比包封層208更高濃度的填料。如以下將至少在圖14A中進一步描述的，複數個焊柱互連107可以包括與介電層281成平面的晶種層（例如，金屬晶種層、銅晶種層）。包封層108耦合到整合元件104、複數個焊柱互連107a的至少一部分和複數個焊柱互連107b的至少一部分。包封層208耦合到金屬化部分102、芯粒106、複數個焊料互連140，以及複數個焊柱互連107a的至少一部分。

【0053】 圖3圖示了包括具有整合元件和芯粒的封裝300的橫截面剖面視圖。該封裝300包括金屬化部分102、整合元件104、芯粒306、複數個焊柱互連107、包封層108、包封層208和介電層281。該封裝300與圖1的封裝100及/或圖2的封裝200相似，並且因此包括以與封裝100及/或封裝200相同及/或相似的方式佈置及/或配置的相同或相似的元件。

【0054】 芯粒306可被配置成提供與芯粒106不同的功能性。芯粒306可被配置為主動芯粒或被動芯粒。芯粒306可被配置成作為記憶體（例如，第一記憶體、第二記憶體）、功率管理積體電路（PMIC）（例如，第一功率管理積體電路、第二功率管理積體電路）及/或電壓調節器（例如，第一電壓調節器、第二電壓調節器）來操作。芯粒306可以包括大小比整合元件104更小的整合元件。晶片306可以包括晶粒基板、複數個晶粒電晶體以及複數個晶粒互連（均未圖示）。在一些實現中，芯粒306可以包括複數個貫穿基板通孔（未圖示）。

【0055】 芯粒306經由複數個焊料互連140和複數個焊柱互連107b耦合到整合元件104。芯粒306的前側面對整合元件104。圖3圖示了芯粒306的背側不接觸金屬化部分102。然而，在一些實現中，芯粒306可以接觸金屬化部分102。在一些實現中，芯粒306的背側可以接觸金屬化部分102。例如，芯粒306的背側可以與針對圖1和圖2的芯粒106所描述的方式相似的方式接觸及/或耦合到金屬化部分102的金屬化互連121。芯粒306的前側可以面對整合元件104。

【0056】 圖4圖示了包括至少兩個整合元件和至少兩個芯粒的封裝400。該封裝400包括整合元件104、芯粒106、整合元件404、芯粒406、金屬化部分102和包封層108。芯粒106位於整合元件104與金屬化部分102之間。芯粒406位於整合元件404與金屬化部分102之間。包封層108包封整合元件104、整合元件404、芯粒106和芯粒406。包封層108可耦合到金屬化部分102。

【0057】 該封裝400經由複數個焊料互連196耦合到基板109。複數個焊料互連198可耦合到基板109。底部填料105耦合到基板109、金屬化部分102和包封層108。

【0058】 整合元件104經由複數個焊柱互連107a耦合到金屬化部分102。整合元件104經由複數個焊柱互連107b和複數個焊料互連140耦合到芯粒106。複數個焊柱互連107b可以位於整合元件104與芯粒106之間。芯粒106耦合到金屬化部分102。芯粒106可被配置為被動芯粒。芯粒

106可被配置為深溝槽電容器（DTC）。芯粒106位於金屬化部分102與整合元件104之間。芯粒106包括前側和背側。芯粒106的前側面對整合元件104。例如，深溝槽電容器的前側面對整合元件104。

【0059】 整合元件404經由複數個焊柱互連407a耦合到金屬化部分102。整合元件404經由複數個焊柱互連407b和複數個焊料互連440耦合到芯粒406。複數個焊柱互連407b可以位於整合元件404與芯粒406之間。複數個焊柱互連407b可以包括複數個焊柱間互連。複數個焊柱間互連可以與複數個焊柱互連407a相似。然而，複數個焊柱間互連可以比複數個焊柱互連407a更短。複數個焊柱間互連可以位於整合元件404與芯粒406之間。芯粒406耦合到金屬化部分102。芯粒406可被配置為被動芯粒。芯粒406可被配置為深溝槽電容器（DTC）。芯粒406位於金屬化部分102與整合元件404之間。芯粒406包括前側和背側。芯粒406的前側面對整合元件404。例如，深溝槽電容器的前側面對整合元件404。

【0060】 整合元件104可被配置成經由金屬化部分102電耦合到整合元件404。例如，整合元件104可被配置成經由電路徑電耦合到整合元件404，該電路徑包括（i）來自複數個焊柱互連107a中的至少一個焊柱互連，（ii）來自複數個金屬化互連121中的至少一個金屬化互連，以及（iii）來自複數個焊柱互連407a中的至少一個焊柱互連。

【0061】 金屬化部分102與整合元件104之間的一或多條電路徑（例如，第一電路徑、第二電路徑、第三電路徑）可以包括來自複數個金屬化互連121中的至少一個金屬化互連和來自複數個焊柱互連107a中的至少一個焊柱互連。

【0062】 金屬化部分102與整合元件104之間的一或多條電路徑（例如，第一電路徑、第二電路徑、第三電路徑）可以包括來自複數個金屬化互連121中的至少一個金屬化互連，來自複數個溝槽互連166中的至少一個溝槽互連、來自複數個貫穿基板通孔162中的至少一個貫穿基板通孔、來自複數個溝槽互連164中的至少一個溝槽互連、來自複數個焊料互連140中的至少一個焊料互連及/或來自複數個焊柱互連107b中的至少一個焊柱互連。

【0063】 整合元件104可被配置成經由複數個焊柱互連107b和複數個焊料互連140電耦合到芯粒106。因此，整合元件104與芯粒106之間的一或多條電路徑（例如，第一電路徑、第二電路徑、第三電路徑）可以包括來自複數個焊柱互連107b中的至少一個焊柱互連及/或來自複數個焊料互連140中的至少一個焊料互連。

【0064】 金屬化部分102與整合元件404之間的一或多條電路徑（例如，第一電路徑、第二電路徑、第三電路徑）可以包括來自複數個金屬化互連121中的至少一個金屬化互連和來自複數個焊柱互連407a中的至少一個焊柱互連。

【0065】 金屬化部分102與整合元件404之間的一或多條電路徑（例如，第一電路徑、第二電路徑、第三電路徑）

可以包括來自複數個金屬化互連121中的至少一個金屬化互連，來自複數個溝槽互連466中的至少一個溝槽互連、來自複數個貫穿基板通孔462中的至少一個貫穿基板通孔、來自複數個溝槽互連464中的至少一個溝槽互連、來自複數個焊料互連440中的至少一個焊料互連及/或來自複數個焊柱互連407b中的至少一個焊柱互連。

【0066】 整合元件404可被配置成經由複數個焊柱互連407b和複數個焊料互連440電耦合到芯粒406。因此，整合元件404與芯粒406之間的一或多條電路徑（例如，第一電路徑、第二電路徑、第三電路徑）可以包括來自複數個焊柱互連407b中的至少一個焊柱互連及/或來自複數個焊料互連440中的至少一個焊料互連。

【0067】 圖5圖示了包括橋、至少兩個整合元件和至少兩個芯粒的封裝500。該封裝500包括整合元件104、芯粒106、整合元件404、芯粒406、金屬化部分102、橋505和包封層108。該封裝500與封裝400相似，並且可以與針對封裝400所描述的方式相似的方式來配置。芯粒106位於整合元件104與金屬化部分102之間。芯粒406位於整合元件404與金屬化部分102之間。包封層108包封整合元件104、整合元件404、芯粒106、芯粒406和橋505。包封層108可耦合到金屬化部分102。

【0068】 橋505可以包括晶粒基板和複數個橋互連。橋505可以包括介電層。橋505耦合到金屬化部分102。橋505的前側可耦合到金屬化部分102。

【0069】 整合元件104可被配置成經由金屬化部分102和橋505電耦合到整合元件404。例如，整合元件104可被配置成經由電路徑電耦合到整合元件404，該電路徑包括：（i）來自複數個焊柱互連107a中的至少一個焊柱互連，（ii）來自複數個金屬化互連121中的至少一個金屬化互連，（iii）來自橋505中的至少一個晶粒互連，（iv）來自複數個金屬化互連121中的至少一個金屬化互連，以及（v）來自複數個焊柱互連407a中的至少一個焊柱互連。

【0070】 在一些實現中，封裝400及/或封裝500可以包括以與針對封裝200及/或封裝300所描述的方式相似的方式位於包封層108中的介電層281。

【0071】 圖6圖示了包括橋、至少兩個整合元件和至少兩個芯粒的封裝600。該封裝600包括整合元件104、芯粒306、整合元件404、芯粒606、金屬化部分102、橋505和包封層108。該封裝600與封裝400和封裝500相似，並且可以與針對封裝400和封裝500所描述的方式相似的方式來配置。芯粒306位於整合元件104與金屬化部分102之間。芯粒606位於整合元件404與金屬化部分102之間。包封層108包封整合元件104、整合元件404、芯粒306、芯粒606和橋505。包封層108可耦合到金屬化部分102。

【0072】 橋505可以包括晶粒基板和複數個橋互連。橋505可以包括介電層。橋505耦合到金屬化部分102。橋505的前側可耦合到金屬化部分102。

【0073】 整合元件104可被配置成經由金屬化部分102和橋505電耦合到整合元件404。例如，整合元件104可被配置成經由電路徑電耦合到整合元件404，該電路徑包括：（i）來自複數個焊柱互連107a中的至少一個焊柱互連，（ii）來自複數個金屬化互連121中的至少一個金屬化互連，（iii）來自橋505中的至少一個晶粒互連，（iv）來自複數個金屬化互連121中的至少一個金屬化互連，以及（v）來自複數個焊柱互連407a中的至少一個焊柱互連。

【0074】 整合元件104可被配置成經由複數個焊柱互連107b和複數個焊料互連140電耦合到芯粒306。因此，整合元件104與芯粒306之間的一或多條電路徑（例如，第一電路徑、第二電路徑、第三電路徑）可以包括來自複數個焊柱互連107b中的至少一個焊柱互連及/或來自複數個焊料互連140中的至少一個焊料互連。

【0075】 整合元件404可被配置成經由複數個焊柱互連207b和複數個焊料互連240電耦合到芯粒606。因此，整合元件404與芯粒606之間的一或多條電路徑（例如，第一電路徑、第二電路徑、第三電路徑）可以包括來自複數個焊柱互連207b中的至少一個焊柱互連及/或來自複數個焊料互連240中的至少一個焊料互連。

【0076】 圖7圖示了包括至少兩個整合元件和至少兩個芯粒的封裝700。該封裝700包括整合元件104、芯粒106、整合元件404、芯粒406、金屬化部分102、金屬化部分702、包封層108和包封層708。金屬化部分102包括至少

一個介電層120和複數個金屬化互連121。金屬化部分702包括至少一個介電層720和複數個金屬化互連721。包封層108包封整合元件104、整合元件404。包封層108可耦合到金屬化部分102。

【0077】 芯粒106位於金屬化部分102與金屬化部分702之間。芯粒106可以經由複數個焊料互連710耦合到金屬化部分102。複數個焊料互連710可以耦合到來自芯粒106的至少一個互連和來自金屬化部分102的複數個金屬化互連121中的至少一個金屬化互連。芯粒106可以接觸金屬化部分702。例如，來自芯粒106的互連可以接觸來自金屬化部分702的複數個金屬化互連721中的至少一個金屬化互連。芯粒406位於金屬化部分102與金屬化部分702之間。芯粒406可以經由複數個焊料互連740耦合到金屬化部分102。芯粒406可以接觸金屬化部分702。例如，來自芯粒406的互連可以接觸來自金屬化部分702的複數個金屬化互連721中的至少一個金屬化互連。

【0078】 包封層708可以包封芯粒106和芯粒406。包封層708可耦合到金屬化部分102和金屬化部分702。複數個穿模通孔780可位於包封層708中。複數個穿模通孔780位於金屬化部分102與金屬化部分702之間。複數個穿模通孔780可被配置成耦合到金屬化部分102和金屬化部分702。例如，複數個穿模通孔780可被配置成耦合到（i）金屬化部分102的複數個金屬化互連121和（ii）金屬化部分702的複數個金屬化互連721。

【0079】 整合元件104被配置成經由金屬化部分102電耦合到整合元件404。例如，整合元件104與整合元件404之間的電路徑可以包括來自金屬化部分102的複數個金屬化互連121中的至少一個金屬化互連。整合元件104與整合元件404之間的電路徑可被配置成用於整合元件104與整合元件404之間的信號（例如，輸入/輸出信號）。

【0080】 在一些實現中，基板709與整合元件104之間的電路徑（例如，被配置成用於提供功率）可以包括（i）來自複數個焊料互連196中的至少一個焊料互連，（ii）來自複數個金屬化互連721中的至少一個金屬化互連，（iii）芯粒106，（iv）來自複數個焊料互連710中的至少一個焊料互連，以及（v）來自複數個金屬化互連121中的至少一個金屬化互連。

【0081】 在一些實現中，基板709與整合元件104之間的電路徑可以包括（i）來自複數個焊料互連196中的至少一個焊料互連，（ii）來自複數個金屬化互連721中的至少一個金屬化互連，（iii）來自複數個穿模通孔780中的至少一個穿模通孔，以及（iv）來自複數個金屬化互連121中的至少一個金屬化互連。

【0082】 在一些實現中，基板709與整合元件404之間的電路徑（例如，被配置成用於提供功率）可以包括（i）來自複數個焊料互連196中的至少一個焊料互連，（ii）來自複數個金屬化互連721中的至少一個金屬化互連，（iii）芯粒406，（iv）來自複數個焊料互連740中的至少一個

焊料互連，以及（v）來自複數個金屬化互連121中的至少一個金屬化互連。

【0083】 在一些實現中，基板709與整合元件404之間的電路徑可以包括（i）來自複數個焊料互連196中的至少一個焊料互連，（ii）來自複數個金屬化互連721中的至少一個金屬化互連，（iii）來自複數個穿模通孔780中的至少一個穿模通孔，以及（iv）來自複數個金屬化互連121中的至少一個金屬化互連。

【0084】 整合元件104被配置成電耦合到芯粒106。例如，整合元件104可被配置成經由電路徑電耦合到芯粒106，該電路徑包括來自複數個金屬化互連121中的至少一個金屬化互連和來自複數個焊料互連710中的至少一個焊料互連。

【0085】 整合元件404被配置成電耦合到芯粒406。例如，整合元件404可被配置成經由電路徑電耦合到芯粒406，該電路徑包括來自複數個金屬化互連121中的至少一個金屬化互連和來自複數個焊料互連740中的至少一個焊料互連。

【0086】 圖8圖示了包括至少兩個整合元件和至少兩個芯粒的封裝800。該封裝800與封裝700相似，並且因此該封裝800可以與針對封裝700所描述的方式相似的方式來配置。該封裝800包括整合元件104、芯粒106、整合元件404、芯粒406、金屬化部分102、金屬化部分702、橋505、包封層108和包封層708。金屬化部分102包括至少

一個介電層120和複數個金屬化互連121。金屬化部分702包括至少一個介電層720和複數個金屬化互連721。包封層108包封整合元件104、整合元件404。包封層108可耦合到金屬化部分102。

【0087】 芯粒106位於金屬化部分102與金屬化部分702之間。芯粒106可以經由複數個焊料互連710耦合到金屬化部分102。複數個焊料互連710可以耦合到來自芯粒106的至少一個互連和來自金屬化部分102的複數個金屬化互連121中的至少一個金屬化互連。芯粒106可以接觸金屬化部分702。例如，來自芯粒106的互連可以接觸來自金屬化部分702的複數個金屬化互連721中的至少一個金屬化互連。芯粒406位於金屬化部分102與金屬化部分702之間。芯粒406可以經由複數個焊料互連740耦合到金屬化部分102。芯粒406可以接觸金屬化部分702。例如，來自芯粒406的互連可以接觸來自金屬化部分702的複數個金屬化互連721中的至少一個金屬化互連。

【0088】 橋505位於金屬化部分102與金屬化部分702之間。橋505經由複數個焊料互連850耦合到金屬化部分102。橋505可以包括晶粒基板和複數個橋互連。橋505可以包括介電層。橋505的前側可耦合到金屬化部分102。

【0089】 包封層708可以包封芯粒106、芯粒406和橋505。包封層708可耦合到金屬化部分102和金屬化部分702。複數個穿模通孔780可位於包封層708中。複數個穿模通孔780位於金屬化部分102與金屬化部分702之間。複

數個穿模通孔780可被配置成耦合到金屬化部分102和金屬化部分702。例如，複數個穿模通孔780可被配置成耦合到（i）金屬化部分102的複數個金屬化互連121和（ii）金屬化部分702的複數個金屬化互連721。

【0090】 整合元件104被配置成經由金屬化部分102和橋505電耦合到整合元件404。例如，整合元件104與整合元件404之間的電路徑可以包括（i）來自金屬化部分102的複數個金屬化互連121中的至少一個金屬化互連，（ii）來自複數個焊料互連850中的至少一個焊料互連，（iii）橋505，（iv）來自複數個焊料互連850中的至少一個焊料互連，以及（v）來自金屬化部分102的來自複數個金屬化互連121中的至少一個金屬化互連。整合元件104與整合元件404之間的電路徑可被配置成用於整合元件104與整合元件404之間的信號（例如，輸入/輸出信號）。

【0091】 在一些實現中，基板709與整合元件104之間的電路徑（例如，被配置成用於提供功率）可以包括（i）來自複數個焊料互連196中的至少一個焊料互連，（ii）來自複數個金屬化互連721中的至少一個金屬化互連，（iii）芯粒106，（iv）來自複數個焊料互連710中的至少一個焊料互連，以及（v）來自複數個金屬化互連121中的至少一個金屬化互連。

【0092】 在一些實現中，基板709與整合元件104之間的電路徑可以包括（i）來自複數個焊料互連196中的至少一個焊料互連，（ii）來自複數個金屬化互連721中的至少一

個金屬化互連，（iii）來自複數個穿模通孔780中的至少一個穿模通孔，以及（iv）來自複數個金屬化互連121中的至少一個金屬化互連。

【0093】 在一些實現中，基板709與整合元件404之間的電路徑（例如，被配置成用於提供功率）可以包括（i）來自複數個焊料互連196中的至少一個焊料互連，（ii）來自複數個金屬化互連721中的至少一個金屬化互連，（iii）芯粒406，（iv）來自複數個焊料互連740中的至少一個焊料互連，以及（v）來自複數個金屬化互連121中的至少一個金屬化互連。

【0094】 在一些實現中，基板709與整合元件404之間的電路徑可以包括（i）來自複數個焊料互連196中的至少一個焊料互連，（ii）來自複數個金屬化互連721中的至少一個金屬化互連，（iii）來自複數個穿模通孔780中的至少一個穿模通孔，以及（iv）來自複數個金屬化互連121中的至少一個金屬化互連。

【0095】 整合元件104被配置成電耦合到芯粒106。例如，整合元件104可被配置成經由電路徑電耦合到芯粒106，該電路徑包括來自複數個金屬化互連121中的至少一個金屬化互連和來自複數個焊料互連710中的至少一個焊料互連。

【0096】 整合元件404被配置成電耦合到芯粒406。例如，整合元件404可被配置成經由電路徑電耦合到芯粒406，該電路徑包括來自複數個金屬化互連121中的至少一

個金屬化互連和來自複數個焊料互連740中的至少一個焊料互連。

【0097】 圖9圖示了包括至少兩個整合元件和至少兩個芯粒的封裝900。該封裝900與封裝800相似，並且因此該封裝900可以與針對封裝800所描述的方式相似的方式來配置。該封裝900包括整合元件104、芯粒306、整合元件404、芯粒606、金屬化部分102、金屬化部分702、橋505、包封層108和包封層708。金屬化部分102包括至少一個介電層120和複數個金屬化互連121。金屬化部分702包括至少一個介電層720和複數個金屬化互連721。包封層108包封整合元件104、整合元件404。包封層108可耦合到金屬化部分102。

【0098】 芯粒306位於金屬化部分102與金屬化部分702之間。芯粒306可以經由複數個焊料互連710耦合到金屬化部分102。複數個焊料互連710可以耦合到來自芯粒306的至少一個互連和來自金屬化部分102的複數個金屬化互連121中的至少一個金屬化互連。芯粒306可以接觸金屬化部分702。例如，來自芯粒306的互連可以接觸來自金屬化部分702的複數個金屬化互連721中的至少一個金屬化互連。芯粒606位於金屬化部分102與金屬化部分702之間。芯粒606可以經由複數個焊料互連740耦合到金屬化部分102。芯粒606可以接觸金屬化部分702。例如，來自芯粒606的互連可以接觸來自金屬化部分702的複數個金屬化互連721中的至少一個金屬化互連。

【0099】 橋505位於金屬化部分102與金屬化部分702之間。橋505經由複數個焊料互連850耦合到金屬化部分102。橋505可以包括晶粒基板和複數個橋互連。橋505可以包括介電層。橋505的前側可耦合到金屬化部分102。

【0100】 包封層708可以包封芯粒306、芯粒606和橋505。包封層708可耦合到金屬化部分102和金屬化部分702。複數個穿模通孔780可位於包封層708中。複數個穿模通孔780位於金屬化部分102與金屬化部分702之間。複數個穿模通孔780可被配置成耦合到金屬化部分102和金屬化部分702。例如，複數個穿模通孔780可被配置成耦合到（i）金屬化部分102的複數個金屬化互連121和（ii）金屬化部分702的複數個金屬化互連721。

【0101】 橋505的前側面對金屬化部分102。芯粒306的前側面對金屬化部分102。芯粒606的前側面對金屬化部分102。

【0102】 整合元件104被配置成經由金屬化部分102和橋505電耦合到整合元件404。例如，整合元件104與整合元件404之間的電路徑可以包括（i）來自金屬化部分102的複數個金屬化互連121中的至少一個金屬化互連，（ii）來自複數個焊料互連850中的至少一個焊料互連，（iii）橋505，（iv）來自複數個焊料互連850中的至少一個焊料互連，以及（v）來自金屬化部分102的來自複數個金屬化互連121中的至少一個金屬化互連。整合元件104與整合元

件404之間的電路徑可被配置成用於整合元件104與整合元件404之間的信號（例如，輸入/輸出信號）。

【0103】 在一些實現中，基板709與整合元件104之間的電路徑（例如，被配置成用於提供功率）可以包括（i）來自複數個焊料互連196中的至少一個焊料互連，（ii）來自複數個金屬化互連721中的至少一個金屬化互連，（iii）芯粒306，（iv）來自複數個焊料互連710中的至少一個焊料互連，以及（v）來自複數個金屬化互連121中的至少一個金屬化互連。

【0104】 在一些實現中，基板709與整合元件104之間的電路徑可以包括（i）來自複數個焊料互連196中的至少一個焊料互連，（ii）來自複數個金屬化互連721中的至少一個金屬化互連，（iii）來自複數個穿模通孔780中的至少一個穿模通孔，以及（iv）來自複數個金屬化互連121中的至少一個金屬化互連。

【0105】 在一些實現中，基板709與整合元件404之間的電路徑（例如，被配置成用於提供功率）可以包括（i）來自複數個焊料互連196中的至少一個焊料互連，（ii）來自複數個金屬化互連721中的至少一個金屬化互連，（iii）芯粒606，（iv）來自複數個焊料互連740中的至少一個焊料互連，以及（v）來自複數個金屬化互連121中的至少一個金屬化互連。

【0106】 在一些實現中，基板709與整合元件404之間的電路徑可以包括（i）來自複數個焊料互連196中的至少一

個焊料互連，（ii）來自複數個金屬化互連721中的至少一個金屬化互連，（iii）來自複數個穿模通孔780中的至少一個穿模通孔，以及（iv）來自複數個金屬化互連121中的至少一個金屬化互連。

【0107】 整合元件104被配置成電耦合到芯粒306。例如，整合元件104可被配置成經由電路徑電耦合到芯粒306，該電路徑包括來自複數個金屬化互連121中的至少一個金屬化互連和來自複數個焊料互連710中的至少一個焊料互連。

【0108】 整合元件404被配置成電耦合到芯粒606。例如，整合元件404可被配置成經由電路徑電耦合到芯粒606，該電路徑包括來自複數個金屬化互連121中的至少一個金屬化互連和來自複數個焊料互連740中的至少一個焊料互連。

【0109】 圖10圖示了包括至少兩個整合元件和至少兩個芯粒的封裝1000。該封裝1000與封裝900相似，並且因此該封裝1000可以與針對封裝1000所描述的方式相似的方式來配置。該封裝1000包括整合元件104、芯粒106、整合元件404、芯粒406、金屬化部分102、金屬化部分702、橋505、包封層108和包封層708。金屬化部分102包括至少一個介電層120和複數個金屬化互連121。金屬化部分702包括至少一個介電層720和複數個金屬化互連721。包封層108包封整合元件104、整合元件404。包封層108可耦合到金屬化部分102。

【0110】 芯粒106位於金屬化部分102與金屬化部分702之間。芯粒106可以經由複數個焊料互連710耦合到金屬化部分702。複數個焊料互連710可以耦合到來自芯粒106的至少一個互連和來自金屬化部分702的複數個金屬化互連721中的至少一個金屬化互連。芯粒106可以接觸金屬化部分102。例如，來自芯粒106的互連可以接觸來自金屬化部分102的複數個金屬化互連121中的至少一個金屬化互連。芯粒406位於金屬化部分102與金屬化部分702之間。芯粒406可以經由複數個焊料互連740耦合到金屬化部分702。芯粒406可以接觸金屬化部分102。例如，來自芯粒406的互連可以接觸來自金屬化部分102的複數個金屬化互連121中的至少一個金屬化互連。

【0111】 橋505位於金屬化部分102與金屬化部分702之間。橋505耦合到金屬化部分102。橋505可以包括晶粒基板和複數個晶粒互連。橋505可以包括介電層。橋505的前側可耦合到金屬化部分102。橋505的背側可以經由黏合劑1005耦合到金屬化部分702。例如，橋505的晶粒基板的背側可以經由黏合劑1005耦合到金屬化部分702。橋505的前側面對金屬化部分102。芯粒406的前側面對金屬化部分102。芯粒406的前側面對金屬化部分102。

【0112】 包封層708可以包封芯粒106、芯粒406和橋505。包封層708可耦合到金屬化部分102和金屬化部分702。複數個穿模通孔780可位於包封層708中。複數個穿模通孔780位於金屬化部分102與金屬化部分702之間。複

數個穿模通孔780可被配置成耦合到金屬化部分102和金屬化部分702。例如，複數個穿模通孔780可被配置成耦合到（i）金屬化部分102的複數個金屬化互連121和（ii）金屬化部分702的複數個金屬化互連721。

【0113】 整合元件104經由複數個焊料互連1010耦合到金屬化部分102。整合元件404經由複數個焊料互連1030耦合到金屬化部分102。整合元件104被配置成經由金屬化部分102和橋505電耦合到整合元件404。例如，整合元件104與整合元件404之間的電路徑可以包括（i）來自複數個焊料互連1010中的至少一個焊料互連，（ii）來自金屬化部分102的來自複數個金屬化互連121中的至少一個金屬化互連，（iii）橋505，（iv）來自金屬化部分102的來自複數個金屬化互連121中的至少一個金屬化互連，以及（v）來自複數個焊料互連830中的至少一個焊料互連。整合元件104與整合元件404之間的電路徑可被配置成用於整合元件104與整合元件404之間的信號（例如，輸入/輸出信號）。

【0114】 在一些實現中，基板709與整合元件104之間的電路徑（例如，被配置成用於提供功率）可以包括（i）來自複數個焊料互連196中的至少一個焊料互連，（ii）來自複數個金屬化互連721中的至少一個金屬化互連，（iii）來自複數個焊料互連1060中的至少一個焊料互連，（iv）芯粒106，（v）來自複數個金屬化互連121中的至少一個

金屬化互連，以及（vi）來自複數個焊料互連1010中的至少一個焊料互連。

【0115】 在一些實現中，基板709與整合元件104之間的電路徑可以包括（i）來自複數個焊料互連196中的至少一個焊料互連，（ii）來自複數個金屬化互連721中的至少一個金屬化互連，（iii）來自複數個穿模通孔780中的至少一個穿模通孔，（iv）來自複數個金屬化互連121中的至少一個金屬化互連，以及（v）來自複數個焊料互連1010中的至少一個焊料互連。

【0116】 在一些實現中，基板709與整合元件404之間的電路徑（例如，被配置成用於提供功率）可以包括（i）來自複數個焊料互連196中的至少一個焊料互連，（ii）來自複數個金屬化互連721中的至少一個金屬化互連，（iii）來自複數個焊料互連1040中的至少一個焊料互連，（iv）芯粒406，（v）來自複數個金屬化互連121中的至少一個金屬化互連，以及（vi）來自複數個焊料互連1030中的至少一個焊料互連。

【0117】 在一些實現中，基板709與整合元件404之間的電路徑可以包括（i）來自複數個焊料互連196中的至少一個焊料互連，（ii）來自複數個金屬化互連721中的至少一個金屬化互連，（iii）來自複數個穿模通孔780中的至少一個穿模通孔，（iv）來自複數個金屬化互連121中的至少一個金屬化互連，以及（v）來自複數個焊料互連1030中的至少一個焊料互連。

【0118】 整合元件104被配置成電耦合到芯粒106。例如，整合元件104可被配置成經由電路徑電耦合到芯粒106，該電路徑包括來自複數個焊料互連1010中的至少一個焊料互連和來自複數個金屬化互連121中的至少一個金屬化互連。

【0119】 整合元件404被配置成電耦合到芯粒406。例如，整合元件404可被配置成經由電路徑電耦合到芯粒406，該電路徑包括來自複數個焊料互連1030中的至少一個焊料互連和來自複數個金屬化互連121中的至少一個金屬化互連。

【0120】 該封裝1000經由複數個焊料互連196耦合到基板709。基板709可以是板（例如，印刷電路板）。

【0121】 圖1-圖10圖示了包括位於整合元件附近的至少一個芯粒的各種封裝。芯粒和整合元件與（諸）金屬化部分的聯用提供了若干優點。一個優點是，芯粒可以使用與整合元件不同的製造製程（例如，技術節點）來製造。此舉有助於節約成本，因為芯粒可能不需要使用最昂貴的製造製程來製造。此外，芯粒與（諸）金屬化部分的聯用有助於改良整合元件及/或芯粒之間的電效能，因為芯粒及/或整合元件可以位於彼此附近。

【0122】 如上所提及的，封裝可以包括若干金屬化部分。任何金屬化部分可以是第一金屬化部分，及/或任何金屬化部分可以是第二金屬化部分。例如，在一些實現中，金屬化部分102可被認為是第一金屬化部分，而金屬化部分702

可被認為是第二金屬化部分。在一些實現中，金屬化部分702可被認為是第一金屬化部分，而金屬化部分102可被認為是第二金屬化部分。

【0123】 如上所提及的，芯粒可以包括溝槽電容器及/或被配置成作為溝槽電容器元件來操作。溝槽電容器及/或溝槽電容器元件提供具有高電容及/或高電容密度的電容器。具有較高電容密度的電容器允許封裝的更緊湊的形狀因數，因為該等電容器佔用較少空間但能夠提供與較大大小的電容器相同及/或相當的電容。溝槽電容器的緊湊形狀因數允許其位於非常靠近整合元件，此舉可以幫助改良對整合元件的功率遞送效能。此外，由於該等溝槽電容器具有小形狀因數，因而其可以用金屬化部分來實現，而不是在封裝基板中實現。

具有溝槽電容器的示例性芯粒

【0124】 圖11圖示了被配置為溝槽電容器元件的芯粒1100的橫截面剖面視圖。芯粒1100可以是包括多個溝槽電容器（例如，深溝槽電容器）的整合被動元件。芯粒1100可以是用於溝漕電容的構件。芯粒1100可以表示芯粒106及/或芯粒406。芯粒1100包括前側和背側。芯粒1100的前側可以包括複數個溝槽電容器。

【0125】 芯粒1100包括芯粒基板1102和複數個溝槽電容器1105。複數個焊料互連（未圖示）可耦合到芯粒1100。芯粒基板1102可以包括矽（Si）。芯粒基板1102可以包

括電容器可以形成於其上的複數個溝槽及/或腔。溝槽及/或腔的實例在以下至少圖12A-圖12C中進一步描述。

【0126】 複數個溝槽電容器1105包括溝槽電容器1105a和溝槽電容器1105b。溝槽電容器1105a和溝槽電容器1105b可被配置成是相同電容器（例如，第一電容器、第一溝槽電容器）的一部分。溝槽電容器1105a和溝槽電容器1105b可被配置成耦合到第一功率分配網路（PDN）及/或被配置成是第一功率分配網路（PDN）的一部分。溝槽電容器1105a和溝槽電容器1105b可被配置成是針對封裝的第一功率的第一電路徑的一部分。溝槽電容器1105a和溝槽電容器1105b可被配置成耦合到整合元件。

【0127】 如圖11中所示，芯粒1100包括芯粒基板1102、氧化層1104、第一導電層1106、介電層1108和第二導電層1110。第一導電層1106及/或第二導電層1110可以包括多晶矽。氧化層1104及/或介電層1108可以包括SiO_2（例如，低壓化學氣相沉積（LPCVD）SiO_2）或Si_3N_4（例如，LPCVD Si_3N_4）。氧化層1104、第一導電層1106、介電層1108和第二導電層1110的各部分可以位於芯粒基板1102的各溝槽及/或各腔中。注意，芯粒基板1102可被認為具有溝槽或腔，即使該溝槽或腔填充有一或多個材料。

【0128】 溝槽電容器1105a（例如，第一溝槽電容器、第一電容器、用於第一溝槽電容的構件）可以由位於芯粒基板1102的溝槽（例如，第一溝槽）中的（i）氧化層1104

的第一部分、（ii）第一導電層1106的第一部分、（iii）介電層1108的第一部分和（iv）第二導電層1110的第一部分來限定。

【0129】 溝槽電容器1105b（例如，第二溝槽電容器、第二電容器、用於第二溝槽電容的構件）可以由位於芯粒基板1102的溝槽（例如，第二溝槽）中的（i）氧化層1104的第二部分、（ii）第一導電層1106的第二部分、（iii）介電層1108的第二部分和（iv）第二導電層1110的第二部分來限定。注意，溝槽電容器1105b可以是與溝槽電容器1105a相同的電容器的一部分。亦即，溝槽電容器1105a和溝槽電容器1105b可被配置成電耦合在一起以形成具有較大電容的電容器（例如，第一電容器）。

【0130】 芯粒1100亦包括互連1109、互連1192和互連1194。互連1109耦合到互連1192和互連1194。互連1109可以是延伸穿過芯粒基板1102的貫穿基板通孔。互連1192可以是焊盤互連。互連1194可以是焊盤互連。互連1192可以位於芯粒1100的前側上。互連1192可以位於芯粒1100的背側上。互連1109可以是貫穿芯粒基板互連。芯粒可以包括至少一個貫穿芯粒基板互連。

【0131】 整合元件（例如，104、404）可以包括晶粒（例如，半導體裸晶粒）。整合元件可以包括功率管理積體電路（PMIC）。整合元件可以包括應用處理器。整合元件可以包括數據機。整合元件可以包括射頻（RF）元件、被動元件、濾波器、電容器、電感器、天線、傳輸器、接收器、

基於砷化鎵（GaAs）的整合元件、表面聲波（SAW）濾波器、體聲波（BAW）濾波器、發光二極體（LED）整合元件、基於矽（Si）的整合元件、基於碳化矽（SiC）的整合元件、記憶體、功率管理處理器，及/或其組合。整合元件（例如，104、404）可以包括至少一個電子電路（例如，第一電子電路、第二電子電路等）。整合元件可以包括電晶體。整合元件可以是電子元件及/或電元件的實例。在一些實現中，整合元件可以是芯粒。可以使用與用於製造其他類型的整合元件的其他製程相比提供更好產量的製程來製造芯粒，此舉可降低製造芯粒的整體成本。不同的芯粒可具有不同的大小及/或形狀。不同的芯粒可被配置成提供不同的功能。不同的芯粒可具有不同的互連密度（例如，具有不同寬度及/或間隔的互連）。在一些實現中，若干芯粒可用於執行一或多個晶片（例如，一或多個整合元件）的功能性。如所提及的，相對於使用單個晶片來執行封裝的所有功能，使用執行若干功能的若干芯粒可以降低封裝的整體成本。在一些實現中，可使用相同的技術節點或兩個或更多個不同的技術節點來製造本案中所描述的一或多個芯粒（例如，106、306、406、606、1100）及/或一或多個整合元件（例如，104、404）。例如，整合元件（例如，104）可使用第一技術節點來製造，並且芯粒（例如，106）可使用不如第一技術節點那麼先進的第二技術節點來製造。在此類實例中，整合元件（例如，104）可以包括具有第一最小大小的元件（例如，互連、電晶體），

並且芯粒（例如，106）可以包括具有第二最小大小的元件（例如，互連、電晶體），其中該第二最小大小大於第一最小大小。在一些實現中，可使用相同技術節點或不同技術節點來製造封裝的整合元件104和整合元件404。在一些實現中，可使用相同技術節點或不同技術節點來製造封裝的芯粒（例如，106）和另一芯粒（例如，406）。

【0132】 作為實例，在一些實現中，第一整合元件（例如，104）可以包括包含第一最小間隔的第一複數個晶粒互連，而第二整合元件（例如，404）可以包括包含第二最小間隔的第二複數個晶粒互連。芯粒（例如，106、306、406）可以包括包含第三最小間隔的複數個互連。在一些實現中，第三最小間隔可以不同於第一最小間隔及/或第二最小間隔。在另一實例中，在一些實現中，整合元件（例如，104、404）可以包括包含第一最小間隔的複數個晶粒互連，並且芯粒（例如，106、306、406）可以包括包含第二最小間隔的複數個互連。在又一實例中，整合元件（例如，104、404）可以包括包含第一最小間隔的第一複數個電晶體，並且芯粒（例如，106、306、606）可以包括包含第二最小間隔的第二複數個電晶體。在一些實現中，第一最小間隔可以小於第二最小間隔。在一些實現中，第一最小間隔可以與第二最小間隔相同。

用於製造具有溝槽電容器的芯粒的示例性工序

【0133】 在一些實現中，製造具有溝槽電容器的芯粒包括若干製程。圖12A-圖12D圖示了用於提供或製造具有溝槽

電容器的芯粒的示例性工序。在一些實現中，圖12A-圖12D的工序可被用於提供或製造圖11的芯粒1100。然而，圖12A-圖12D的製程可被用於製造本案中所描述的任何芯粒（例如，106、406）。

【0134】 應當注意，圖12A-圖12D的工序可以組合一或多個階段以簡化及/或闡明用於提供或製造具有溝槽電容器的芯粒的工序。在一些實現中，各製程的次序可被改變或修改。在一些實現中，一或多個製程可被替代或置換，而不會脫離本案的範疇。

【0135】 如圖12A中所示，階段1圖示了在提供基板1102之後的狀態。基板1102可以是芯粒基板。基板1102可以包括矽（Si）。

【0136】 階段2圖示了在基板1102中形成複數個溝槽1200之後的狀態。複數個溝槽1200可以包括複數個腔。複數個溝槽1200可以包括第一溝槽、第二溝槽、第三溝槽和第四溝槽。該等溝槽可以具有不同的形狀及/或不同的深度。可以使用蝕刻製程來形成複數個溝槽。複數個溝槽1200可被均勻地間隔或具有不同的間隔。

【0137】 如圖12B中圖示的，階段3圖示了在基板1102的表面之上形成氧化層1104之後的狀態。可以使用沉積製程在基板1102的表面之上（包括在複數個溝槽1200之上和之中）形成氧化層1104。例如，可以使用化學氣相沉積（CVD）製程來形成氧化層1104。可以使用低壓化學氣

相沉積（LPCVD）製程來形成氧化層1104。氧化層1104可以佔用複數個溝槽1200的形狀及/或輪廓。

【0138】 階段4圖示了在氧化層1104之上形成第一導電層1106之後的狀態。第一導電層1106可以包括多晶矽。可以使用沉積製程在氧化層1104之上（包括在複數個溝槽1200之上和之中）形成第一導電層1106。例如，可以使用化學氣相沉積（CVD）製程來形成第一導電層1106。可以使用低壓化學氣相沉積（LPCVD）製程來形成第一導電層1106。第一導電層1106可以佔用氧化層1104及/或複數個溝槽1200的形狀及/或輪廓。第一導電層1106可以包括多晶矽。第一導電層1106可被摻雜。摻雜劑的一實例包括硼。因此，例如，第一導電層1106可以包括摻雜有硼的LPCVD多晶矽。

【0139】 如圖12C中所示，階段5圖示了在第一導電層1106之上形成介電層1108之後的狀態。可以使用沉積製程及/或層壓製程在第一導電層1106之上（包括在複數個溝槽1200之上和之中）形成介電層1108。

【0140】 階段6圖示了在介電層1108之上形成第二導電層1110之後的狀態。第二導電層1110可以包括多晶矽。可以使用沉積製程在介電層1108之上（包括在複數個溝槽1200之上和之中）形成第二導電層1110。例如，可以使用化學氣相沉積（CVD）製程來形成第二導電層1110。可以使用低壓化學氣相沉積（LPCVD）製程來形成第二導電層1110。可以使用蝕刻製程來形成第二導電層1110的

各個部分。第二導電層1110可以填充複數個溝槽1200。第二導電層1110可被摻雜。摻雜劑的一實例包括硼。因此，例如，第二導電層1110可以包括摻雜有硼的LPCVD多晶矽。階段6亦可以圖示可以在何處形成第一導電層1106的附加部分。第一導電層1106的附加部分可以經由介電層1108的開口來形成。第一導電層1106的未被介電層1108覆蓋的附加部分可被用作被耦合到焊料互連的焊盤。可以使用沉積製程形成第一導電層1106的附加部分。第一導電層1106及/或第二導電層1110可以包括多晶矽。

【0141】 如圖12D中所示，階段7圖示了在基板1102中形成至少一個腔1210之後的狀態。可以使用蝕刻製程及/或鐳射製程（例如，鐳射消融）來形成延伸穿過基板1102的整個厚度的至少一個腔1210。

【0142】 階段8圖示了在形成互連1109、互連1192和互連1194之後的狀態。可以使用鍍敷製程來形成互連1109、互連1192和互連1194。階段8圖示了包括複數個溝槽電容器1105的芯粒1100的實例。

用於製造具有溝槽電容器的芯粒的方法的示例性流程圖

【0143】 在一些實現中，製造具有溝槽電容器的芯粒包括若干製程。圖13圖示了用於提供或製造具有溝槽電容的芯粒的方法1300的示例性流程圖。在一些實現中，圖13的方法1300可被用來提供或製造圖11的芯粒1100。然而，方法1300可被用於製造具有溝槽電容器的任何芯粒。圖13的方法1300將被用於描述製造芯粒1100。

【0144】 應當注意，圖13的方法可組合一或多個製程以便簡化及/或闡明用於提供或製造具有溝槽電容器的芯粒的方法。在一些實現中，各製程的次序可被改變或修改。

【0145】 該方法（在1305處）提供基板（例如，1102）。基板1102可以是芯粒基板。基板1102可以包括矽（Si）。圖12A的階段1圖示並描述了提供芯粒基板的實例。

【0146】 該方法（在1310處）在基板（例如，1102）中形成複數個溝槽（例如，1200）。複數個溝槽1200可以包括複數個腔。複數個溝槽1200可以包括第一溝槽、第二溝槽、第三溝槽和第四溝槽。該等溝槽可以具有不同的形狀及/或不同的深度。可以使用蝕刻製程來形成複數個溝槽1200。複數個溝槽1200可被均勻地間隔或具有不同的間隔。圖12A的階段2圖示和描述了形成溝槽的實例。

【0147】 該方法在複數個溝槽之上形成（在1315處）氧化層（例如，1104）。氧化層1104可以被形成在基板1102的表面之上。可以使用沉積製程在基板1102的表面之上（包括在複數個溝槽1200之上和之中）形成氧化層1104。可以使用低壓化學氣相沉積（LPCVD）製程來形成氧化層1104。氧化層1104可以佔用複數個溝槽1200的形狀及/或輪廓。圖12B的階段3圖示並描述了形成氧化層的實例。

【0148】 該方法（在1320處）在氧化層（例如，1104）之上形成第一導電層（例如，1106）。第一導電層1106可以被形成在氧化層1104之上。第一導電層1106可以包

括多晶矽。可以使用沉積製程在氧化層1104之上（包括在複數個溝槽1200之上和之中）形成第一導電層1106。例如，可以使用低壓化學氣相沉積（LPCVD）製程來形成第一導電層1106。第一導電層1106可以佔用氧化層1104及/或複數個溝槽1200的形狀及/或輪廓。形成第一導電層1106可以包括用摻雜劑摻雜第一導電層1106。圖12B的階段4圖示和描述了形成第一導電層的實例。

【0149】 該方法（在1325處）在第一導電層（例如，1106）之上形成介電層（例如，1108）。可以使用沉積製程在第一導電層1106之上（包括在複數個溝槽1200之上和之中）形成介電層1108。圖12C的階段5圖示和描述了形成介電層的實例。

【0150】 該方法（在1330處）在介電層（例如，1108）之上形成第二導電層（例如，1110）。第二導電層1110可以包括多晶矽。可以使用沉積製程在介電層1108之上（包括在複數個溝槽1200之上和之中）形成第二導電層1110。可以使用低壓化學氣相沉積（LPCVD）製程來形成第二導電層1110。第二導電層1110可以填充複數個溝槽1200。在一些實現中，（在1330處）亦可以形成第一導電層1106的附加部分。第一導電層1106的附加部分可以經由介電層1108的開口來形成。第一導電層1106的附加部分可被用作被配置成被耦合到焊料互連的焊盤。圖12D的階段6圖示和描述了形成第二導電層的實例。

【0151】 該方法（在1335處）在基板1102中形成至少一個腔（例如，1210）。可以使用蝕刻製程及/或鐳射製程（例如，鐳射消融）來形成延伸穿過基板1102的整個厚度的至少一個腔1210。圖12D的階段7圖示並描述了在基板中形成至少一個腔的實例。

【0152】 該方法（在1340處）在基板（例如，1102）的腔（例如，1210）中形成至少一個互連（例如，1109）。在一些實現中，第一互連（例如，1192）可在基板的第一表面之上形成，而第二互連（例如，1194）可在基板的第二表面之上形成。第一互連和第二互連可以耦合到位於基板的腔中的互連。可以使用鍍敷製程來形成該等互連（例如，1109、1192、1194）。圖12D的階段8圖示並描述了在基板的腔中形成至少一個互連的實例。

用於製造包括整合元件和芯粒的封裝的示例性工序

【0153】 圖14A-圖14D圖示了用於提供或製造包括整合元件和芯粒的封裝的示例性工序。在一些實現中，圖14A-圖14D的工序可被用於提供或製造圖5的封裝500，或本案中所描述的任何封裝。

【0154】 應當注意，圖14A-圖14D的工序可以組合一或多個階段以簡化及/或闡明用於提供或製造封裝的工序。在一些實現中，各製程的次序可被改變或修改。在一些實現中，一或多個製程可被替代或置換，而不會脫離本案的範疇。圖14A-圖14D的工序可被用來一次製造一個封裝或若干封裝（作為晶圓的一部分）。

【0155】 如圖14A所示，階段1圖示了在載體1400上提供整合元件104和整合元件404之後的狀態。可以使用拾放製程來將整合元件104的背側和整合元件404的背側放置在載體1400上。載體1400可以包括帶。整合元件104可以包括複數個焊柱互連1407。複數個焊柱互連1407可以包括複數個焊柱間互連。整合元件404可以包括複數個焊柱互連1447。複數個焊柱互連1447可以包括複數個焊柱間互連。複數個焊柱互連1407中的一些焊柱互連可以表示複數個焊柱互連107b。複數個焊柱互連1447中的一些焊柱互連可以表示複數個焊柱互連407b。

【0156】 階段2圖示了在載體1400、整合元件104和整合元件404之上形成包封層108之後的狀態。包封層108耦合到載體1400、整合元件104和整合元件404。包封層108可包封複數個焊柱互連1407和複數個焊柱互連1447。包封層108可以包括模製件、樹脂及/或環氧樹脂。包封層108可以是用於包封的構件。可以經由使用壓縮和轉移模製製程、片材模製製程，或液態模製製程來提供包封層108。在一些實現中，提供包封層108，並且隨後執行拋光及/或研磨製程以移除包封層108的各部分及/或整合元件104的焊柱互連1407的各部分及/或整合元件404的焊柱互連1447的各部分，以便產生平面表面。

【0157】 階段3圖示了介電層281在包封層108的表面之上可任選地形成之後的狀態。在介電層281中可能存在暴露整合元件104的焊柱互連和整合元件404的焊柱互連的

開口。介電層281可以包括聚醯亞胺（PI）。介電層281可以幫助建立更平坦的表面。在一些實現中，可任選地在複數個焊柱互連之上形成晶種層1401。晶種層1401可位於介電層281的開口中。晶種層1401可幫助在焊柱互連之上形成互連。

【0158】 階段4圖示了在（i）複數個焊柱互連1404被形成並耦合到整合元件104的焊柱互連，以及（ii）複數個焊柱互連1414被形成並耦合到整合元件404的焊柱互連之後的狀態。可以使用鍍敷製程來形成複數個柱狀互連1404及/或1414。複數個焊柱互連1404可以表示複數個焊柱互連107a。複數個焊柱互連1414可以表示複數個焊柱互連407a。在一些實現中，複數個焊柱互連1404可以包括晶種層1401及/或複數個焊柱互連1407。在一些實現中，複數個焊柱互連1414可以包括晶種層1401及/或複數個焊柱互連1447。為了出於簡化附圖的目的，圖14A-圖14D的階段4和隨後的階段沒有圖示介電層281和晶種層1401。然而，注意，介電層281和晶種層1401可以與本案中所描述的方式一致的方式位於封裝中。

【0159】 階段5圖示了芯粒106經由複數個焊料互連140耦合到整合元件104的複數個焊柱互連1407之後的狀態。階段5亦圖示了芯粒406經由複數個焊料互連440耦合到整合元件404的複數個焊柱互連1447之後的狀態。可以使用焊料回流製程將芯粒106和芯粒406耦合到其相應的焊柱互連。階段5亦圖示了在橋505放置於包封層108上之

後的狀態。橋505的背側可以放置及/或耦合到包封層108。當存在介電層281時，橋505的背側可以被放置及/或耦合到介電層281。

【0160】 階段6圖示了在包封層108、介電層281、芯粒106、芯粒406、複數個焊柱互連1404及/或複數個焊柱互連1414之上形成包封層1408之後的狀態。包封層1408耦合到包封層108、介電層281、芯粒106、芯粒406、複數個焊柱互連1404及/或複數個焊柱互連1414。包封層1408可以包括模製件、樹脂及/或環氧樹脂。包封層1408可以是用於包封的構件。可以經由使用壓縮和轉移模製製程、片材模製製程，或液態模製製程來提供包封層1408。在一些實現中，提供包封層1408，並且隨後執行拋光及/或研磨製程以移除包封層1408的各部分及/或焊柱互連1404的各部分及/或焊柱互連1414的各部分，以便產生平面表面。

【0161】 如圖14B中所示，階段7圖示了在包封層108之上形成介電層1420之後的狀態。注意，包封層108可以表示包封層108和包封層1408。在一些實現中，在階段7處圖示的包封層108可以包括如以上在圖14A中所描述的介電層281。可以使用層壓製程來形成介電層1420。

【0162】 階段8圖示了在介電層1420中形成複數個腔1421之後的狀態。複數個腔1421可以是介電層1420中暴露互連的開口。可以使用曝光和顯影製程來形成複數個腔1421。

【0163】 階段9圖示了在介電層1420之中和之上形成複數個金屬化互連1422之後的狀態。可以使用鍍敷製程來形成複數個金屬化互連1422。

【0164】 階段10圖示了在介電層1420之上形成介電層1430之後的狀態。可以使用層壓製程來形成介電層1430。

【0165】 如圖14C中所圖示的，階段11圖示了在介電層1430中形成複數個腔1431之後的狀態。複數個腔1431可以是介電層1430中暴露互連的開口。可以使用曝光和顯影製程來形成複數個腔1431。

【0166】 階段12圖示了在介電層1430之中和之上形成複數個金屬化互連1432之後的狀態。複數個金屬化互連1432可耦合到複數個金屬化互連1422。可以使用鍍敷製程來形成複數個金屬化互連1432。介電層1420、介電層1430、複數個金屬化互連1422和複數個金屬化互連1432可以形成金屬化部分102。複數個金屬化互連1422和複數個金屬化互連1432可由複數個金屬化互連122表示。介電層1420和介電層1430可由至少一個介電層120來表示。

【0167】 階段13圖示了複數個焊料互連196耦合到金屬化部分102之後的狀態。複數個焊料互連196可以耦合到金屬化部分102的複數個金屬化互連122。可以使用焊料回流製程來將複數個焊料互連196耦合到金屬化部分102。

【0168】 階段14圖示了在載體1400與包封層108解耦、從而留下包括整合元件104、整合元件404、芯粒106、芯粒

406、橋505、金屬化部分102和包封層108的封裝500之後的狀態。

【0169】 如圖14D中所示，階段15圖示了封裝500經由複數個焊料互連196耦合到基板109之後的狀態。可以使用焊料回流製程來將封裝500耦合到基板109。

【0170】 階段16圖示了在封裝500與基板109之間形成底部填料105之後的狀態。底部填料105可耦合到基板109並且耦合到封裝500的側面。

【0171】 圖14A-圖14D圖示了用於製造封裝的方法的實例。該方法可提供第一整合元件和第一複數個焊柱間互連。該方法可以形成包封該第一整合元件和該第一複數個焊柱間互連的包封層。該方法可以形成被配置成耦合到該第一整合元件的第一複數個焊柱互連。該方法可以經由第一複數個焊柱間互連來將第一芯粒耦合到該第一整合元件。該方法可以形成第一金屬化部分，使得該第一金屬化部分耦合到第一芯粒和第一包封層。在一些實現中，該方法可以形成包封第一芯粒的第二包封層。第二包封層和包封層可以是相同包封層的一部分。該方法可提供第二整合元件和第二複數個焊柱間互連，其中形成包封層包括形成進一步包封第二整合元件和第二複數個焊柱間互連的包封層。該方法可以經由第二複數個焊柱間互連來將第二芯粒耦合到該第二整合元件。該方法可提供被配置成在該第一整合元件與該第二整合元件之間提供至少一條電路徑的橋。

用於製造包括整合元件和芯粒的封裝的示例性工序

【0172】 圖15A-圖15C圖示了用於提供或製造包括整合元件和芯粒的封裝的示例性工序。在一些實現中，圖15A-圖15C的工序可被用於提供或製造圖8的封裝800，或本案中所描述的任何封裝。

【0173】 應當注意，圖15A-圖15C的工序可以組合一或多個階段以簡化及/或闡明用於提供或製造封裝的工序。在一些實現中，各製程的次序可被改變或修改。在一些實現中，一或多個製程可被替代或置換，而不會脫離本案的範疇。圖15A-圖15C的工序可被用來一次製造一個封裝或若干封裝（作為晶圓的一部分）。

【0174】 如圖15A所示，階段1圖示了在載體1500上提供整合元件104和整合元件404之後的狀態。可以使用拾放製程來將整合元件104的背側和整合元件404的背側放置在載體1500上。載體1500可以包括帶。

【0175】 階段2圖示了在載體1500、整合元件104和整合元件404之上形成包封層108之後的狀態。包封層108耦合到載體1500、整合元件104和整合元件404。包封層108可以包括模製件、樹脂及/或環氧樹脂。包封層108可以是用於包封的構件。可以經由使用壓縮和轉移模製製程、片材模製製程，或液態模製製程來提供包封層108。在一些實現中，提供包封層108，並且隨後執行拋光及/或研磨製程以移除包封層108的各部分，以便產生平面表面。

【0176】 階段3圖示了在形成金屬化部分102之後的狀態。金屬化部分102可在整合元件104、整合元件404和包封層108之上形成。金屬化部分102包括至少一個介電層120和複數個金屬化互連122。金屬化部分102可以與針對圖14A-圖14D中圖示的金屬化部分102所描述的方式相似的方式來形成。

【0177】 如圖15B所示，階段4圖示了在複數個焊柱互連1580形成之後的狀態。可以使用鍍敷製程來形成複數個焊柱互連1580。複數個焊柱互連可耦合到複數個金屬化互連122。

【0178】 階段5圖示了芯粒106經由複數個焊料互連740耦合到複數個金屬化互連122之後的狀態。階段5亦圖示了芯粒406經由複數個焊料互連740耦合到複數個金屬化互連122之後的狀態。可以使用焊料回流製程將芯粒106和芯粒406耦合到複數個金屬化互連122。階段5亦圖示了橋505經由複數個焊料互連850耦合到複數個金屬化互連122之後的狀態。橋505的前側可以面對金屬化部分102。

【0179】 階段6圖示了在包封層108、芯粒106、芯粒406、橋505和複數個焊柱互連1580之上形成包封層708之後的狀態。包封層708耦合到包封層108、芯粒106、芯粒406、橋505和複數個焊柱互連1580。複數個焊柱互連1580可以被表示為包封層708中的複數個穿模通孔780。包封層708可以包括模製件、樹脂及/或環氧樹脂。包封層708可以是用於包封的構件。可以經由使用壓縮和轉移模

製製程、片材模製製程，或液態模製製程來提供包封層708。在一些實現中，提供包封層708，並且隨後執行拋光及/或研磨製程以移除包封層708的各部分及/或穿模通孔780的各部分，以便產生平面表面。

【0180】 如圖15C中所示，階段7圖示了形成金屬化部分702之後的狀態。金屬化部分702可以在包封層708、芯粒106和芯粒406之上形成。金屬化部分702包括至少一個介電層720和複數個金屬化互連722。金屬化部分702可以與針對圖14A-圖14D中圖示的金屬化部分102所描述的方式相似的方式來形成。

【0181】 階段8圖示了複數個焊料互連196耦合到金屬化部分702之後的狀態。複數個焊料互連196可以耦合到金屬化部分702的複數個金屬化互連722。可以使用焊料回流製程來將複數個焊料互連196耦合到金屬化部分702。階段8亦圖示了在載體1500與包封層108解耦、從而留下包括整合元件104、整合元件404、芯粒106、芯粒406、橋505、金屬化部分102、金屬化部分702、包封層108和包封層708的封裝800之後的狀態。

【0182】 圖15A-圖15C圖示了用於製造封裝的方法的實例。該方法可提供第一整合元件和第二整合元件。該方法可以形成包封第一整合元件和第二整合元件的包封層。該方法可以形成第一金屬化部分，使得該第一金屬化部分耦合到第一整合元件和第二整合元件。該方法可以形成第一複數個焊柱互連和第二複數個焊柱互連，使得該第一複數

個焊柱互連和該第二複數個焊柱互連耦合到第一金屬化部分。該方法可將第一芯粒和第二芯粒耦合到第一金屬化部分。該方法可以形成包封第一複數個焊柱互連、第二複數個焊柱互連、第一芯粒和第二芯粒的另一包封層。該方法可以形成第二金屬化部分，使得該第二金屬化部分耦合到第一芯粒和第二芯粒。在一些實現中，將第一芯粒和第二芯粒耦合到第一金屬化部分包括將第一芯粒耦合到第一金屬化部分，使得該第一芯粒的前側面對第一金屬化部分，以及將第二芯粒耦合到第一金屬化部分，使得該第二芯粒的前側面對第一金屬化部分。第一芯粒可以經由第一複數個焊料互連耦合到第一金屬化部分。第二芯粒可以經由第二複數個焊料互連耦合到第一金屬化部分。該方法可將橋耦合到第一金屬化部分，使得橋的前側面對第一金屬化部分。橋可以經由複數個焊料互連耦合到第一金屬化部分。

【0183】 任何金屬化部分可以是第一金屬化部分，及/或任何金屬化部分可以是第二金屬化部分。例如，在一些實現中，金屬化部分102可被認為是第一金屬化部分，而金屬化部分702可被認為是第二金屬化部分。在一些實現中，金屬化部分702可被認為是第一金屬化部分，而金屬化部分102可被認為是第二金屬化部分。

用於製造包括整合元件和芯粒的封裝的示例性工序

【0184】 圖16A-圖16C圖示了用於提供或製造包括整合元件和芯粒的封裝的示例性工序。在一些實現中，圖16A-

圖16C的工序可被用於提供或製造圖10的封裝1000，或本案中所描述的任何封裝。

【0185】 應當注意，圖16A-圖16C的工序可以組合一或多個階段以簡化及/或闡明用於提供或製造封裝的工序。在一些實現中，各製程的次序可被改變或修改。在一些實現中，一或多個製程可被替代或置換，而不會脫離本案的範疇。圖16A-圖16C的工序可被用來一次製造一個封裝或若干封裝（作為晶圓的一部分）。

【0186】 如圖16A中所示，階段1圖示了在載體1600之上形成金屬化部分702之後的狀態。金屬化部分702包括至少一個介電層720和複數個金屬化互連722。金屬化部分702可以與針對圖14A-圖14D中圖示的金屬化部分102所描述的方式相似的方式來形成。

【0187】 階段2圖示了在形成複數個焊柱互連1680之後的狀態。可以使用鍍敷製程來形成複數個焊柱互連1680。複數個焊柱互連可耦合到複數個金屬化互連722。

【0188】 階段3圖示了芯粒106經由複數個焊料互連1060耦合到複數個金屬化互連722之後的狀態。階段3亦圖示了芯粒406經由複數個焊料互連1040耦合到複數個金屬化互連722之後的狀態。可以使用焊料回流製程將芯粒106和芯粒406耦合到複數個金屬化互連722。

【0189】 如圖16B中所示，階段4圖示了橋505經由黏合劑1005耦合到複數個金屬化互連722之後的狀態。橋505的背側可以經由黏合劑1005耦合到金屬化部分702。例如，

橋505的晶粒基板的背側可以經由黏合劑1005耦合到金屬化部分702。

【0190】 階段5圖示了在金屬化部分702、芯粒106、芯粒406、橋505和複數個焊柱互連1680之上形成包封層708之後的狀態。包封層708耦合到金屬化部分702、芯粒106、芯粒406、橋505和複數個焊柱互連1680。複數個焊柱互連1680可以被表示為包封層708中的複數個穿模通孔780。包封層708可以包括模製件、樹脂及/或環氧樹脂。包封層708可以是用於包封的構件。可以經由使用壓縮和轉移模製製程、片材模製製程，或液態模製製程來提供包封層708。在一些實現中，提供包封層708，並且隨後執行拋光及/或研磨製程以移除包封層708的各部分及/或穿模通孔780的各部分，以便產生平面表面。

【0191】 階段6圖示了在形成金屬化部分102之後的狀態。金屬化部分102可以在包封層708、橋505、芯粒106和芯粒406之上形成。金屬化部分102包括至少一個介電層120和複數個金屬化互連122。金屬化部分102可以與針對圖14A-圖14D中圖示的金屬化部分102所描述的方式相似的方式來形成。

【0192】 如圖16C中所示，階段7圖示了整合元件104經由複數個焊料互連1010耦合到金屬化部分102之後的狀態。整合元件104經由複數個焊料互連1010耦合到複數個金屬化互連122。階段7亦圖示了在整合元件404經由複數個焊料互連1030耦合到金屬化部分102之後的狀態。整合

元件404經由複數個焊料互連1030耦合到複數個金屬化互連122。可使用焊料回流製程來將整合元件104和整合元件404耦合到金屬化部分102。

【0193】 階段8圖示了在整合元件104、整合元件404和金屬化部分102之上形成包封層108之後的狀態。包封層108耦合到金屬化部分102、整合元件104和整合元件404。包封層108可以包括模製件、樹脂及/或環氧樹脂。包封層108可以是用於包封的構件。可以經由使用壓縮和轉移模製製程、片材模製製程，或液態模製製程來提供包封層108。在一些實現中，提供包封層108，並且隨後執行拋光及/或研磨製程以移除包封層108的各部分。

【0194】 階段9圖示了在載體1600與金屬化部分702解耦、從而留下包括整合元件104、整合元件404、芯粒106、芯粒406、橋505、金屬化部分702、金屬化部分102、包封層108和包封層708的封裝1000之後的狀態。

【0195】 階段9亦圖示了複數個焊料互連196耦合到金屬化部分702之後的狀態。複數個焊料互連196可以耦合到金屬化部分702的複數個金屬化互連722。可以使用焊料回流製程來將複數個焊料互連196耦合到金屬化部分702。

【0196】 圖16A-圖16C圖示了用於製造封裝的方法的實例。該方法可以形成第二金屬化部分。該方法可以形成第一複數個焊柱互連和第二複數個焊柱互連，使得該第一複數個焊柱互連和該第二複數個焊柱互連耦合到第二金屬化部分。該方法可將第一芯粒和第二芯粒耦合到第二金屬化

部分。該方法可以形成包封第一複數個焊柱互連、第二複數個焊柱互連、第一芯粒和第二芯粒的包封層。該方法可以形成第一金屬化部分，使得該第一金屬化部分耦合到第一芯粒和第二芯粒。該方法可將第一整合元件和第二整合元件耦合到第一金屬化部分。在一些實現中，將第一芯粒和第二芯粒耦合到第二金屬化部分包括將第一芯粒耦合到第二金屬化部分，使得該第一芯粒的背側面對第二金屬化部分，以及將第二芯粒耦合到第二金屬化部分，使得該第二芯粒的背側面對第二金屬化部分。第一芯粒可以經由第一複數個焊料互連耦合到第二金屬化部分。第二芯粒經由第二複數個焊料互連耦合到第二金屬化部分。該方法可將橋耦合到第二金屬化部分，使得橋的背側面對第二金屬化部分。該方法可以形成包封第一整合元件和第二整合元件的另一包封層。

【0197】 任何金屬化部分可以是第一金屬化部分，及/或任何金屬化部分可以是第二金屬化部分。例如，在一些實現中，金屬化部分102可被認為是第一金屬化部分，而金屬化部分702可被認為是第二金屬化部分。在一些實現中，金屬化部分702可被認為是第一金屬化部分，而金屬化部分102可被認為是第二金屬化部分。

用於製造基板的示例性工序

【0198】 在一些實現中，製造基板包括若干製程。圖17A-圖17B圖示了用於提供或製造基板的示例性工序。在一些實現中，圖17A-圖17B的工序可被用於提供或製造基板

109。然而，圖17A-圖17B的製程可被用來製造本案中所描述的任何基板。

【0199】 應當注意，圖17A-圖17B的工序可以組合一或多個階段以便簡化及/或闡明用於提供或製造基板的工序。在一些實現中，各製程的次序可被改變或修改。在一些實現中，一或多個製程可被替代或置換，而不會脫離本案的範疇。

【0200】 如圖17A中所示，階段1圖示了提供載體1700之後的狀態。晶種層1701和互連1702可位於載體1700之上。互連1702可位於晶種層1701之上。可以使用鍍敷製程和蝕刻製程來形成互連1702。在一些實現中，載體1700可以提供有晶種層1701和金屬層，該金屬層被圖案化以形成互連1702。互連1702可以表示來自該複數個互連192中的至少一些互連。

【0201】 階段2圖示了在載體1700、晶種層1701和互連1702之上形成介電層1720之後的狀態。可以使用沉積及/或層壓製程來形成介電層1720。介電層1720可以包括預浸料及/或聚醯亞胺。介電層1720可以包括光可成像介電質。然而，不同實現可以將不同材料用於介電層。

【0202】 階段3圖示了在介電層1720中形成複數個腔1710之後的狀態。可以使用蝕刻製程（例如，光刻製程）或鐳射製程來形成複數個腔1710。

【0203】 階段4圖示了在介電層1720中和之上（包括在複數個腔1710中和之上）形成互連1712之後的狀態。例如，

可以形成通孔、焊盤及/或跡線。可使用鍍敷製程來形成互連。

【0204】 階段5圖示了在介電層1720和互連1712之上形成介電層1722之後的狀態。可以使用沉積及/或層壓製程來形成介電層1722。介電層1722可以包括預浸料及/或聚醯亞胺。介電層1722可以包括光可成像介電質。然而，不同實現可以將不同材料用於介電層。

【0205】 如圖17B中圖示的，階段6圖示了在介電層1722中形成複數個腔1730之後的狀態。可以使用蝕刻製程（例如，光刻製程）或鐳射製程來形成複數個腔1730。

【0206】 階段7圖示了在介電層1722中和之上（包括在複數個腔1730中和之上）形成互連1714之後的狀態。例如，可以形成通孔、焊盤及/或跡線。可使用鍍敷製程來形成互連。

【0207】 階段8圖示了將載體1700從至少一個介電層190和晶種層1701解耦（例如，分離、移除、研磨掉）、移除（例如，蝕刻掉）晶種層1701的各部分，從而留下包括至少一個介電層190和複數個互連192的金屬化部分102之後的狀態。至少一個介電層190可以表示介電層1720及/或介電層1722。複數個互連192可以表示互連1702、1712，及/或1714。

【0208】 不同實現可使用不同製程來形成（諸）金屬層及/或互連。在一些實現中，可使用化學氣相沉積（CVD）製

程、物理氣相沉積（PVD）製程、濺射製程、噴塗製程，及/或鍍敷製程來形成（諸）金屬層。

用於製造基板的方法的示例性流程圖

【0209】 在一些實現中，製造基板包括若干製程。圖18圖示了用於提供或製造基板的方法1800的示例性流程圖。在一些實現中，圖18的方法1800可被用來提供或製造本案的（諸）基板。例如，圖18的方法1800可被用於製造金屬化部分102。

【0210】 應當注意，圖18的方法1800可組合一或多個製程以便簡化及/或闡明用於提供或製造基板的方法。在一些實現中，各製程的次序可被改變或修改。

【0211】 該方法（在1805處）提供載體（例如，1700）。不同實現可將不同材料用於載體1700。載體1700可以包括晶種層（例如，1701）。晶種層1701可以包括金屬（例如，銅）。載體可以包括基板、玻璃、石英及/或載體帶。圖17A的階段1圖示和描述了提供的具有晶種層的載體的實例。

【0212】 該方法（在1810處）在載體1700和晶種層1701之上形成互連並對其進行圖案化。金屬層可被圖案化以形成互連。可以使用鍍敷製程來形成金屬層和互連。在一些實現中，載體和晶種層可以包括金屬層。金屬層位於晶種層之上，並且金屬層可被圖案化以形成互連（例如，192）。圖17A的階段1圖示和描述了在晶種層和載體之上形成互連並對其進行圖案化的實例。

【0213】 該方法（在1815處）在晶種層1701、載體1700和互連1702之上形成/提供介電層1720。可以使用沉積及/或層壓製程來形成介電層1720。介電層1720可以包括預浸料及/或聚醯亞胺。介電層1720可以包括光可成像介電質。形成介電層1720亦可以包括在介電層1720中形成複數個腔（例如，1710）。可以使用蝕刻製程（例如，光刻）或鐳射製程來形成該複數個腔。圖17A的階段2-3圖示並描述了形成介電層並且在該介電層中形成腔的實例。

【0214】 該方法（在1820處）在該介電層之中和之上形成互連。例如，可在介電層1720之中和之上形成互連1712。可以使用鍍敷製程來形成互連。形成互連可以包括在介電層之上及/或介電層之中提供圖案化金屬層。形成互連亦可以包括在介電層的腔中形成互連。圖17A的階段4圖示並描述了在介電層之中和之上形成互連的實例。

【0215】 該方法（在1825處）在介電層1720和互連1712之上形成/提供介電層1722。可以使用沉積及/或層壓製程來形成介電層1722。介電層1722可以包括預浸料及/或聚醯亞胺。介電層1722可以包括光可成像介電質。形成介電層1722亦可以包括在介電層1722中形成複數個腔（例如，1730）。可以使用蝕刻製程（例如，光刻）或鐳射製程來形成該複數個腔。圖17A-圖17B的階段5-6圖示和描述了形成介電層並在該介電層中形成腔的實例。

【0216】 該方法（在1830處）在該介電層之中和之上形成互連。例如，可在介電層1722之中和之上形成互連1714。

可以使用鍍敷製程來形成互連。形成互連可以包括在介電層之上及/或介電層之中提供圖案化金屬層。形成互連亦可以包括在介電層的腔中形成互連。圖17B的階段7圖示並描述了在介電層之中和之上形成互連的實例。該方法可以形成（諸）附加介電層和附加互連，如在1825和1830處所描述的。

【0217】 在一些實現中，一旦形成了所有的介電層和附加互連，該方法就可以將載體（例如，1700）與晶種層（例如，1701）解耦（在1835處）。載體1700可被分離及/或磨掉。該方法亦可(在1835處)移除晶種層(例如，1701)的各部分。可以使用蝕刻製程來移除晶種層1701的各部分。圖17B的階段8圖示和描述了解耦載體以及晶種層移除的實例。

【0218】 不同實現可使用不同製程來形成（諸）金屬層。在一些實現中，可使用化學氣相沉積（CVD）製程、物理氣相沉積（PVD）製程、濺射製程、噴塗製程，及/或鍍敷製程來形成（諸）金屬層。

示例性電子設備

【0219】 圖19圖示了可整合有前述元件、整合元件、積體電路（IC）封裝、積體電路（IC）元件、半導體元件、積體電路、晶粒、仲介體、封裝、層疊封裝（PoP）、系統級封裝（SiP），或晶片上系統（SoC）中的任一者的各種電子設備。例如，行動電話設備1902、膝上型電腦設備1904、固定位置終端設備1906、可穿戴設備1908，或機

動交通工具1910可以包括如本文中所描述的元件1900。元件1900可以是例如本文所描述的元件及/或積體電路（IC）封裝中的任一者。圖19中所圖示的設備1902、1904、1906和1908，以及交通工具1910僅僅是示例性的。其他電子設備亦能以元件1900為特徵，此類電子設備包括但不限於包括以下各項的設備（例如，電子設備）群組：行動設備、掌上型個人通訊系統（PCS）單元、可攜式資料單元（諸如個人數位助理）、啟用全球定位系統（GPS）的設備、導航設備、機上盒、音樂播放機、視訊播放機、娛樂單元、固定位置資料單元（諸如儀錶讀取裝備）、通訊設備、智慧型電話、平板電腦、電腦、可穿戴設備（例如，手錶、眼鏡）、物聯網路（IoT）設備、伺服器、路由器、機動交通工具（例如，自主交通工具）中實現的電子設備，或者儲存或取得資料或電腦指令的任何其他設備，或者其任何組合。

【0220】 圖1-圖11、12A-圖12D、圖13、圖14A-圖14D、圖15A-圖15C、圖16A-圖16C、圖17A-圖17B及/或圖18-圖19中所圖示的各元件、程序、特徵，及/或功能中的一者或多者可以被重新安排及/或組合成單個元件、程序、特徵或功能，或者在若干元件、程序或功能中實施。亦可添加附加元件、組件、程序，及/或功能而不會脫離本案。亦應當注意，圖1-圖11、圖12A-圖12D、圖13、圖14A-圖14D、圖15A-圖15C、圖16A-圖16C、圖17A-圖17B及/或圖18-圖19及其在本案中的對應描述

不限於晶粒及/或IC。在一些實現中，圖1-圖11、圖12A-圖12D、圖13、圖14A-圖14D、圖15A-圖15C、圖16A-圖16C、圖17A-圖17B及/或圖18-圖19及其對應描述可被用以製造、建立、提供，及/或生產元件及/或整合元件。在一些實現中，元件可以包括晶粒、整合元件、整合被動元件（IPD）、晶粒封裝、積體電路（IC）元件、元件封裝、積體電路（IC）封裝、晶圓、半導體元件、層疊封裝（PoP）元件、散熱元件及/或仲介體。

【0221】 注意，本案中的附圖可以表示各種部件、元件、物件、裝置、封裝、整合元件、積體電路，及/或電晶體的實際表示及/或概念表示。在一些例子中，附圖可以不是按比例的。在一些例子中，為了清楚起見，並未圖示所有元件及/或部件。在一些例子中，附圖中的各個部件及/或元件的定位、位置、大小，及/或形狀可以是示例性的。在一些實現中，附圖中的各個元件及/或部件可以是可任選的。

【0222】 措辭「示例性」在本文中用於表示「用作示例、實例，或說明」。在本文中被描述為「示例性」的任何實現或態樣不必被解釋為優於或勝過本案的其他態樣。同樣，術語「態樣」不要求本案的所有態樣皆包括所論述的特徵、優點或操作模式。術語「耦合」在本文中用於指兩個物件之間的直接或間接耦合（例如，機械耦合）。例如，若物件A實體地接觸物件B，且物件B接觸物件C，則物件A和C仍可被認為是彼此耦合的——即便物件A和C並非彼此直接實體接觸。耦合到另一物件的物件可耦合到該另一物

件的至少一部分。術語「電耦合」可表示兩個物件直接或間接耦合在一起，以使得電流（例如，信號、功率、接地）可以在兩個物件之間傳遞。電耦合的兩個物件在該兩個物件之間可以有或者可以沒有電流傳遞。術語「第一」、「第二」、「第三」和「第四」（及/或高於第四的任何事物）的使用是任意的。所描述的任何元件可以是第一元件、第二元件、第三元件或第四元件。例如，被稱為第二元件的元件可以是第一元件、第二元件、第三元件或第四元件。術語「包封」意指物件可部分地包封或完全包封另一物件。術語「頂部」和「底部」是任意的。位於頂部的元件可以處在位於底部的元件之上。頂部元件可被視為底部元件，反之亦然。如本案所描述的，位於第二元件「之上」的第一元件可意味著第一元件位於第二元件上方或下方，此舉取決於底部或頂部被如何任意定義。在另一實例中，第一元件可位於第二元件的第一表面之上（例如，上方），而第三元件可位於第二元件的第二表面之上（例如，下方），其中第二表面與第一表面相對。進一步注意，如在本案中在一個元件位於另一元件之上的上下文中所使用的術語「之上」可被用來表示元件在另一元件上及/或在另一元件中（例如，在元件的表面上或被嵌入在元件中）。由此，例如，第一元件在第二元件之上可表示：（1）第一元件在第二元件之上，但是不直接接觸第二元件；（2）第一元件在第二元件上（例如，在第二元件的表面上）；及/或（3）第一元件在第二元件中（例如，嵌入在第二元件中）。位

於第二元件「中」的第一元件可以部分地位於第二元件中或者完全位於第二元件中。如本案中所使用的術語「約「值X」」或「大致為值X」意味著在「值X」的百分之十以內。例如，約1或大致為1的值將意味著在0.9-1.1範圍中的值。

【0223】 在一些實現中，互連是元件或封裝中允許或促進兩個點、元件及/或組件之間的電連接的元件或組件。在一些實現中，互連可以包括跡線、通孔、焊盤、焊柱、金屬化層、重分佈層，及/或凸塊下金屬化（UBM）層/互連。在一些實現中，互連可以包括可被配置成為信號（例如，資料信號）、接地及/或功率提供電路徑的導電材料。互連可以包括多於一個元件或組件。互連可以由一或多個互連來定義。互連可以包括一或多個金屬層。互連可以是電路的一部分。不同實現可使用不同製程及/或工序來形成互連。在一些實現中，可使用化學氣相沉積（CVD）製程、物理氣相沉積（PVD）製程、濺射製程、噴塗，及/或鍍敷製程來形成互連。

【0224】 亦應注意，本文中所包含的各種揭示可以作為被圖示為流程圖、流程示意圖、結構圖或方塊圖的程序來描述。儘管流程圖可以將操作描述為順序程序，但很多操作可以並行地或併發地執行。另外，可以重新排列操作的次序。程序在其操作完成時終止。

【0225】 下文中描述了進一步實例以促進對本發明的理解。

【0226】 態樣1：一種封裝，包括第一金屬化部分、經由第一複數個焊柱互連耦合到該第一金屬化部分的第一整合元件，以及位於該第一整合元件與該第一金屬化部分之間的第一芯粒，其中該第一芯粒經由第一複數個焊柱間互連耦合到該第一整合元件。

【0227】 態樣2：如態樣1的封裝，其中該第一芯粒包括溝槽電容器。

【0228】 態樣3：如態樣2的封裝，其中該第一芯粒包括芯粒基板；複數個溝槽電容器；及至少一個貫穿芯粒基板互連。

【0229】 態樣4：如態樣1的封裝，其中該第一芯粒包括記憶體、功率管理積體電路或電壓調節器。

【0230】 態樣5：如態樣1至4的封裝，進一步包括耦合到第一金屬化部分和第一整合元件的包封層。

【0231】 態樣6：如態樣5的封裝，其中該包封層包括耦合到第一整合元件的第一包封層；及耦合到第一金屬化部分的第二包封層。

【0232】 態樣7：如態樣6的封裝，進一步包括位於第一包封層與第二包封層之間的介電層，其中該介電層耦合到該第一包封層和該第二包封層。

【0233】 態樣8：如態樣1至7的封裝，進一步包括經由第二複數個焊柱互連耦合到第一金屬化部分的第二整合元件；及位於第二整合元件與第一金屬化部分之間的第二芯

粒，其中該第二芯粒經由第二複數個焊柱間互連耦合到該第二整合元件。

【0234】 態樣9：如態樣8的封裝，進一步包括耦合到該第一金屬化部分的橋，其中該橋被配置成在第一整合元件與第二整合元件之間提供至少一條電路徑。

【0235】 態樣10：如態樣8至9的封裝，其中該第一芯粒由第一複數個焊柱互連橫向圍繞；並且其中該第二芯粒由第二複數個焊柱互連橫向圍繞。

【0236】 態樣11：如態樣8至10的封裝，其中該第一整合元件包括包含第一最小間隔的第一複數個晶粒互連，並且其中該第二整合元件包括包含第二最小間隔的第二複數個晶粒互連。

【0237】 態樣12：如態樣11的封裝，其中該第一芯粒包括包含第三最小間隔的複數個互連。

【0238】 態樣13：如態樣1至10的封裝，其中該第一整合元件包括包含第一最小間隔的複數個晶粒互連，並且其中該第一芯粒包括包含第二最小間隔的複數個互連。

【0239】 態樣14：如態樣13的封裝，其中該第一最小間隔小於第二最小間隔。

【0240】 態樣15：如態樣1至10的封裝，其中該第一整合元件包括包含第一最小間隔的第一複數個電晶體，並且其中該第一芯粒包括包含第二最小間隔的第二複數個電晶體。

【0241】 態樣16：一種設備，包括封裝。該封裝包括第一金屬化部分、經由第一複數個焊柱互連耦合到該第一金屬化部分的第一整合元件，以及位於該第一整合元件與該第一金屬化部分之間的第一芯粒，其中該第一芯粒經由第一複數個焊柱間互連耦合到該第一整合元件。

【0242】 態樣17：如態樣16的設備，其中該第一芯粒包括溝槽電容器。

【0243】 態樣18：如態樣17的設備，其中該第一芯粒包括芯粒基板；複數個溝槽電容器；及至少一個貫穿芯粒基板互連。

【0244】 態樣19：如態樣16的設備，其中該第一芯粒包括記憶體、功率管理積體電路或電壓調節器。

【0245】 態樣20：如態樣16至19的設備，其中該設備選自包括以下各項的群組：音樂播放機、視訊播放機、娛樂單元、導航設備、通訊設備、行動設備、行動電話、智慧型電話、個人數位助理、固定位置終端、平板電腦、電腦、可穿戴設備、膝上型電腦、伺服器、物聯網路（IoT）設備，以及機動交通工具中的設備。

【0246】 態樣21：一種用於製造封裝的方法。該方法提供第一整合元件和第一複數個焊柱間互連。該方法形成包封該第一整合元件和該第一複數個焊柱間互連的包封層。該方法形成被配置成耦合到該第一整合元件的第一複數個焊柱互連。該方法經由第一複數個焊柱間互連將第一芯粒耦

合到該第一整合元件。該方法形成第一金屬化部分，使得該第一金屬化部分耦合到第一芯粒和第一包封層。

【0247】 態樣22：如態樣21的方法，其中該第一芯粒包括溝槽電容器。

【0248】 態樣23：如態樣22的方法，其中該第一芯粒包括芯粒基板；複數個溝槽電容器；及至少一個貫穿芯粒基板互連。

【0249】 態樣24：如態樣21的方法，其中該第一芯粒包括記憶體、功率管理積體電路或電壓調節器。

【0250】 態樣25：如態樣21至24的方法，進一步形成包封第一芯粒的第二包封層。

【0251】 態樣26：如態樣25的方法，其中該第二包封層和包封層是相同包封層的一部分。

【0252】 態樣27：如態樣21至26的方法，進一步包括以下步驟：提供第二整合元件和第二複數個焊柱間互連，其中形成包封層包括形成進一步包封第二整合元件和第二複數個焊柱間互連的包封層；及經由第二複數個焊柱間互連將第二芯粒耦合到該第二整合元件。

【0253】 態樣28：如態樣27的方法，進一步包括以下步驟：提供被配置成在該第一整合元件與該第二整合元件之間提供至少一條電路徑的橋。

【0254】 態樣29：如態樣21至28的方法，其中該第一整合元件包括包含第一最小間隔的複數個晶粒互連，並且其中該第一芯粒包括包含第二最小間隔的複數個互連。

【0255】 態樣30：如態樣21至29的方法，其中該第一整合元件包括包含第一最小間隔的第一複數個電晶體，並且其中該第一芯粒包括包含第二最小間隔的第二複數個電晶體。

【0256】 態樣31：一種封裝，包括第一金屬化部分、耦合到該第一金屬化部分的第一整合元件、耦合到該第一金屬化部分的第二整合元件、經由第一複數個焊柱互連耦合到該第一金屬化部分的第二金屬化部分、位於該第一金屬化部分與該第二金屬化部分之間的第一芯粒，以及位於該第一金屬化部分與該第二金屬化部分之間的第二芯粒，其中該第一芯粒被配置成經由該第一金屬化部分電耦合到該第一整合元件，其中該第二芯粒被配置成經由該第一金屬化部分電耦合到該第二整合元件。

【0257】 態樣32：如態樣31的封裝，進一步包括位於第一金屬化部分與第二金屬化部分之間的橋。

【0258】 態樣33：如態樣31至32的封裝，進一步包括耦合到第一金屬化部分、第一整合元件和第二整合元件的第一包封層。

【0259】 態樣34：如態樣33的封裝，進一步包括耦合到第一金屬化部分、第二金屬化部分、第一芯粒和第二芯粒的第二包封層，其中該第二包封層位於該第一金屬化部分與該第二金屬化部分之間。

【0260】 態樣35：如態樣31至34的封裝，其中該第一芯粒包括第一溝槽電容器、第一記憶體、第一功率管理積體

電路或第一電壓調節器，並且其中該第二芯粒包括第二溝槽電容器、第二記憶體、第二功率管理積體電路或第二電壓調節器。

【0261】 態樣36：如態樣31至35的封裝，其中該第一整合元件經由第一複數個焊料互連耦合到第一金屬化部分，並且其中該第二整合元件經由第二複數個焊料互連耦合到第一金屬化部分。

【0262】 態樣37：如態樣31至36的封裝，其中該第一芯粒經由第一複數個焊料互連耦合到第一金屬化部分，並且其中該第二芯粒經由第二複數個焊料互連耦合到第一金屬化部分。

【0263】 態樣38：如態樣37的封裝，進一步包括位於第一金屬化部分與第二金屬化部分之間的橋，其中該橋經由第三複數個焊料互連耦合到該第一金屬化部分。

【0264】 態樣39：如態樣38的封裝，其中該橋的前側面對第一金屬化部分，其中該第一芯粒的前側面對第一金屬化部分，並且其中該第二芯粒的前側面對第一金屬化部分。

【0265】 態樣40：如態樣31至36的封裝，其中該第一芯粒經由第一複數個焊料互連耦合到第二金屬化部分，並且其中該第二芯粒經由第二複數個焊料互連耦合到第二金屬化部分。

【0266】 態樣41：如態樣40的封裝，進一步包括位於第一金屬化部分與第二金屬化部分之間的橋，其中該橋經由第三複數個焊料互連耦合到該第一金屬化部分。

【0267】 態樣42：如態樣41的封裝，其中該橋的前側面對第一金屬化部分，其中該第一芯粒的前側面對第一金屬化部分，並且其中該第二芯粒的前側面對第一金屬化部分。

【0268】 態樣43：如態樣31至42的封裝，其中該第一整合元件包括包含第一最小間隔的第一複數個晶粒互連，並且其中該第二整合元件包括包含第二最小間隔的第二複數個晶粒互連。

【0269】 態樣44：如態樣31至43的封裝，其中該第一芯粒包括包含第三最小間隔的複數個互連。

【0270】 態樣45：如態樣31至42的封裝，其中該第一整合元件包括包含第一最小間隔的複數個晶粒互連，並且其中該第一芯粒包括包含第二最小間隔的複數個互連。

【0271】 態樣46：如態樣31至45的封裝，其中該第一整合元件包括包含第一最小間隔的第一複數個電晶體，並且其中該第一芯粒包括包含第二最小間隔的第二複數個電晶體。

【0272】 態樣47：一種設備，包括封裝。該封裝包括第一金屬化部分、耦合到該第一金屬化部分的第一整合元件、耦合到該第一金屬化部分的第二整合元件、經由第一複數個焊柱互連耦合到該第一金屬化部分的第二金屬化部分、位於該第一金屬化部分與該第二金屬化部分之間的第一芯粒，以及位於該第一金屬化部分與該第二金屬化部分之間的第二芯粒，其中該第一芯粒被配置成經由該第一金屬化

部分電耦合到該第一整合元件，其中該第二芯粒被配置成經由該第一金屬化部分電耦合到該第二整合元件。

【0273】 態樣48：如態樣47的設備，其中該第一芯粒包括第一溝槽電容器、第一記憶體、第一功率管理積體電路或第一電壓調節器，並且其中該第二芯粒包括第二溝槽電容器、第二記憶體、第二功率管理積體電路或第二電壓調節器。

【0274】 態樣49：如態樣47至48的設備，其中該第一整合元件包括包含第一最小間隔的複數個晶粒互連，並且其中該第一芯粒包括包含第二最小間隔的複數個互連。

【0275】 態樣50：如態樣47至49的設備，其中該設備選自包括以下各項的群組：音樂播放機、視訊播放機、娛樂單元、導航設備、通訊設備、行動設備、行動電話、智慧型電話、個人數位助理、固定位置終端、平板電腦、電腦、可穿戴設備、膝上型電腦、伺服器、物聯網路（IoT）設備，以及機動交通工具中的設備。

【0276】 態樣51：一種用於製造封裝的方法。該方法提供第一整合元件和第二整合元件。該方法形成包封第一整合元件和第二整合元件的包封層。該方法形成第一金屬化部分，使得該第一金屬化部分耦合到第一整合元件和第二整合元件。該方法形成第一複數個焊柱互連和第二複數個焊柱互連，使得該第一複數個焊柱互連和該第二複數個焊柱互連耦合到第一金屬化部分。該方法將第一芯粒和第二芯粒耦合到第一金屬化部分。該方法形成包封第一複數個焊

柱互連、第二複數個焊柱互連、第一芯粒和第二芯粒的另一包封層。該方法形成第二金屬化部分，使得該第二金屬化部分耦合到第一芯粒和第二芯粒。

【0277】 態樣52：如態樣51的方法，其中將第一芯粒和第二芯粒耦合到第一金屬化部分包括將第一芯粒耦合到第一金屬化部分，使得該第一芯粒的前側面向第一金屬化部分；及將第二芯粒耦合到第一金屬化部分，使得第二芯粒的前側面向第一金屬化部分。

【0278】 態樣53：如態樣52的方法，其中該第一芯粒經由第一複數個焊料互連耦合到第一金屬化部分，並且其中該第二芯粒經由第二複數個焊料互連耦合到第一金屬化部分。

【0279】 態樣54：如態樣51至53的方法，進一步包括以下步驟：將橋耦合到第一金屬化部分，使得橋的前側面對第一金屬化部分。

【0280】 態樣55：如態樣54的方法，其中該橋經由複數個焊料互連耦合到第一金屬化部分。

【0281】 態樣56：一種用於製造封裝的方法。該方法形成第二金屬化部分。該方法形成第一複數個焊柱互連和第二複數個焊柱互連，使得該第一複數個焊柱互連和該第二複數個焊柱互連耦合到第二金屬化部分。該方法將第一芯粒和第二芯粒耦合到第二金屬化部分。該方法形成包封第一複數個焊柱互連、第二複數個焊柱互連、第一芯粒和第二芯粒的包封層。該方法形成第一金屬化部分，使得該第一

金屬化部分耦合到第一芯粒和第二芯粒。該方法將第一整合元件和第二整合元件耦合到第一金屬化部分。

【0282】 態樣57：如態樣56的方法，其中將第一芯粒和第二芯粒耦合到第二金屬化部分包括將第一芯粒耦合到第二金屬化部分，使得該第一芯粒的背側面向第二金屬化部分；及將第二芯粒耦合到第二金屬化部分，使得第二芯粒的背側面向第二金屬化部分。

【0283】 態樣58：如態樣57的方法，其中該第一芯粒經由第一複數個焊料互連耦合到第二金屬化部分，並且其中該第二芯粒經由第二複數個焊料互連耦合到第二金屬化部分。

【0284】 態樣59：如態樣56至57的方法，進一步包括以下步驟：將橋耦合到第二金屬化部分，使得橋的背側面對第二金屬化部分。

【0285】 態樣60：如態樣56至59的方法，進一步包括以下步驟：形成包封第一整合元件和第二整合元件的另一包封層。

【0286】 本文中所描述的本案的各種特徵可實現於不同系統中而不會脫離本案。應當注意，本案的以上各態樣僅是實例，且不應被解釋成限定本案。對本案的各態樣的描述意欲是說明性的，而非限定所附請求項的範疇。由此，本案的教示可以現成地應用於其他類型的裝置，並且許多替換、修改和變形對於熟習此項技術者將是顯而易見的。

【符號說明】

【0287】

1：階 段

2：階 段

3：階 段

4：階 段

5：階 段

6：階 段

7：階 段

8：階 段

9：階 段

10：階 段

11：階 段

12：階 段

13：階 段

14：階 段

15：階 段

16：階 段

100：封 裝

102：金 屬 化 部 分

104：整 合 元 件

105：底 部 填 料

106：芯 粒

107：焊 柱 互 連

107a：焊柱互連

107b：焊柱互連

108：包封層

109：基板

120：介電層

121：金屬化互連

140：焊料互連

160：晶粒基板

162：貫穿基板通孔

164：溝槽互連

166：溝槽互連

167：溝槽電容器

190：介電層

192：互連

196：焊料互連

198：焊料互連

200：封裝

207：焊柱互連

207a：焊柱互連

208：包封層

281：介電層

300：封裝

306：芯粒

400：封裝

404：整合元件

406：芯粒

407：焊柱互連

407a：焊柱互連

407b：焊柱互連

440：焊料互連

462：貫穿基板通孔

500：封裝

505：橋

600：封裝

606：芯粒

700：封裝

702：金屬化部分

708：包封層

709：基板

710：焊料互連

720：介電層

721：金屬化互連

740：焊料互連

780：穿模通孔

800：封裝

850：焊料互連

900：封裝

1000：封裝

1005：黏合劑

1010：焊料互連

1030：焊料互連

1040：焊料互連

1060：焊料互連

1100：芯粒

1102：芯粒基板

1104：氧化層

1105：溝槽電容器

1105a：溝槽電容器

1105b：溝槽電容器

1106：第一導電層

1108：介電層

1109：互連

1110：第二導電層

1192：互連

1194：互連

1200：溝槽

1210：腔

1300：方法

1305：步驟

1310：步驟

1315：步驟

1320：步驟

1325：步驟

1330：步驟

1335：步驟

1340：步驟

1400：載體

1401：晶種層

1404：焊柱互連

1407：焊柱互連

1408：包封層

1420：介電層

1421：腔

1422：金屬化互連

1430：介電層

1431：腔

1432：金屬化互連

1447：焊柱互連

1500：載體

1580：焊柱互連

1600：載體

1680：焊柱互連

1700：載體

1701：晶種層

1702：互連

1710：腔

1712：互連

1714：互連

1720：介電層

1722：介電層

1730：腔

1800：方法

1805：步驟

1810：步驟

1815：步驟

1820：步驟

1825：步驟

1830：步驟

1835：步驟

1900：元件

1902：行動電話設備

1904：膝上型電腦設備

1906：固定位置終端設備

1908：可穿戴設備

1910：機動交通工具

Y：軸

Z：軸

【生物材料寄存】

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【請求項1】 一種封裝，包括：

一第一金屬化部分；

經由第一複數個焊柱互連耦合到該第一金屬化部分的一第一整合元件；及

位於該第一整合元件與該第一金屬化部分之間的一第一芯粒，其中該第一芯粒經由第一複數個焊柱間互連耦合到該第一整合元件。

【請求項2】 如請求項1之封裝，其中該第一芯粒包括一溝槽電容器。

【請求項3】 如請求項2之封裝，其中該第一芯粒包括：

一芯粒基板；

複數個溝槽電容器；及

至少一個貫穿芯粒基板互連。

【請求項4】 如請求項1之封裝，其中該第一芯粒包括一記憶體、一功率管理積體電路或一電壓調節器。

【請求項5】 如請求項1之封裝，進一步包括耦合到該第一金屬化部分和該第一整合元件的一包封層。

【請求項6】 如請求項5之封裝，其中該包封層包括：

耦合到該第一整合元件的一第一包封層；及

耦合到該第一金屬化部分的一第二包封層。

【請求項7】 如請求項6之封裝，進一步包括位於該第一包封層與該第二包封層之間的一介電層，其中該介電層耦合到該第一包封層和該第二包封層。

【請求項8】 如請求項1之封裝，進一步包括：

經由第二複數個焊柱互連耦合到該第一金屬化部分的一第二整合元件；及

位於該第二整合元件與該第一金屬化部分之間的一第二芯粒，其中該第二芯粒經由第二複數個焊柱間互連耦合到該第二整合元件。

【請求項9】 如請求項8之封裝，進一步包括耦合到該第一金屬化部分的一橋，其中該橋被配置成在該第一整合元件與該第二整合元件之間提供至少一條電路徑。

【請求項10】如請求項8之封裝，

其中該第一芯粒由該第一複數個焊柱互連橫向圍繞；並且

其中該第二芯粒由該第二複數個焊柱互連橫向圍繞。

【請求項11】如請求項8之封裝，

其中該第一整合元件包括包含一第一最小間隔的第一複數個晶粒互連，並且

其中該第二整合元件包括包含一第二最小間隔的第二複數個晶粒互連。

【請求項12】如請求項11之封裝，其中該第一芯粒包括包含一第三最小間隔的複數個互連。

【請求項13】如請求項1之封裝，

其中該第一整合元件包括包含一第一最小間隔的複數個晶粒互連，並且

其中該第一芯粒包括包含一第二最小間隔的複數個互

連。

【請求項14】如請求項13之封裝，其中該第一最小間隔小於該第二最小間隔。

【請求項15】如請求項1之封裝，

其中該第一整合元件包括包含一第一最小間隔的第一複數個電晶體，並且

其中該第一芯粒包括包含一第二最小間隔的第二複數個電晶體。

【請求項16】一種設備，包括：

一封裝，包括：

一第一金屬化部分；

經由第一複數個焊柱互連耦合到該第一金屬化部分的一第一整合元件；及

位於該第一整合元件與該第一金屬化部分之間的一第一芯粒，其中該第一芯粒經由第一複數個焊柱間互連耦合到該第一整合元件。

【請求項17】如請求項16之設備，其中該第一芯粒包括一溝槽電容器。

【請求項18】如請求項17之設備，其中該第一芯粒包括：

一芯粒基板；

複數個溝槽電容器；及

至少一個貫穿芯粒基板互連。

【請求項19】如請求項16之設備，其中該第一芯粒包括一記憶體、一功率管理積體電路或一電壓調節器。

【請求項20】如請求項16之設備，其中該設備選自包括以下各項的一群組：一音樂播放機、一視訊播放機、一娛樂單元、一導航設備、一通訊設備、一行動設備、一行動電話、一智慧型電話、一個人數位助理、一固定位置終端、一平板電腦、一電腦、一可穿戴設備、一膝上型電腦、一伺服器、一物聯網路（IoT）設備，以及一機動交通工具中的一設備。

【請求項21】一種用於製造一封裝的方法，包括以下步驟：

提供一第一整合元件和第一複數個焊柱間互連；

形成包封該第一整合元件和該第一複數個焊柱間互連的一包封層；

形成被配置成耦合到該第一整合元件的第一複數個焊柱互連；

經由該第一複數個焊柱間互連來將一第一芯粒耦合到該第一整合元件；及

形成一第一金屬化部分，使得該第一金屬化部分耦合到該第一芯粒和該第一包封層。

【請求項22】如請求項21之方法，其中該第一芯粒包括一溝槽電容器。

【請求項23】如請求項22之方法，其中該第一芯粒包括：

一芯粒基板；

複數個溝槽電容器；及

至少一個貫穿芯粒基板互連。

【請求項24】如請求項21之方法，其中該第一芯粒包括一記憶體、一功率管理積體電路或一電壓調節器。

【請求項25】如請求項21之方法，進一步形成包封該第一芯粒的一第二包封層。

【請求項26】如請求項25之方法，其中該第二包封層和該包封層是一相同包封層的一部分。

【請求項27】如請求項21之方法，進一步包括以下步驟：

提供一第二整合元件和第二複數個焊柱間互連，其中形成該包封層之步驟包括以下步驟：形成進一步包封該第二整合元件和該第二複數個焊柱間互連的該包封層；及

經由該第二複數個焊柱間互連來將一第二芯粒耦合到該第二整合元件。

【請求項28】如請求項27之方法，進一步包括以下步驟：提供被配置成在該第一整合元件與該第二整合元件之間提供至少一條電路徑的一橋。

【請求項29】如請求項21之方法，

其中該第一整合元件包括包含一第一最小間隔的複數個晶粒互連，並且

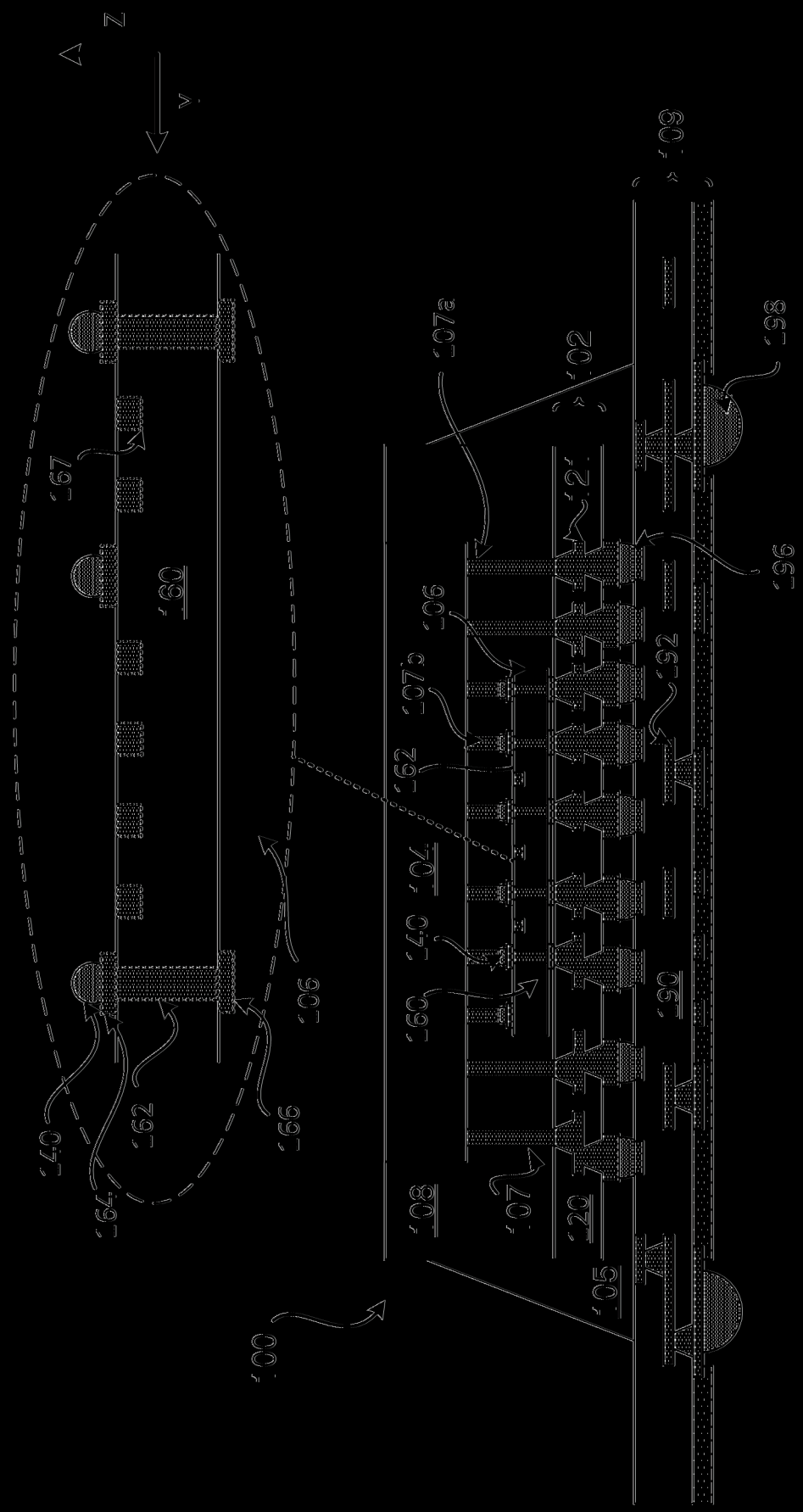
其中該第一芯粒包括包含一第二最小間隔的複數個互連。

【請求項30】如請求項21之方法，

其中該第一整合元件包括包含一第一最小間隔的第一複數個電晶體，並且

其中該第一芯粒包括包含一第二最小間隔的第二複數個電晶體。

【發明圖式】



濃載至密度規置

圖1

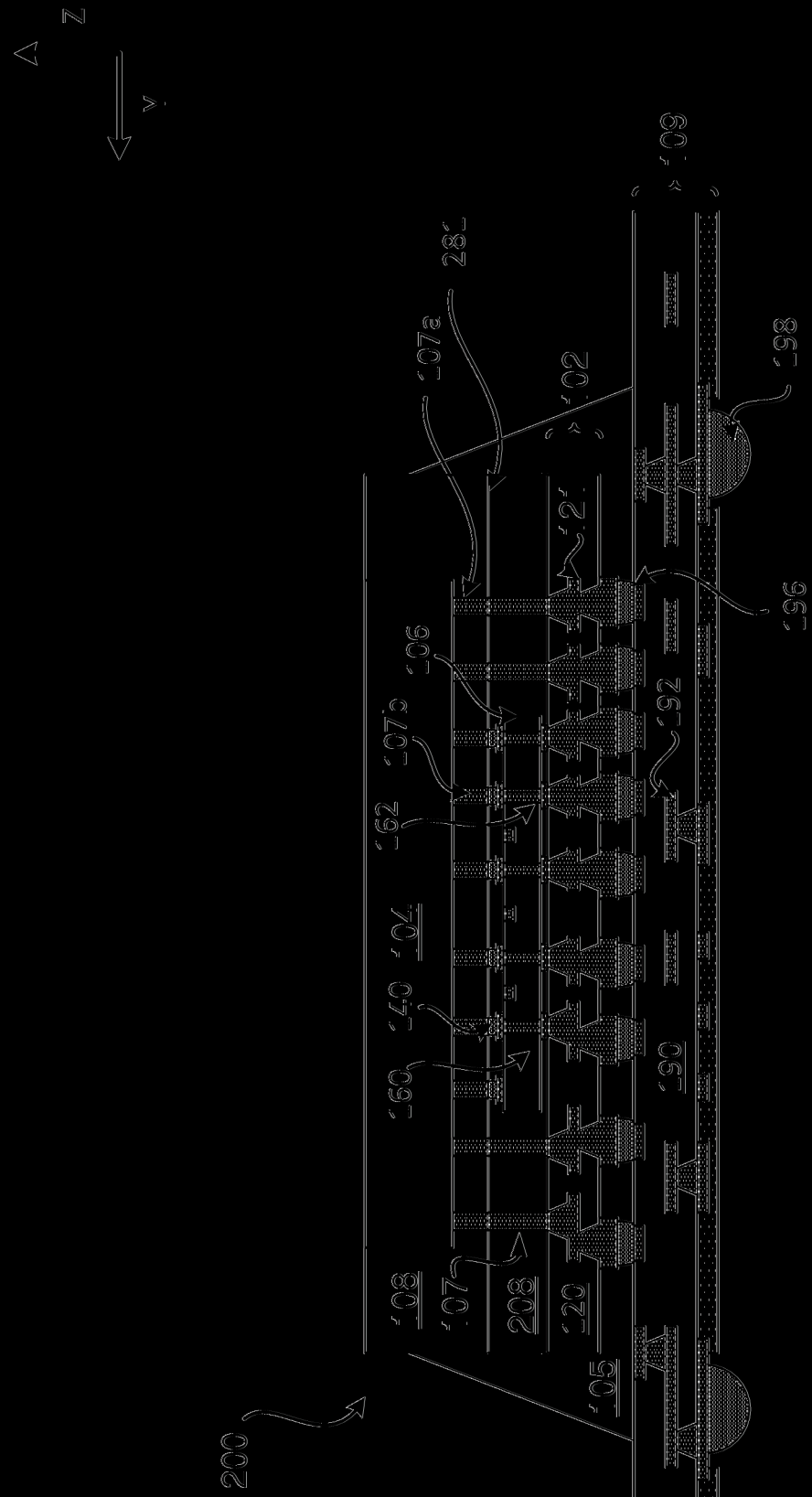


圖2 習知技術

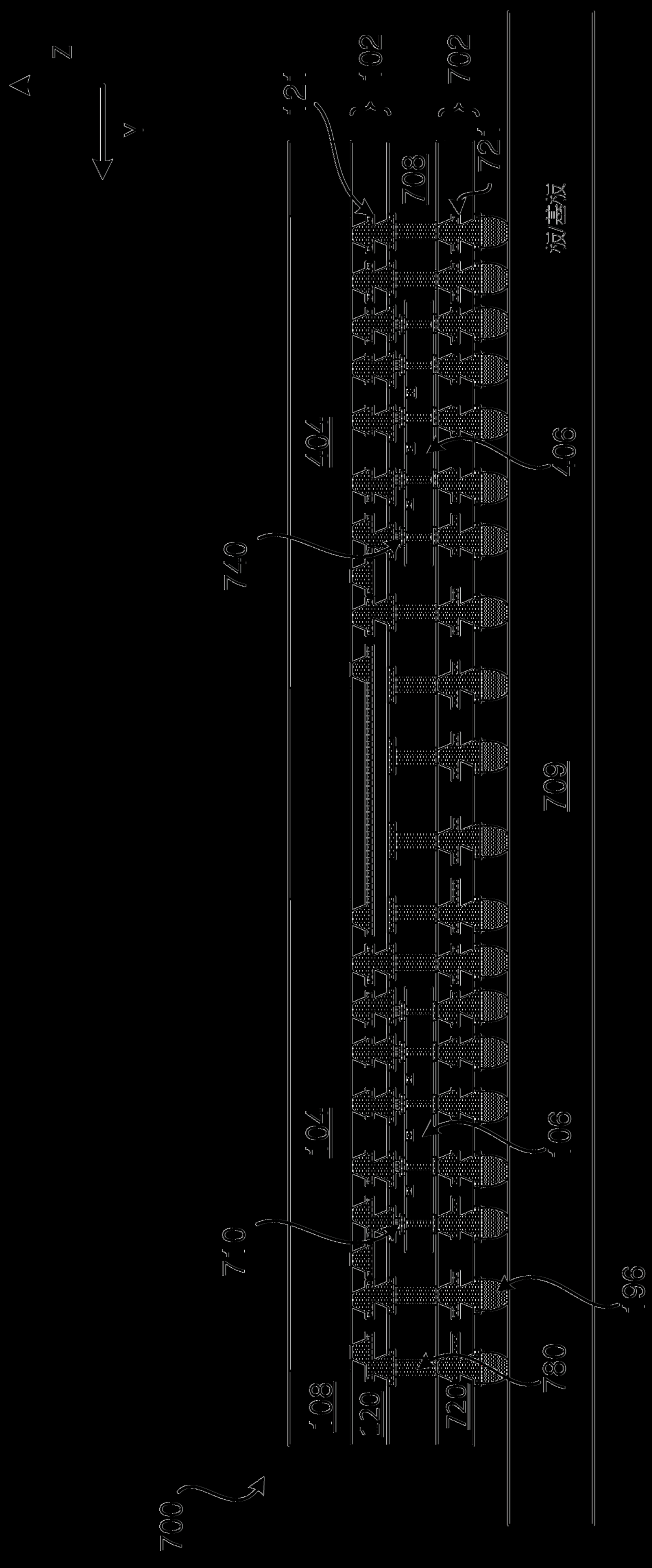
圖3

Z
Y
60
20
22
406
407
402
409
407a
405
407a
402
407
409
407
408
410
400
95
96
92
90
91
95
96
95
95
95

z
y
60
20
22
407a
96
256
62
407
60
505
407a
96
256
62
407
60
505
407a
96
256
62
407
60
505

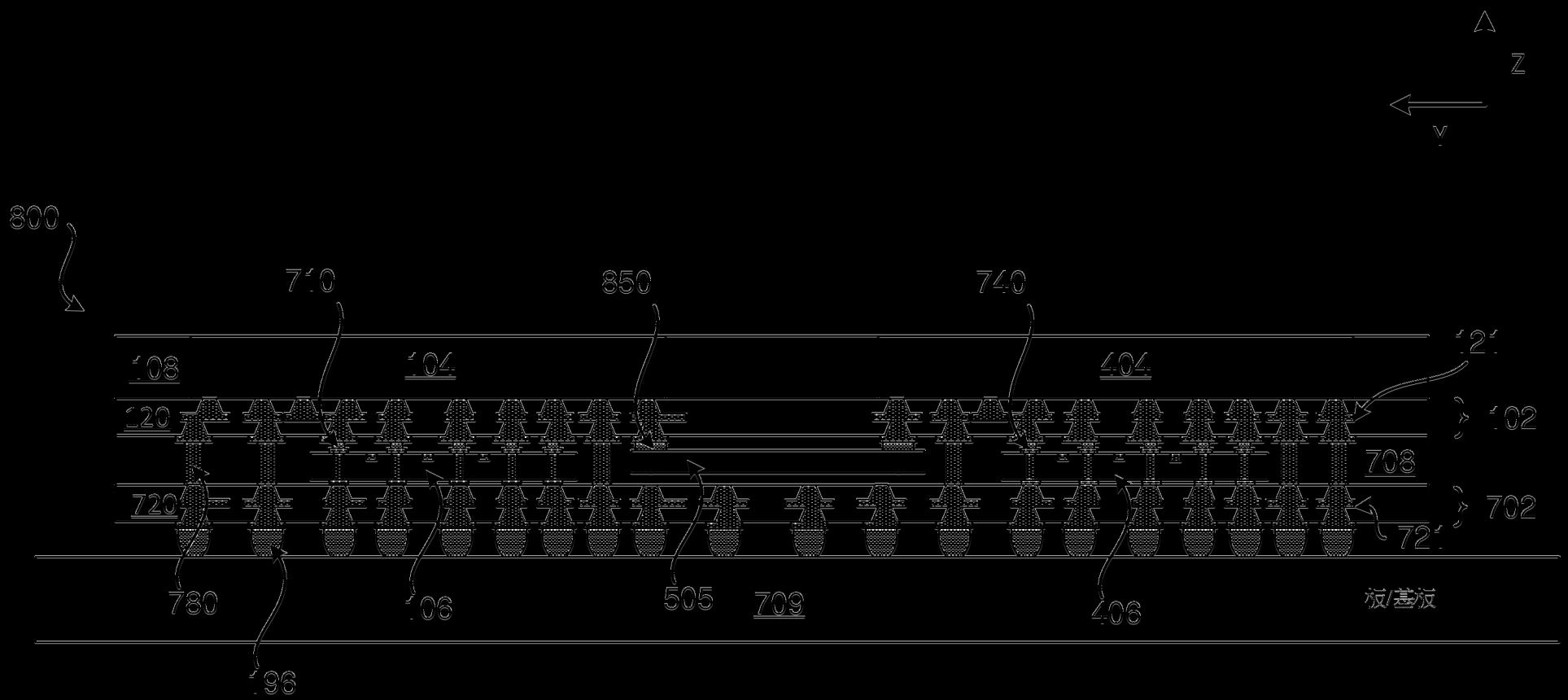
N
60
202
207a
58
407
404
407a
606
505
207a
207
96
92
407a
404
407
306
308
600
205

圖 6



橫截面透視圖

圖7


Z
Y
800
710
850
740
108
104
404
121
120
102
708
720
702
721
780
106
505
709
406
196
板/基板

横截面剖面視圖

圖8

Z
Y
202
202
202

Z
Y
202
202
202
708
707
705
709
707
704
704
708
707
707
707

N
S
第一方向
第二方向
100
102
103
104
105a
105b
106
108
110
112
114

圖 2A

圖 23

圖 2C

圖 2D


1300
提供芯粒基板
1305
在芯粒基板中形成腔/溝槽
1310
在腔/溝槽之上形成氧化層
1315
在氧化層之上形成第一導電層（例如，多晶矽層）
1320
在第一導電層之上形成介電層
1325
在介電層之上形成第二導電層（例如，多晶矽層）
1330
在芯粒基板中形成（諸）腔
1335
在芯粒基板的（諸）腔中形成互連
1340

圖13

第一對合元件
反向移位
不對稱一對合元件
同向移位
第一對合元件（第二對合元件）
反向移位
1
2
3
4
5
6
407'
407'
407'

介電層
蝕刻終點
金屬化互連系統
介電層
7
8
9
10
420'
407'
406'
404'
410'
408'
407'
406'
407'
420'
427'
422'
420'
407'
406'
404'
410'
408'
407'
406'
407'
420'
427'
422'
305
420'
407'
406'
404'
410'
408'
407'
406'
407'
420'
427'
420'
407'
406'
404'
410'
408'
407'
406'
407'
420'

圖 3

第一次移動後
第二次移動後
第三次移動後
移動後
1
2
3
4
20'
22'
30'
36'
38'
43'
43'
43'
43'
70'
70'
70'
70'
80'
80'
80'
80'
90'
90'
90'
90'

圖 7

圖 7

金屬化部分形成
22、02
20
70、
80、
70、
80、
70、
80、
22
500、
金屬化部分形成
圖案層
金屬化部分形成
1
2
3

圖 5A

第一方向
第二方向
第三方向
202
707
705
708
702
703
780
505
850
907
906
770
580
722

圖 3

金屬化部分形成
高溫石墨化製程
702
702
704
704
707
707
708
708
708
708
803
803
95
7
8

圖 5C

圖 6A

圖 63

圖6C
第二感測電極
感測電極
第一感測電極
702
704
706
708
720
722
730
600
7
8
9

第7A圖

圖 7B


1800
提供具有晶種層的載體
1805
在載體和晶種層之上形成金屬層並對其進行圖案化以形成互連
1810
在互連、晶種層和載體之上形成/提供介電層
1815
在介電層之中和之上形成互連（例如，通孔、跡線、焊盤）
1820
在互連之上形成/提供另一介電層
1825
在介電層之中和之上形成互連（例如，通孔、跡線、焊盤）
1830
解耦載體，以及移除晶種層的各部分
1835

圖18

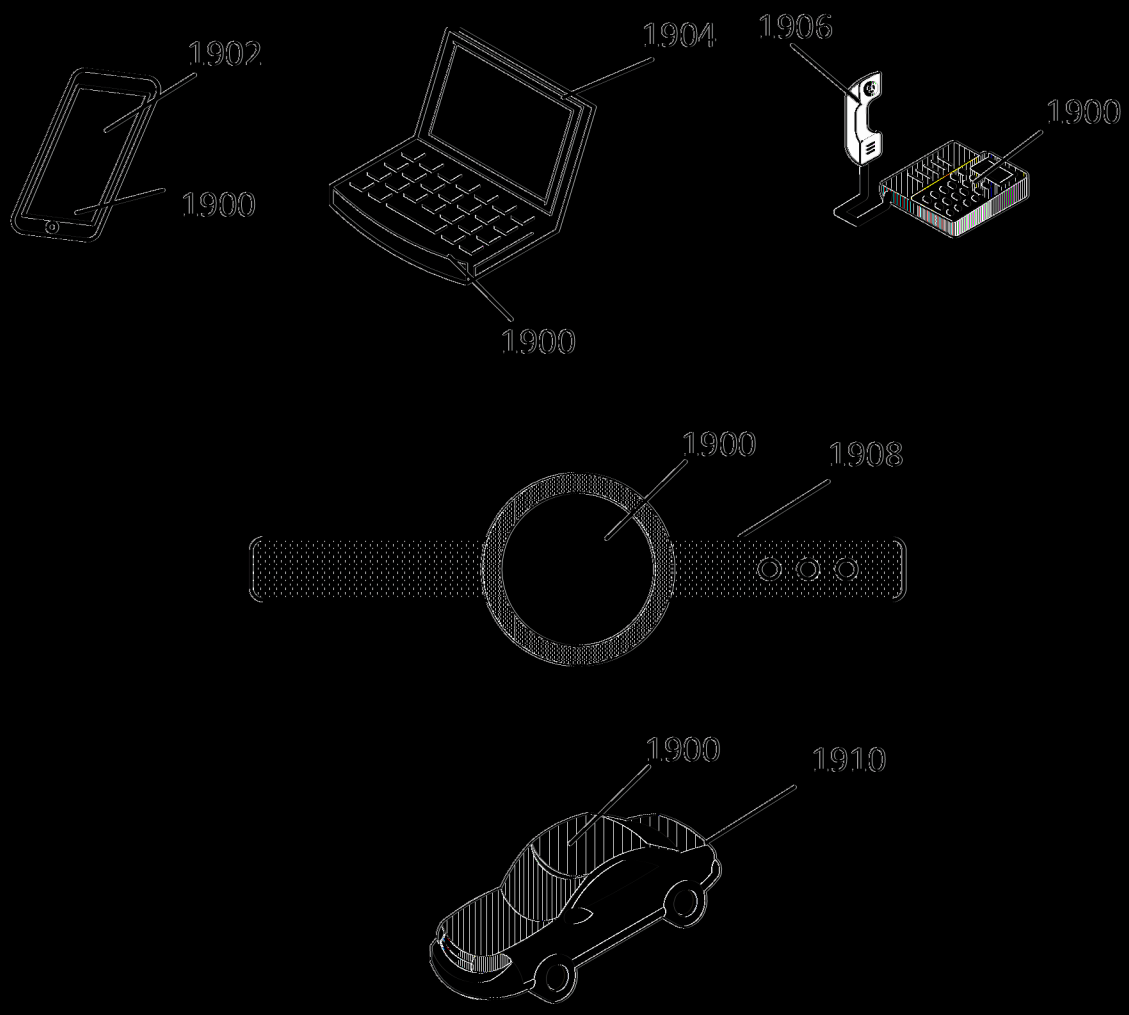


圖19