



등록특허 10-2066282



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월14일
(11) 등록번호 10-2066282
(24) 등록일자 2020년01월08일

- (51) 국제특허분류(Int. Cl.)
G11C 5/14 (2006.01) *G11C 7/10* (2015.01)
- (21) 출원번호 10-2013-0021068
(22) 출원일자 2013년02월27일
심사청구일자 2017년12월19일
(65) 공개번호 10-2013-0100719
(43) 공개일자 2013년09월11일
(30) 우선권주장
JP-P-2012-045194 2012년03월01일 일본(JP)
(56) 선행기술조사문현
US05901103 A*
US20110176357 A1*

*는 심사관에 의하여 인용된 문현

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
(72) 발명자
니시지마 다츠지
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 3 항

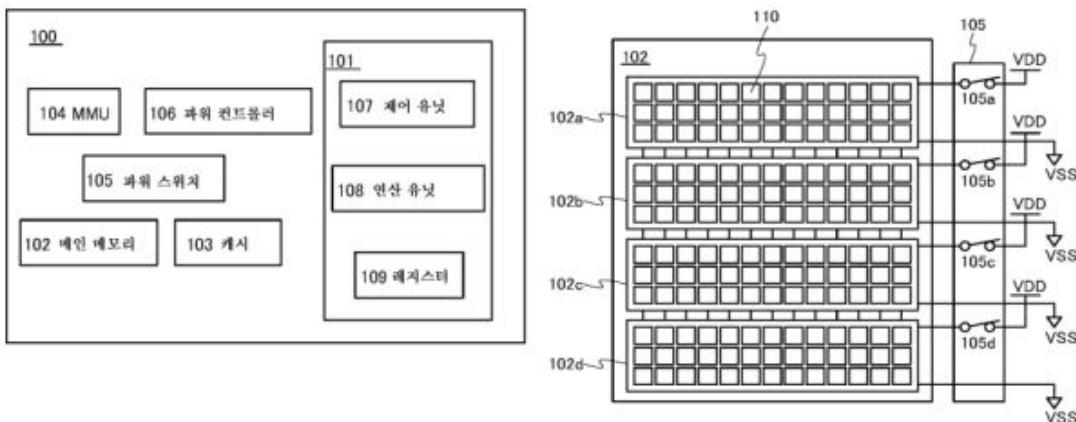
심사관 : 윤석채

(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 소비 전력을 작게 억제할 수 있는 반도체 장치를 제공한다.

상기 반도체 장치는 제어 유닛, 연산 유닛, 및 레지스터의 기능을 갖는 CPU 코어와, 1행 또는 복수의 행의 메모리셀을 각각 갖는 복수의 블록을 갖는 제 1 기억 장치와, 상기 제 1 기억 장치가 갖는 복수의 상기 블록 중 상기 CPU 코어에 의해 선택된 제 1 블록으로부터, 상기 CPU 코어에서 취급하는 데이터를 복제하여 기억하는 제 2 기억 장치와, 복수의 상기 블록에 대한 전원 전압의 공급을 각각 제어하는 복수의 스위치와, 상기 제 1 블록의 어드레스를 파악하는 메모리 관리 유닛과, 상기 어드레스를 이용하여 상기 복수의 스위치 중 어느 스위치를 오프 상태로 하여, 복수의 상기 블록 중 상기 제 1 블록 이외의 제 2 블록에 대한 전원 전압의 공급을 정지하는 파워 컨트롤러를 갖는 반도체 장치이다.

대 표 도

명세서

청구범위

청구항 1

삭제

청구항 2

반도체 장치로서,

메모리 셀을 각각 갖는 제 1 블록 및 제 2 블록, 상기 제 1 블록이 갖는 상기 메모리 셀을 행마다 선택하는 기능을 갖는 제 1 디코더, 및 상기 제 2 블록이 갖는 상기 메모리 셀을 행마다 선택하는 기능을 갖는 제 2 디코더를 포함하는 제 1 기억 장치와,

제 2 기억 장치와,

상기 제 1 블록과 제 1 전원선 사이의 제 1 스위치, 상기 제 2 블록과 제 2 전원선 사이의 제 2 스위치, 상기 제 1 디코더와 제 3 전원선 사이의 제 3 스위치, 및 상기 제 2 디코더와 제 4 전원선 사이의 제 4 스위치와,

파워 컨트롤러를 포함하고,

상기 제 2 기억 장치는 CPU 코어에서 취급하는 데이터를 상기 CPU 코어에 의해 선택된 상기 제 1 블록으로부터 복제하고 기억하는 기능을 가지며,

상기 파워 컨트롤러는 상기 제 1 스위치 및 상기 제 2 스위치를 이용하여 상기 제 1 블록에 대한 제 1 전원 전압의 공급을 수행함과 함께, 상기 제 2 블록에 대한 제 2 전원 전압의 공급을 정지하는 기능과, 상기 제 3 스위치 및 상기 제 4 스위치를 이용하여 상기 제 1 디코더에 대한 제 3 전원 전압의 공급을 수행함과 함께, 상기 제 2 디코더에 대한 제 4 전원 전압의 공급을 정지하는 기능을 갖고,

상기 메모리 셀은 제 1 논리 소자인 제 1 인버터 및 제 2 논리 소자인 제 2 인버터를 갖고,

상기 제 1 인버터에 공급되는 제 5 전원 전압과 상기 제 2 인버터에 공급되는 제 6 전원 전압을 다른 경로로 하여, 상기 제 1 인버터 및 상기 제 2 인버터 중 하나에 상기 제 5 전원 전압 및 상기 제 6 전원 전압 중 하나를 공급하면서, 상기 제 1 인버터 및 상기 제 2 인버터 중 다른 하나에 상기 제 5 전원 전압 및 상기 제 6 전원 전압 중 다른 하나를 공급하지 않는, 반도체 장치.

청구항 3

삭제

청구항 4

제2항에 있어서,

상기 메모리 셀은 제 5 스위치, 제 6 스위치, 제 7 스위치, 제 8 스위치, 제 1 용량 소자, 및 제 2 용량 소자를 더 가지며,

상기 제 5 스위치는 제 1 배선과 상기 제 1 논리 소자의 입력 단자 및 상기 제 2 논리 소자의 출력 단자의 도통 상태를 제어하는 기능을 가지며,

상기 제 6 스위치는 제 2 배선과 상기 제 1 논리 소자의 출력 단자 및 상기 제 2 논리 소자의 입력 단자의 도통 상태를 제어하는 기능을 가지며,

상기 제 7 스위치는 상기 제 1 논리 소자의 입력 단자 및 상기 제 2 논리 소자의 출력 단자와 상기 제 1 용량 소자의 도통 상태를 제어하는 기능을 가지며,

상기 제 8 스위치는 상기 제 1 논리 소자의 출력 단자 및 상기 제 2 논리 소자의 입력 단자와 상기 제 2 용량 소자의 도통 상태를 제어하는 기능을 갖고,

상기 메모리 셀은,

상기 제 1 인버터 및 상기 제 2 인버터 중 하나에 상기 제 5 전원 전압 및 상기 제 6 전원 전압 중 하나를 공급하는 제 1 동작과,

상기 제 1 동작 후에, 상기 제 1 인버터 및 상기 제 2 인버터에 데이터를 기록하는 제 2 동작과,

상기 제 2 동작 후에, 상기 제 1 인버터에 상기 제 5 전원 전압을 공급하고, 상기 제 2 인버터에 상기 제 6 전원 전압을 공급하는 제 3 동작을 수행하는, 반도체 장치.

청구항 5

제4항에 있어서,

상기 제 7 스위치가 갖는 트랜지스터는 산화물 반도체를 채널 형성 영역에 포함하고,

상기 제 8 스위치가 갖는 트랜지스터는 산화물 반도체를 채널 형성 영역에 포함하는, 반도체 장치.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 발명은 기억 장치를 사용한 반도체 장치에 관한 것이다.

배경 기술

[0002] 중앙 연산 처리 장치(CPU: Central Processing Unit) 등의 반도체 장치는 동작 속도나 집적도를 향상시키기 위해서 반도체 소자의 미세화가 진행되며, 채널 길이가 30nm 정도의 트랜지스터도 이미 제조되었다. 한편, CPU는 반도체 소자가 미세화됨에 따라, 트랜지스터의 누설 전류에 기인한 소비 전력(누설 전력)이 증가되고 있다. 구체적으로 말하면, 종래에는 CPU의 소비 전력의 대부분을 연산시의 소비 전력(동작 전력)이 차지하였지만, 최근에는 CPU의 소비 전력의 10% 이상을 누설 전력이 차지한다.

[0003] 그러므로, 파워 게이트를 이용하여, 사용하고 있지 않는 집적 회로에서 전원을 차단함으로써 CPU의 소비 전력을 저감시키는, 노멀리 오프 컴퓨터라고 불리는 기술이 주목을 받고 있다. 특히 메인 메모리는 CPU의 처리 능력을 높이기 위해서 대용량화되어 있는 경우가 많으며, 최근의 데스크 탑 퍼스널 컴퓨터는 수GB(기가바이트)나 되는 용량을 갖는다. 따라서, 메인 메모리는 캐시 메모리와 마찬가지로 CPU 중에서 누설 전력이 큰 집적 회로의 하나에 상당한다.

[0004] 특허문헌 1에는 CPU가 소비 전력 절약 모드로 이행한 경우에, 전원 제어부에 의해 메인 메모리에 대한 전원 공급이 정지되는 계산기 시스템이 개시(開示)되어 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 특개2010-044460호 공보

발명의 내용

해결하려는 과제

[0006] 특허문헌 1에 기재된 계산기 시스템에서는 메인 메모리에 대한 액세스가 전혀 이루어지지 않는 기간에 메인 메모리에 대한 전원 공급을 정지할 필요가 있다. 그러나, CPU를 사용한 컴퓨터나 서버 등의 반도체 장치에서는 그 처리 능력을 높이기 위해서, 하드 디스크 등 보조 기억 장치에 대한 느린 액세스의 빈도를 낮게 억제하여 메인 메모리를 대용량화시킨다는 기술적인 배경이 있으며, 메인 메모리에 대한 액세스가 이루어지지 않는 기간을 길게 확보하는 것은 어렵다. 따라서, 상기 기간에서 전원 공급을 정지하여도 메인 메모리의 소비 전력 삭감 효과는 그다지 높지 않다.

[0007] 상술한 바와 같은 기술적 배경하에서, 본 발명은 소비 전력을 작게 억제할 수 있는 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

과제의 해결 수단

[0008] 메인 메모리(주기억 장치)가 수GB 정도까지 대용량화되어 있는 한편, 캐시(완충 기억 장치)의 용량은 많아도 수

십MB(메가바이트) 정도이며, 메인 메모리에 비해 캐시의 용량은 매우 작다. 따라서, 연산 회로나 제어 유닛 등의 기능을 포함하는 CPU 코어에서 취급되는 데이터는 메인 메모리에 저장되어 있는 데이터의 극히 일부분에 상당하며, 메인 메모리에 대한 액세스가 전혀 이루어지지 않는 기간은 짧다고 하더라도, 일정 기간 동안 메인 메모리의 대부분은 액세스되지 않는다고 생각된다.

[0009] 그러므로, 본 발명의 일 형태에서는 메인 메모리로서의 기능을 갖는 기억 장치에 있어서, 복수의 메모리셀을 복수의 블록으로 나누어 블록마다 전원 전압의 공급을 제어한다. 또한, 메인 메모리가 갖는 복수의 블록 중, 캐시에 의해 데이터가 참조되지 않은 블록, 또는 캐시에 의해 데이터가 참조되고 나서 오랜 시간이 지난 블록을 메모리 관리 유닛에서 파악한다. 그리고 파워 컨트롤러에 의해, 복수의 블록 중 상기 블록 모두 또는 임의의 블록에 대한 전원 전압의 공급을 정지한다.

[0010] 본 발명의 일 형태에서는 메인 메모리 중, 캐시에 의해 데이터가 참조되는 일이 최근인 메모리셀일수록, 및 그 근방의 메모리셀일수록, 캐시에 의해 다음에 데이터가 참조될 때까지의 기간이 짧을 가능성이 높다고 가정하였다. 그리고 상기 가정에 의거하여, 다음에 액세스될 때까지의 기간이 길 것으로 추정되는 블록을 예측하여, 그 블록에 대한 전원 전압의 공급을 정지함으로써 누설 전력을 삭감할 수 있다.

[0011] 또한, 본 발명의 일 형태에서는 전원 전압이 공급됨으로써 데이터를 기록하거나 판독할 수 있으며, 전원 전압의 공급이 정지되어도 소정의 기간 동안 데이터가 유지되는 기억 소자를 메모리셀에 사용한다. 상기 구성으로 함으로써, 전원 전압의 공급이 정지된 블록에서, 데이터가 소실(消失)되는 것을 방지하며, 다시 전원 전압의 공급이 시작된 후에도 상기 데이터를 판독할 수 있다.

[0012] 구체적으로는 상기 기억 소자에는 전원 전압의 공급이 정지되어도 데이터를 유지할 수 있는, 오프 전류가 매우 작은 트랜지스터에 의해 용량 소자나 플로팅 노드에 대한 전하의 공급, 유지, 방출이 제어되는 기억 소자나, MRAM, ReRAM, FeRAM 등의 기억 소자를 사용할 수 있다.

[0013] 특히 오프 전류가 매우 작은 트랜지스터에 의해 용량 소자나 플로팅 노드에 대한 전하의 공급, 유지, 방출이 제어되는 기억 소자를 사용한 경우, 전하가 공급됨으로써 데이터를 기록하기 때문에, MRAM 등에 비해 데이터 기록에 필요한 전류를 100분의 1 정도로 억제할 수 있다. 따라서, 상기 기억 소자를 이용한 본 발명의 일 형태에 따른 반도체 장치에서는 소비 전력을 억제할 수 있다.

[0014] 또한, 본 발명의 일 형태에서는 복수의 메모리셀을 행마다 선택하는 신호를 각 행의 메모리셀에 공급하는 디코더나 인버터 등의 구동 회로를 블록마다 제공한다. 그리고, 어느 하나의 블록에 대한 전원 전압의 공급이 정지될 때, 상기 하나의 블록에 대응하는 디코더나 인버터 등의 회로에 대한 전원 전압의 공급을 정지하는 구성으로 하여도 좋다.

[0015] 상술한 구성으로 함으로써, 디코더나 인버터 등의 구동 회로에서의 누설 전력도 삭감할 수 있다.

발명의 효과

[0016] 본 발명의 일 형태에서는 상술한 구성으로 함으로써 소비 전력을 작게 억제할 수 있는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0017] 도 1a 및 도 1b는 반도체 장치의 구성을 도시한 도면.

도 2a 및 도 2b는 반도체 장치의 구성을 도시한 도면.

도 3은 메인 메모리의 구성을 도시한 도면.

도 4는 반도체 장치의 구성을 도시한 도면.

도 5a 및 도 5b는 디코더의 구성을 도시한 도면.

도 6은 메모리셀의 구성을 도시한 도면.

도 7a 및 도 7b는 메모리셀의 구성을 도시한 도면.

도 8은 특성 평가용 회로의 회로도.

도 9는 특성 평가용 회로의 타이밍 차트.

도 10은 특성 평가용 회로에서의 시간과 출력 신호의 전위 Vout의 관계를 도시한 도면.

도 11은 특성 평가용 회로에서의 시간과 상기 측정으로 산출된 누설 전류의 관계를 도시한 도면.

도 12는 특성 평가용 회로에서의 노드 A의 전위와 누설 전류의 관계를 도시한 도면.

도 13은 반도체 장치의 단면도.

도 14a 내지 도 14f는 전자 기기의 도면.

발명을 실시하기 위한 구체적인 내용

[0018]

이하에서는 본 발명의 실시형태에 대해서 도면을 사용하여 자세히 설명한다. 그러나, 본 발명은 이하에 기재되는 설명에 한정되지 않고, 본 발명의 취지 및 그 범위를 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 기재되는 실시형태의 내용에 한정되어 해석되는 것이 아니다.

[0019]

또한, 본 발명은 마이크로 프로세서, 화상 처리 회로, DSP(Digital Signal Processor), 마이크로 컨트롤러 등의 집적 회로나, RF 태그, 반도체 표시 장치 등의 반도체 장치를 그 범주에 포함한다. 반도체 표시 장치에는 액정 표시 장치, 유기 발광 소자(OLED)로 대표되는 발광 소자를 각 화소에 구비한 발광 장치, 전자 종이, DMD(Digital Micromirror Device), PDP(Plasma Display Panel), FED(Field Emission Display) 등이나, 그 외에도 중앙 연산 유닛을 구동 회로 또는 제어 회로에 구비하는 반도체 표시 장치가 그 범주에 포함된다.

[0020]

(실시형태 1)

[0021]

도 1a에 본 발명의 일 형태에 따른 반도체 장치(100)의 구성의 일례를 블록도로 도시하였다. 또한, 도 1a에 도시한 블록도에서는 반도체 장치(100) 내의 회로를 기능마다 분류하며 서로 독립된 블록으로서 도시하였지만, 실제로는 회로를 기능마다 완전히 나누기가 어렵고, 하나의 회로가 복수의 기능에 관계될 수도 있다.

[0022]

도 1a에 도시한 반도체 장치(100)는 CPU 코어(101)와, 메인 메모리(102)와, 캐시(103)와, MMU(메모리 관리 유닛)(104)와, 파워 스위치(105)와, 파워 컨트롤러(106)를 갖는다.

[0023]

도 1a에 도시한 CPU 코어(101)는 제어 유닛(107)과, 연산 유닛(108)과, 레지스터(109)를 갖는다. 제어 유닛(107)은 입력된 명령을 디코드(decode)하여, 실행하는 기능을 갖는다. 연산 유닛(108)은 사칙 연산이나 논리 연산 등 각종 연산 처리를 수행하는 기능을 갖는다. 레지스터(109)는 연산 유닛(108)의 연산 처리 중에 얻어진 데이터, 연산 유닛(108)의 연산 처리의 결과로서 얻어진 데이터, 제어 유닛(107)에서 다음에 실행되는 명령의 데이터나 그 어드레스 등을 기억하는 기능을 갖는다.

[0024]

또한, 도 1a는 제어 유닛(107)과, 연산 유닛(108)과, 레지스터(109)가 서로 독립적으로 CPU 코어(101)에 포함된 구성을 도시한 것이다. 그러나, 제어 유닛(107)의 기능과 연산 유닛(108)의 기능 양쪽 모두를 갖는 장치가 CPU 코어(101)에 포함되어도 좋다. 또한, 레지스터(109)는 제어 유닛(107)의 일부, 연산 유닛(108)의 일부, 또는 제어 유닛(107)의 기능과 연산 유닛(108)의 기능 양쪽 모두를 갖는 장치의 일부이어도 좋다.

[0025]

메인 메모리(102)는 연산 유닛(108)에서의 연산 처리에 사용되는 데이터나, 제어 유닛(107)에서 실행되는 명령의 데이터 등을 기억하는 기능을 갖는다. 캐시(103)는 메인 메모리(102)에 저장되어 있는 데이터 중에서 사용빈도가 높은 데이터를 일시적으로 기억하는 기능을 갖는다.

[0026]

본 발명의 일 형태에서는 메인 메모리(102)는 데이터를 기억하기 위한 복수의 메모리셀을 갖는다. 그리고 복수의 메모리셀은 1행 또는 복수 행마다 몇 개의 블록으로 나누어져 있다. 구체적으로는 각 블록은 1행 또는 복수 행의 메모리셀을 갖는다.

[0027]

MMU(104)는 메인 메모리(102) 중 어느 어드레스의 메모리셀이 캐시(103)에 의해 참조되었는지, 즉 액세스되어 데이터가 복제되었는지를 파악하는 기능을 갖는다. 데이터가 참조된 메모리셀의 어드레스에 대해서 MMU(104)는 TLB(Translation Lookaside Buffer) 등의 기억 장치에 일시적으로 기억할 수 있다.

[0028]

또한, MMU(104)의 일부가 TLB로서의 기능을 가져도 좋고, TLB로서의 기능을 갖는 기억 장치가 MMU(104)와 별도로 반도체 장치(100)에 제공되어도 좋다.

[0029]

파워 스위치(105)는 메인 메모리(102)에 대한 전원 전압의 공급을 블록마다 제어하는 기능을 갖는다. 파워 스위치(105)는 복수의 스위치를 가지며, 복수의 스위치는 복수의 각 블록에 대한 전원 전압의 공급을 각각 제어한

다. 구체적으로 말하면, 복수의 스위치 중 어느 스위치가 온 상태(도통 상태)인 경우에, 상기 스위치를 통하여, 대응하는 블록에 전원 전압이 공급된다. 또한, 복수의 스위치 중 어느 스위치가 오프 상태(비도통 상태)인 경우에, 상기 스위치에 의해, 대응하는 블록에 대한 전원 전압의 공급이 정지된다.

[0030] 파워 컨트롤러(106)는 파워 스위치(105)의 동작을 제어함으로써, 메인 메모리(102)가 갖는 각 블록에 대한 전원 전압의 공급을 관리하는 기능을 갖는다. 구체적으로 말하면, 파워 스위치(105)가 갖는 복수의 스위치 중에서 전원 전압의 공급을 수행하는 블록에 대응하는 스위치를 온 상태로 하기 위한 명령을 파워 스위치(105)에 보낸다. 또한, 파워 스위치(105)가 갖는 복수의 스위치 중에서 전원 전압의 공급을 정지하는 블록에 대응하는 스위치를 오프 상태로 하기 위한 명령을 파워 스위치(105)에 보낸다.

[0031] 또한, 파워 컨트롤러(106)는 반도체 장치(100)가 갖는 메인 메모리(102) 이외의 전원 전압의 공급을 제어하는 기능을 가져도 좋다.

[0032] 다음에, 메인 메모리(102) 및 파워 스위치(105)의 구체적인 구성의 일례를 도 1b에 도시하였다.

[0033] 도 1b에 도시한 메인 메모리(102)는 3행의 메모리셀(110)을 각각 갖는 블록(102a) 내지 블록(102d)을 갖는다. 또한, 도 1b에서는 각 블록이 3행의 메모리셀(110)을 갖는 예를 도시하였지만, 각 블록이 1행의 메모리셀(110), 또는 3행 이외의 복수 행의 메모리셀(110)을 갖는 구성이어도 좋다. 또한, 도 1b에서는 메인 메모리(102)가 4개의 블록으로 나누어져 있는 예를 도시하였지만, 복수의 블록이면 되고 블록의 개수는 4개에 한정되지 않는다.

[0034] 파워 스위치(105)는 스위치(105a) 내지 스위치(105d)를 갖는다. 블록(102a) 내지 블록(102d)에는 스위치(105a) 내지 스위치(105d)를 각각 통하여 전원 전위 VDD가 공급된다. 또한, 블록(102a) 내지 블록(102d)에는 전원 전위 VSS가 각각 공급된다. 따라서, 블록(102a) 내지 블록(102d) 각각에는 스위치(105a) 내지 스위치(105d) 중에서 대응하는 스위치가 온 상태가 됨으로써, 전원 전위 VDD와 전원 전위 VSS의 전위차에 상당하는 전원 전압이 공급된다.

[0035] 또한, 스위치(105a) 내지 스위치(105d) 중에서 어느 스위치가 오프 상태인 경우, 블록(102a) 내지 블록(102d) 중 상기 스위치에 대응하는 블록에는 전원 전위 VDD가 공급되지 않는다. 따라서, 상기 블록은 전원 전압의 공급이 정지된다.

[0036] 본 발명의 일 형태에서는 메인 메모리(102)를 복수의 블록으로 나누어, 블록마다 전원 전압의 공급을 제어할 수 있다. 그러므로, 액세스가 있는 블록에 대한 전원 전압의 공급을 수행하면서, 액세스가 없는 블록에 대한 전원 전압의 공급을 정지할 수 있다. 따라서, 메인 메모리(102) 전체에 대한 전원 전압의 공급을 일괄적으로 제어하는 경우에 비해, 각 블록에서 전원 전압의 공급을 정지하는 기간을 길게 확보할 수 있어, 메모리셀에서 발생하는 누설 전력을 그 만큼 삭감할 수 있다.

[0037] 다음에, 도 2a에 도시한 구성을 갖는 캐시(103)와, 도 2b에 도시한 구성을 갖는 메인 메모리(102) 및 파워 스위치(105)를 예로 들어, MMU(104)의 구체적인 동작의 일례에 대해서 설명한다.

[0038] 캐시(103)는 캐시 라인이라고 불리는 기억 영역을 복수로 갖는다. 도 2a에서는 캐시(103)가 캐시 라인 0 내지 캐시 라인 3의 4개의 캐시 라인을 갖는 예를 도시하였다. 또한, 각 캐시 라인이 갖는 기억 영역은 태그(120), 더티 비트(dirty bit)(121), 데이터 필드(122)의 3개의 기억 영역으로 나누어져 사용된다. 데이터 필드(122)에는 메인 메모리(102)로부터 공급되는 데이터가 기억된다. 태그(120)에는 데이터 필드(122)의 데이터에 대응하는 메인 메모리(102)의 어드레스가 기억된다. 더티 비트(121)에는 데이터 필드(122)에 저장되어 있는 데이터가 메인 메모리(102)의 데이터와 일치되어 있는지 여부의 데이터가 기억된다.

[0039] 또한, 캐시(103)는 그 데이터의 저장 구조로서 다이렉트 맵(direct mapped) 방식, 완전 연관(fully associative) 방식, 세트 연관(set associative) 방식 중 어느 방식을 채용하여도 좋다.

[0040] 또한, 도 2b에서는 도 1b와 마찬가지로 0번째 내지 3번째의 4개의 블록(102a) 내지 블록(102d)을 메인 메모리(102)가 갖는 예를 도시하였다. 또한, 도 2b는 블록(102a) 내지 블록(102d)이 각각 0번째 행 내지 15번째 행의 16행의 메모리셀을 갖는 예를 도시한 것이다. 그리고, 파워 스위치(105)가 갖는 스위치(105a) 내지 스위치(105d)에 의해, 블록(102a) 내지 블록(102d)에 대한 전원 전압의 공급이 각각 제어된다.

[0041] 그리고, 도 2a에서는 캐시 라인 0의 데이터 필드(122)에, 도 2b에 도시한 메인 메모리(102)의 3번째의 블록(102d)이 갖는 8번째 행의 메모리셀에 저장된 데이터 A가 저장되어 있다. 따라서, 캐시 라인 0의 태그(120)에는 상기 메모리셀의 어드레스가 저장되어 있다. 또한, 8번째 행의 메모리셀 중 어느 열의 메모리셀에 데이터 A

가 저장되어 있는지를 나타내는 어드레스에 대해서도 캐시 라인 0의 태그(120)에 저장되어 있어도 좋다.

[0042] 따라서, 태그(120)에 저장된 어드레스를 블록의 어드레스와, 메모리셀의 행의 어드레스와, 메모리셀의 열의 어드레스(본 실시형태에서는 임의의 어드레스 '*'로 함)의 일련 번호로 표현하면, 도 2a에서는 캐시 라인 0의 태그(120)에 어드레스 '38*'이 저장되어 있다고 할 수 있다.

[0043] 마찬가지로, 도 2a에서는 캐시 라인 1의 데이터 필드(122)에, 도 2b에 도시한 메인 메모리(102)의 2번째의 블록(102c)이 갖는 5번째 행의 메모리셀에 저장된 데이터 B가 저장되어 있다. 따라서, 도 2a에서는 캐시 라인 1의 태그(120)에 어드레스 '25*'가 저장되어 있다고 할 수 있다.

[0044] 마찬가지로, 도 2a에서는 캐시 라인 2의 데이터 필드(122)에, 도 2b에 도시한 메인 메모리(102)의 0번째의 블록(102a)이 갖는 2번째 행의 메모리셀에 저장된 데이터 C가 저장되어 있다. 따라서, 도 2a에서는 캐시 라인 2의 태그(120)에 어드레스 '02*'가 저장되어 있다고 할 수 있다.

[0045] 마찬가지로, 도 2a에서는 캐시 라인 3의 데이터 필드(122)에, 도 2b에 도시한 메인 메모리(102)의 2번째의 블록(102c)이 갖는 3번째 행의 메모리셀에 저장된 데이터 D가 저장되어 있다. 따라서, 도 2a에서는 캐시 라인 3의 태그(120)에 어드레스 '23*'가 저장되어 있다고 할 수 있다.

[0046] MMU(104)는 데이터가 참조된 메모리셀의 어드레스를 TLB에 기억시킨다. 그리고, 상기 어드레스를 사용하여, 블록마다 캐시(103)에 의해 참조된 메모리셀의 행수(行數) 또는 메모리셀의 개수 등을 산출한다. 산출된 각 블록의 메모리셀의 행수 또는 메모리셀의 개수는 TLB에 기억시킬 수 있다.

[0047] 본 발명의 일 형태에서는 메인 메모리(102) 중, 캐시(103)에 의해 데이터가 참조되고 나서 경과된 시간이 짧은 메모리셀일수록 및 그 근방의 메모리셀일수록 캐시(103)에 의해 다음에 데이터가 참조될 때까지의 기간이 짧을 가능성이 높다고 가정한다. 상기 가정에 의거하면, 도 2a 및 도 2b의 경우, 1번째의 블록(102b)에서 캐시(103)에 참조되어 있는 메모리셀의 행수 및 메모리셀의 개수가 0이기 때문에, 다음에 액세스될 때까지의 기간이 4개의 블록 중에서 가장 길 것으로 예측된다.

[0048] MMU(104)는 다음에 액세스될 때까지의 기간이 길 것으로 예측되는 블록을 선택하여, 상기 블록의 어드레스를 파워 컨트롤러(106)에 통지하는 기능을 갖는다. 또는, MMU(104)는 산출된 각 블록의 메모리셀의 행수 또는 메모리셀의 개수를 파워 컨트롤러(106)에 통지하는 기능을 가져도 좋다. 이 경우에는 다음에 액세스될 때까지의 기간이 길 것으로 예측되는 블록을 파워 컨트롤러(106)에서 선택하면 좋다.

[0049] 그리고, 파워 컨트롤러(106)는 선택된 블록에 대한 전원 전압의 공급을 정지하도록 각 스위치의 동작을 제어하는 명령을 파워 스위치(105)에 보낸다. 도 2b는 파워 컨트롤러(106)로부터 파워 스위치(105)가 받은 명령에 따라, 블록(102b)에 대응하는 스위치(105b)가 오프 상태가 된 예를 도시한 것이다. 스위치(105b)가 오프 상태가 됨으로써, 블록(102b)에 대한 전원 전압의 공급이 정지된다.

[0050] 또한, 도 2a 및 도 2b에서는 캐시(103)가 4개의 캐시 라인을 가지며, 메인 메모리(102)에서 4행의 메모리셀이 캐시(103)에 의해 참조되어 있는 예를 도시하였지만, 실제로는 캐시(103)에서는 더 많은 캐시 라인을 갖는 경우가 상정(想定)된다. 이 경우에는 캐시(103)에 의해 참조되는 메모리셀의 행수 또는 메모리셀의 개수도 큰 값이 된다. 본 발명의 일 형태에서는 MMU(104)에서 캐시(103)에 의해 참조되는 메모리셀의 행수 또는 메모리셀의 개수를 블록마다 염밀하게 산출하여도 좋지만, 상기 값이 큰 경우에는 산출되는 값의 상한을 정하여도 좋다. 이 경우에는 각 블록의 메모리셀의 행수 또는 메모리셀의 개수가 상한에 도달하면, 그 블록에서는 상기 산출을 종료한다.

[0051] 또는, MMU(104)는 메모리셀의 행수나 메모리셀의 개수는 산출하지 않고, 데이터가 참조된 메모리셀이 있는지 여부만을 블록마다 판단하여도 좋다. 또한, MMU(104)는 데이터가 참조된 메모리셀의 어드레스를 사용하여, 블록마다 데이터를 참조한 캐시 라인의 개수를 산출하여도 좋다. 이들 중 어느 경우이든 캐시(103)에 의한 액세스의 이력에 따라, 데이터가 참조되지 않은 블록을 특정할 수 있다.

[0052] 또한, 본 발명의 일 형태에서는 캐시(103)에 의한 액세스의 이력뿐만 아니라, 캐시(103)에 의한 액세스의 시간이나 빈도를 이용하여, MMU(104) 또는 파워 컨트롤러(106)는 전원 전압의 공급이 정지되는 블록을 선택하여도 좋다.

[0053] 또한, 본 발명의 일 형태에서는 MMU(104)와 파워 컨트롤러(106) 양쪽 모두가 전원 전압의 공급이 정지되는 블록을 선택할 수도 있다. 이 경우에는 예를 들어, 전원 전압의 공급을 정지해야 하는 블록을 MMU(104)가 액세스의 이력으로부터 선택하여, 상기 블록에 대응하는 스위치를 오프 상태로 한다. 다음에, 파워 컨트롤러(106)가 액

세스의 시간 또는 빈도에 따라, 전원 전압의 공급을 정지해야 하는 블록을 추가적으로 선택할 수 있다.

[0054] 또한, 캐시(103)에 의한 액세스의 이력에 따라, 다음에 액세스될 때까지의 기간이 짧을 것으로 예측되는 블록에 더하여, 그 블록에 인접하는 블록에도 전원 전압의 공급을 수행하여도 좋다. 도 3에 도시한 바와 같이, 메인 메모리(102)가 갖는 블록(102-1) 내지 블록(102-16) 중, 캐시(103)에 의한 액세스의 이력에 따라 블록(102-1), 블록(102-2), 블록(102-3), 블록(102-7), 블록(102-9), 블록(102-15)에서, 다음에 액세스될 때까지의 기간이 짧을 것으로 예측되었다고 가정한다. 이 경우에는 상기 블록들에 인접하는 블록(102-4), 블록(102-6), 블록(102-8), 블록(102-10), 블록(102-14), 블록(102-16)에도 전원 전압을 공급한다. 즉 도 3에 도시한 메인 메모리(102)의 경우에는 블록(102-5), 블록(102-11), 블록(102-12), 블록(102-13)에 대한 전원 전압의 공급을 정지한다.

[0055] 본 발명의 일 형태에서는 다음에 액세스될 때까지의 기간이 다른 블록보다 짧을 것으로 예측되는 블록을 캐시(103)에 의한 메인 메모리(102)에 대한 액세스의 이력에 따라 CPU 코어(101)가 선택함으로써, 액세스가 있는 블록에 전원 전압을 공급하면서 액세스가 없는 블록에 대한 전원 전압의 공급을 정지할 수 있다. 따라서, 메인 메모리(102) 전체에 대한 전원 전압의 공급을 일괄적으로 제어하는 경우에 비해, 각 블록에 대한 전원 전압의 공급을 정지하는 기간을 길게 확보할 수 있어, 메모리셀에서 발생하는 누설 전력을 그 만큼 삼감할 수 있다.

[0056] 또한, 본 발명의 일 형태는 메인 메모리가 갖는 메모리셀에 대한 전원 전압의 공급을 블록마다 제어할 뿐만 아니라 메모리셀을 행마다 선택하는 구동 회로에 대한 전원 전압의 공급을 블록마다 제어하는 구성이어도 좋다.

[0057] 도 4에, 본 발명의 일 형태에 따른 반도체 장치(100)의 메인 메모리(102)와, 파워 스위치(105) 및 파워 스위치(112)의 접속 구성의 일례를 도시하였다. 메인 메모리(102)는 복수 행의 메모리셀(110)을 각각 갖는 블록(102a) 내지 블록(102d)을 갖는다. 파워 스위치(105)는 블록(102a) 내지 블록(102d)에 대한 전원 전압의 공급을 제어할 수 있다.

[0058] 또한, 도 4에 도시한 메인 메모리(102)는 메인 메모리(102)에서 데이터의 기록과 판독이 수행될 때, 각 블록에서 메모리셀(110)을 행마다 선택하는 행 디코더(130a) 내지 행 디코더(130d)와, 행 디코더(130a) 내지 행 디코더(130d)의 선택을 수행하는 행 디코더(131)를 갖는다. 행 디코더(131)에 의해 행 디코더(130a) 내지 행 디코더(130d) 중 어느 하나가 선택되고, 또 선택된 행 디코더에 의해 1행의 메모리셀(110)이 선택된다.

[0059] 또한, 도 4에 도시한 메인 메모리(102)는 메모리셀(110)을 열마다 선택하는 열 디코더(132)를 갖는다. 따라서, 행 디코더(130a) 내지 행 디코더(130d)와 행 디코더(131)에 의해 선택된 1행의 메모리셀(110)들 중에서 열 디코더(132)에 의해 하나 또는 복수의 메모리셀(110)이 더 선택된다.

[0060] 또한, 도 4에 도시한 파워 스위치(112)는 행 디코더(130a) 내지 행 디코더(130d)에 대한 전원 전압의 공급을 제어할 수 있다. 구체적으로는 도 4에서 파워 스위치(112)는 4개의 스위치(112a) 내지 스위치(112d)를 갖는다.

[0061] 행 디코더(130a) 내지 행 디코더(130d)에는 각각 스위치(112a) 내지 스위치(112d)를 통하여 전원 전위 VDD가 공급된다. 또한, 행 디코더(130a) 내지 행 디코더(130d)에는 각각 전원 전위 VSS(도시하지 않았음)가 공급된다. 따라서, 행 디코더(130a) 내지 행 디코더(130d) 각각에는 스위치(112a) 내지 스위치(112d) 중의 대응하는 스위치가 온 상태가 됨으로써, 전원 전위 VDD와 전원 전위 VSS의 전위차에 상당하는 전원 전압이 공급된다.

[0062] 또한, 스위치(112a) 내지 스위치(112d) 중 어느 임의의 스위치가 오프 상태인 경우, 행 디코더(130a) 내지 행 디코더(130d) 중 상기 스위치에 대응하는 디코더에는 전원 전위 VDD가 공급되지 않는다. 따라서, 상기 디코더는 전원 전압의 공급이 정지된다.

[0063] 또한, 행 디코더(130a) 내지 행 디코더(130d)에 전원 전압이 공급되는지 여부는 행 디코더(130a) 내지 행 디코더(130d)에 각각 대응하는 블록(102a) 내지 블록(102d)에 전원 전압이 공급되는지 여부에 따라 결정된다. 예를 들어, 스위치(105a)가 오프 상태가 됨으로써 블록(102a)에 대한 전원 전압의 공급이 정지되면, 블록(102a)에 대응하는 행 디코더(130a)에 대한 전원 전압의 공급도 스위치(112a)가 오프 상태가 됨으로써 정지된다.

[0064] 또한, 행 디코더(130a) 내지 행 디코더(130d)에 공급되는 전원 전압과, 블록(102a) 내지 블록(102d)에 공급되는 전원 전압은 크기가 상이하여도 좋다.

[0065] 또한, 도 4에서는 디코더에 대한 전원 전압의 공급을 블록마다 제어하는 구성에 대해서 설명하였지만, 예를 들어, 인버터 등 구동 회로에 포함되는 그 외의 회로에 대한 전원 전압의 공급도 블록마다 제어하는 구성으로 하여도 좋다.

- [0066] 다음에, 행 디코더(130a) 내지 행 디코더(130d)(이하, 도 5a 및 도 5b에서는 행 디코더(130)로 함)의 구성의 일례를 도 5a 및 도 5b에 도시하였다. 도 5a에서는 행 디코더(130)의 회로 기호를 도시하고, 도 5b에서는 도 5a에 도시한 회로 기호에 대응하는 행 디코더(130)의 구체적인 회로 구성의 일례를 도시하였다.
- [0067] 도 5a 및 도 5b에 도시한 행 디코더(130)는 메모리셀의 어드레스를 데이터로서 포함하는 신호가 단자 A0 및 단자 A1에 공급된다. 또한, 인에이블 신호가 단자 EN으로부터 행 디코더(130)에 공급된다. 그리고, 행 디코더(130)에서는 인에이블 신호의 디지털 값이 '1'일 때, 단자 X0 내지 단자 X3 중 어느 하나에서만 출력되는 신호의 디지털 값이 '1'이 되고 나머지 단자에서 출력되는 신호의 디지털 값이 '0'이 된다. 또한, 행 디코더(130)에서는 인에이블 신호의 디지털 값이 '0'일 때, 단자 X0 내지 단자 X3 모두에서 출력되는 신호의 디지털 값이 '0'이 된다.
- [0068] 구체적으로는 도 5b에 도시한 행 디코더(130)는 인버터(700) 내지 인버터(702)와, NAND(704) 내지 NAND(707)와, NOR(708) 내지 NOR(711)와, 베퍼(712) 내지 베퍼(715) 등의 논리 소자를 갖는다. 또한, 베퍼(712) 내지 베퍼(715)는 행 디코더(130)에 반드시 제공할 필요는 없지만, 인피던스 변환기로서의 기능을 갖는다. 그러므로, 베퍼(712) 내지 베퍼(715)를 행 디코더(130)에 제공함으로써, 행 디코더(130)의 메모리셀에 대한 전력 공급 능력을 향상시킬 수 있다.
- [0069] 그리고, 행 디코더(130)에 공급되는 전원 전압은 상기 논리 소자들 각각에 공급된다. 따라서, 행 디코더(130)에 대한 전원 전압의 공급을 정지함으로써, 상기 논리 소자들 각각에 발생하는 누설 전력을 작게 억제할 수 있다.
- [0070] 또한, 도 6에 메모리셀(110)의 구성을 예시하였다.
- [0071] 메모리셀(110)은 논리 소자(161), 논리 소자(162), 스위치(163), 스위치(164), 기억 회로(170), 및 기억 회로(171)를 갖는다.
- [0072] 논리 소자(161) 및 논리 소자(162)는 입력 단자의 전위의 극성을 반전시켜 출력 단자로부터 출력하는 기능을 갖는다. 구체적으로는 논리 소자(161) 및 논리 소자(162)로서 각각 인버터 또는 클럭드 인버터(clocked inverter) 등을 사용할 수 있다. 그리고, 논리 소자(161) 및 논리 소자(162)는 각각 입력 단자가 서로의 출력 단자에 접속되어 있다.
- [0073] 또한, 본 명세서에서 접속이란, 전기적인 접속을 뜻하며, 전류, 전압, 또는 전위를 공급할 수 있는 상태, 또는 전송할 수 있는 상태에 상당한다. 따라서, 접속된 상태란, 직접 접속된 상태를 반드시 가리키는 것이 아니라 전류, 전압, 또는 전위를 공급할 수 있도록 또는 전송할 수 있도록 배선, 저항, 다이오드, 트랜지스터 등의 소자를 통하여 간접적으로 접속된 상태도 그 범주에 포함한다.
- [0074] 또한, 회로도에서는 각각 독립된 구성 요소들이 서로 접속되어 있는 것처럼 보이는 경우에도, 실제로는 예를 들어 배선의 일부가 전극으로서도 기능하는 등, 하나의 도전막이 복수의 구성 요소의 기능을 겸비하는 경우도 있다. 본 명세서에서 접속이란, 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 겸비하는 경우도 그 범주에 포함한다.
- [0075] 또한, 메모리셀(110)에는 배선(180) 내지 배선(183)이 접속되어 있다. 메모리셀(110)에서의 데이터의 기록과 판독은 배선(180) 및 배선(181)을 통하여 수행된다. 스위치(163)는 배선(180)에 공급된 데이터를 논리 소자(161) 및 논리 소자(162)에 기록하는 동작과, 논리 소자(161) 및 논리 소자(162)로부터 배선(180)에 데이터를 판독하는 동작을 제어하는 기능을 갖는다. 또한, 스위치(164)는 배선(181)에 공급된 데이터를 논리 소자(161) 및 논리 소자(162)에 기록하는 동작과, 논리 소자(161) 및 논리 소자(162)로부터 배선(181)에 데이터를 판독하는 동작을 제어하는 기능을 갖는다.
- [0076] 구체적으로는 도 6에 도시한 스위치(163)는 논리 소자(161)의 입력 단자와 배선(180)의 전기적인 접속을 제어하는 기능을 갖는다. 또한, 스위치(164)는 논리 소자(162)의 입력 단자와 배선(181)의 전기적인 접속을 제어하는 기능을 갖는다.
- [0077] 배선(182) 및 배선(183)은 메모리셀(110)에 전원 전위를 공급하는 기능을 갖는다. 구체적으로는 도 6에서는 전원 전압으로서, 배선(182)에 공급되는 전원 전위와 배선(183)에 공급되는 전원 전위의 전위차가 논리 소자(161) 및 논리 소자(162)에 공급된다.
- [0078] 또한, 전원 전압을 공급하지 않는 상태란, 논리 소자(161) 및 논리 소자(162)의 경우, 배선(182)과 배선(183)의

전위차가 극히 0에 가까운 상태를 뜻한다.

[0079] 논리 소자(161) 및 논리 소자(162)는 전원 전압이 공급됨으로써, 스위치(163) 및 스위치(164)를 통하여 기록된 데이터를 유지할 수 있다.

[0080] 기억 회로(170) 및 기억 회로(171)는 메모리셀(110)에 대한 전원 전압의 공급이 정지되는 기간도, 논리 소자(161) 및 논리 소자(162)에 유지된 데이터를 기억하는 기능을 갖는다. 구체적으로는 도 6에 도시한 예에서는 기억 회로(170)가 논리 소자(161)의 입력 단자에 접속되어 있고, 기억 회로(171)가 논리 소자(162)의 입력 단자에 접속되어 있다. 이러한 구성으로 함으로써, 메모리셀(110)에 대한 전원 전압의 공급이 정지되기 전에, 논리 소자(161) 및 논리 소자(162)에 유지된 데이터를 기억 회로(170) 및 기억 회로(171)에 대피시킴으로써, 데이터가 소실되는 것을 방지할 수 있다.

[0081] 또한, 기억 회로(170) 및 기억 회로(171)에는 전원 전압의 공급이 정지되는 기간에서 데이터를 유지할 수 있는, 용량 소자, MRAM, ReRAM, FeRAM 등의 회로 소자를 사용할 수 있다.

[0082] 또한, 메모리셀(110)은 상술한 것 외에도 필요에 따라, 트랜지스터, 다이오드, 저항 소자, 인덕터 등의 회로 소자를 더 가져도 좋다.

[0083] 또한, 도 6에 도시한 메모리셀(110)에서, 논리 소자(161)에 공급되는 전원 전압과, 논리 소자(162)에 공급되는 전원 전압을 다른 경로로 하여도 좋다. 이러한 구성으로 함으로써, 기억 회로(170) 및 기억 회로(171)에 유지된 데이터를 논리 소자(161) 및 논리 소자(162)로 되돌릴 때, 논리 소자(161) 및 논리 소자(162) 중 하나에 전원 전압을 공급하면서 다른 하나에 전원 전압을 공급하지 않는 상태로 할 수 있다. 따라서, 논리 소자(161) 및 논리 소자(162) 중 하나에만 전원 전압을 공급하는 동작과, 대피시킨 데이터를 논리 소자(161) 및 논리 소자(162)에 기록하는 동작과, 논리 소자(161) 및 논리 소자(162) 양쪽 모두에 전원 전압을 공급하여 상기 데이터를 논리 소자(161) 및 논리 소자(162)에 유지시키는 동작을 동시에 아니라 순차적으로 수행할 수 있다. 그러므로, 기억 회로(170) 및 기억 회로(171)에 대피시킨 데이터를 논리 소자(161) 및 논리 소자(162)로 되돌릴 때, 데이터가 잘못 소실되는 것을 방지할 수 있어, 데이터의 고신뢰성을 확보할 수 있다.

[0084] 다음에, 도 6에 도시한 메모리셀(110)의 구체적인 구성의 일례에 대해서 도 7a를 사용하여 설명한다.

[0085] 도 7a에 도시한 메모리셀(110)에서는 스위치(163)로서 기능하는 트랜지스터(163t)와, 스위치(164)로서 기능하는 트랜지스터(164t)와, 논리 소자(161)의 일례에 상당하는 인버터(161i)와, 논리 소자(162)의 일례에 상당하는 인버터(162i)와, 기억 회로(170)의 일례에 상당하는 트랜지스터(167) 및 용량 소자(165)와, 기억 회로(171)의 일례에 상당하는 트랜지스터(168) 및 용량 소자(166)를 갖는다. 인버터(161i)와 인버터(162i)는 각각 입력 단자가 서로의 출력 단자에 접속되어 있다.

[0086] 용량 소자(165)는 인버터(161i) 및 인버터(162i)에 유지된 데이터를 필요에 따라 기억할 수 있도록 트랜지스터(167)를 통하여 인버터(161i)의 입력 단자에 접속되어 있다. 또한, 용량 소자(166)는 인버터(161i) 및 인버터(162i)에 유지된 데이터를 필요에 따라 기억할 수 있도록 트랜지스터(168)를 통하여 인버터(162i)의 입력 단자에 접속되어 있다.

[0087] 구체적으로는, 용량 소자(165)는 한 쌍의 전극 사이에 유전체를 갖는 컨덴서이며, 그 한쪽 전극은 트랜지스터(167)를 통하여 인버터(161i)의 입력 단자에 접속되고, 다른 쪽 전극은 접지 전위 등의 전위가 공급되어 있는 노드에 접속되어 있다. 또한, 용량 소자(166)는 한 쌍의 전극 사이에 유전체를 갖는 컨덴서이며, 그 한쪽 전극은 트랜지스터(168)를 통하여 인버터(162i)의 입력 단자에 접속되고, 다른 쪽 전극은 접지 전위 등의 전위가 공급되어 있는 노드에 접속되어 있다.

[0088] 그리고, 본 발명의 일 형태에서는 트랜지스터(167) 및 트랜지스터(168)의 오프 전류가 매우 작은 것이 특징이다. 상기 구성에 의해, 메모리셀(110)에 대한 전원 전압의 공급이 정지되어도, 트랜지스터(167) 및 트랜지스터(168)를 오프 상태로 함으로써, 기억 회로(170) 및 기억 회로(171)에서 데이터를 유지할 수 있다. 따라서, 메모리셀(110)에 대한 전원 전압의 공급이 정지되기 전에, 인버터(161i) 및 인버터(162i)에 유지되어 있는 데이터를 기억 회로(170) 및 기억 회로(171)에 대피시켜, 데이터가 소실되는 것을 방지할 수 있다.

[0089] 트랜지스터(163t) 및 트랜지스터(164t)는 각각 n채널형이든 p채널형이든 어느 쪽이라도 좋다. 도 7a에서는 트랜지스터(163t) 및 트랜지스터(164t) 양쪽 모두가 n채널형인 예를 도시하였다.

[0090] 또한, 도 7a에서는 인버터(161i)는 p채널형 트랜지스터(176)와 n채널형 트랜지스터(177)를 갖는다. 인버터

(162i)는 p채널형 트랜지스터(174)와 n채널형 트랜지스터(175)를 갖는다.

[0091] 그리고, 트랜지스터(163t)의 소스 단자 및 드레인 단자 중 하나는 배선(180)에 접속되고, 다른 하나가 트랜지스터(176) 및 트랜지스터(177)의 게이트 전극에 접속되어 있다. 트랜지스터(163t)의 게이트 전극은 배선(184)에 접속되어 있다. 트랜지스터(164t)의 소스 단자 및 드레인 단자 중 하나는 배선(181)에 접속되고, 다른 하나가 트랜지스터(174) 및 트랜지스터(175)의 게이트 전극에 접속되어 있다. 트랜지스터(164t)의 게이트 전극은 배선(184)에 접속되어 있다.

[0092] 또한, 트랜지스터의 소스 단자란, 활성층의 일부인 소스 영역 또는 활성층에 접속된 소스 전극을 뜻한다. 이와 마찬가지로, 트랜지스터의 드레인 단자란, 활성층의 일부인 드레인 영역, 또는 활성층에 접속된 드레인 전극을 뜻한다.

[0093] 또한, 트랜지스터(167)의 소스 단자 및 드레인 단자 중 하나는 트랜지스터(176) 및 트랜지스터(177)의 게이트 전극에 접속되고, 다른 하나가 용량 소자(165)의 한쪽 전극에 접속되어 있다. 트랜지스터(167)의 게이트 전극은 배선(185)에 접속되어 있다. 트랜지스터(168)의 소스 단자 및 드레인 단자 중 하나는 트랜지스터(174) 및 트랜지스터(175)의 게이트 전극에 접속되고, 다른 하나가 용량 소자(166)의 한쪽 전극에 접속되어 있다. 트랜지스터(168)의 게이트 전극은 배선(185)에 접속되어 있다.

[0094] 또한, 트랜지스터(174)의 소스 단자 및 드레인 단자 중 하나는 배선(182)에 접속되고, 다른 하나가 트랜지스터(176) 및 트랜지스터(177)의 게이트 전극에 접속되어 있다. 트랜지스터(175)의 소스 단자 및 드레인 단자 중 하나는 배선(183)에 접속되고, 다른 하나가 트랜지스터(176) 및 트랜지스터(177)의 게이트 전극에 접속되어 있다. 트랜지스터(176)의 소스 단자 및 드레인 단자 중 하나는 배선(182)에 접속되고, 다른 하나가 트랜지스터(174) 및 트랜지스터(175)의 게이트 전극에 접속되어 있다. 트랜지스터(177)의 소스 단자 및 드레인 단자 중 하나는 배선(183)에 접속되고, 다른 하나가 트랜지스터(174) 및 트랜지스터(175)의 게이트 전극에 접속되어 있다.

[0095] 상기 구성을 갖는 인버터(161i)에서는 트랜지스터(176) 및 트랜지스터(177)의 게이트 전극이 그 입력 단자로서의 기능을 갖는다. 또한, 인버터(161i)에서는 트랜지스터(176)의 소스 단자 및 드레인 단자 중 상기 다른 하나와, 트랜지스터(177)의 소스 단자 및 드레인 단자 중 상기 다른 하나가 그 출력 단자로서의 기능을 갖는다. 상기 구성을 갖는 인버터(162i)에서는 트랜지스터(174) 및 트랜지스터(175)의 게이트 전극이 그 입력 단자로서의 기능을 갖는다. 또한, 인버터(162i)에서는 트랜지스터(174)의 소스 단자 및 드레인 단자 중 상기 다른 하나와, 트랜지스터(175)의 소스 단자 및 드레인 단자 중 상기 다른 하나가 그 출력 단자로서의 기능을 갖는다.

[0096] 또한, 메모리셀(110)은 상술한 것 외에도 필요에 따라, 트랜지스터, 다이오드, 저항 소자, 인덕터 등의 회로 소자를 더 가져도 좋다.

[0097] 도 7a에 도시한 메모리셀(110)에 트랜지스터(178) 및 트랜지스터(179)를 추가한 구성을 도 7b에 도시하였다.

[0098] 구체적으로는 트랜지스터(178)는 트랜지스터(174)의 소스 단자 및 드레인 단자 중 상기 다른 하나와 트랜지스터(175)의 소스 단자 및 드레인 단자 중 상기 다른 하나가 접속되어 있는 노드 A와, 트랜지스터(176) 및 트랜지스터(177)의 게이트 전극과 트랜지스터(163t)의 소스 단자 및 드레인 단자 중 상기 다른 하나가 접속되어 있는 노드 B 사이의 접속을 제어하는 기능을 갖는다. 또한, 트랜지스터(179)는 트랜지스터(176)의 소스 단자 및 드레인 단자 중 상기 다른 하나와 트랜지스터(177)의 소스 단자 및 드레인 단자 중 상기 다른 하나가 접속되어 있는 노드 C와, 트랜지스터(174) 및 트랜지스터(175)의 게이트 전극과 트랜지스터(164t)의 소스 단자 및 드레인 단자 중 상기 다른 하나가 접속되어 있는 노드 D 사이의 접속을 제어하는 기능을 갖는다.

[0099] 또한, 도 7a 및 도 7b에 있어서, 트랜지스터(163t), 트랜지스터(164t), 트랜지스터(167), 트랜지스터(168) 각각이 복수의 트랜지스터로 구성되어 있어도 좋다. 그리고, 도 7b에서는 트랜지스터(178) 및 트랜지스터(179) 각각이 복수의 트랜지스터로 구성되어 있어도 좋다. 상기 트랜지스터가 복수의 트랜지스터로 구성되어 있는 경우에, 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.

[0100] 본 명세서에서, 트랜지스터가 서로 직렬로 접속되어 있는 상태란, 제 1 트랜지스터의 소스 단자 및 드레인 단자 중 하나만이 제 2 트랜지스터의 소스 단자 및 드레인 단자 중 하나에만 접속되어 있는 상태를 의미한다. 또한, 트랜지스터가 서로 병렬로 접속되어 있는 상태란, 제 1 트랜지스터의 소스 단자 및 드레인 단자 중 하나가 제 2 트랜지스터의 소스 단자 및 드레인 단자 중 하나에 접속되고, 제 1 트랜지스터의 소스 단자 및 드레인 단자 중

다른 하나가 제 2 트랜지스터의 소스 단자 및 드레인 단자 중 다른 하나에 접속되어 있는 상태를 뜻한다.

[0101] 또한, 트랜지스터가 갖는 소스 단자 및 드레인 단자는 트랜지스터의 채널형 및 소스 단자 및 드레인 단자에 공급되는 전위의 고저(高低)에 의해 그 호칭이 서로 바뀐다. 일반적으로 n채널형 트랜지스터의 경우에는 소스 단자 및 드레인 단자 중 낮은 전위가 공급되는 단자가 소스 단자라고 불리고, 높은 전위가 공급되는 단자가 드레인 단자라고 불린다. 또한 p채널형 트랜지스터의 경우에는 소스 단자 및 드레인 단자 중 낮은 전위가 공급되는 것이 드레인 단자라고 불리고, 높은 전위가 공급되는 것이 소스 단자라고 불린다. 본 명세서에서는, 편의상 소스 단자와 드레인 단자가 고정되어 있는 것으로 가정하여 트랜지스터의 접속 관계를 설명하는 경우가 있지만, 실제로는 상기 전위의 관계에 따라 소스 단자 및 드레인 단자의 호칭이 서로 바뀐다.

[0102] 또한, 도 7a 및 도 7b에서는 각 스위치를 구성하는 트랜지스터가 싱글 게이트(single-gate) 구조인 예를 도시하였지만, 상기 트랜지스터는 전기적으로 접속된 복수의 게이트 전극을 가짐으로써 복수의 채널 형성 영역을 갖는 멀티 게이트(multi-gate) 구조이어도 좋다.

[0103] 도 7a 및 도 7b에 도시한 메모리셀(110)에서는 트랜지스터(167)를 오프 상태로 함으로써 용량 소자(165)에서의 전하 유지를 수행한다. 또한, 트랜지스터(168)를 오프 상태로 함으로써 용량 소자(166)에서의 전하 유지를 수행한다. 따라서, 트랜지스터(167) 및 트랜지스터(168)는 오프 전류가 작은 것이 바람직하다. 오프 전류가 작은 트랜지스터(167) 및 트랜지스터(168)를 사용함으로써, 용량 소자(165) 및 용량 소자(166)로부터 누설되는 전하의 양을 작게 억제할 수 있기 때문에, 기억 회로(170) 및 기억 회로(171)에서 확실히 데이터를 유지할 수 있다.

[0104] 밴드갭(bandgap)이 넓으면 전자 공여체(도너, donor)가 되는 수분 또는 수소 등 불순물이 저감되고 산소 결손이 저감됨으로써 고순도화된 반도체를 채널 형성 영역에 포함한 트랜지스터는 오프 전류가 현저히 작다. 상기 트랜지스터를 트랜지스터(167) 및 트랜지스터(168)에 사용함으로써, 기억 회로(170) 및 기억 회로(171)에서 데이터를 확실히 유지할 수 있다.

[0105] 또한, 트랜지스터(163t), 트랜지스터(164t), 트랜지스터(174) 내지 트랜지스터(177)는 산화물 반도체 등 밴드갭이 넓은 반도체를 채널 형성 영역에 포함한 트랜지스터라도 좋고, 실리콘 또는 게르마늄 등의 반도체를 채널 형성 영역에 포함한 트랜지스터라도 좋다. 결정성을 갖는 실리콘 또는 게르마늄 등의 반도체를 채널 형성 영역에 포함한 트랜지스터는 이동도가 높다. 상기 트랜지스터를 트랜지스터(163t), 트랜지스터(164t), 트랜지스터(174) 내지 트랜지스터(177)에 사용함으로써, 메모리셀(110)에서의 데이터 기록 및 판독을 고속으로 수행할 수 있다.

[0106] 또한, 트랜지스터(163t), 트랜지스터(164t), 트랜지스터(174) 내지 트랜지스터(177)와, 트랜지스터(167) 및 트랜지스터(168)를 적층함으로써, 메인 메모리의 고집적화를 실현할 수 있다.

[0107] 또한, 도 7a 및 도 7b에 도시한 구성을 갖는 메모리셀(110)은 MRAM 등을 기억 회로에 사용한 메모리셀에 비해 작은 전류로 데이터 기록이 가능하다. 구체적으로는 MRAM은 하나의 셀당 기록 전류가 $50\ \mu A$ 내지 $500\ \mu A$ 라고 하지만, 도 7a 및 도 7b에 도시한 구성을 갖는 메모리셀(110)에서는 용량 소자에 전하를 공급함으로써 데이터를 대피시키기 때문에, 데이터 기록에 필요한 전류를 MRAM의 100분의 1 정도로 억제할 수 있다. 그러므로, 도 7a 및 도 7b에 도시한 구성을 갖는 본 발명의 일 형태에 따른 반도체 장치에서는 MRAM을 사용하는 경우보다 소비 전력을 억제할 수 있다.

[0108] (실시형태 2)

[0109] 본 실시형태에서는 트랜지스터의 오프 전류를 산출하는 예에 대하여 설명한다.

[0110] 우선, 오프 전류의 산출에 이용한 특성 평가용 회로의 구성에 대하여 설명한다. 본 실시형태에서는 서로 병렬로 접속된 8개의 측정계(801)를 구비한 특성 평가용 회로를 사용하였다. 구체적으로 도 8에서는 8개의 측정계(801) 중 2개를 예시하였다.

[0111] 측정계(801)는 트랜지스터(811), 트랜지스터(812), 용량 소자(813), 트랜지스터(814), 및 트랜지스터(815)를 포함한다.

[0112] 트랜지스터(811)는 전하 주입용 트랜지스터(811)이다. 그리고, 트랜지스터(811)는 제 1 단자가 전위 V1이 공급되는 노드에 접속되어 있고, 제 2 단자가 트랜지스터(812)의 제 1 단자에 접속되어 있다. 트랜지스터(811)의 게이트 전극은 전위 Vext_a가 공급되는 노드에 접속되어 있다.

- [0113] 트랜지스터(812)는 누설 전류 평가용 트랜지스터이다. 또한, 본 실시형태에서 누설 전류는 트랜지스터의 오프 전류를 포함한다. 그리고, 트랜지스터(812)는 제 1 단자가 트랜지스터(811)의 제 2 단자에 접속되어 있고, 제 2 단자가 전위 V2가 공급되는 노드에 접속되어 있다. 트랜지스터(812)의 게이트 전극은 전위 Vext_b가 공급되는 노드에 접속되어 있다.
- [0114] 용량 소자(813)의 제 1 전극은 트랜지스터(811)의 제 2 단자 및 트랜지스터(812)의 제 1 단자에 접속되어 있다. 용량 소자(813)의 제 2 전극은 전위 V2가 공급되는 노드에 접속되어 있다.
- [0115] 트랜지스터(814)는 제 1 단자가 전위 V3이 공급되는 노드에 접속되어 있고, 제 2 단자가 트랜지스터(815)의 제 1 단자에 접속되어 있다. 트랜지스터(814)의 게이트 전극은 트랜지스터(811)의 제 2 단자, 트랜지스터(812)의 제 1 단자, 및 용량 소자(813)의 제 1 전극에 접속되어 있다. 또한, 이 트랜지스터(814)의 게이트 전극이 접속되어 있는 부분을 노드 A로 한다.
- [0116] 트랜지스터(815)는 제 1 단자가 트랜지스터(814)의 제 2 단자에 접속되어 있고, 제 2 단자가 전위 V4가 공급되는 노드에 접속되어 있다. 트랜지스터(815)의 게이트 전극은 전위 Vext_c가 공급되는 노드에 접속되어 있다.
- [0117] 그리고, 측정계(801)는 트랜지스터(814)의 제 2 단자와 트랜지스터(815)의 제 1 단자가 접속되어 있는 노드의 전위를 출력 신호의 전위 Vout로서 출력한다.
- [0118] 그리고, 본 실시형태에서는 트랜지스터(811)로서, 산화물 반도체를 활성층에 포함하고 활성층에 포함되는 채널 형성 영역의 크기가 채널 길이(L) = $10 \mu\text{m}$, 채널 폭(W) = $10 \mu\text{m}$ 인 트랜지스터를 사용한다.
- [0119] 또한, 채널 형성 영역은 반도체막 중 소스 전극과 드레인 전극 사이에서 게이트 절연막을 개재(介在)하여 게이트 전극과 중첩되는 영역에 상당한다.
- [0120] 또한, 트랜지스터(814) 및 트랜지스터(815)로서, 산화물 반도체를 활성층에 포함하고 활성층에 포함되는 채널 형성 영역의 크기가 채널 길이(L) = $3 \mu\text{m}$, 채널 폭(W) = $100 \mu\text{m}$ 인 트랜지스터를 사용한다.
- [0121] 또한, 트랜지스터(812)로서, 산화물 반도체를 활성층에 포함하고, 활성층의 상부에 소스 전극 및 드레인 전극이 접촉하고, 소스 전극 및 드레인 전극과 게이트 전극이 중첩되는 오버랩 영역을 형성하지 않고, 폭 $1 \mu\text{m}$ 의 오프셋 영역을 갖는 하부 게이트(bottom-gate) 구조의 트랜지스터를 사용한다. 오프셋 영역을 형성함으로써 기생 용량을 저감할 수 있다. 또한, 트랜지스터(812)로서, 활성층에 포함되는 채널 형성 영역이 표 1의 조건 1 내지 조건 6에 나타낸 바와 같이 다른 크기를 갖는 트랜지스터를 사용한다.

표 1

	채널 길이(L) [μm]	채널 폭 (W) [m]
조건 1	1.5	0.1
조건 2	3	0.1
조건 3	10	0.1
조건 4	1.5	1
조건 5	3	1
조건 6	10	1

- [0122] 또한, 전하 주입용 트랜지스터(811)를 측정계(801)에 형성하지 않은 경우에는, 용량 소자(813)에 전하를 주입할 때, 누설 전류 평가용 트랜지스터(812)를 한 번 온 상태로 할 필요가 있다. 이 경우에, 누설 전류 평가용 트랜지스터(812)가 온 상태로부터 오프 상태의 정상(定常) 상태가 될 때까지 시간이 걸리는 소자라면, 측정에 시간이 걸린다. 도 8에 도시한 바와 같이, 전하 주입용 트랜지스터(811)와, 누설 전류 평가용 트랜지스터(812)를 별개로 측정계(801)에 형성함으로써, 전하를 주입할 때, 누설 전류 평가용 트랜지스터(812)를 상시적으로 오프 상태로 유지할 수 있다. 따라서, 측정에 걸리는 시간을 단축시킬 수 있다.
- [0124] 또한, 전하 주입용 트랜지스터(811)와 누설 전류 평가용 트랜지스터(812)를 별개로 형성함으로써, 각 트랜지스터를 적절한 크기로 할 수 있다. 또한, 누설 전류 평가용 트랜지스터(812)의 채널 폭(W)을 전하 주입용 트랜지스터(811)의 채널 폭(W)보다 크게 함으로써, 누설 전류 평가용 트랜지스터(812)의 누설 전류 이외의 특성 평가용 회로 내의 누설 전류 성분을 상대적으로 작게 할 수 있다. 따라서, 누설 전류

평가용 트랜지스터(812)의 누설 전류를 높은 정밀도로 측정할 수 있다. 동시에, 전하를 주입할 때, 누설 전류 평가용 트랜지스터(812)를 한 번 온 상태로 할 필요가 없기 때문에, 채널 형성 영역의 전하의 일부가 노드 A에 흘러 들어가는 것으로 인한 노드 A의 전위 변동의 영향도 없다.

- [0125] 한편, 전하 주입용 트랜지스터(811)의 채널 폭(W)을 누설 전류 평가용 트랜지스터(812)의 채널 폭(W)보다 작게 함으로써, 전하 주입용 트랜지스터(811)의 누설 전류를 상대적으로 크게 할 수 있다. 또한, 전하를 주입할 때, 채널 형성 영역의 전하의 일부가 노드 A에 흘러 들어가는 것으로 인한 노드 A의 전위 변동의 영향도 작다.
- [0126] 또한 도 8에 도시한 바와 같이, 복수의 측정계(801)를 서로 병렬로 접속한 구조로 함으로써, 더 정확하게 특성 평가용 회로의 누설 전류를 산출할 수 있다.
- [0127] 다음에, 도 8에 도시한 특성 평가용 회로를 이용한 트랜지스터의 오프 전류의 구체적인 산출 방법에 대하여 설명한다.
- [0128] 우선, 도 8에 도시한 특성 평가용 회로의 누설 전류 측정 방법에 대해서, 도 9를 사용하여 설명한다. 도 9는 도 8에 도시한 특성 평가용 회로를 이용한 누설 전류 측정 방법을 설명하기 위한 타이밍차트이다.
- [0129] 도 8에 도시한 특성 평가용 회로를 이용한 누설 전류 측정 방법은 기록 기간 및 유지 기간으로 나누어진다. 각 기간에서의 동작에 대하여 이하에서 설명한다. 또한, 기록 기간 및 유지 기간 양쪽 기간에서, 전위 V2 및 전위 V4를 0V, 전위 V3을 5V, 전위 Vext_c를 0.5V로 한다.
- [0130] 먼저 기록 기간에서, 전위 Vext_b를 트랜지스터(812)가 오프 상태가 되는 높이의 전위 VL(-3V)로 설정한다. 또한, 전위 V1을 기록 전위 Vw로 설정한 후, 전위 Vext_a를 일정 기간 동안 트랜지스터(811)가 온 상태가 되는 높이의 전위 VH(5V)로 설정한다. 이러한 구성으로 함으로써, 노드 A에 전하가 축적되어 노드 A의 전위가 기록 전위 Vw와 동등한 값이 된다. 다음에, 전위 Vext_a를 트랜지스터(811)가 오프 상태가 되는 높이의 전위 VL로 설정한다. 이 후, 전위 V1을 전위 VSS(0V)로 설정한다.
- [0131] 다음에, 유지 기간에서, 노드 A가 유지하는 전하량의 변화에 기인하여 발생하는 노드 A의 전위의 변화량을 측정한다. 전위의 변화량에 의해, 트랜지스터(812)의 소스 전극과 드레인 전극 사이를 흐르는 전류값을 산출할 수 있다. 상술한 바와 같이 하여, 노드 A의 전하 축적과 노드 A의 전위의 변화량 측정을 수행할 수 있다.
- [0132] 노드 A의 전하의 축적 및 노드 A의 전위의 변화량의 측정(축적 및 측정 동작이라고도 함)은 반복적으로 수행한다. 먼저, 제 1 축적 및 측정 동작을 15번 반복하였다. 제 1 축적 및 측정 동작에서는, 기록 기간에 기록 전위 Vw로서 5V의 전위를 입력하고, 유지 기간에 1시간의 유지를 수행한다. 다음에, 제 2 축적 및 측정 동작을 2번 반복한다. 제 2 축적 및 측정 동작에서는, 기록 기간에 기록 전위 Vw를 3.5V로 하고, 유지 기간에 50시간의 유지를 수행한다. 다음에, 제 3 축적 및 측정 동작을 1번 수행한다. 제 3 축적 및 측정 동작에서는, 기록 기간에 기록 전위 Vw를 4.5V로 하고, 유지 기간에 10시간의 유지를 수행한다. 축적 및 측정 동작을 반복함으로써, 측정한 전류값이 정상 상태에서의 값인 것을 확인할 수 있다. 바꿔 말하면, 노드 A를 흐르는 전류 IA 중, 과도 전류(측정을 시작하고 나서 시간 경과에 따라 감소되는 전류 성분)를 제외할 수 있다. 이로써, 누설 전류를 더 높은 정밀도로 측정할 수 있다.
- [0133] 일반적으로, 노드 A의 전위 VA는 출력 신호의 전위 Vout의 함수로서 다음 수학식 1과 같이 표현할 수 있다.

수학식 1

$$V_A = F(V_{out})$$

- [0134]
- [0135] 또한, 노드 A의 전하 QA는 노드 A의 전위 VA, 노드 A에 접속되는 용량 CA, 상수(const)를 이용하여 다음 수학식 2와 같이 표현된다. 노드 A에 접속되는 용량 CA는 용량 소자(813)의 용량값과 용량 소자(813) 이외의 용량이 갖는 용량값의 합이다.

수학식 2

$$Q_A = C_A V_A + \text{const}$$

[0136]

- [0137] 노드 A의 전류 I_A 는 노드 A에 흘러 들어가는 전하(또는 노드 A로부터 흘러 나오는 전하)의 시간 미분이기 때문에, 노드 A의 전류 I_A 는 다음 수학식 3과 같이 표현된다.

수학식 3

$$I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \Delta F(V_{out})}{\Delta t}$$

[0138]

- [0139] 예를 들어, Δt 를 약 54000sec로 한다. 노드 A에 접속되는 용량 C_A 와, 출력 신호의 전위 V_{out} 를 이용하여 노드 A의 전류 I_A 를 산출할 수 있기 때문에, 특성 평가용 회로의 누설 전류를 산출할 수 있다.

- [0140] 다음에, 상기 특성 평가용 회로를 이용한 측정 방법에 의한 출력 신호의 전위 V_{out} 의 측정 결과 및 이 측정 결과로부터 산출한 특성 평가용 회로의 누설 전류의 값을 제시한다.

- [0141] 도 10에, 일례로서 조건 1, 조건 2, 및 조건 3에서의 상기 측정(제 1 측정 및 측정 동작)에 따른 시간과 출력 신호의 전위 V_{out} 의 관계를 도시하였다. 도 11에, 상기 측정에 따른 시간과 상기 측정에 의해 산출된 누설 전류의 관계를 도시하였다. 측정을 시작한 후부터 출력 신호의 전위 V_{out} 가 변동되어, 정상 상태에 도달하는 데에 10시간 이상 필요한 것을 알 수 있다.

- [0142] 또한 도 12에, 상기 측정에 의해 개산(概算)된 조건 1 내지 조건 6에서의 노드 A의 전위와 누설 전류의 관계를 도시하였다. 도 12를 보면, 예를 들어 조건 4에서, 노드 A의 전위가 3.0V인 경우에 누설 전류는 $28yA/\mu m$ 이다. 누설 전류에는 트랜ジ스터(812)의 오프 전류도 포함되기 때문에, 트랜지스터(812)의 오프 전류도 $28yA/\mu m$ 이하라고 간주할 수 있다.

- [0143] 상술한 바와 같이, 고순도화된 산화물 반도체를 채널 형성 영역에 포함하는 트랜지스터를 사용한 특성 평가용 회로에서는 누설 전류가 충분히 작기 때문에, 상기 트랜지스터의 오프 전류가 충분히 작은 것을 알 수 있다.

[0144] (실시형태 3)

- [0145] 본 실시형태에서는 도 7a에 도시한 메모리셀(110)의 단면 구조의 일례에 대해서 설명한다. 또한, 본 실시형태에서는 트랜지스터(163t), 트랜지스터(164t), 트랜지스터(174) 내지 트랜지스터(177)의 활성층에 비정질, 미결정, 다결정, 또는 단결정인 실리콘 또는 게르마늄 등의 반도체층을 사용하고, 트랜지스터(167) 및 트랜지스터(168)의 활성층에 산화물 반도체를 사용하는 경우를 예로 들어 메모리셀(110)의 단면 구조에 대해서 설명한다.

- [0146] 또한, 실리콘으로서는, 플라즈마 CVD법 등의 기상 성장법 또는 스퍼터링법으로 제작된 비정질 실리콘, 비정질 실리콘을 레이저 어닐 등의 처리에 의해 결정화시킨 다결정 실리콘, 단결정 실리콘 웨이퍼에 수소 이온 등을 주입하여 표층부를 박리한 단결정 실리콘 등을 사용할 수 있다.

- [0147] 도 13은 p채널형 트랜지스터(174) 및 n채널형 트랜지스터(175)와, 용량 소자(165)와, 트랜지스터(167)의 구성의 일례를 도시한 단면도이다.

- [0148] 도 13에 도시한 기억 장치는 표면에 절연막(201)이 형성된 기판(200) 위에 트랜지스터(175)와 트랜지스터(174)를 갖는다.

- [0149] 트랜지스터(175)는 결정성을 갖는 실리콘을 갖는 반도체막(203n)과, 반도체막(203n) 위의 게이트 절연막(204n)과, 게이트 절연막(204n)을 사이에 개재하여 반도체막(203n)과 중첩되는 위치에 형성된 게이트 전극(205n)과, 반도체막(203n)에 접속된 도전막(206) 및 도전막(207)을 갖는다. 또한, 반도체막(203n)은 채널 형성 영역으로서 기능하는 제 1 영역(208)과 소스 영역 또는 드레인 영역으로서 기능하는 제 2 영역(209) 및 제 2 영역(210)을 갖는다. 제 2 영역(209)과 제 2 영역(210) 사이에 제 1 영역(208)이 개재된다. 또한 도 13에서는, 반도체

막(203n)이 제 1 영역(208)과 제 2 영역(209) 및 제 2 영역(210) 사이에 LDD(Lightly Doped Drain) 영역으로서 기능하는 제 3 영역(211) 및 제 3 영역(212)을 갖는 예를 도시하였다.

[0150] 또한, 트랜지스터(174)는 결정성을 갖는 실리콘을 갖는 반도체막(203p)과, 반도체막(203p) 위의 게이트 절연막(204p)과, 게이트 절연막(204p)을 개재하여 반도체막(203p)과 중첩되는 위치에 제공된 게이트 전극(205p)과, 반도체막(203p)에 접속된 도전막(207) 및 도전막(213)을 갖는다. 또한, 반도체막(203p)은 채널 형성 영역으로서 기능하는 제 1 영역(214)과 소스 영역 또는 드레인 영역으로서 기능하는 제 2 영역(215) 및 제 2 영역(216)을 갖는다. 제 2 영역(215)과 제 2 영역(216) 사이에 제 1 영역(214)이 개재된다. 또한 도 13에서는, 반도체막(203p)이 제 1 영역(214)과 제 2 영역(215) 및 제 2 영역(216) 사이에 LDD 영역으로서 기능하는 제 3 영역(217) 및 제 3 영역(218)을 갖는 예를 도시하였다.

[0151] 또한, 도 13에서는 트랜지스터(175)와 트랜지스터(174)가 도전막(207)을 공유한다.

[0152] 또한, 도 13에서는 트랜지스터(175) 및 트랜지스터(174)에 박막 반도체막을 사용하는 예를 도시하였지만, 트랜지스터(175) 및 트랜지스터(174)가 벌크 반도체 기판에 채널 형성 영역을 갖는 트랜지스터이어도 좋다. 박막 반도체막으로서는, 예를 들어 비정질 실리콘을 레이저 결정화시킴으로써 얻어지는 다결정 실리콘, 단결정 실리콘 웨이퍼에 수소 이온 등을 주입하여 표층부를 박리한 단결정 실리콘 등을 사용할 수 있다.

[0153] 그리고, 도 13에 도시한 기억 장치는 도전막(206), 도전막(207), 및 도전막(213) 위에 절연막(219)이 제공되어 있다. 또한, 절연막(219) 위에는 트랜지스터(167)가 제공되어 있다.

[0154] 트랜지스터(167)는 절연막(219) 위에 산화물 반도체를 포함한 반도체막(230)과, 반도체막(230) 위의 게이트 절연막(231)을 갖는다. 또한, 게이트 절연막(231)은 반도체막(230)을 완전히 덮지는 않는다. 트랜지스터(167)는 반도체막(230) 위에 소스 전극 또는 드레인 전극으로서 기능하는 도전막(232) 및 도전막(233)을 가지며, 반도체막(230) 중 게이트 절연막(231)에 덮이지 않은 영역에서, 반도체막(230)이 도전막(232) 및 도전막(233)과 접속되어 있다.

[0155] 그리고, 도전막(233)은 절연막(219)에 형성된 개구부를 통하여 도전막(207)에 접속되어 있다.

[0156] 또한, 트랜지스터(167)는 게이트 절연막(231) 위에서 반도체막(230)과 중첩되는 위치에 게이트 전극(234) 및 측벽(sidewall)(235)을 갖는다. 측벽(235)은 게이트 전극(234)의 측면 측에 제공되어 있다. 그리고, 도전막(232)의 일부 및 도전막(233)의 일부는 각각 측벽(235) 위에 중첩되어 있다. 또한, 도전막(232) 및 도전막(233) 위에는 절연막(237)이 형성되어 있다.

[0157] 또한, 도전막(232) 및 도전막(233)은 반드시 측벽(235)에 접촉할 필요는 없지만, 측벽(235)에 접촉하도록 도전막(232) 및 도전막(233)을 형성함으로써, 도전막(232) 및 도전막(233)의 위치가 약간 어긋나게 형성되어도, 도전막(232) 및 도전막(233)과 반도체막(230)이 접촉하는 면적이 변동되는 것을 방지할 수 있다. 따라서, 도전막(232) 및 도전막(233)의 위치가 어긋나게 형성되는 것으로 인한 트랜지스터(167)의 온 전류의 변동을 방지할 수 있다.

[0158] 또한, 게이트 전극(234) 위에 절연막(236)이 제공되어 있다. 절연막(236)은 반드시 제공할 필요는 없지만, 절연막(236)을 게이트 전극(234)의 상부에 제공함으로써, 도전막(232) 및 도전막(233)의 위치가 어긋나 게이트 전극(234)의 상부에 존재하도록 형성되어도, 도전막(232) 및 도전막(233)과 게이트 전극(234)이 접촉하는 것을 방지할 수 있다.

[0159] 또한, 트랜지스터(167) 및 절연막(237) 위에는 절연막(238)이 제공되어 있고, 절연막(238) 위에는 도전막(239)이 제공되어 있다. 절연막(237) 및 절연막(238)을 사이에 개재하여 도전막(232)과 도전막(239)이 중첩된 부분이 용량 소자(165)로서 기능한다.

[0160] 또한 도 13에서는, 용량 소자(165)를 트랜지스터(167)와 함께 절연막(219) 위에 제공한 예를 도시하였지만, 용량 소자(165)는 트랜지스터(175) 및 트랜지스터(174)와 함께 절연막(219) 아래에 제공되어도 좋다.

[0161] 또한 도 13에 있어서, 트랜지스터(167)는 게이트 전극(234)을 반도체막(230)의 적어도 한 측에 가지면 좋지만, 반도체막(230)을 사이에 개재하여 존재하는 한 쌍의 게이트 전극을 가져도 좋다.

[0162] 실리콘 반도체보다 밴드갭이 넓고, 진성 캐리어 밀도가 실리콘보다 낮은 반도체 재료의 일례로서, 산화물 반도체 외에 탄소화 실리콘(SiC), 질화 갈륨(GaN) 등의 화합물 반도체 등이 있다. 산화물 반도체는 탄소화 실리콘이나 질화 갈륨과 달리, 스퍼터링법이나 습식법에 의하여 전기적 특성이 우수한 트랜지스터를 제작할 수

있으며, 양산성이 우수하다는 장점을 갖는다. 또한, 탄소화 실리콘 또는 질화 갈륨과 달리, 산화물 반도체는 실온에서도 형성할 수 있기 때문에, 유리 기판 위, 또는 실리콘을 사용한 접적 회로 위에, 전기적 특성이 우수한 트랜지스터를 제작할 수 있다. 또한, 기판의 대형화에도 대응할 수 있다. 따라서, 상술한 와이드 캡 반도체 중에서도 특히 산화물 반도체는 양산성이 높다는 장점을 갖는다. 또한, 트랜지스터의 성능(예를 들어, 전계 효과 이동도)을 향상시키기 위해서, 결정성 산화물 반도체를 얻고자 하는 경우에도 250°C 내지 800°C의 열처리에 의하여 용이하게 결정성 산화물 반도체를 얻을 수 있다.

[0163] 또한, 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되고, 또 산소 결손이 저감됨으로써 고순도화된 산화물 반도체(purified OS)는 i형(진성 반도체)이거나, 또는 i형에 매우 가깝다. 그러므로, 상기 산화물 반도체를 사용한 트랜지스터는 오프 전류가 현저히 작다는 특성을 갖는다. 또한, 산화물 반도체의 밴드갭은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 수분 또는 수소 등의 불순물 농도가 충분히 저감되고, 또한 산소 결손이 저감됨으로써 고순도화된 산화물 반도체막을 사용함으로써, 트랜지스터의 오프 전류를 작게 할 수 있다.

[0164] 구체적으로, 고순도화된 산화물 반도체막을 채널 형성 영역에 사용한 트랜지스터의 오프 전류가 작다는 것은 여러가지 실험에 의해 증명할 수 있다. 예를 들어, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이 $10 \mu\text{m}$ 인 소자의 경우에도, 소스 전극과 드레인 전극 간의 전압(드레인 전압)이 1V 내지 10V인 범위에서 오프 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{ A}$ 이하라는 특성을 얻을 수 있다. 이 경우에, 트랜지스터의 채널 폭으로 규격화된 오프 전류는 $100 \text{ zA}/\mu\text{m}$ 이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터를 접속시켜, 용량 소자에 유입 또는 용량 소자로부터 유출되는 전하를 상기 트랜지스터로 제어하는 회로를 사용하여, 오프 전류를 측정하였다. 상기 측정에서는 고순도화된 산화물 반도체막을 상기 트랜지스터의 채널 형성 영역에 사용하고, 용량 소자의 단위 시간당 전하량의 추이로부터 상기 트랜지스터의 오프 전류를 측정하였다. 이로써, 트랜지스터의 소스 전극과 드레인 전극 간의 전압이 3V인 경우에, 수십 $\text{yA}/\mu\text{m}$ 라는 더 작은 오프 전류가 얻어지는 것을 알았다. 따라서, 고순도화된 산화물 반도체막을 채널 형성 영역에 사용한 트랜지스터는 결정성을 갖는 실리콘을 사용한 트랜지스터에 비해 오프 전류가 매우 작다.

[0165] 또한, 산화물 반도체로서는 적어도 인듐(In) 또는 아연(Zn)을 함유하는 것이 바람직하다. 특히 In과 Zn 양쪽 모두를 함유하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기적 특성의 편차를 저감하기 위한 스테빌라이저(stabilizer)로서, In과 Zn에 더하여 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다.

[0166] 또한, 다른 스테빌라이저로서 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 텔륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 한 종류 또는 복수 종류를 함유하여도 좋다.

[0167] 예를 들어, 산화물 반도체로서, 산화 인듐, 산화 주석, 산화 아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.

[0168] 또한 예를 들어, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 함유한 산화물을 의미하며, In과 Ga와 Zn의 비율은 특별히 제한되지 않는다. 또한, In과 Ga와 Zn 이외의 금속 원소를 함유하여도 좋다. In-Ga-Zn계 산화물은 전계가 인가되지 않을 때의 저항이 충분히 높고 오프 전류를 충분히 작게 할 수 있는데다가 이동도도 높기 때문에, 반도체 장치에 사용하는 반도체 재료로서 적합하다.

[0169] 예를 들어, 원자수비가 $\text{In:Ga:Zn} = 1:1:1 (= 1/3:1/3:1/3)$ 또는 $\text{In:Ga:Zn} = 2:2:1 (= 2/5:2/5:1/5)$ 인 In-Ga-Zn계 산화물이나 이것과 근방의 조성을 갖는 산화물을 사용할 수 있다. 또는, 원자수비가 $\text{In:Sn:Zn} = 1:1:1 (= 1/3:1/3:1/3)$, $\text{In:Sn:Zn} = 2:1:3 (= 1/3:1/6:1/2)$, 또는 $\text{In:Sn:Zn} = 2:1:5 (= 1/4:1/8:5/8)$ 인 In-Sn-Zn계 산화물이나 이것과 근방의 조성을 갖는 산화물을 사용하면 좋다.

- [0170] 그러나, 상술한 것에 한정되지 않고, 필요한 전기적 특성(이동도, 문턱값, 편차 등)에 따라 적절한 조성을 갖는 것을 사용하면 좋다. 또한, 필요한 전기적 특성을 얻기 위해서 캐리어 밀도, 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절하게 하는 것이 바람직하다.
- [0171] 또한 예를 들어, 산화물 반도체막은 In(인듐), Ga(갈륨), 및 Zn(아연)을 함유한 타깃을 사용한 스팍터링법에 의해 형성할 수 있다. In-Ga-Zn계 산화물 반도체막을 스팍터링법으로 형성하는 경우, 바람직하게는 원자수비가 $In:Ga:Zn = 1:1:1, 4:2:3, 3:1:2, 1:1:2, 2:1:3$, 또는 3:1:4인 In-Ga-Zn계 산화물의 타깃을 사용한다. 상술한 원자수비를 갖는 In-Ga-Zn계 산화물의 타깃을 사용하여 산화물 반도체막을 형성함으로써, 다결정 또는 CAAC-OS(후술함)가 형성되기 쉬워진다. 또한, In, Ga, 및 Zn을 함유한 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 100% 미만이다. 충전율이 높은 타깃을 사용함으로써, 형성된 산화물 반도체막이 치밀한 막이 된다.
- [0172] 또한, 산화물 반도체로서 In-Zn계 산화물의 재료를 사용하는 경우, 사용하는 타깃 중의 금속 원소의 원자수비는 $In:Zn = 50:1$ 내지 1:2(mol수비)로 환산하면 $In_2O_3:ZnO = 25:1$ 내지 1:4), 바람직하게는 $In:Zn = 20:1$ 내지 1:1(mol 수비)로 환산하면 $In_2O_3:ZnO = 10:1$ 내지 1:2), 더 바람직하게는 $In:Zn = 1.5:1$ 내지 15:1(mol수비)로 환산하면 $In_2O_3:ZnO = 3:4$ 내지 15:2)로 한다. 예를 들어, In-Zn계 산화물인 산화물 반도체막의 형성에 사용하는 타깃은 원자수비가 $In:Zn:O = X:Y:Z$ 일 때, $Z > 1.5X+Y$ 로 한다. Zn의 비율을 상기 범위 내에 함으로써 이동도를 향상시킬 수 있다.
- [0173] 또한, 산화물 반도체막으로서 In-Sn-Zn계 산화물 반도체막을 스팍터링법으로 형성하는 경우에, 금속 원소의 원자수비가 $In:Sn:Zn = 1:1:1, 2:1:3, 1:2:2$, 또는 4:9:7인 In-Sn-Zn계 산화물 타깃을 사용한다.
- [0174] 또한, 구체적으로는 감압 상태로 유지된 처리실 내에 기관을 유지하고, 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스팍터링 가스를 도입하고, 상기 타깃을 사용하여 산화물 반도체막을 형성하면 좋다. 막을 형성할 때, 기관 온도를 100°C 이상 600°C 이하, 바람직하게는 200°C 이상 400°C 이하로 하여도 좋다. 기관을 가열하면서 막을 형성함으로써, 형성된 산화물 반도체막에 포함되는 불순물 농도를 저감할 수 있다. 또한, 스팍터링으로 인한 손상이 경감된다. 처리실 내의 잔류 수분을 제거하기 위해서는 흡착형 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오 펌프(cryopump), 이온 펌프, 티타늄 서블리메이션(sublimation) 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서는 터보 펌프에 콜드 트랩(cold trap)을 장착한 것이어도 좋다. 크라이오 펌프를 이용하여 처리실을 배기하면, 예를 들어, 수소 원자나 물(H_2O) 등 수소 원자를 함유한 화합물(더 바람직하게는 탄소 원자를 함유한 화합물도) 등이 배기되기 때문에, 상기 처리실에서 형성한 산화물 반도체막에 함유되는 불순물의 농도를 저감할 수 있다.
- [0175] 또한, 스팍터링 등으로 형성된 산화물 반도체막 내에는 불순물로서의 수분 또는 수소(수산기(水酸基)를 포함함)가 다량으로 함유되어 있는 경우가 있다. 수분 또는 수소는 도너 준위를 형성하기 쉽기 때문에 산화물 반도체에서는 불순물이다. 따라서, 본 발명의 일 형태에서는 산화물 반도체막 내의 수분 또는 수소 등의 불순물을 저감(탈수화 또는 탈수소화)하기 위해서, 감압 분위기하, 질소나 희가스 등의 불활성 가스 분위기하, 산소 가스 분위기하, 또는 초건조 공기(CRDS(cavity ring down laser spectroscopy: 캐비티 링 다운 레이저 분광법) 방식의 이슬점 온도계를 이용하여 측정한 경우의 수분량이 20ppm(이슬점 환산으로 -55°C) 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하의 공기) 분위기하에서 산화물 반도체막의 열처리를 수행한다.
- [0176] 산화물 반도체막에 열처리를 수행함으로써, 산화물 반도체막 내의 수분 또는 수소를 이탈시킬 수 있다. 구체적으로는, 250°C 이상 750°C 이하, 바람직하게는 400°C 이상 기관의 변형점 미만의 온도로 열처리를 수행하면 좋다. 예를 들어, 500°C로 3분간 이상 6분간 이하 정도의 열처리를 수행하면 좋다. 열처리에 RTA법을 이용하면, 단시간에 탈수화 또는 탈수소화를 수행할 수 있기 때문에, 유리 기관의 변형점을 넘는 온도에 의한 처리도 가능하다.
- [0177] 또한, 상기 열처리에 의하여 산화물 반도체막으로부터 산소가 이탈되어 산화물 반도체막 내에 산소 결손이 형성되는 경우가 있다. 그러므로, 상기 열처리 후에 반도체막(230)에 산소를 공급하는 처리를 수행하여 산소 결손을 저감시키는 것이 바람직하다.
- [0178] 예를 들어, 산소를 함유한 가스 분위기하에서 열처리함으로써, 반도체막(230)에 산소를 공급할 수 있다. 산소를 공급하기 위한 열처리는 수분 또는 수소의 농도를 저감시키기 위한 상기 열처리와 같은 조건으로 수행하면 좋다. 다만, 산소를 공급하기 위한 열처리는 산소 가스, 또는 초건조 공기(CRDS(캐비티 링 다운 레이저

분광법) 방식의 이슬점 온도계를 이용하여 측정한 경우의 수분량이 20ppm(이슬점 환산으로 -55°C) 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하의 공기) 등 산소를 함유한 가스 분위기하에서 수행한다.

[0179] 상기 산소를 함유한 가스는 물이나 수소 등의 농도가 낮은 것이 바람직하다. 구체적으로는 산소를 함유한 가스 내에 함유되는 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하로 하는 것이 바람직하다.

[0180] 또는, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 이용하여 반도체막(230)에 산소를 공급할 수 있다. 상기 방법을 이용하여 산소를 반도체막(230)에 공급한 후, 반도체막(230)에 포함되는 결정부가 손상을 받은 경우에는 열처리를 수행하여, 손상을 받은 결정부를 수복(修復)하여도 좋다.

[0181] 또한, 산화물 반도체막과 접촉하는 게이트 절연막 등의 절연막으로서, 산소를 함유한 절연막을 사용하여, 상기 절연막으로부터 산화물 반도체막에 산소를 공급하여도 좋다. 산소를 함유한 절연막은 산소 분위기하에서의 열처리나 산소 도핑 등에 의해, 절연 재료를 화학양론적 조성보다 산소가 많은 상태로 하는 것이 바람직하다. 산소 도핑이란, 산소를 반도체막에 첨가하는 것을 뜻한다. 또한, 산소 도핑은 플라즈마화된 산소를 반도체막에 첨가하는 산소 플라즈마 도핑을 포함한다. 또한, 산소 도핑은 이온 주입법 또는 이온 도핑법을 이용하여 수행하여도 좋다. 산소 도핑 처리를 수행함으로써, 화학양론적 조성보다 산소가 많은 영역을 갖는 절연막을 형성할 수 있다. 그리고, 산소를 함유한 절연막을 형성한 후, 열처리를 수행함으로써 상기 절연막으로부터 산화물 반도체막에 산소를 공급한다. 상기 구성으로 함으로써, 도너가 되는 산소 결손을 저감하고, 산화물 반도체막에 함유되는 산화물 반도체의 화학양론적 조성을 만족시킬 수 있다. 산화물 반도체막에는 화학양론적 조성보다 많은 산소가 함유되어 있는 것이 바람직하다. 그러므로, 산화물 반도체막을 i형에 가깝게 할 수 있고, 산소 결손에 기인한 트랜지스터의 전기적 특성의 편차를 경감시켜 전기적 특성을 향상시킬 수 있다.

[0182] 또한, 산소를 절연막으로부터 산화물 반도체막에 공급하기 위한 열처리는 질소, 초건조 공기, 또는 희가스(아르곤, 헬륨 등)의 분위기하에서, 바람직하게는 200°C 이상 400°C 이하, 예를 들어 250°C 이상 350°C 이하로 수행한다. 상기 가스는 물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하인 것이 바람직하다.

[0183] 또한 반도체막(230)으로서, 단결정, 다결정(폴리크리스탈이라고도 함), 미결정, 또는 비정질 등의 상태를 갖는 산화물 반도체막을 사용할 수 있다. 바람직하게는, 산화물 반도체막은 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막으로 한다.

[0184] CAAC-OS막으로 구성된 산화물 반도체막은 스퍼터링법에 의해서도 제작할 수 있다. 스퍼터링법에 의해 CAAC-OS막을 얻기 위해서는 산화물 반도체막의 퇴적 초기 단계에서 육방정의 결정이 형성되도록 하는 것과, 이 결정을 종(種)으로 하여 결정이 성장되도록 하는 것이 중요하다. 이를 위해서는 타깃과 기판의 거리를 넓게 하고(예를 들어, 150mm 내지 200mm 정도), 기판 가열 온도를 100°C 내지 500°C, 바람직하게는 200°C 내지 400°C, 더 바람직하게는 250°C 내지 300°C로 하면 좋다. 또한, 이에 더하여, 막을 형성할 때의 기판 가열 온도보다 높은 온도에 의해, 퇴적된 산화물 반도체막을 열처리함으로써, 막 내에 함유되는 미소한 결함이나 적층 계면의 결함을 수복할 수 있다.

[0185] CAAC-OS막은 완전한 비정질이 아니다. CAAC-OS막은 예를 들어, 결정부 및 비정질부를 갖는 결정-비정질 혼상 구조의 산화물 반도체를 갖는다. 또한, 상기 결정부는 하나의 변이 100nm 미만인 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS막에 포함되는 비정질부와 결정부 사이의 경계, 결정부와 결정부 사이의 경계는 명확하지 않다. 또한, TEM에 의한 관찰에서는 CAAC-OS막에 명확한 입계(그레이인 바운더리라고도 함)는 확인되지 않는다. 그러므로, CAAC-OS막은 입계에 기인한 전자 이동도의 저하가 억제된다.

[0186] CAAC-OS막에 포함되는 결정부는 예를 들어, c축이 CAAC-OS막의 폐형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또한 ab면에 수직인 방향에서 볼 때 금속 원자가 삼각형 또는 육각형으로 배열되고, c축에 수직인 방향에서 볼 때 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 상이한 결정부들 사이에서 a축 및 b축의 방향이 각각 상이하여도 좋다. 본 명세서에서 단순히 '수직'이라고 기재된 경우에는 80° 이상 100° 이하, 바람직하게는 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단순히 '평행'이라고 기재된 경우에는 -10° 이상 10° 이하, 바람직하게는 -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.

[0187] 또한, CAAC-OS막에서 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 형성 과정에서 산화물 반도체막의 표면 측으로부터 결정 성장시키는 경우에는, 폐형성면 근방보다 표면 근방에서 결정부가 차지하는

비율이 높아질 수 있다. 또한, CAAC-OS막에 불순물을 첨가함으로써 상기 불순물 첨가 영역에서 결정부가 비정질화되는 경우도 있다.

[0188] CAAC-OS막에 포함되는 결정부의 c축은 CAAC-OS막의 괴형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(괴형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향할 수가 있다. 또한, 막을 형성하였을 때, 또는 막을 형성한 후에 열처리 등의 결정화 처리를 수행하였을 때, 결정부가 형성된다. 따라서, 결정부의 c축은 CAAC-OS막이 형성되었을 때의 괴형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된다.

[0189] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사로 인한 전기적 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.

[0190] CAAC-OS막은 예를 들어, 다결정인 금속 산화물 타깃을 이용하여 스퍼터링법에 의해 형성한다. 상기 타깃에 이온이 충돌되면, 타깃에 포함되는 결정 영역이 a-b면으로부터 벽개(劈開)되어 a-b면에 평행한 면을 갖는 평판 형상, 또는 펠렛(pellet) 형상의 스퍼터링 입자로서 박리될 수 있다. 이 경우에, 평판 형상의 스퍼터링 입자가 결정 상태를 유지한 채 기판에 도달함으로써, CAAC-OS막을 형성할 수 있다.

[0191] 또한, CAAC-OS막을 형성하기 위해서 이하의 조건을 적용하는 것이 바람직하다.

[0192] 막을 형성할 때 불순물 혼입을 저감시킴으로써, 불순물로 인하여 결정 상태가 흐트러지는 것을 억제할 수 있다. 예를 들어, 처리실 내에 존재하는 불순물 농도(수소, 물, 이산화탄소, 및 질소 등)를 저감시키면 좋다. 또한, 성막 가스 내의 불순물 농도를 저감시키면 좋다. 구체적으로는, 이슬점이 -80°C 이하, 바람직하게는 -100°C 이하인 성막 가스를 이용한다.

[0193] 또한, 막을 형성할 때의 기판 가열 온도를 높임으로써, 스퍼터링 입자가 기판에 도달한 후에 스퍼터링 입자의 마이그레이션이 일어난다. 구체적으로는, 기판 가열 온도를 100°C 이상 740°C 이하, 바람직하게는 200°C 이상 500°C 이하로 하여 막을 형성한다. 막을 형성할 때의 기판 가열 온도를 높임으로써, 평판 형상의 스퍼터링 입자가 기판에 도달한 경우에 기판 위에서 마이그레이션이 일어나, 스퍼터링 입자의 평평한 면이 기판에 부착된다.

[0194] 또한, 성막 가스 내의 산소 비율을 높이고 전력을 최적화함으로써, 막을 형성할 때의 플라즈마로 인한 손상을 경감시키면 바람직하다. 성막 가스 내의 산소 비율은 30vol% 이상, 바람직하게는 100vol%로 한다.

[0195] 타깃의 일례로서, In-Ga-Zn계 산화물 타깃에 대하여 이하에서 제시한다.

[0196] InO_x 분말, GaO_y 분말, 및 ZnO_z 분말을 소정의 mol수비로 혼합하고, 가압 처리를 수행한 후, 1000°C 이상 1500°C 이하의 온도로 열처리함으로써 다결정인 In-Ga-Zn계 산화물 타깃으로 한다. 또한, X, Y, 및 Z는 임의의 양수이다. 여기서, 소정의 mol수비는 예를 들어, InO_x 분말, GaO_y 분말, 및 ZnO_z 분말이 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3, 또는 3:1:2이다. 또한, 분말의 종류, 및 그 혼합하는 mol수비는 제작하는 타깃에 따라 적절히 변경하면 좋다.

[0197] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0198] (실시형태 4)

[0199] 본 발명의 일 형태에 따른 반도체 장치는 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록 매체를 재생하여, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다. 그 외, 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있는 전자 기기로서, 휴대 전화, 게임기(휴대형을 포함함), 휴대 정보 단말, 전자 서적, 비디오 카메라나 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 장착형 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 14a 내지 도 14f에 도시하였다.

[0200] 도 14a는 휴대형 게임기이며, 하우징(5001), 하우징(5002), 표시부(5003), 표시부(5004), 마이크로폰(5005), 스피커(5006), 조작 키(5007), 스타일러스(5008)(stylus) 등을 갖는다. 또한, 도 14a에 도시한 휴대형 게임기는 2개의 표시부(5003)와 표시부(5004)를 갖지만, 휴대형 게임기가 갖는 표시부의 개수는 이것에 한정되지 않는다.

[0201] 도 14b는 휴대 정보 단말이며, 제 1 하우징(5601), 제 2 하우징(5602), 제 1 표시부(5603), 제 2 표시부(5604), 접속부(5605), 조작 키(5606) 등을 갖는다. 제 1 표시부(5603)는 제 1 하우징(5601)에 제공되고, 제 2 표시부(5604)는 제 2 하우징(5602)에 제공되어 있다. 그리고, 제 1 하우징(5601) 및 제 2 하우징(5602)은 접속부(5605)에 의해 접속되어 있고, 제 1 하우징(5601)과 제 2 하우징(5602) 사이의 각도는 접속부(5605)에 의해 변경할 수 있다. 제 1 표시부(5603)에 표시되는 영상은 접속부(5605)에서의 제 1 하우징(5601)과 제 2 하우징(5602) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다. 또한, 제 1 표시부(5603) 및 제 2 표시부(5604) 중 적어도 하나에, 위치 입력 장치로서의 기능이 부가된 표시 장치를 사용하여도 좋다. 또한, 위치 입력 장치로서의 기능은 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 또는, 위치 입력 장치로서의 기능은 포토 센서라고도 불리는 광전 변환 소자를 표시 장치의 화소부에 제공하여 부가하는 것도 가능하다.

[0202] 도 14c는 노트북 퍼스널 컴퓨터이며, 하우징(5401), 표시부(5402), 키보드(5403), 포인팅 디바이스(5404) 등을 갖는다.

[0203] 도 14d는 전기 냉동 냉장고이며, 하우징(5301), 냉장실용 문(5302), 냉동실용 문(5303) 등을 갖는다.

[0204] 도 14e는 비디오 카메라이며, 제 1 하우징(5801), 제 2 하우징(5802), 표시부(5803), 조작 키(5804), 렌즈(5805), 접속부(5806) 등을 갖는다. 조작 키(5804) 및 렌즈(5805)는 제 1 하우징(5801)에 제공되고, 표시부(5803)는 제 2 하우징(5802)에 제공되어 있다. 그리고, 제 1 하우징(5801) 및 제 2 하우징(5802)은 접속부(5806)에 의해 접속되어 있으며, 제 1 하우징(5801)과 제 2 하우징(5802) 사이의 각도는 접속부(5806)에 의해 변경할 수 있다. 표시부(5803)에 표시되는 영상은 접속부(5806)에서의 제 1 하우징(5801)과 제 2 하우징(5802) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다.

[0205] 도 14f는 일반 자동차이며, 차체(5101), 바퀴(5102), 대시보드(dashboard)(5103), 전조등(5104) 등을 갖는다.

[0206] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

부호의 설명

[0207] 100: 반도체 장치

101: CPU 코어

102: 메인 메모리

102-1: 블록

102-2: 블록

102-3: 블록

102-4: 블록

102-5: 블록

102-6: 블록

102-7: 블록

102-8: 블록

102-9: 블록

102-10: 블록

102-11: 블록

102-12: 블록

102-13: 블록

102-14: 블록

102-15: 블록

102-16: 블록

102a: 블록

102b: 블록

102c: 블록

102d: 블록

103: 캐시

104: MMU

105: 파워 스위치

105a: 스위치

105b: 스위치

105c: 스위치

105d: 스위치

106: 파워 컨트롤러

107: 제어 유닛

108: 연산 유닛

109: 레지스터

110: 메모리셀

112: 파워 스위치

112a: 스위치

112d: 스위치

120: 태그

121: 더티 비트

122: 데이터 필드

130: 행 디코더

130a: 행 디코더

130d: 행 디코더

131: 행 디코더

132: 열 디코더

161: 논리 소자

161i: 인버터

162: 논리 소자

162i: 인버터

163: 스위치

163t: 트랜지스터

164: 스위치

164t: 트랜지스터

165: 용량 소자

166: 용량 소자

167: 트랜지스터

168: 트랜지스터

170: 기억 회로

171: 기억 회로

174: 트랜지스터

175: 트랜지스터

176: 트랜지스터

177: 트랜지스터

178: 트랜지스터

179: 트랜지스터

180: 배선

181: 배선

182: 배선

183: 배선

184: 배선

185: 배선

200: 기판

201: 절연막

203n: 반도체막

203p: 반도체막

204n: 게이트 절연막

204p: 게이트 절연막

205n: 게이트 전극

205p: 게이트 전극

206: 도전막

207: 도전막

208: 제 1 영역

209: 제 2 영역

210: 제 2 영역

211: 제 3 영역

212: 제 3 영역

213: 도전막

214: 제 1 영역

215: 제 2 영역

- 216: 제 2 영역
 217: 제 3 영역
 218: 제 3 영역
 219: 절연막
 230: 반도체막
 231: 게이트 절연막
 232: 도전막
 233: 도전막
 234: 게이트 전극
 235: 측벽
 236: 절연막
 237: 절연막
 238: 절연막
 239: 도전막
 700: 인버터
 702: 인버터
 704: NAND
 707: NAND
 712: 베퍼
 715: 베퍼
 801: 측정계
 811: 트랜지스터
 812: 트랜지스터
 813: 용량 소자
 814: 트랜지스터
 815: 트랜지스터
 5001: 하우징
 5002: 하우징
 5003: 표시부
 5004: 표시부
 5005: 마이크로폰
 5006: 스피커
 5007: 조작 키
 5008: 스타일러스
 5101: 차체
 5102: 바퀴

5103: 대시보드

5104: 전조등

5301: 하우징

5302: 냉장실용 문

5303: 냉동실용 문

5401: 하우징

5402: 표시부

5403: 키보드

5404: 포인팅 디바이스

5601: 하우징

5602: 하우징

5603: 표시부

5604: 표시부

5605: 접속부

5606: 조작 키

5801: 하우징

5802: 하우징

5803: 표시부

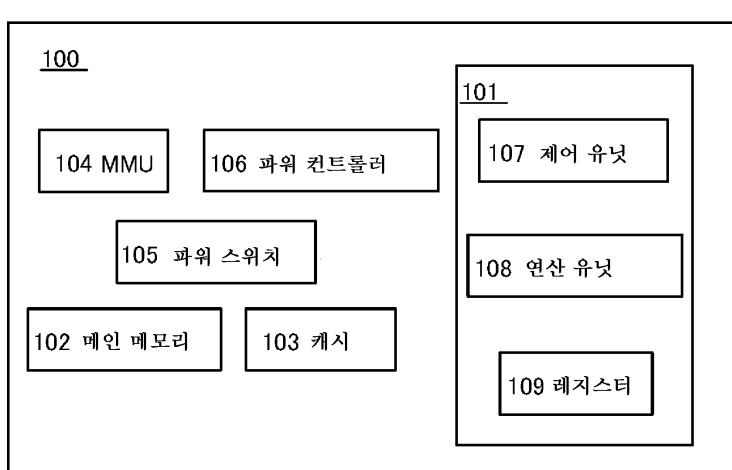
5804: 조작 키

5805: 렌즈

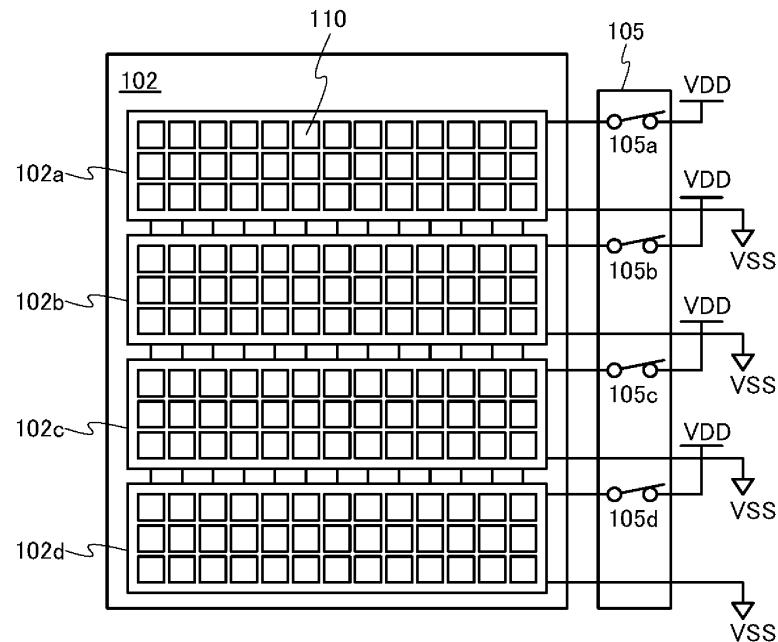
5806: 접속부

도면

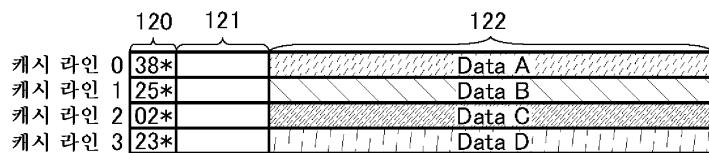
도면1a



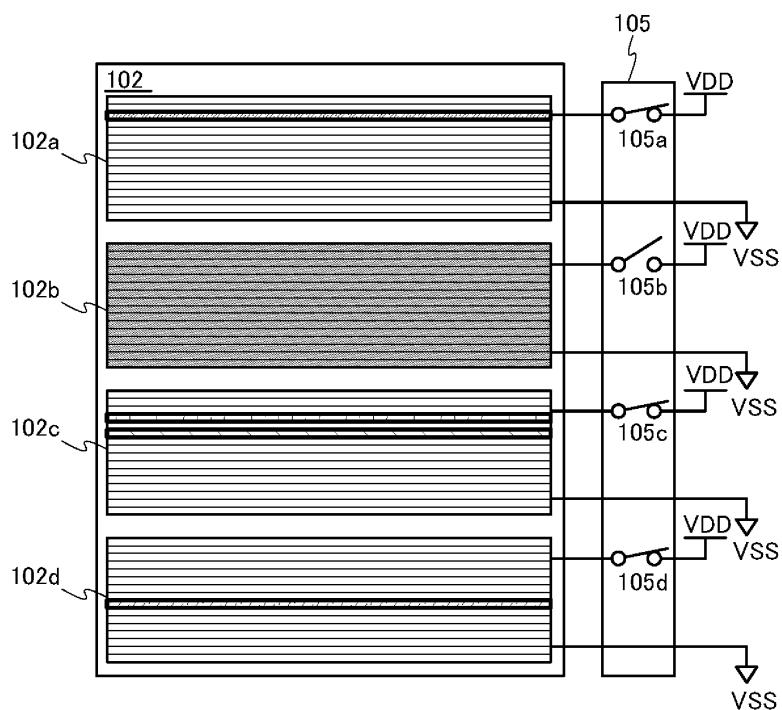
도면1b



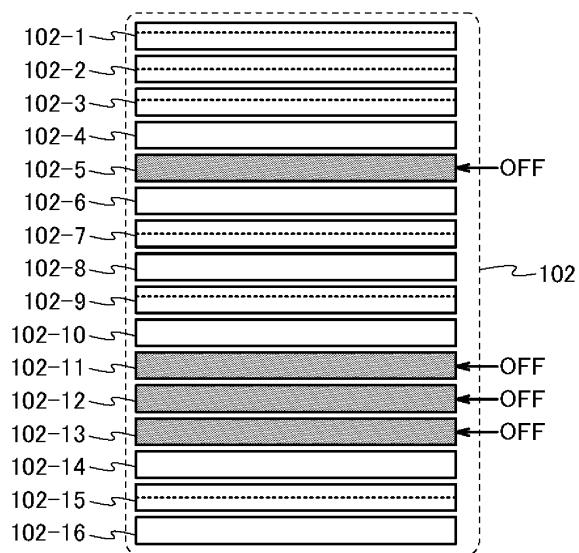
도면2a

103

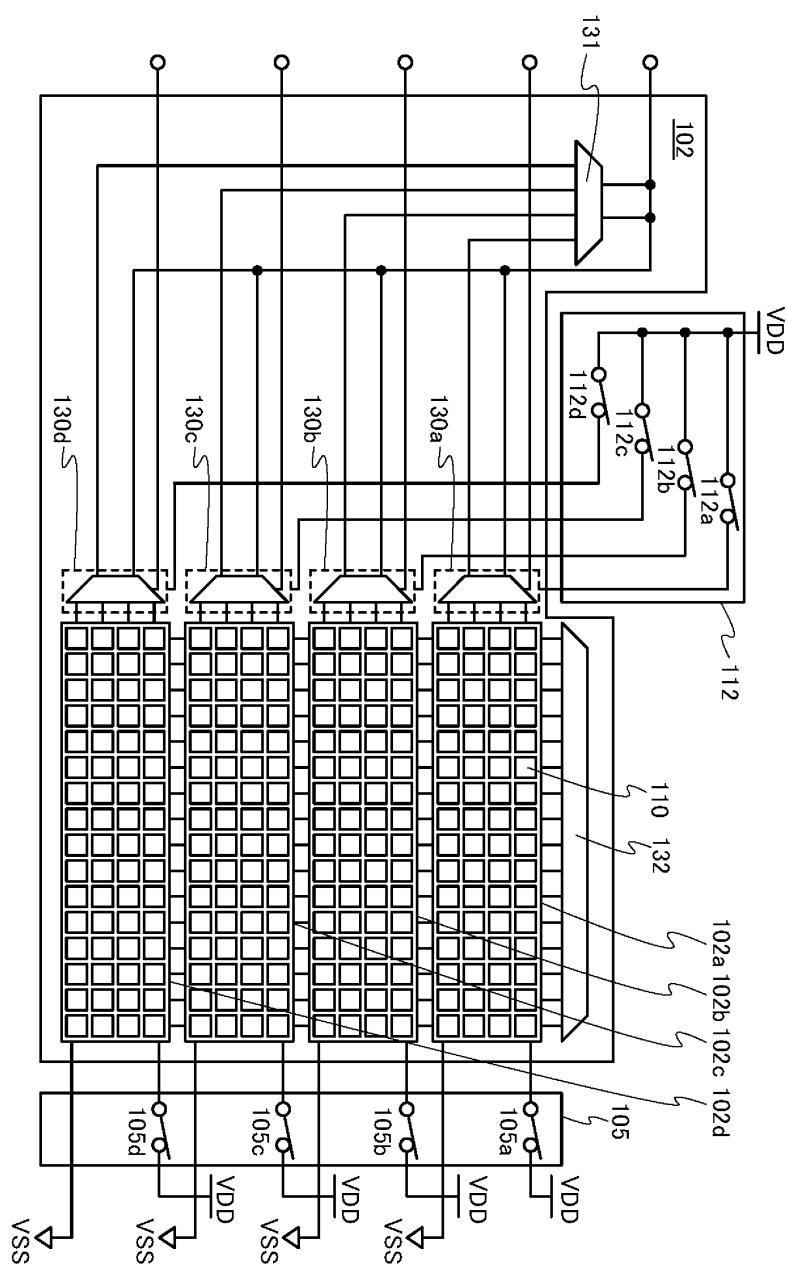
도면2b



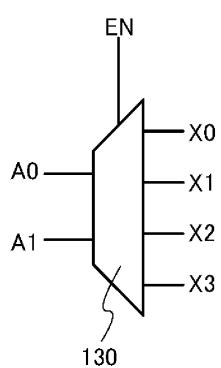
도면3



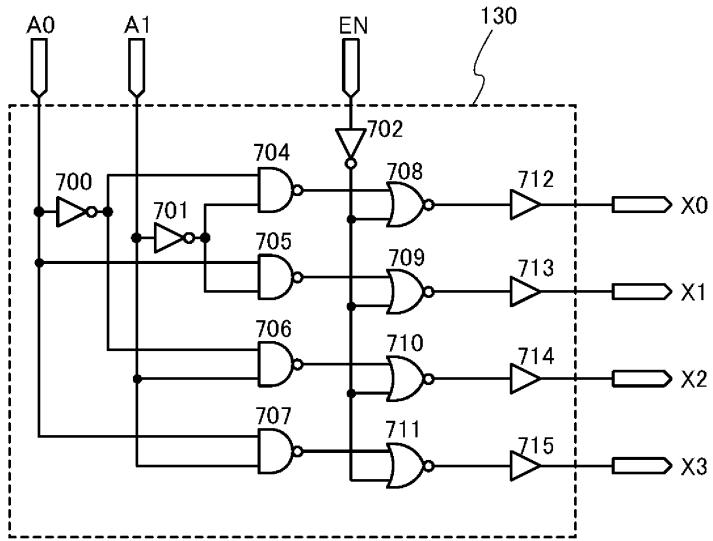
도면4



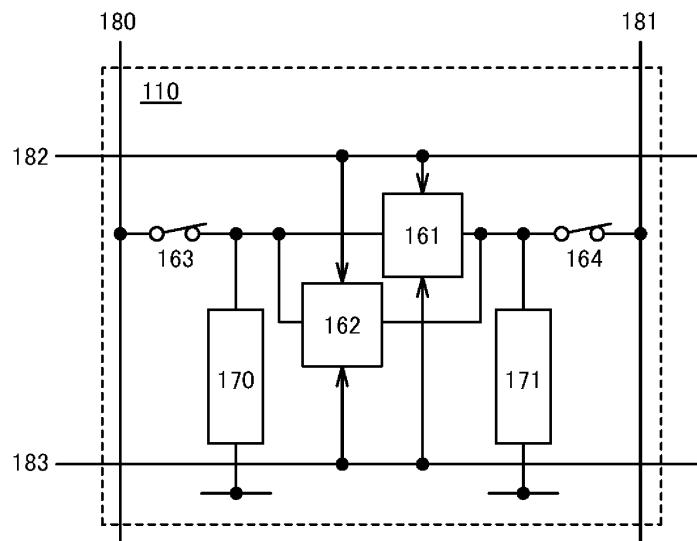
도면5a



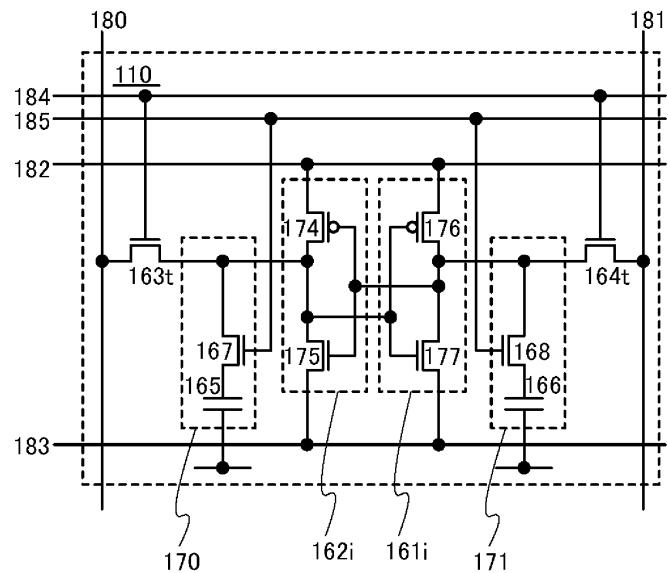
도면5b



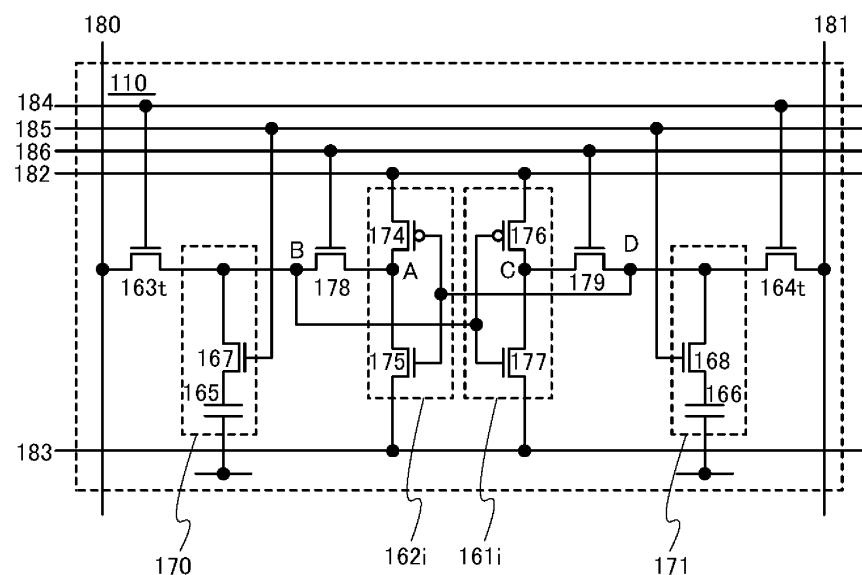
도면6



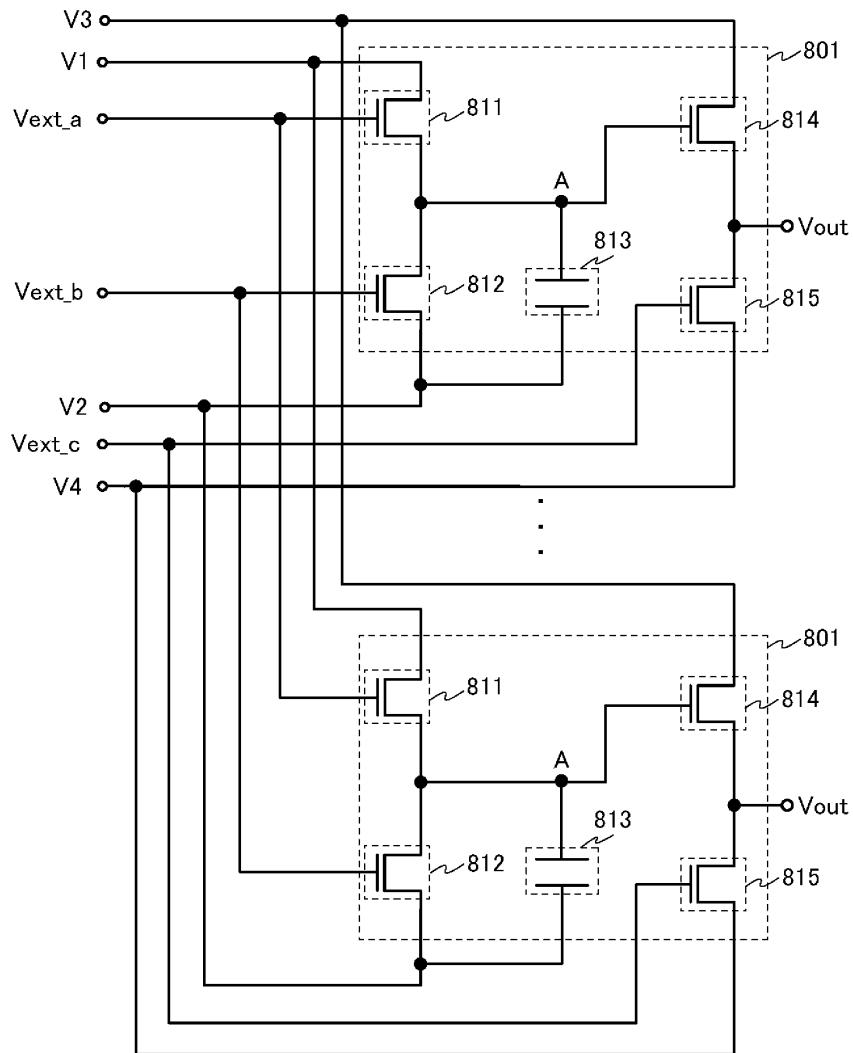
도면7a



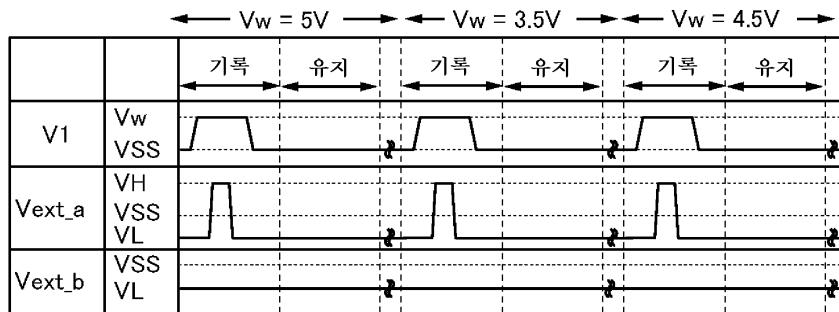
도면7b



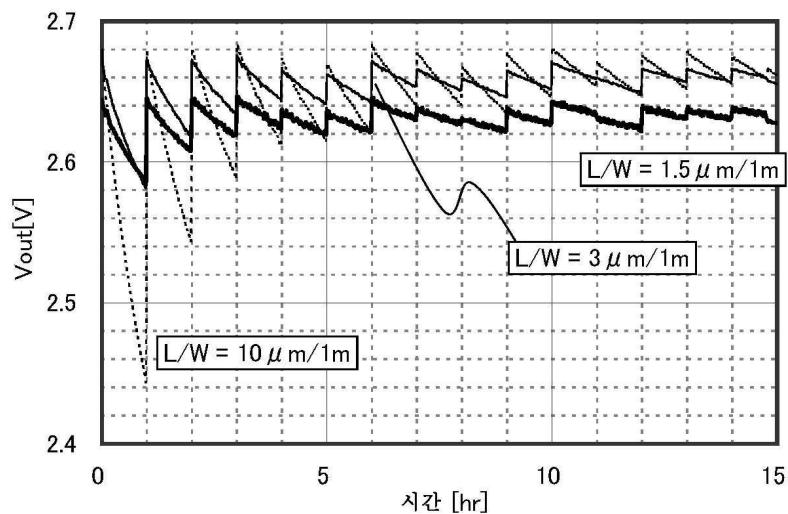
도면8



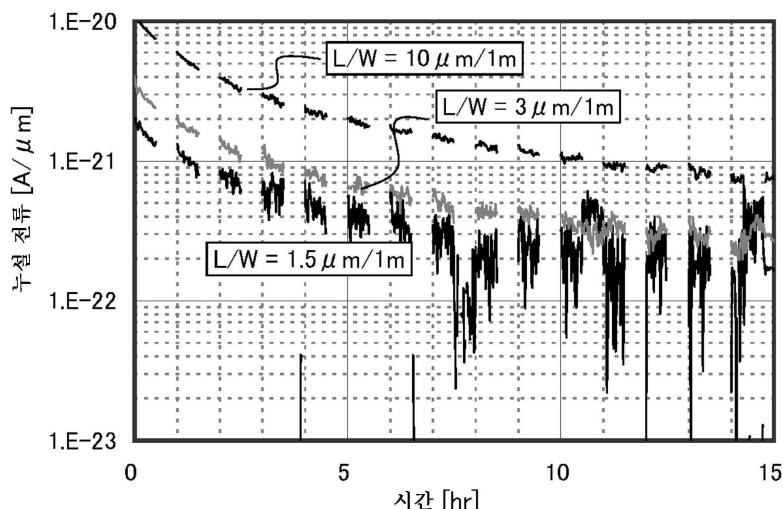
도면9



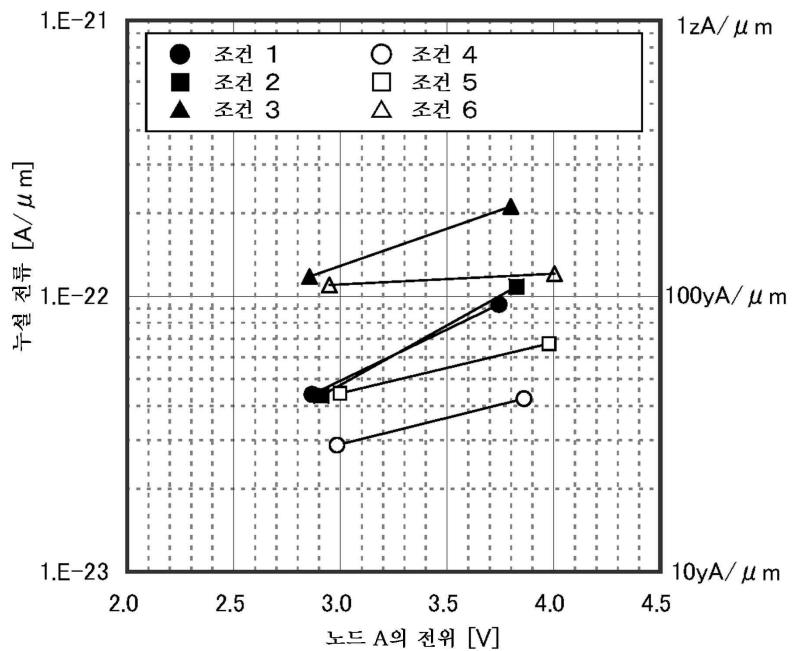
도면10



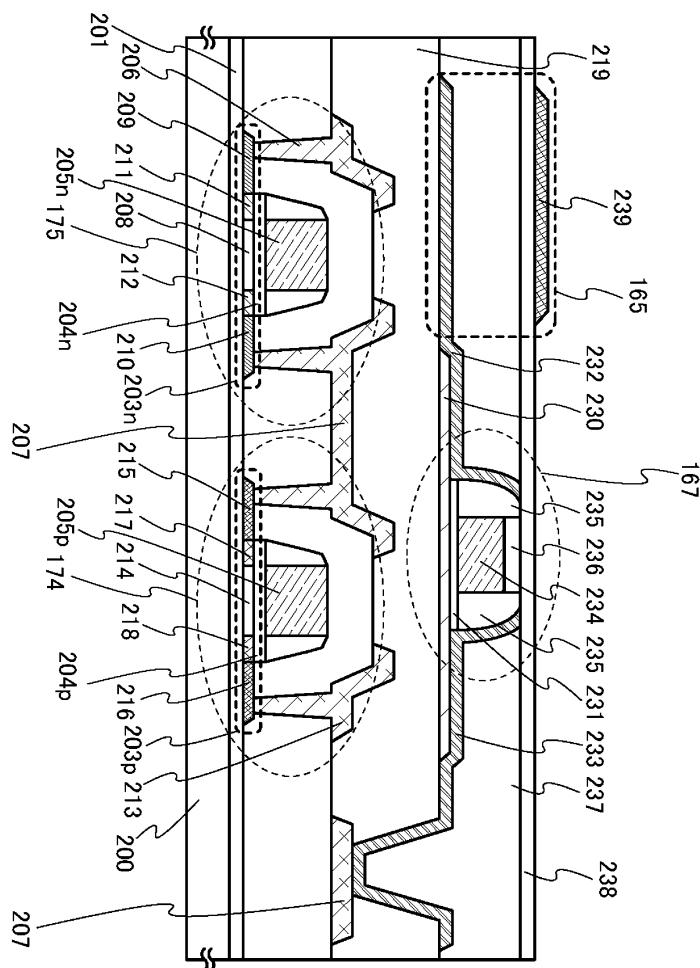
도면11



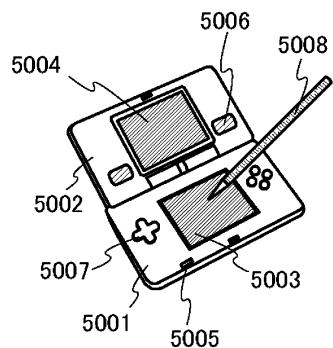
도면12



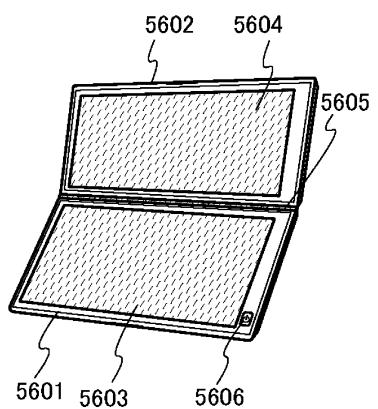
도면13



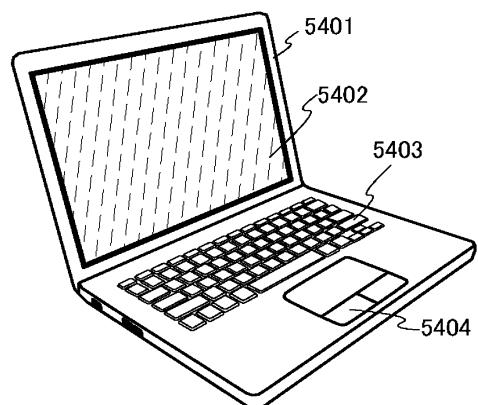
도면14a



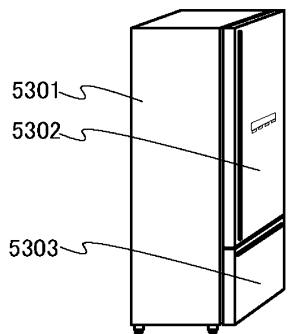
도면14b



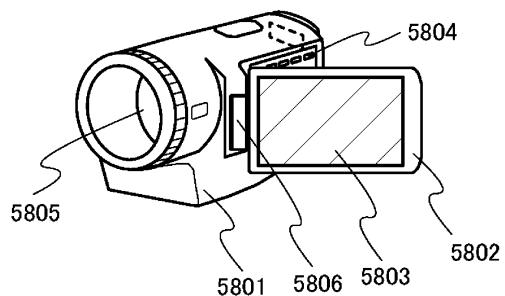
도면14c



도면14d



도면14e



도면14f

