

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/285

(45) 공고일자 2000년01월 15일

(11) 등록번호 10-0239027

(24) 등록일자 1999년10월 18일

(21) 출원번호	10-1995-0053758	(65) 공개번호	특1996-0030335
(22) 출원일자	1995년12월21일	(43) 공개일자	1996년08월 17일

(30) 우선권 주장 8/367,565 1995년01월03일 미국(US)

(73) 특허권자 인터내셔널 비지네스 머신즈 코포레이션 포만 제프리 엘

미국 10504 뉴욕주 아몬크

(72) 발명자 라지브 바산트 조쉬

미합중국 10598 뉴욕주 요크타운 하이츠 파인브룩 코트 1418

마누 잠나다스 테좌니

미합중국 10598 뉴욕주 요크타운 하이츠 에탄 코트 1327

(74) 대리인 김성택, 이용미

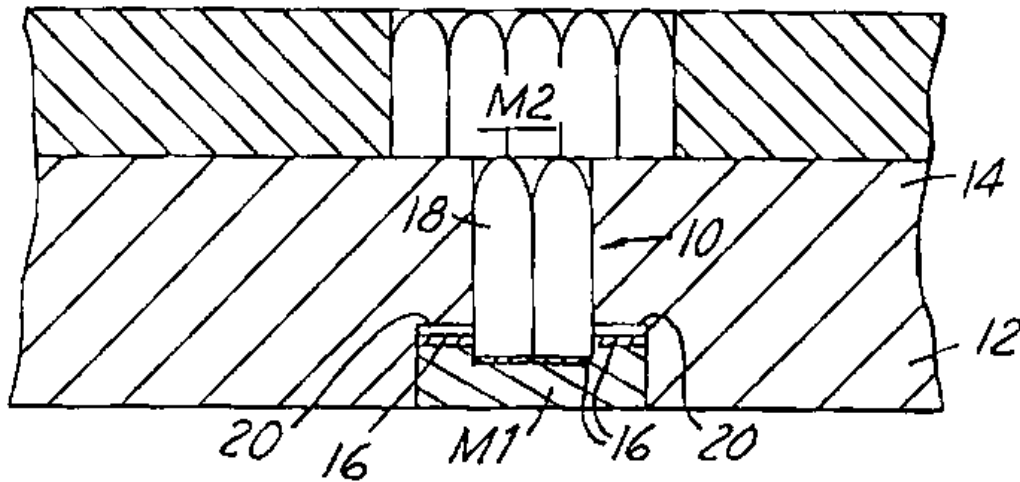
심사관 : 권인희

(54) 연질 금속 도체 및 그 제조 방법

요약

차후의 화학 기계적 연마 단계에서 연마시에 실질적으로 스크래치가 없는 표면을 제공하기에 충분히 큰 입자 크기를 갖는 입자들로 구성되는 최상부층을 갖는 반도체 장치에 사용하기 위한 금속도체.

대표도



명세서

[발명의 명칭]

연질 금속 도체 및 그 제조 방법

[도면의 간단한 설명]

제1도는 본 발명에 따라 이중 물결 무늬 구조(dual damascene)로 증착된 연질 금속 도체를 도시한 도면.

제2도는 본 발명에 따라 경계면에 $TiAl_3$ 가 형성된 최종적인 이중 물결 무늬 구조의 연질 금속 도체를 도시한 도면.

제3도는 본 발명에 따라 단일 물결 무늬 구조로 증착된 연질 금속 도체를 도시한 도면.

제4도는 본 발명에 따라 경계면에 Ti 및 TiN 층이 증착된 단일 물결 무늬 구조의 연질 금속 도체를 도시한 도면.

제5도는 본 발명에 따라 경계면에 $TiAl_3$ 가 형성된 최종적인 단일 물결 무늬 구조의 연질 금속 도체를 도시한 도면.

제6도는 여러가지 입자 크기를 갖는 표면에 있어서 표면 저항이 연마 시간에 종속적임을 나타낸 그래프.

〈도면의 주요부분에 대한 부호의 설명〉

10,30,50 : 비아구조 12,54 : 산화물층
16 : Ti 층 18 : Al-Cu 층
20 : TiN 층

[발명의 상세한 설명]

본 발명은 일반적으로 반도체 장치에 사용하기 위한 연질 금속 도체(soft metal conductor) 및 이러한 도체의 제조 방법에 관한 것으로서, 특히 반도체 장치에 사용하기 위하여 그 표면층(surface layer)의 경도(hardness)를 향상시킨 연질 금속 도체에 관한 것인데, 이 표면층은 후속하는 화학 기계적 연마 단계에서의 연마시에 실질적으로 스크래치가 없는 표면(scratch-free surface)을 제공하도록 충분히 큰 입자 크기를 갖는 금속 입자로 구성되어 있다.

반도체 제조에 있어서, 반도체 웨이퍼상에 형성된 여러가지 구성 요소들을 전기적으로 접속시키기 위하여 금속막(metal film)이 이용되고 있다. 예를 들어, 비아(via), 상호접속부(interconnect), 및 트렌치(trench)는 단지 이같은 응용의 몇가지 예에 불과하다. 이같은 응용에 있어서는, 통상적으로 알루미늄 및 알루미늄-구리 등의 합금이 사용되고 있다. 알루미늄 및 그 합금을 사용함에 있어서의 장점으로는 낮은 저항률(low resistivity), SiO₂에 대한 높은 부착력(superior adhesion), 패턴화의 용이성(ease of patterning), 재료의 고순도(high purity) 및 저단가(low cost) 등이 있다.

알루미늄 및 알루미늄 합금이 반도체 기술에 사용되는 경우에 단점이 없는 것은 아니다. 그 중 2가지 단점으로는 재료가 연질(softness)이어서 연마(polishing)가 어렵다는 점과 전기 이동 현상(electromigration phenomenon)으로 회로 고장이 생기게 된다는 점이다. 예를 들어, 연마 문제는 이전에 에칭된 절연체 내의 트로프(trough)를 먼저 금속으로 채운 다음에 트로프 사이에 증착되어 있는 금속을 연마하여 제거함으로써 금속막 또는 금속 전도성 라인이 물결 무늬 공정(damascene process)에서 형성되는 프로세스에서 관찰된다. 연질 금속(soft metal), 예를 들어 알루미늄, 구리 또는 알루미늄-구리 합금이 사용되는 경우, 연마 공정 중 금속 라인의 표면에 스크래치(scratch)가 생길 수 있다. 금속 표면에 있는 스크래치, 포켓(pocket), 함몰부(depression) 또는 부식부(erosion)를 연마하는 동안에 결함이 생기게 되면 선저항(line resistance)이 상당히 증가하게 되고, 따라서 반도체 제조 공정의 수율도 떨어지게 된다.

연질 금속의 연마 공정에서 생기게 되는 이 결함들을 없애기 위하여, 금속의 표면층의 내마모성을 향상시키기 위해 경질층(hard layer)에 의한 캐핑(capping)이 다른 사람들에 의해 시도되어 왔다. 그러나, 이와 같이 하게 되면 라인 두께가 증가하게 되어 커패시턴스가 높아지게 되는 문제가 있다. 연마 처리 단계를 필요로 하는 연질 금속의 경도를 향상시키는 것은 본질적으로 어려운 일이다. 연마가 잘못되면, 선 저항(line resistance) 또는 비아 저항(via resistance)의 변동이 생기게 된다.

그러므로, 본 발명의 목적은 종래 기술의 도체 및 종래 기술의 방법의 단점을 제거하여 최상부 표면의 경도를 향상시킨 연질 금속 도체 및 그 제조 방법을 제공하는 데에 있다.

본 발명의 다른 목적은 화학 기계적 연마 공정에서의 연마 이후에 실질적으로 스크래치가 없는 표면을 얻을 수 있도록 최상부 표면의 경도를 향상시킨 연질 금속 도체를 제공하는 데에 있다.

본 발명의 또다른 목적은 단지 연질 금속에 대한 증착 공정의 처리 조건만을 변경함으로써, 최상부 표면의 경도를 향상시킨 연질 금속 도체를 제공하는 것에 있다.

본 발명의 또다른 목적은 최상부 표면에 입자크기(grain size)가 큰 금속 입자로 구성되는 연질 금속층을 증착함으로써, 연마시에 실질적으로 스크래치가 없는 (scratch-free)표면을 가지는 연질 금속 도체를 제공하는 데에 있다.

본 발명의 또다른 목적은 약 200nm 이상인 연질 금속의 구조 입자(structure grain)를 최상부층에 증착함으로써, 연마시에 실질적으로 스크래치가 없는 표면을 가지는 전기 전도성 연질 금속 구조(electrically conducting soft metal structure)를 제공하는 것에 있다.

본 발명의 또다른 목적은 연질 금속 구조의 두께의 약 20% 이상인 입자 크기를 갖는 상기 구조 금속 입자를 최상부층에 증착함으로써, 반도체 장치에 사용하기 위하여 연마시에 실질적으로 스크래치가 없는 표면을 가지는 전기 전도성 연질 금속 구조를 제공하는 것에 있다.

본 발명의 또다른 목적은 반도체 장치에 사용하기 위하여 연마시에 실질적으로 스크래치가 없는 표면을 가지는 전기 전도성 연질 금속 구조를 제공하는 것으로서, 상기 표면에는 입자 크기가 큰 금속 입자(large grain size metal grains)로 된 두께가 적어도 약 100nm인 층이 증착되어 있다.

본 발명의 또다른 목적은 물리적 기상 증착 또는 화학적 기상 증착 기법에 의해 반도체 장치에 사용하기 위하여, 연마시에 실질적으로 스크래치가 없는 표면을 가지는 연질 금속 도체의 제조 방법을 제공하는 데에 있다.

본 발명에 따르면, 반도체 장치에 사용하기 위하여 연마시에 실질적으로 스크래치가 없는 최상부 표면을 가지는 연질 금속 도체 및 그 제조 방법이 제공된다.

양호한 실시예에 있어서, 연질 금속 도체는 연질 금속 도체 두께의 약 20%보다 더 큰 입자 크기를 갖는 입자로 구성된 도체의 최상부층을 증착함으로써 제공된다. 이것은 예를 들어, 연질 금속 재료의 최상부층

을 입자 크기가 200nm 이상인 연질 금속 입자로 100nm 이상의 두께로 증착함으로써 달성된다. 입자가 크게 되면 연질 금속 도체의 최상부층에서의 경도가 현저하게 향상되어 후속의 화학 기계적 연마 공정에서 연마시에 실질적으로 스크래치가 없는 표면을 얻게 된다. 실질적으로 스크래치가 없다는 것은 평방센티미터 면적당 스크래치가 5개 이하인 표면이 얻어진다는 것을 의미한다.

다른 실시예에서는, 더 작은 입자, 즉 입자 크기가 50nm보다 작은 입자를 갖는 연질 금속의 층이 먼저 연질 금속 도체에 600nm 이상의 두께로 증착되고, 그 다음에 입자 크기가 200nm보다 더 큰 입자를 갖는 큰 입자(large grain)의 최상부 층이 작은 입자(small grain)의 층 위에 증착된다. 최상부 층에서의 입자 크기가 크게 되면 연마에 대해 스크래치가 없는 표면을 제공하게 되어 바람직하며, 작은 입자의 연질 금속의 중간층은 열 보이딩(thermal voiding) 문제가 없는 재료의 층을 제공한다.

또 다른 실시예에서는, 크기가 50nm 이하인 작은 입자를 갖는 연질 금속의 층이 크기가 200nm보다 더 큰 입자로 구성된 하부층과 상부층 사이에 샌드위치형으로 삽입되어 있다.

또 다른 실시예에서는, 큰 입자의 연질 금속 M1이 증착된 이후에, Ti의 층이 연질 금속의 상부에 증착된다. 비아(via)와 M1, M2 사이의 경계면에 증착된 Ti 층은 차후에 행해지는 400°C에서의 어닐링 공정에서 Ti 층이 $TiAl_3$ 층으로 변환된 이후에 연질 금속 도체에서의 반 전기 이동 특성(anti-electromigration property)을 향상시키도록 30nm 이하의 두께를 갖는다. M1, M2는 Ti/Al-Cu/Ti/TiN의 금속 적층물(metal stacks)이다.

본 발명은 또한 다단계 증착 공정(multi-step deposition process), 즉 먼저 450°C에서 10~15초 동안, 다음에 400°C에서 2분 동안, 그 다음에 450°C에서 15~20초 동안 스퍼터링함으로써 연마시에 실질적으로 스크래치가 없는 표면을 갖는 연질 금속 도체를 제조하는 방법에 관한 것이다. 최상부 표면에서의 경도를 향상시킨 연질 금속 도체를 얻을 수 있다.

본 발명은 또한 스크래치 및 부식(erosion)없이 최적량 제거(optimal volume removal)를 달성하게 위하여 소정의 처리 파라메타 방정식에 따름으로써 연질 금속을 연마하는 방법에 관한 것이다.

본 발명은 또한 금속의 입자 크기를 증가시키기 위하여 연질 금속층을 낮은 증착 온도에서 증착한 다음에 이 연질 금속층을 더 높은 온도에서 어닐링함으로써 연질 금속층 상에 실질적으로 스크래치가 없는 표면을 형성하는 방법에 관한 것이다.

본 발명의 다른 목적, 특성 및 장점들은 상세한 설명 및 첨부한 도면을 참조하면 분명하게 될 것이다.

본 발명의 연마 특성(polishing capability)이 현저하게 향상된 큰 입자/작은 입자의 복합 구조(composite small grain/large grain structure)를 갖는 반도체 장치에 사용하기 위한 개량된 연질 금속 도체를 제공한다. 연질 금속을 연마할 때 스크래치 또는 부식이 발생하는 것은 공지되어 있다. 금속의 표면층의 입자 크기를 증가시킴으로써, 연질 금속의 내마모성은 크게 향상된다. 내마모성이 표준 구조(standard structure)에 비해 적어도 4 내지 5배 정도 개선된다.

다층 입자 구조(multi-layered grain structure)는 스퍼터링 증착 공정에 의해 달성될 수 있다. 예를 들어, 제1층을 고온에서 30초 미만 동안 증착하고 나서 라인 또는 비아샌드(viasand)의 벌크를 채우기(fill) 위하여 저온으로 하였다가 마지막으로 고온에서 30초 미만 동안 증착한다.

알루미늄, 알루미늄-구리, 구리 등의, 연질이고 저항률이 낮은 금속(soft, low resistivity metal)의 내마모성(wear resistance)을 향상시키기 위한 구조 및 방법이 개시되어 있다. 이 방법에서는 한번의 증착 사이클로 다층 입자 구조를 달성한다. 층형성의 순서(sequence of layering)는 (1) 큰 입자, (2) 작은 입자, (3) 큰 입자의 순이다. 상부층 및 하부층은 연마 저지부(polishing stop)로서 작용하며, 저온에서 증착된 중간층은 열 보이딩(thermal voiding)을 방지하는데 도움을 준다. 재료가 균질(homogeneous)이기 때문에, 저항 손실(loss of resistance)은 없다. 이 구조는 한번의 증착 사이클, 즉 고온에서 100~200nm의 두께로 증착한 다음에 저온 저압에서 700~800nm의 두께로 증착하고 마지막으로 고온에서 100~200nm의 두께로 증착함으로써 달성된다. 증착 시간 및 온도는 열 버지트(thermal budget)가 보이딩 온도(voiding temperature)보다 훨씬 낮도록 조정될 수 있다. 다층 입자 구조는 또한 이들 층을 고속으로 열 어닐링(rapid thermal annealing)(RTA)함으로써 달성될 수도 있다. 예를 들어, 약 100~300°C에서 형성된 보다 작은 입자들은 작은 입자들이 입자 크기가 200nm 이상인 큰 입자로 성장하기에 충분한 시간 동안 400°C에서 어닐링 될 수도 있다.

다층 입자 구조는 화학 기계적 연마에 대한 소정의 관계식에 따라 이중 및 단일 물결 무늬/반응성 이온 에칭(dual and single damascene/reactive ion etching)(RIE) 구조에서 PVD 및 CVD 공정 및 차후의 어닐링 기법을 사용하여 생성된다. 이하는 여러가지 구조 및 그와 관련된 실험 공정들의 예에 대한 것이다.

[예 1]

예 1은 본 발명의 방법에 의한 이중 물결 무늬 비아 구조(dual damascene via structure)의 형성을 설명한다. 알루미늄-구리 증착 이전에 건식 에칭 방법, 반응성 이온 에칭(RIE)을 먼저 사용하여 경계면을 설정한다. 제1도에 도시한 바와 같이, 비아 구조(via structure)(10)은 제1도에서 M1으로 도시된 이미 반응성 이온 에칭된 Ti/Al-Cu/Ti 층의 상부에 형성된다. 산화물층(12) 또는 다른 유전 상수가 낮은 무기물 또는 유기물층이 증착되어 콜로이드 실리카(colloidal silica)를 사용하여 화학 기계적 연마에 의해 평탄화(planarize)된다. 부가의 산화물(14)은 증착된 다음에 라인 및 비아에 대해 패턴화된다. 라인은 그 다음에 RIE 기법을 사용하여 개방(open up)된다. RIE 기법은 이미 형성된 M1 층 상부의 모든 비 Al-Cu층(non-Al-Cu)들을 제거하는데 사용되는 중요한 단계이다. PVD 공정은 그 다음에 30nm 미만의 Ti 또는 TiN층(16), TiN층(20), Al-Cu 층(18) 및 Ti/TiN의 마지막 층을 순차적으로 증착하는데 사용된다. Al-Cu 층의 증착은 연질 금속 층의 두께의 적어도 20%의 입자 크기를 갖는 금속 입자를 생성함으로써 달성된다. 이 구조는 그 다음에 한 단계에서 상호접속부 및 비아를 형성하도록 실리카 미립자(silica particle)포함하는 슬러리(slurry)를 사용하여 저압에서 화학적으로 연마된다.

이중 물결 무늬 구조를 위한 Al-Cu 증착 이전에 경계면을 설정하기 위하여 습식 에칭 방법을 사용하는

두번째 방법이 제2도에 도시되어 있다. 이 비아 구조(30)에서는, 버퍼링된 HF(buffered HF(10:1))를 먼저 사용하여 M1층의 상부의 Ti/TiN 층(32,34)을 세정한다. 그 결과, Ti층(32)가 400℃에서 30분 동안의 차후 어닐링 동안에 TiAl₃ 층을 형성하는 침식된 구조(encroached structure)(42)에서, 증착된 Ti의 층은 매우 얇고, 어떤 경우에는 거의 존재하지 않는다(non-existent)는 것이다. 제2 Ti/Al-Cu/Ti 층(38)을 증착한 이후에, Ti층(40)(400℃ 어닐링 이후에 TiAl₃를 차후에 형성함)은 제2도에 도시된 바와 같이 비아 아래에만 있게 되며 침식되지 않는다. Al-Cu 증착에 대한 나머지 처리 단계들은 건식 에칭 방법을 사용하는 상술한 예와 동일하다. 형성된 TiAl₃의 두께는 30nm 미만인 비아 바로 아래 영역(46)을 제외하고는 약 30과 약 60nm 사이에 있게 된다.

[예 2]

Al-Cu 증착 이전에 경계면을 세정하기 위하여 건식 에칭 RIE 기법을 사용하여 제조된 단일 물결 무늬 구조가 제3도에 도시되어 있다. 비아 구조(50)은 Ti/Al-Cu/Ti의 이미 반응성 이온 에칭된 M1층의 상부에 형성되어 있다. 산화물 또는 다른 유전 상수가 낮은 무기질 또는 유기질층(54)가 증착되고 콜로이드 실리카를 사용하여 화학 기계적 연마에 의해 평탄화된다. 산화물층(54)는 비아(50)에 대해 패턴화된다. 제1 비아는 RIE 기법을 사용하여 개방된다. 중요한 단계는 RIE를 사용하여 이미 형성된 M1층의 상부의 모든 비아 Al-Cu층을 제거하는 것이다. PVD 공정은 그 다음에 일반적으로 30nm 미만의 두께의 제1 Ti층(58)과 일반적으로 30nm에서 60nm까지의 두께의 Ti층(68)을 형성하고 그 다음에 Al-Cu 층(60)을 형성하는데 사용된다. 이것은 제4도에 도시되어 있다. Ti층(58,68)은 400℃에서 어닐링한 이후에 순차적으로 TiAl₃ 형성하게 된다. Al-Cu층 증착 공정이 행해지고 그 결과 증착된 연질 금속층의 두께의 약 20%의 입자 크기를 갖는 층이 생기게 된다. 비아 구조(50)은 그 다음에 실리카 입자로 적재(load)된 슬러리(slurry)를 사용하여 저압에서 화학적으로 연마된다. 층 M2는 그 다음에 매우 얇은 Ti층(64), 즉 30nm 미만으로 증착되고 난 다음에 패턴화되며 상호접속부 구조를 형성하도록 반응성 이온 에칭된다. 상부 Ti층(64)는 하부 Ti층(58)보다 더 두껍게 할 수 있다. TiN 층(62,66)은 포토마스크링 공정(photomasking process) 동안 비반사 코팅(anti-reflective coating)으로 형성된다.

습식 에칭된 공동(cavity)(84)의 솔더 부분(80)에서, Ti 막은 매우 얇거나 또는 거의 존재하지 않는다는 것을 주지하여야 한다. 따라서 연속적인 알루미늄상(continuous aluminum phase)이 솔더 부분(80)에 존재한다. 이는 본 발명의 연질 금속 도체의 반 전기 이동 특성(anti-electromigration characteristics)을 더욱 향상시키게 된다.

단일 물결 무늬를 형성하는 제2 방법은 Al-Cu 증착 이전에 경계면을 세정하기 위하여 습식 에칭 기법을 사용하는 것이다. 제5도에 도시된 바와 같은 비아 구조(70)에 있어서, 버퍼링된 HF(50:1)을 사용하여 층 M1 상부의 Ti 및 TiN 층(72,74)을 세정하게 된다. 그 결과, 침식된 구조가 형성되었다. Ti/Al-Cu/Ti 층(78)을 증착한 이후에, Ti층(82)(400℃에서 30분 동안 어닐링한 이후 차후에 TiAl₃를 형성함)은 제5도에 도시한 바와 같이 비아 아래에만 있게 되고 다른 영역으로 침식하지는 않는다. Al-Cu 증착에 대한 나머지 공정은 단일 물결 무늬에 대한 건식 에칭 방법에서 상술한 바와 동일하다. 침식으로 Al-Cu가 전계하에서 용이하게 용해되고 (allow the easy flux of Al-Cu), 따라서 이 구조의 전기 이동 저항(electromigration resistance)을 향상시키게 된다.

제1도 내지 제5도에 도시한 구조는 전기 이동 저항에 대해 검사하였다. 2가지 레벨 구조의 전기 이동 특성을 평가하기 위하여, 직경이 1μm인 Al-Cu 스텝(stud)에 의해 접속된 폭이 1.4μm이고 길이가 300μm인 Al-2% Cu 라인을 제조하였다. 전기 이동 검사는 1.22A/㎢의 전류 밀도에서 수행되었다. 20% 저항 천이(resistance shift)가 고장에 대한 기준으로 사용된다. 2가지 레벨의 Al-Cu 라인/비아 구조를 CVD 형성된 W 비아/Al-Cu 라인 구조와 비교하였다. Al-Cu 비아의 고장에 대한 평균 시간(mean time)은 CVD 형성된 W 스텝의 고장에 대한 평균 시간보다 적어도 상당히 향상되었음을 보여주었다.

연질 금속 도체의 내마모성의 향상을 검증하게 위하여 일련의 검사를 행하였다. 예를 들어, 알루미늄 및 구리를 증착하여 스퍼터링 공정을 사용해 큰 입자 구조를 생성하였고 얻어진 데이터는 다음의 도표 1에 나타내었다.

[표 1]

스퍼터링 압력 mT	대상과 작업물간 거리 cm	입자 크기 μm	수율 * %	시트 저항 Ω/□
0.2	15	1.0	92	0.035
0.3	15	0.8	95	0.032
0.8	20	0.7	90	0.033
1.0	30	0.7	93	0.034

도표 1에 나타난 바와 같이, 큰 금속 입자는 짧은 쓰로우/긴 쓰로우 스퍼터링 기법(short throw/long throw sputtering)을 사용하여 생성될 수 있다. 그 결과, 수율은 시트 저항(sheet resistance)을 유지하면서 극적으로 증가하게 된다.

도표 1에서 주지하는 바와 같이, 검사 동안 기판 온도는 30℃로 유지되었다. 모든 경우에, Al-Cu 막 두께는 1 내지 1.5 μm 사이로 유지되었다. 동일한 검사를 구리에 대하여 반복하여 유사한 결과를 얻었다. 수율 분석에 있어서, 전체 라인 길이가 50cm인 빗 모양의 S 자형(comb-serpentine) 구조를 사용하였다. 시트 저항 데이터는 웨이퍼당 50 사이트(site)에 대해 측정하였다. 채워진 비아의 종횡비(aspectration of the vias filled)는 3이다.

증착 공정의 온도가 원위치(in-situ) 또는 별도의 [RTA 또는 리플로우(reflow) 공정에 의한] 가열로 변경될 때, 입자 크기는 내마모성/스크래치 내성(wear/scratch resistance)을 달성하기 위해 더 향상될 수 있다. 이들 데이터는 도표 2 및 3에 나타나 있다.

[표 2]

스퍼터링 압력 mT	대상과 작업물간 거리 cm	입자 크기 μm	수율 * %	시트 저항 Ω/\square
0.2	15	2.4	90	0.034
0.3	15	2.2	93	0.034
0.8	20	1.9	92	0.033
1.0	30	1.8	96	0.032
2.0	30	1.8	93	0.033

도표 2의 경우, 검사 동안의 기판 온도는 400~475℃ 사이에서 유지된다. 수율 분석 데이터는 전체 라인 길이가 50cm인 빗 모양의 S자형 구조에 의해 얻어진다. 평균 시트 저항은 웨이퍼당 50 사이트에 근거하여 측정되었다. 채워진 종횡비(aspect ratio filled)는 4이다.

[표 3]

스퍼터링 압력 mT	대상과 작업물간 거리 cm	입자 크기 μm	수율 * %	시트 저항 Ω/\square
0.8	15	2.9	89	0.035
1.0	15	2.7	94	0.034
2.0	15	2.4	87	0.034
3.0	15	2.8	87	0.034

도표 3에 표시한 샘플의 기판 온도는 475~550℃ 사이에서 유지된다. 수율 분석 데이터는 전체 라인 길이가 50cm인 빗 모양의 S자형 구조에 의해 얻어진다. 평균 시트 저항은 웨이퍼당 50 사이트에 근거하여 측정되었다. 채워진 종횡비(aspect ratio filled)는 20이다.

샘플을 융점까지 가열하거나 또는 고속 열 어닐링(RTA) 기법을 사용하여 표면층을 큰 입자로 변환할 때에 샘플의 내마모성/스크래치 내성이 더욱 향상될 수 있음이 밝혀졌다. 이들 데이터는 도표 4에 표시하였다.

[표 4]

스퍼터링 압력 mT	대상과 작업물간 거리 cm	입자 크기 μm	수율 * %	시트 저항 Ω/□
1.0	15	3.2	96	0.033
2.0	15	3.3	90	0.033
3.0	15	3.4	96	0.034

도표 4에 나타난 바와 같이, 막이 약 100℃에서 3가지 다른 압력에서 증착된 다음에 580℃로 5분 동안 노(furnace)에서 가열되어 접점(contact)/트렌치(trench)에 금속을 채우도록 한다. 별도의 실험에서는, 막을 RTA 기법을 사용하여 600℃로 2분 동안 가열하였다. 수율 분석 데이터는 전체 라인 길이가 50cm인 빗모양의 S자형(comb-serpentine) 구조에 의해 얻어진다. 시트 저항 데이터는 웨이퍼당 50 사이트(site)에 대해 측정하였다. 채워진 비아는 중형비는 2이다.

Al-Cu 및 Cu 등의 금속에 대해서는 2단계 공정이 사용된다. 먼저, 중형비가 큰 (즉, 2 내지 3인) 비아를 채우기 위하여 약 100~300℃의 온도에서 금속이 증착된다. 그런 다음에, 입자 크기를 증가시키기 위하여 이들을 약 400℃의 온도까지 가열한다. 그 다음에 스크래치에 대한 내성을 증가를 확인하기 위해 연마 공정이 행해진다. 증발(evaporation), 콜리메이션(collimation) 및 CVD 등의 다른 증착 기법들이 Al-Cu 및 Cu의 증착에 또한 사용되었으며 마찬가지로 소망의 결과를 달성하였다.

모든 연마 실험은 슬러리에서 여러가지 경도를 갖는 입자, 예를 들어 Al₂O₃, 실리카 및 실리콘 질화물을 사용하여 행해졌다. 연마 공정은 Al-Cu 및 Cu 등의 연질층(soft layer)을 연마하기 위하여 소정의 관계식을 이용하여 행해졌다.

$$\frac{dV}{dt} = \frac{KAR_{pd} H_p V_c G_p}{H_m G_m}$$

여기에서 p는 슬러리에서의 미립자(particle)를 나타내며, m은 연질 금속을 나타내고, pd는 패드(pad)를 나타내고, c는 척(chuck) 또는 웨이퍼 홀더(wafer holder)를 나타낸다. dV/dt는 금속량(volumn of metal)이 제거되는 비율(rate)이다. H는 경도이고, A는 노출된 금속의 면적이며, G는 입자 크기이고, R은 거친 정도(roughness)이며, K는 입자들 사이의 화학적 결합, 금속, 패드 및 pH 인자에 따른 상수이고, V_c는 척의 속도(speed)이다.

여러가지 입자 크기를 갖는 연질 금속에 있어서 연마 시간에 대한 저항 데이터를 플로팅한 그래프가 제6도에 도시되어 있다. 균질 입자 구조를 갖는 제1 층이 생성되고 내마모성을 평가하여 표준 Al-Cu 구조와 비교한다. 제6도에 도시된 바와 같이 연마 비율(polishing rate)은 균질 입자 구조를 갖는 구조에 대해서 얻은 것이다. 입자 크기에 클수록 연질 금속의 내마모성도 더 커지는 것을 나타내는 예측하지 못한 결과가 얻어진다. 이들 다층 입자 구조의 조합이 형성되고 연마되어 비아를 형성하게 된다.

본 발명 설명을 위해 기술되었지만, 사용된 용어는 제한을 위한 것이 아니라 설명을 위한 것이라는 것을 이해하여야 한다.

게다가, 본 발명은 양호한 실시예에 대해 기술되고 있지만, 본 기술 분야에 숙련된 자라면 본 발명의 다른 가능한 변형에 이들 개시 내용을 손쉽게 적용할 수 있다는 것을 인지할 것이다.

배타적 소유권 또는 특권을 주장하는 본 발명의 실시예들은 첨부된 청구범위에 의해 다음과 같이 한정된다.

(57) 청구의 범위

청구항 1

반도체 장치에 사용하기 위한 연질 금속 도체(soft metal conductor)에 있어서, 후속하는 화학적 기계적 연마 단계(subsequent chemical mechanical polishing step)에서의 연마시에 실질적으로 스크래치가 없는 평탄한 표면(scratch-free planear surface)을 제공하며 상기 연질 금속 도체 두께의 약 20% 이상인 입자 크기를 갖는 입자(grains)로 구성된 최상부층(upper-most layer)을 포함하며, 상기 연질 금속은 Al, Cu 및 Al과 Cu의 합금으로 구성된 군(group)으로부터 선택되는 연질 금속 도체.

청구항 2

제1항에 있어서, 상기 도체는 비아(via), 상호접속부(interconnect) 및 라인(line)으로 구성된 군으로부터 선택된 부재인 연질 금속 도체.

청구항 3

반도체 장치에 사용하기 위한 전기 전도성 연질 금속 구조(electrically conducting soft metal structure)에 있어서, 상기 연질 금속 구조의 두께의 약 20% 이상인 입자 크기를 갖는 입자로 구성된 최상부층과, 상기 최상부층에 접촉하여 바로 인접해 있으며 상기 연질 금속 구조의 두께의 약 20% 이하의 입자 크기를 갖는 입자로 구성된 제2 층을 포함하되, 상기 연질 금속 구조의 상기 연질 금속은 Al, Cu 및 Al과 Cu의 합금으로 구성된 군으로부터 선택되는 연질 금속 구조.

청구항 4

제3항에 있어서, 상기 최상부층은 입자 크기가 200nm 이상인 금속의 입자를 가지며 두께가 적어도 100nm 인 연질 금속 구조.

청구항 5

제3항에 있어서, 상기 최상부층은 입자 크기가 200nm 이상인 금속의 입자를 가지며, 상기 제2 층은 입자 크기가 100nm 이하인 금속의 입자를 갖는 연질 금속 구조.

청구항 6

제3항에 있어서, 상기 제2 층은 입자 크기가 100nm 이하인 금속의 입자를 가지며 두께가 600nm 이상인 연질 금속 구조.

청구항 7

반도체 장치에 사용하기 위한 연질 금속 도체에 있어서, Al, Cu 및 Al과 Cu의 합금으로 구성된 군으로부터 선택된 제1 연질 금속층과, 상기 제1 연질 금속층의 상부 상의 30nm 미만의 두께의 제1 Ti층과, 상기 제1 Ti층 상의 제2 연질 금속층- 상기 제2 연질 금속층은 그 최상부 표면에 상기 제2 연질 금속층의 두께의 20% 이상인 입자 크기의 금속 입자를 가지며, 상기 제2 연질 금속은 Al, Cu 및 Al과 Cu의 합금으로 구성된 군으로부터 선택됨-과, 상기 제2 연질 금속층의 상부 상의 제2 Ti층을 포함함으로써, 적어도 상기 2 개의 연질 금속층들 사이에 샌드위치형으로 삽입된 상기 제1 Ti층은 상온(room temperature)보다 더 높은 온도에서의 어닐링(annealing)시에 $TiAl_3$ 로 변환되어 상기 $TiAl_3$ 막을 통한 상기 연질 금속의 원자의 확산이 전기 전류가 상기 막을 통과할 때에 발생하게 되어 상기 연질 금속 도체의 전기 이동 저항(electromigration resistance)을 향상시키는 연질 금속 도체.

청구항 8

제7항에 있어서, 상기 제2 Ti층은 30nm 미만의 두께를 갖는 연질 금속 도체.

청구항 9

제7항에 있어서, 상기 어닐링은 400℃에서 30분간 이루어지는 연질 금속 도체.

청구항 10

반도체 장치에 사용하기 위한 연질 금속 도체를 제조하는 방법에 있어서, 상기 방법은 상기 연질 금속의 제1 층을 증착하는 단계(depositing step)를 포함하며, 상기 연질 금속은 후속하는 화학 기계적 연마 단계에서의 연마시에 실질적으로 스크래치가 없는 표면을 제공하며 상기 연질 금속 도체 두께의 20%이상인 입자크기를 갖는 입자로 구성되는 연질 금속 도체를 제조하는 방법.

청구항 11

제10항에 있어서, 상기 제1 연질 금속층은 물리적 기상 증착(physical vapor deposition), 화학적 기상 증착(chemical vapor deposition), 증발(evaporation), 및 콜리메이션(collimation)으로 이루어진 군으로부터 선택된 기법에 의해 증착되는 연질 금속 도체 제조 방법.

청구항 12

제10항에 있어서, 상기 제1 연질 금속층의 상부에 두께가 30nm 미만인 Ti층 및 연질 금속의 제2 층을 순차적으로 증착하는 단계를 포함하여, 상기 Ti층이 차후의 어닐링 공정에서 $TiAl_3$ 층으로 변환될 때 상기 연질 금속 도체의 반전기 이동 특성(anti-electromigration property)을 향상시키는 연질 금속 도체의 제조 방법.

청구항 13

반도체 장치의 연질 금속 도체를 제조하는 방법에 있어서, 약 100℃와 약 300℃ 사이의 제1 온도에서 제1 입자 크기를 갖는 금속 입자로 구성된 연질 금속으로 도체용 공동(cavity for a conductor)을 채우는 단계(filling step)와, 상기 금속 입자를 상기 제1 입자 크기보다 더 큰 제2 입자 크기로 충분히 성장시킬 수 있는 시간 동안 상기 도체를 제2 온도로 가열하는 단계를 포함하는 연질 금속 도체 제조방법.

청구항 14

제13항에 있어서, 상기 제2 온도는 적어도 300℃ 이상이며 상기 시간은 2분인 연질 금속 도체 제조 방법.

청구항 15

$$\frac{dV}{dt} = \frac{KAR_{pd}H_pV_cG_p}{H_mG_m}$$

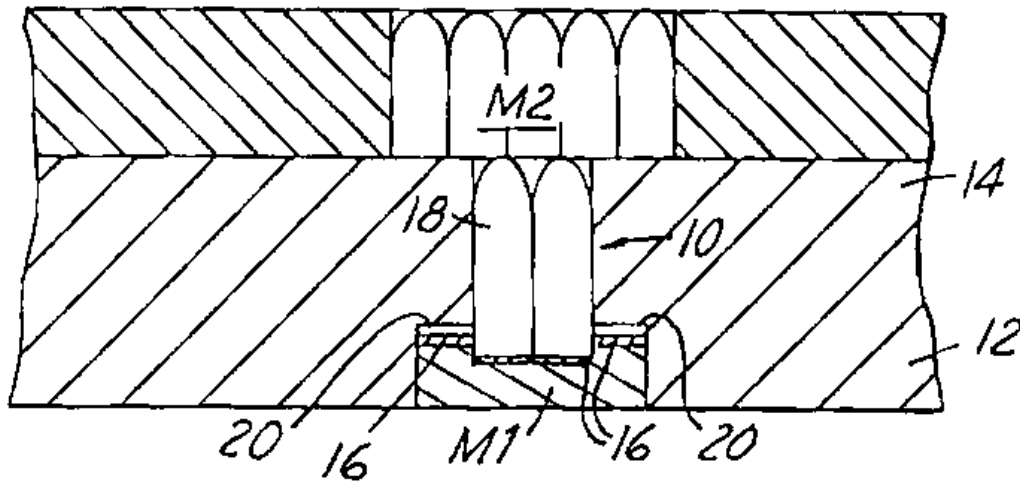
연질 금속 구조 연마 방법에 있어서, 방정식 $\frac{dV}{dt} = \frac{KAR_{pd}H_pV_cG_p}{H_mG_m}$ 여기서, dV/dt 는 금속량 (volume of metal)이 제거되는 비율(rate)이고, H_m 은 금속의 경도(hardness)이며, H_p 는 슬러리(slurry)에서의 미립자의 경도이고, A 는 노출된 금속의 면적이며, G_m 은 금속의 입자 크기이고, G_p 는 슬러리에서의 미립자의 입자 크기이고, R_{pd} 는 연마 패드의 거친 정도(roughness)이며, K 는 미립자 간의 화학적 결합, 금속, 패드(pad), 및 pH 계수(factor)에 따른 상수이며, V_c 는 척(chuck)의 속도(speed)임-에 의해 정의되는 선정된 연마공정에 따라 연질 금속 구조를 연마함으로써, 금속에 스크래치 또는 R_{pd} 부식(erosion)이 발생하지 않고 최적량의 금속을 제거할 수 있게 하는 연질 금속 구조 연마 방법.

청구항 16

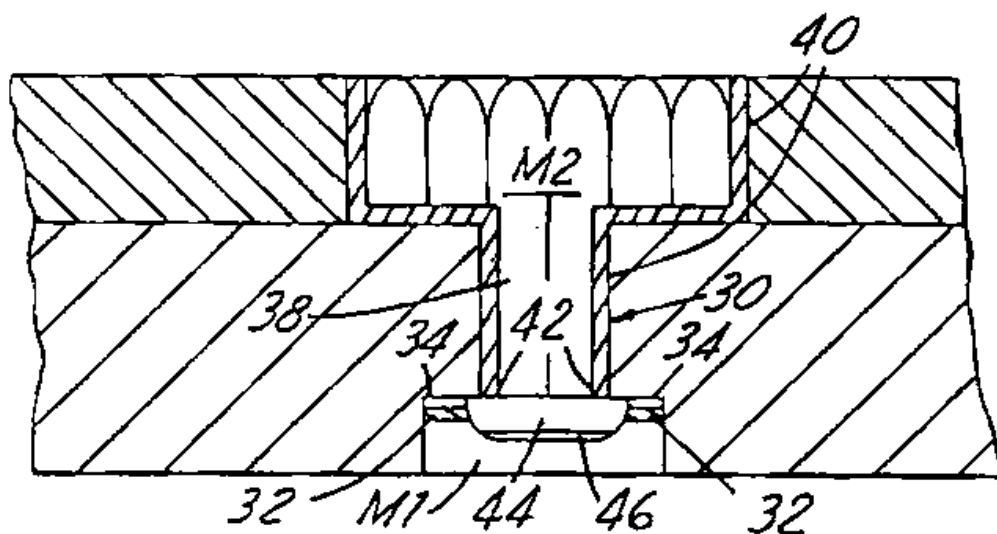
제7항에 있어서, 상기 제1 Ti층은 TiN층 또는 다른 내화 금속 질화층(refractory metal nitride layer)을 더 포함하는 연질 금속 도체.

도면

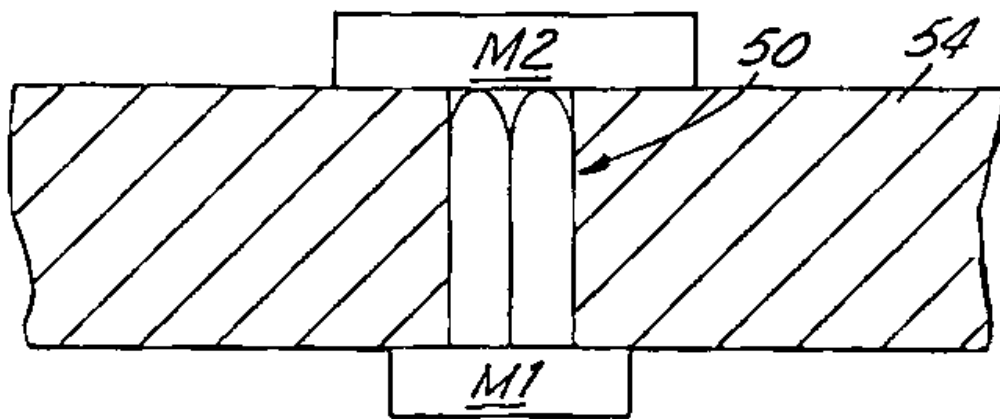
도면1



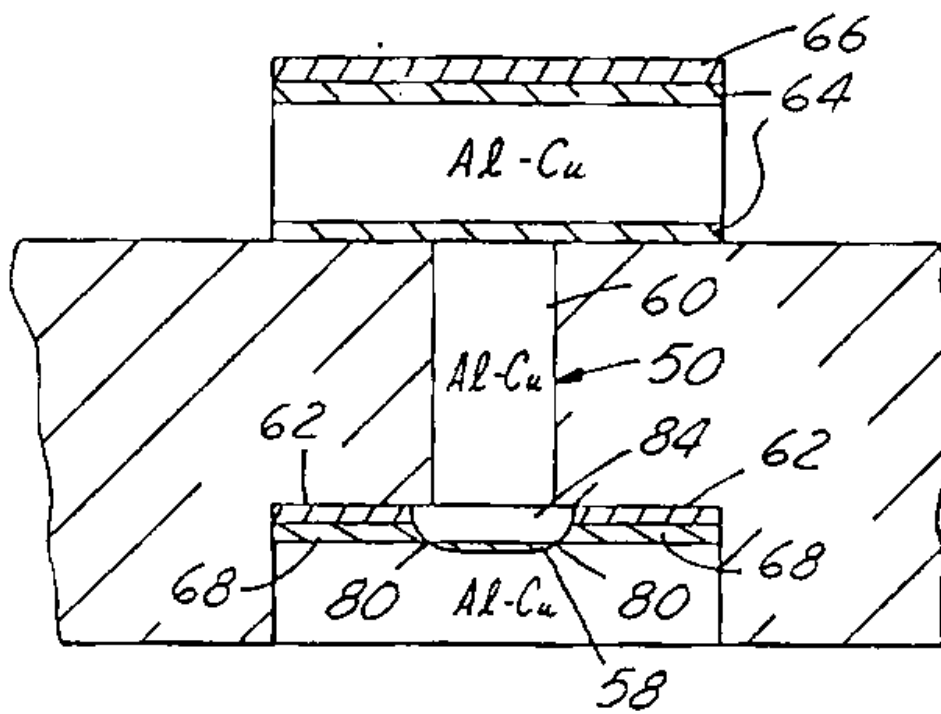
도면2



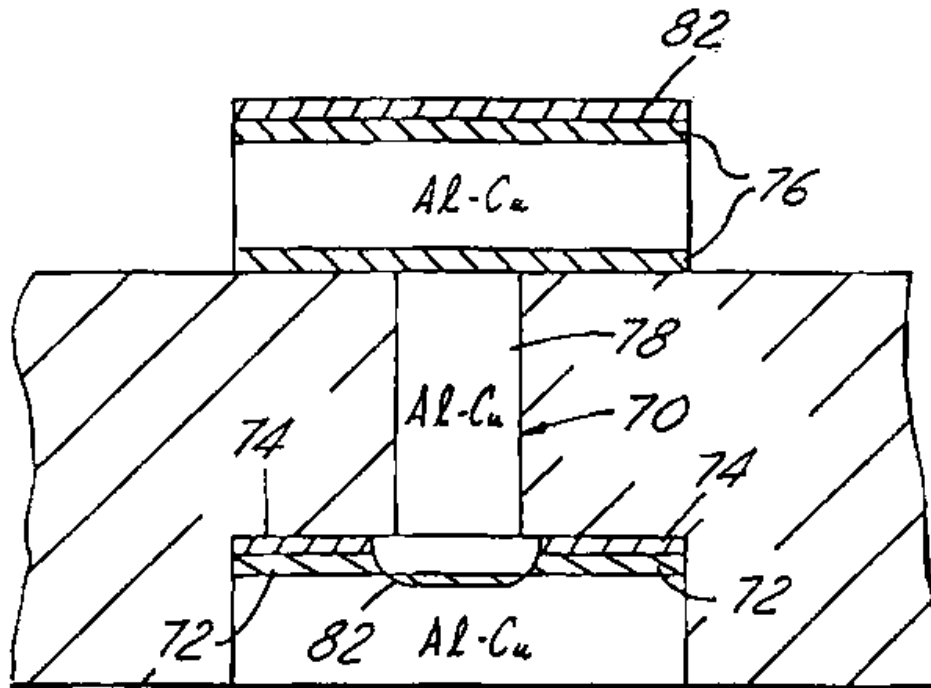
도면3



도면4



도면5



도면6

