

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-111238

(P2017-111238A)

(43) 公開日 平成29年6月22日(2017.6.22)

(51) Int.Cl.

G02F 1/017 (2006.01)

F I

G02F 1/017 503

テーマコード (参考)

2K102

審査請求 未請求 請求項の数 8 O L (全 16 頁)

(21) 出願番号 特願2015-244350 (P2015-244350)
 (22) 出願日 平成27年12月15日 (2015.12.15)

(71) 出願人 000004226
 日本電信電話株式会社
 東京都千代田区大手町一丁目5番1号
 (74) 代理人 110001243
 特許業務法人 谷・阿部特許事務所
 (72) 発明者 尾崎 常祐
 東京都千代田区大手町一丁目5番1号 日
 本電信電話株式会社内
 (72) 発明者 小木曾 義弘
 東京都千代田区大手町一丁目5番1号 日
 本電信電話株式会社内
 (72) 発明者 柏尾 典秀
 東京都千代田区大手町一丁目5番1号 日
 本電信電話株式会社内

最終頁に続く

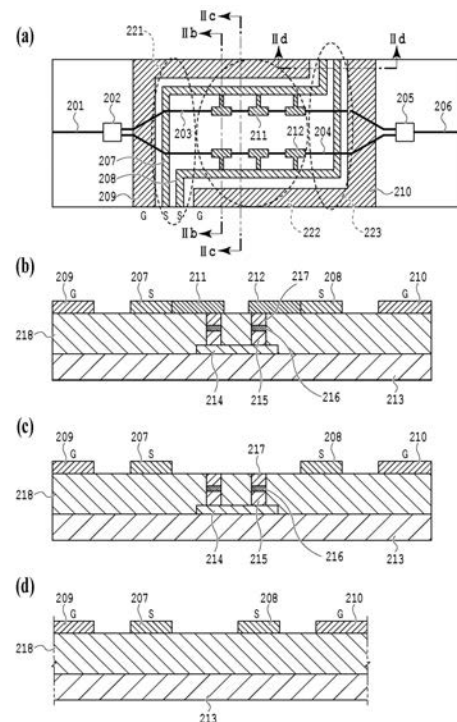
(54) 【発明の名称】 半導体マッハツェンダ光変調器及びそれを用いた I Q 変調器

(57) 【要約】

【課題】 本発明は、高速変調かつクロストークの小さな半導体光変調器を実現する。

【解決手段】 本発明の半導体光変調器は、第1及び第2のアーム導波路と、前記第1及び第2のアーム導波路に並行かつ隣接してそれぞれ形成された第1及び第2のシグナル電極と、前記第1のシグナル電極から分岐し、前記第1のシグナル電極に沿って前記第1のアーム導波路上に離散的に複数個形成された第1の位相調整電極と、前記第2のシグナル電極から分岐し、前記第2のシグナル電極に沿って前記第2のアーム導波路上に離散的に複数個形成された第2の位相調整電極と、前記第1及び第2のシグナル電極に沿ってそれぞれ形成された第1及び第2のグランド電極と、を備えた半導体光変調器であって、前記第1及び第2のシグナル電極は、前記第1のグランド電極と前記第2のグランド電極との間に形成されている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 及び第 2 のアーム導波路と、

前記第 1 及び第 2 のアーム導波路に並行かつ隣接してそれぞれ形成された第 1 及び第 2 のシグナル電極と、

前記第 1 のシグナル電極から分岐し、前記第 1 のシグナル電極に沿って前記第 1 のアーム導波路上に離散的に複数個形成された第 1 の位相調整電極と、

前記第 2 のシグナル電極から分岐し、前記第 2 のシグナル電極に沿って前記第 2 のアーム導波路上に離散的に複数個形成された第 2 の位相調整電極と、

前記第 1 及び第 2 のシグナル電極に沿ってそれぞれ形成された第 1 及び第 2 のグラウンド電極と、

を備えた半導体マッハツェンダ光変調器であって、

前記第 1 及び第 2 のシグナル電極は、前記第 1 のグラウンド電極と前記第 2 のグラウンド電極との間に形成されていることを特徴とする半導体マッハツェンダ光変調器。

【請求項 2】

前記第 1 及び第 2 のアーム導波路は、半導体基板上に、 $n-I n P$ 層、第 1 の半導体クラッド層と、ノンドープの半導体コア層と、第 2 の半導体クラッド層とが順次積層して形成された導波路構造を有し、

前記第 1 及び第 2 のシグナル電極は、前記半導体基板上に形成された誘電体層上に形成されていることを特徴とする請求項 1 に記載の半導体マッハツェンダ光変調器。

【請求項 3】

前記第 1 及び第 2 のアーム導波路における前記第 1 及び第 2 の位相調整電極が形成されていない部分では、前記第 2 の半導体クラッド層は、ノンドープの半導体クラッド層であることを特徴とする請求項 2 に記載の半導体マッハツェンダ光変調器。

【請求項 4】

前記第 1 及び第 2 のシグナル電極と、前記第 1 及び第 2 のグラウンド電極とが、前記誘電体層上で同一平面上に形成されることを特徴とする請求項 2 又は 3 に記載の半導体マッハツェンダ光変調器。

【請求項 5】

前記第 1 の半導体クラッド層と前記第 2 の半導体クラッド層のうち、どちらか一方が n 型半導体で構成され、もう一方が p 型半導体で構成されることを特徴とする請求項 2 から 4 のいずれかに記載の半導体マッハツェンダ光変調器。

【請求項 6】

前記第 1 の半導体クラッド層と前記第 2 の半導体クラッド層の両方が n 型半導体で構成され、前記半導体コア層と前記第 1 の半導体クラッド層との間、及び、前記半導体コア層と前記第 2 の半導体クラッド層との間の少なくとも一方に p 型半導体で構成された第 3 の導電性半導体クラッド層が挿入されていることを特徴とする請求項 2 から 5 のいずれかに記載の半導体マッハツェンダ光変調器。

【請求項 7】

請求項 1 から 6 のいずれかに記載の半導体マッハツェンダ光変調器が 2 つ並列に並べて構成されたことを特徴とする $I Q$ 変調器。

【請求項 8】

請求項 7 に記載の $I Q$ 変調器が 2 つ並列に並べて構成されたことを特徴とする偏波多重 $I Q$ 変調器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気信号で光信号を変調する半導体マッハツェンダ光変調器及びそれを用いた $I Q$ 変調器に関する。

【背景技術】

【0002】

増大する通信トラフィック需要に対応するために、光信号の多重度を上げる研究が盛んに行われている。具体的な光信号多重度を上げる方式として、1シンボルに2値（多重度2）を割り当てることで伝送容量を2倍にする4値位相変調方式（QPSK）や、1シンボルに4値（多重度4）を割り当てることで伝送容量を4倍にする16値直交振幅変調方式（16QAM）等の多値光変調方式が知られている。また、光偏波多重により伝送容量を2倍にする方法も知られている。

【0003】

これらの多値光変調を実行する場合には、光変調器としてIQ変調器が用いられる。I/Q変調器は、直交変調器とも呼ばれ、直交する光電界成分（Iチャンネル、Qチャンネル）を独立して生成可能な変調器であり、マッハツェンダ（MZ：Mach-Zehnder）変調器（以下、MZM）を並列接続した特殊な構成をとるものである。近年、光送信器モジュールの小型化や低駆動電圧化が課題となっており、小型で低駆動電圧化が可能な半導体MZ変調器の研究開発が精力的に進められている。

【0004】

図1は、非特許文献1及び2に示されるような従来のMZMの一例を示す。図1（a）には、光波を入力する入力導波路101と、入力導波路101を導波してくる光波を2つに分波する光分波器102と、光分波器102で分波された光波を導波するアーム導波路103及び104と、アーム導波路103及び104を導波してくる光波を合波する光合波器105と、光合波器105で合波された光波を出力する出力導波路106と、コプレーナストリップ線路107及び108と、アーム導波路103及び104上にそれぞれ形成された位相調整電極109及び110と、を備えたMZMが示されている。

【0005】

入力導波路101、光分波器102、アーム導波路103及び104、光合波器105並びに出力導波路106はマッハツェンダ干渉計を構成する。アーム導波路103及び104に電圧を印加することによって、半導体コア層において電気光学効果により屈折率変化が発生し、その結果、光の位相が変化する。このとき、アーム導波路103及び104に電圧差を与えることで、光合波器5における光の干渉状態が変わり、変調することができる（出力導波路106の出力光がonになったり、offになったりする）。

【0006】

コプレーナストリップ線路107及び108は、一方が入力電気信号（S）に接続されている場合、もう一方は基準電位またはグランド（G）に接続されているSG構成となっている。

【0007】

コプレーナストリップ線路107及び108を伝搬するマイクロ波は、位相調整電極109及び110によってアーム導波路103及び104にそれぞれ印加される。位相調整電極109及び110は導波路に電圧を印加するための電極として作用し、コプレーナストリップ線路107及び108を含め全体として進行波型電極を形成する。すなわち、アーム導波路103及び104を導波する光波の速度と、上記進行波型電極を伝搬するマイクロ波の速度とをできるだけ一致させ、両者の位相整合をとるようすることで、変調帯域を増大することを意図した電極構造である。

【0008】

なお、マイクロ波のロスがなく、光波とマイクロ波の速度整合条件が完全に満足されれば変調帯域は無限大になるが、実際にはマイクロ波のロスや位相ずれが発生するため、これにより変調帯域が制限される。また、コプレーナストリップ線路107及び108間のインピーダンスは50Ωに設計されるが、インピーダンスが50Ωからずれると、電気的な反射が起こり、マイクロ波を効率的に印加できなくなる。さらに、アーム導波路103及び104は、互いに逆相の電圧が印加される、いわゆるプッシュプル型の構成である。

【0009】

図1（b）は、図1（a）に示されるMZMのIb-Ib断面図である。図1（b）に

10

20

30

40

50

は、S I - I n P 基板 1 1 1 と、S I - I n P 基板 1 1 1 上に形成された n - I n P 層 1 1 2 と、n - I n P 層 1 1 2 上に形成された下部半導体クラッド層 1 1 3 と、下部半導体クラッド層 1 1 3 上に形成された、光波が伝搬する半導体コア層 1 1 4 と、半導体コア層 1 1 4 上に形成された上部半導体クラッド層 1 1 5 と、を備えた M Z M が示されている。図 1 に示される M Z M は、コプレーナストリップ線路 1 0 7 及び 1 0 8 をマイクロ波が伝搬して、位相調整電極 1 0 9 及び 1 1 0 を介して半導体コア層 1 1 4 に電圧が印加されることによって、光変調器として作用する。

【0010】

図 1 (b) に示されるように、位相調整電極 1 0 9 及び 1 1 0 の下には、上部クラッド 1 1 5、半導体コア層 1 4 及び下部半導体クラッド層 1 1 3 が存在するため、一定の素子容量が存在する。すなわち、図 1 (a) において、位相調整電極 1 0 9 及び 1 1 0 は、コプレーナストリップ線路 1 0 7 及び 1 0 8 に対して容量を付加する形（容量装荷型）になる。つまり、電極の数、及び、間隔、導波路への接触長を最適に設計することで、容量の付加量を自由に設計することができるようになる。

10

【0011】

一般的な電気の伝送線路モデルにおいて、インピーダンス Z_0 伝播定数 γ は以下の（式 1）で表される。

【0012】

【数 1】

$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}}$$

20

$$\gamma = \sqrt{(R + i\omega L)(G + i\omega C)} \quad (\text{式 1})$$

【0013】

ここで、R は単位長さ当たりの抵抗、G はコンダクタンス、L はインダクタンス、C はキャパシタンスを表す。 $\omega L \gg R$ 、 $\omega C \gg G$ の場合、 Z_0 及び γ は、以下の（式 2）のように表すことができる。

【0014】

【数 2】

$$Z_0 \approx \sqrt{\frac{L}{C}}$$

30

$$\gamma \approx j\omega\sqrt{LC} \quad (\text{式 2})$$

【0015】

このとき、電気の速度 v と実効屈折率 n はそれぞれ、以下の（式 3）のように表すことができる。

【0016】

【数 3】

$$v \approx \frac{1}{\sqrt{LC}}$$

40

$$n \approx c\sqrt{LC} \quad (\text{式 3})$$

【0017】

このモデルは進行波型電極についても適用することができる。つまり、これは定性的に光変調器の容量成分を制御することにより、インピーダンスと電気の速度を調整することができることを示している。すなわち、図 1 に示される従来の M Z M では、電極 1 0 9 及び 1 1 0 を、インピーダンスや電気速度を調整するための容量として用いている。また、光と電気の速度差による周波数帯域 Δf は、光速 c 、光導波路を伝搬する光の群速度 v_0 、電極長 l を用いて以下の（式 4）のように表される。

50

【 0 0 1 8 】

【 数 4 】

$$\Delta f \approx \frac{1.4c}{\pi \left| \frac{1}{v_0} - \frac{1}{v} \right| l} \quad (\text{式 4})$$

【 0 0 1 9 】

上記（式 4）から、光の群速度 v_0 と電気の世界速度 v が一致したときに最大の周波数帯域を得ることができることがわかる。ただし、上記（式 4）は、伝搬損失がなく、インピーダンス整合が一致した場合の近似式であるため、実際には伝搬損失とインピーダンス整合により、大きく影響される。

10

【 0 0 2 0 】

以上述べたように、最適な容量の付加量を設計することで、光波とマイクロ波の速度整合を向上させることができるとともに、50 Ω へのインピーダンス整合も取れるようになり、その結果、高速な変調が可能になる。

【 先行技術文献 】

【 非特許文献 】

【 0 0 2 1 】

【 非特許文献 1 】 L. Morl et al., "A travelling wave electrode Mach-Zehnder 40 Gb/s demultiplexer based on strain compensated GaInAs/AlInAs tunnelling barrier MQW structure," 1998 International Conference on Indium Phosphide and Related Materials, pp. 403-406, 1998)

20

【 非特許文献 2 】 H.N.Klein et al., "1.55 μm Mach-Zehnder Modulators on InP for optical 40/80 Gbit/s transmission networks," OFC2006, pp. 171-173

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 2 2 】

しかし、図 1 に示す従来の M Z M では、多値光変調に欠かせない半導体マッハツェンダ光変調器を並列接続した I Q 変調器を 1 つのチップ上に実現する場合に、2 つの M Z M 間のクロストークが大きく、2 つの M Z M を近接して設置することが困難であり、そのためチップサイズが大きくなってしまふ等の課題があった。

30

【 0 0 2 3 】

本発明は、従来の変調器の特徴である容量装荷構造によるインピーダンス整合と、マイクロ波と光波の位相整合を満たして高速な変調を実現し、かつ課題であった複数の M Z M 間のクロストーク問題を解決することができる半導体光変調器を提供することにある。

【 課題を解決するための手段 】

【 0 0 2 4 】

このような目的を達成するために、本発明の一実施形態に係る半導体マッハツェンダ光変調器は、第 1 及び第 2 のアーム導波路と、前記第 1 及び第 2 のアーム導波路に並行かつ隣接してそれぞれ形成された第 1 及び第 2 のシグナル電極と、前記第 1 のシグナル電極から分岐し、前記第 1 のシグナル電極に沿って前記第 1 のアーム導波路上に離散的に複数個形成された第 1 の位相調整電極と、前記第 2 のシグナル電極から分岐し、前記第 2 のシグナル電極に沿って前記第 2 のアーム導波路上に離散的に複数個形成された第 2 の位相調整電極と、前記第 1 及び第 2 のシグナル電極に沿ってそれぞれ形成された第 1 及び第 2 のグラウンド電極と、を備えた半導体マッハツェンダ光変調器であって、前記第 1 及び第 2 のシグナル電極は、前記第 1 のグラウンド電極と前記第 2 のグラウンド電極との間に形成されていることを特徴とする。

40

【 0 0 2 5 】

本発明の他の実施形態に係る半導体マッハツェンダ光変調器は、前記第 1 及び第 2 のアーム導波路は、半導体基板上に、n-InP 層、第 1 の半導体クラッド層と、ノンドープ

50

の半導体コア層と、第2の半導体クラッド層とが順次積層して形成された導波路構造を有し、前記第1及び第2のシグナル電極は、前記半導体基板上に形成された誘電体層上に形成されていることを特徴とする。

【0026】

本発明のさらに他の実施形態に係る半導体マッハツェンダ光変調器は、前記第1及び第2のアーム導波路における前記第1及び第2の位相調整電極が形成されていない部分では、前記第2の半導体クラッド層は、ノンドープの半導体クラッド層であることを特徴とする。

【0027】

本発明のさらに他の実施形態に係る半導体マッハツェンダ光変調器は、前記第1及び第2のシグナル電極と、前記第1及び第2のグランド電極とが、前記誘電体層上で同一平面上に形成されることを特徴とする。

【0028】

本発明のさらに他の実施形態に係る半導体マッハツェンダ光変調器は、前記第1の半導体クラッド層と前記第2の半導体クラッド層のうち、どちらか一方がn型半導体で構成され、もう一方がp型半導体で構成されることを特徴とする。

【0029】

本発明のさらに他の実施形態に係る半導体マッハツェンダ光変調器は、前記第1の半導体クラッド層と前記第2の半導体クラッド層の両方がn型半導体で構成され、前記半導体コア層と前記第1の半導体クラッド層との間、及び、前記半導体コア層と前記第2の半導体クラッド層との間の少なくとも一方にp型半導体で構成された第3の導電性半導体クラッド層が挿入されていることを特徴とする。

【0030】

本発明の一実施形態に係るI/Q変調器は、請求項1から6のいずれかに記載の半導体マッハツェンダ光変調器が2つ並列に並べて構成されたことを特徴とする。

【0031】

本発明の一実施形態に係る偏波多重I/Q変調器は、請求項7に記載のI/Q変調器が2つ並列に並べて構成されたことを特徴とする。

【発明の効果】

【0032】

本発明によれば、MZMにおけるグランド電極間にシグナル電極を配置することにより、従来の変調器の特徴である容量装荷構造によるインピーダンス整合、及びマイクロ波と光波との位相整合を満たし高速な変調を実現し、かつMZM間の物理的距離を大きくすることなくクロストークを抑制することが可能となるため、小型でクロストークの小さなI/Q変調器を実現することができる。

【図面の簡単な説明】

【0033】

【図1】従来のMZMを示す図である。

【図2】本発明の実施例1に係るMZMを例示する図である。

【図3】本発明の実施例1に係るMZMの他の例を示す図である。

【図4】本発明の実施例2に係るMZMを例示する図である。

【図5】本発明の実施例2に係るMZMの他の例を示す図である。

【図6】本発明の実施例2に係るMZMのさらに他の例を示す図である。

【図7】本発明の実施例2に係るMZMのさらに他の例を示す図である。

【図8】本発明の実施例3に係るMZMを例示する図である。

【図9】本発明の実施例3に係るMZMの他の例を示す図である。

【図10】本発明の実施例3に係るMZMの他の例を示す図である。

【図11】本発明の実施例4に係るI/Q変調器を例示する図である。

【図12】本発明の実施例4に係るI/Q変調器の他の例を示す図である。

【図13】本発明の実施例4に係るI/Q変調器の他の例を示す図である。

10

20

30

40

50

【図 1 4】本発明の実施例 5 に係る偏波多重 I Q 変調器を例示する図である。

【発明を実施するための形態】

【0034】

以下、図面を参照して本発明の各実施例について説明する。

<実施例 1>

図 2 は、本発明の実施例 1 に係る M Z M を示す。図 2 (a) には、光波を入力する入力導波路 2 0 1 と、入力導波路 2 0 1 を導波してくる光波を 2 つに分波する光分波器 2 0 2 と、光分波器 2 0 2 で分波された光波を導波するアーム導波路 2 0 3 及び 2 0 4 と、アーム導波路 2 0 3 及び 2 0 4 を導波してくる光波を合波する光合波器 2 0 5 と、光合波器 2 0 5 で合波された光波を出力する出力導波路 2 0 6 と、シグナル電極 2 0 7 及び 2 0 8 と、グラウンド電極 2 0 9 及び 2 1 0 と、アーム導波路 2 0 3 及び 2 0 4 上にそれぞれ形成された位相調整電極 2 1 1 及び 2 1 2 と、を備えた M Z M が示されている。

10

【0035】

入力導波路 2 0 1、光分波器 2 0 2、アーム導波路 2 0 3 及び 2 0 4、光合波器 2 0 5 並びに出力導波路 2 0 6 はマッハツェンダ干渉計を構成する。アーム導波路 2 0 3 及び 2 0 4 に電気信号を印加することによって出力導波路 2 0 6 の出力光が変調される。

【0036】

シグナル電極 2 0 7 及び 2 0 8 は、アーム導波路 2 0 3 及び 2 0 4 に並行かつ隣接してそれぞれ形成されている。位相調整電極 2 1 1 及び 2 1 2 は、それぞれ、シグナル電極 2 0 7 及び 2 0 8 から分岐し、シグナル電極 2 0 7 及び 2 0 8 に沿って離散的に複数個形成されている。グラウンド電極 2 0 9 及び 2 1 0 は、それぞれ、シグナル電極 2 0 7 及び 2 0 8 に沿って形成されている。

20

【0037】

本発明では、シグナル電極 2 0 7 及び 2 0 8 とグラウンド電極 2 0 9 及び 2 1 0 とにより、グラウンド電極 2 0 9 及び 2 1 0 間にシグナル電極 2 0 7 及び 2 0 8 を配置した G S S G (Ground, Signal, Signal, Ground) 差動線路 (コプレーナ線路) を構成していることから、従来構造とは異なり、クロストークに強い構成となっている。このとき、クロストークの観点から、(シグナル電極間の距離の 2 倍) $\leq$ (グラウンド電極とシグナル電極との間の距離) となるように設計することが望ましい。

【0038】

シグナル電極 2 0 7 及び 2 0 8 には、互いに逆相のマイクロ波が伝搬され、差動信号が入出力される。シグナル電極 2 0 7 及び 2 0 8 を伝搬するマイクロ波は、周期的に配置される複数の位相調整電極 2 1 1 及び 2 1 2 に分岐され、アーム導波路 2 0 3 及び 2 0 4 に印加される。位相調整電極 2 1 1 及び 2 1 2 はアーム導波路 2 0 3 及び 2 0 4 に電圧を印加するための電極として作用し、シグナル電極 2 0 7 及び 2 0 8 とグラウンド電極 2 0 9 及び 2 1 0 とを含め全体として進行波型電極を形成する。つまり、シグナル電極 2 0 7 及び 2 0 8 とグラウンド電極 2 0 9 及び 2 1 0 とに対して、位相調整電極 2 1 1 及び 2 1 2 により容量を付加する形になっている。位相調整電極 2 1 1 及び 2 1 2 の数、間隔、長さを最適に設計することで、容量の付加量を自由に設計することができ、アーム導波路 2 0 3 及び 2 0 4 を導波する光波の速度と、上記進行波型電極を伝搬するマイクロ波の速度とを整合できるようになっている。また、一般的な差動 100 Ω 線路との接続を考えると、インピーダンスが 100 Ω からずれてしまうと、電気的な反射が生じ、変調帯域が劣化してしまう。そのため、インピーダンス整合の観点から上記進行波型電極は、差動 100 Ω に設計される。その結果、高速な変調が可能となる。

30

40

【0039】

なお、位相調整電極 2 1 1 及び 2 1 2 は本実施例 1 ではそれぞれ 3 個としたが、1 個でも 2 個でもそれ以上多くても構わない。また、位相調整電極 2 1 1 及び 2 1 2 の位置は、上下非対称構成となっても良い。

【0040】

また、図 2 (a) に示されるように、本実施例に係る M Z M を、入力配線部 2 2 1 と、

50

位相変調部 2 2 2 と、出力配線部 2 2 3 に分けると、特に入力配線部 2 2 1 及び出力配線部 2 2 3 では曲げ部等非対称区間が生じるため、差動モードの 1 0 0 Ω 設計のみならず、コモンモードのインピーダンスが 2 5 Ω となる線路設計とすることが重要である。入力配線部 2 2 1 及び出力配線部 2 2 3 について、図 2 では一例として、上下に入出力配線が描かれているが、左右に入力配線部 2 2 1 及び出力配線部 2 2 3 を設置する等、自由な方向に入出力を設定してもよい。

【0041】

次に、本実施例 1 に係る M Z M の各断面構造を説明する。図 2 (a) に示されるように、位相変調部 2 2 2 の断面構造は I I b 断面 (位相変調に寄与する部分) と I I c 断面 (位相変調に寄与しない部分) の 2 つの断面構造から構成されている。

10

【0042】

図 2 (b) は、実施例 1 に係る M Z M の I I b 断面図を示す。図 2 (b) に示されるように、位相変調部 2 2 2 の I I b 断面では、S I - I n P 基板 2 1 3 上に、n - I n P 層 2 1 4、下部半導体クラッド層 2 1 5、半導体コア層 2 1 6、上部半導体クラッド層 2 1 7 の順に形成されており、これらの層は誘電体層 2 1 8 で埋め込まれている。また、上部半導体クラッド層 2 1 7 及び誘電体層 2 1 8 上には、シグナル電極 2 0 7 及び 2 0 8 と、位相調整電極 2 1 1 及び 2 1 2 と、グランド電極 2 0 9 及び 2 1 0 とが形成されている。

【0043】

n - I n P 層 2 1 4 については、下部半導体クラッド層 2 1 5、半導体コア層 2 1 6 及び上部半導体クラッド層 2 1 7 で形成されるメサ部から 1 0 μ m 程度までの幅とするのが、変調帯域に大きく影響を及ぼす、電気配線損失を低減する意味で重要である。つまり、シグナル電極 2 0 7 及び 2 0 8 下に n - I n P 層 2 1 4 が存在しないことが重要である。

20

【0044】

図 2 (c) は、実施例 1 に係る M Z M の I I c 断面図を示す。図 2 (c) に示されるように、位相変調部 2 2 2 の I I c 断面は、I I b 断面と同様な構造であり、メサ上の位相調整電極 2 1 1 及び 2 1 2 が存在していないため、位相変調に寄与しない。実施例 1 に係る M Z M の I I c 断面における上部半導体クラッド層 2 1 7 は、電氣的アイソレーション及び導波路損失の低減のため、ノンドープの I n P または半絶縁性の I n P である必要がある。

【0045】

差動インピーダンスは、位相変調部で合計 1 0 0 Ω となっているが、個別の断面構造のみに注目した場合、それぞれの差動インピーダンスは、I I b 断面は 1 0 0 Ω より小さく、I I c 断面は 1 0 0 Ω より大きいインピーダンスとなっている。

30

【0046】

また、図 2 (d) は実施例 1 に係る M Z M の I I d 断面図を示す。図 2 (d) に示されるように、S I - I n P 基板 2 1 3 上に、誘電体層 2 1 8 を挟んで、シグナル電極 2 0 7 及び 2 0 8 とグランド電極 2 0 9 及び 2 1 0 とが形成されている。

【0047】

高速な変調を実現する上で、マイクロ波の伝搬損失を減らす必要があるため、誘電体層 2 1 8 は、特性の観点から考えると、I n P などの半導体材料ではなく、所望のインピーダンス線路を設計した場合に電極損失を低減可能であるため例えば有機材料のポリイミドや B C B 等のなるべく低誘電率材料を用いることが望ましく、誘電体層膜厚は厚ければ厚いほどよい。また、図 2 (b) 及び (c) で示される誘電体層 2 1 8 と図 2 (d) で示される誘電体層 2 1 8 とは、異なる膜厚及び材料で構成することも可能である。ただし、作製の観点から、図 2 (b) 乃至 (d) で示される誘電体層 2 1 8 は、同じ膜厚及び材料である方が好ましい。

40

【0048】

図 3 は、本実施例 1 の係る M Z M の他の例を示す。図 3 (a) は実施例 1 の他の例に係る M Z M の上面図を示し、図 3 (b) 乃至 (d) は、それぞれ、実施例 1 の他の例に係る M Z M の I I I b 乃至 d 断面図を示す。

50

【0049】

図3に示される構成では、図2に示される構成に比べ、単純に誘電体層218を厚くし、さらにS I - I n P基板213をエッチングすることで誘電体層218の厚みを厚くする構造としている。これにより、低誘電率材料の割合が増すことで、所望のインピーダンス及び速度整合を実現する上で、シグナル電極208及び209を太くすることができるため、マイクロ波の伝搬損失を低減することができるとともに、インピーダンス・速度整合を誘電体層厚で調整することができるという点でも有効である。誘電体層218の割合を増やすと、シグナルラインの容量成分が小さくなるため、容量装荷部の割合を高めること、つまり位相変調部222の長さを長くすることができる意味でも有効である。

【0050】

また、図3に示されるように、誘電体層218を厚くすること及びS I - I n P基板213をエッチングすることで誘電体層218の厚みを相対的に厚くすることが最も効果が大きい、どちらか一方のみを適用することも可能である。

【0051】

より特性を改善する上で、マイクロ波の伝搬損失を低減するために、n - I n P層214の膜厚は、例えば1又は2 μm 程度のように薄く作製することも可能であるが、10 μm 以上等のようになるべく厚いほうがよく、またドーパ濃度を 2×10^{18} 以上とすることが望ましい。

【0052】

本発明では、グランド電極209及び210間にシグナル電極207及び208を配置して容量成分を調整可能なG S S G差動線路構成とすることで、位相整合およびインピーダンス整合を満たし、高速な変調を実現することを可能とした上で、シグナル電極間のカップリングを強くしている。それにより、本発明では、従来構造で課題となっていたクロストークの問題を解決し、従来構造と比べ1チップにチップサイズを大きくすることなく、複数のM Z Mを集積することが可能となる。

【0053】

半導体コア層216としては、例えば、I n G a A s PやI n G a A l A sなどの材料系を用い、単一組成の四元混晶のバルク層や多重量子井戸層で構成したり、多重量子井戸層とその上下にバンドギャップが多重量子井戸層よりも大きく、かつ、上部・下部の半導体クラッド層よりも小さい値を持つ光閉じ込め層を有する構造を用いることもできる。四元混晶のバルク層や多重量子井戸層のバンドギャップ波長は、使用する光波長において、電気光学効果が有効に作用し、かつ、光吸収が問題とならないように設定すればよい。

【0054】

また、本発明ではI n P系材料を主に用いたが、I n P系材料に限定されるものではなく、例えば、G a A s基板整合する材料系を用いても構わない。下部半導体クラッド層215及び上部半導体クラッド層217は、どちらか一方がn型半導体で、もう一方がp型半導体であって構わない。一方、下部半導体クラッド層215及び上部半導体クラッド層217の両方をn型半導体とし、半導体コア層216と上部半導体クラッド層217の間、又は下部半導体クラッド層215と半導体コア層216の間に、第3のp型半導体クラッド層を挿入した構成としてもよい。

【0055】

<実施例2>

図4は、本発明の実施例2に係るM Z Mを示す。図4 (a)は実施例2に係るM Z Mの上面図を示し、図4 (b)乃至(d)は、それぞれ、実施例2に係るM Z MのIVb乃至d断面図を示す。動作原理や基本的な構造等は実施例1と同様なため、省略する。

【0056】

図4 (a)に示されるように、実施例2に係るM Z Mは、アーム導波路303及び304の内側にシグナル電極307及び308が形成されている点で実施例1に係るM Z Mと異なる。これにより、実施例2に係るM Z Mでは、実施例1に係るM Z Mに比べ、シグナル電極間距離をより短くすることができるため、よりクロストークに強くなるという特徴

10

20

30

40

50

がある。ただし、図4(b)乃至(d)に示されるように、シグナル電極307及び308の下にn-InP層314が存在しているため、実施例1に比べ、マイクロ波の伝搬損失が大きくなってしまいうという欠点がある。

【0057】

図5は、本実施例2に係るMZMの他の例を示す。図5(a)は実施例2の他の例に係るMZMの上面図を示し、図5(b)乃至(d)は、それぞれ、実施例2の他の例に係るMZMのVb乃至d断面図を示す。図5に示すように、誘電体層厚を厚くすることが特性改善に有効である。ただし、実施例1と異なり、構造の都合上SI-InP基板313をエッチングし、誘電体層318を厚くすることはできない。

【0058】

図6及び図7は、本実施例2に係るMZMのさらに他の例を示す。図6及び図7(a)は実施例2のさらに他の例に係るMZMの上面図を示し、図6及び図7(b)乃至(d)は、それぞれ、実施例2のさらに他の例に係るMZMのVIb乃至d断面図及びVIIb乃至d断面図を示す。

【0059】

図6及び図7(b)乃至(d)に示されるように、グラウンド電極309₁及び310₁の下であってn-InP層314上に、グラウンド電極309₂及び310₂が形成されている。図6及び図7に示すMZMは、シグナル電極307及び308下にn-InP層314が存在していない点で図4及び図5に示すMZMと異なる。これにより、マイクロ波の伝搬損失増加を避けることができる。

【0060】

SI-InP基板313をエッチングすることができるようになるため、図7に示すようにシグナル電極307及び308下のSI-InP基板313をエッチングすることにより誘電体層318を厚くした構造とすることができる。

【0061】

<実施例3>

図8は、本発明の実施例3に係るMZMを示す。図8(a)は実施例3に係るMZMの上面図を示し、図8(b)乃至(d)は、それぞれ、実施例3に係るMZMのVIIIb乃至d断面図を示す。動作原理や基本的な構造等は実施例1と同様なため、省略する。図8に示されるように、実施例3に係るMZMは、基本的には、図2に示す構成において、n-InP層414上にグラウンド電極420を設けたGSGSG (Ground, Signal, Ground, Signal, Ground) 差動線路構成となっている。

【0062】

クロストークを小さくするために、実施例1及び2のようなGSSG差動線路構成では、シグナル電極間距離を近づけることを前提としているが、実施例3のようなGSGSG差動線路構成では、逆に十分にシグナル電極間距離を離し、中央のグラウンド電極を設けるための幅を十分に確保する必要がある。そのため、実施例3に係るMZMでは、実施例1及び実施例2に比べ2つの光導波路間の距離を十分に取る必要が生じるため、チップサイズが大きくなってしまいう傾向にある。

【0063】

ただし、RFドライバと接続することを考えると、RFドライバからの出力がGSGSG差動線路構成に対応する出力であるため、実施例1及び実施例2の構造では、GSGSG差動線路構成からGSSG差動線路構成への変換機構が必要となる。そのため、本実施例3のように、GSGSG差動線路構成とすることが望ましい。

【0064】

図9及び図10は、本発明の実施例3に係るMZMの他の例を示す。図9及び図10(a)は実施例3に係るMZMの他の例の上面図を示し、図9及び図10(b)乃至(d)は、それぞれ、実施例3に係るMZMの他の例のIXb乃至d断面図及びXb乃至d断面図を示す。図9に示す構成は図3に示す構成にグラウンド電極420を追加した構成に対応しており、図10に示す構成は図4に示す構成にグラウンド電極420を追加した構成に対応

10

20

30

40

50

しているため、その動作原理や基本的な構造等の説明は省略する。

【0065】

<実施例4>

図11は、本発明の実施例4に係るIQ変調器を例示する。図11には、光波を入力する入力導波路501と、入力導波路501を導波してくる光波を2つに分波する光分波器502と、光分波器502で分波された光波を導波するアーム導波路503₁及び503₂と、アーム導波路503₁及び503₂をそれぞれ導波してくる光波を2つに分波する光分波器504₁及び504₂と、光分波器504₁及び504₂でそれぞれ分波された光波を導波するアーム導波路505₁及び506₁並びに505₂及び506₂と、アーム導波路505₁及び506₁並びに505₂及び506₂をそれぞれ導波してくる光波を合波する光合波器507₁及び507₂と、光合波器507₁及び507₂でそれぞれ合波された光波を導波するアーム導波路508₁及び508₂と、アーム導波路508₁及び508₂をそれぞれ導波してくる光波を合波する光合波器509と、光合波器509で合波された光波を出力する出力導波路510と、シグナル電極511₁及び512₁並びに511₂及び512₂と、グラウンド電極513、514及び515と、アーム導波路505₁及び506₁並びに505₂及び506₂上にそれぞれ形成された位相調整電極516₁及び517₁並びに516₂及び517₂と、を備えたIQ変調器500が示されている。

【0066】

図11に示されるように、本実施例4に係るIQ変調器は、本発明に係るMZMを2つ並列に並べた構成に対応している。

【0067】

本実施例4によると、MZM間の物理的距離を大きくすることなくクロストークを抑制することが可能となるため、小型でかつMZM間のクロストークを抑制したIQ変調器を実現することができる。

【0068】

図12及び13は、本発明の実施例4に係るIQ変調器の他の例を示す。図12及び13に示すIQ変調器は、図11に示すIQ変調器と比較して、電極配置が異なった構成となっている。また、図12に示すIQ変調器では、図11に示すIQ変調器におけるグラウンド電極513、514及び515が一体化させることによりグラウンド電極520を構成しており、図13に示すIQ変調器では、位相調整電極516₁及び517₁と位相調整電極516₂及び517₂とが上下のMZMにおいて異なる位置に配置されている。

【0069】

差動線路としては等長化したほうがよいが図11に示す構成が理想的ではあるが、図12及び13に示す構成でも実際には線路長の差は小さいため高速変調かつクロストークの小さなIQ変調器を実現可能である。

【0070】

<実施例5>

図14は、本発明の実施例5に係る偏波多重IQ変調器を例示する。図14に示されるように、本実施例5に係る偏波多重IQ変調器600は、図11に示すIQ変調器500を2つ並列に並べた構成となっている。

【0071】

本実施例5によると、MZM間の物理的距離を大きくすることなくクロストークを抑制することが可能となるため、小型でかつMZM間のクロストークを抑制した偏波多重IQ変調器を実現することができる。

【符号の説明】

【0072】

入力導波路 101、201、301、401、501

光分波器 102、202、302、402、502、504

アーム導波路 103、104、203、204、303、304、403、404、503、505、506、508

10

20

30

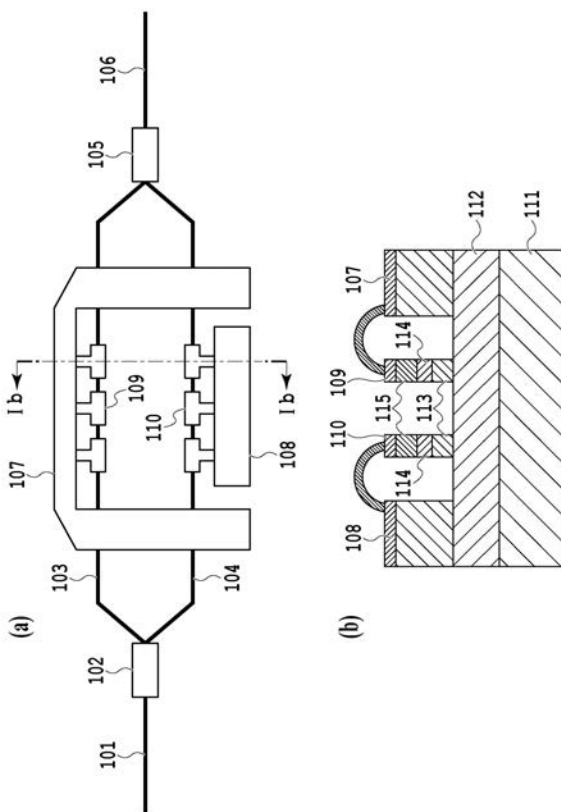
40

50

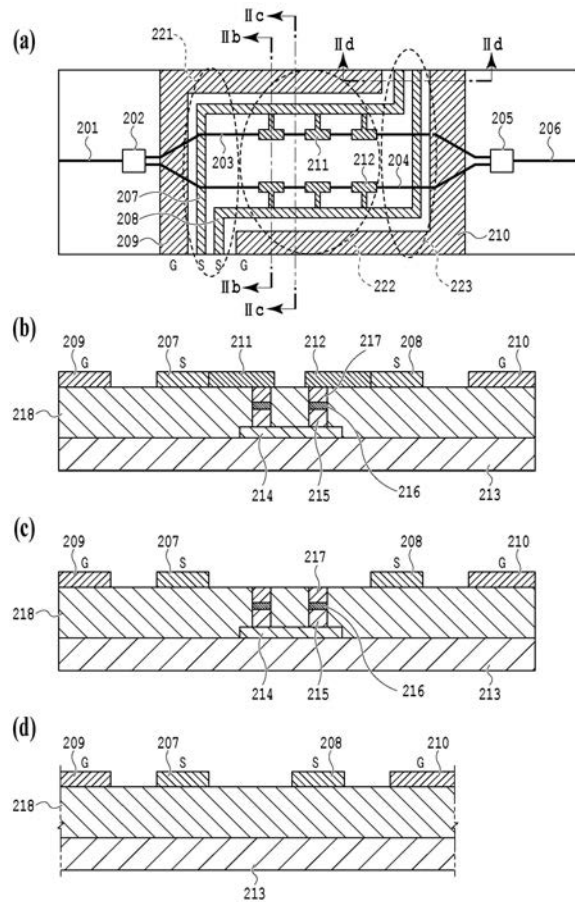
光合波器 105、205、305、405、507、509
 出力導波路 106、206、306、406、510
 コプレーナストリップ線路 107、108
 位相調整電極 109、110、211、212、311、312、411、412
 、516、517
 シグナル電極 207、208、307、308、407、408、511、512
 グランド電極 209、210、309、310、409、410、420、513
 、514、515、520
 S I - I n P 基板 213、313、413
 n - I n P 層 214、314、414
 下部半導体クラッド層 215、315、415
 半導体コア層 216、316、416
 上部半導体クラッド層 217、317、417
 誘電体層 218、318、418
 入力配線部 221
 位相変調部 222
 出力配線部 223
 I Q 変調器 500
 偏波多重 I Q 変調器 600

10

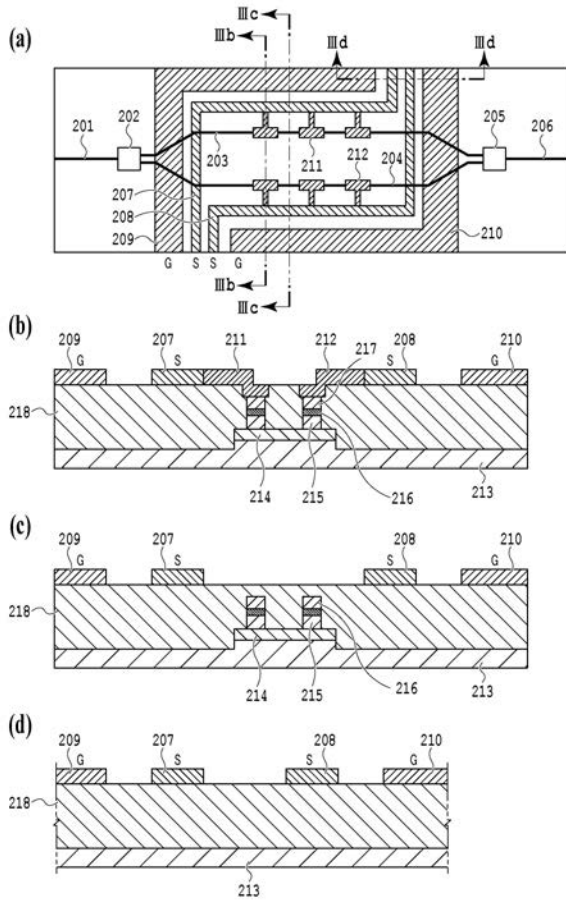
【図 1】



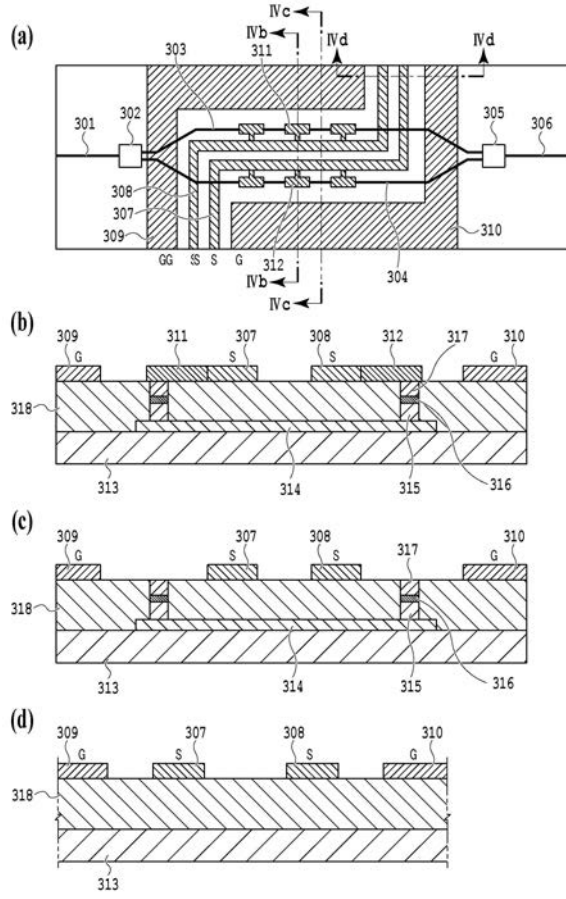
【図 2】



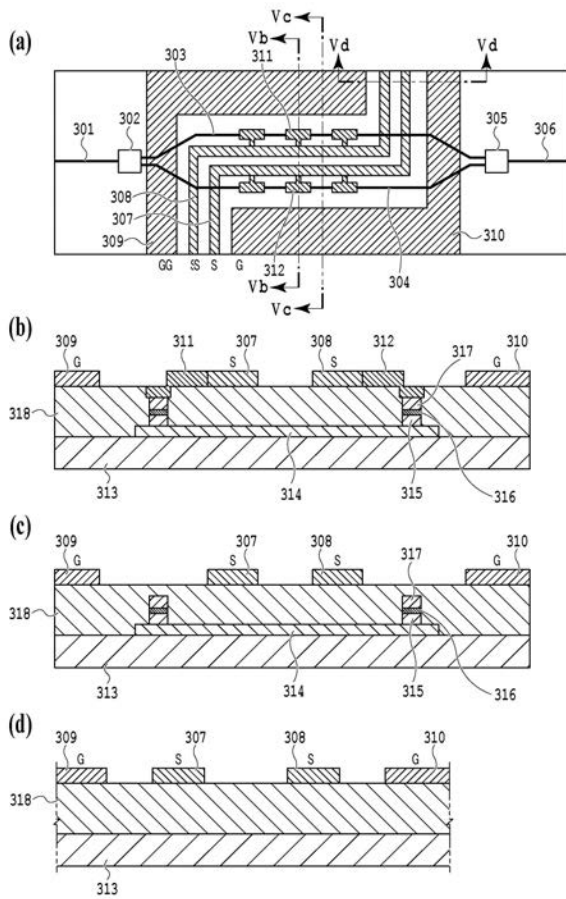
【図 3】



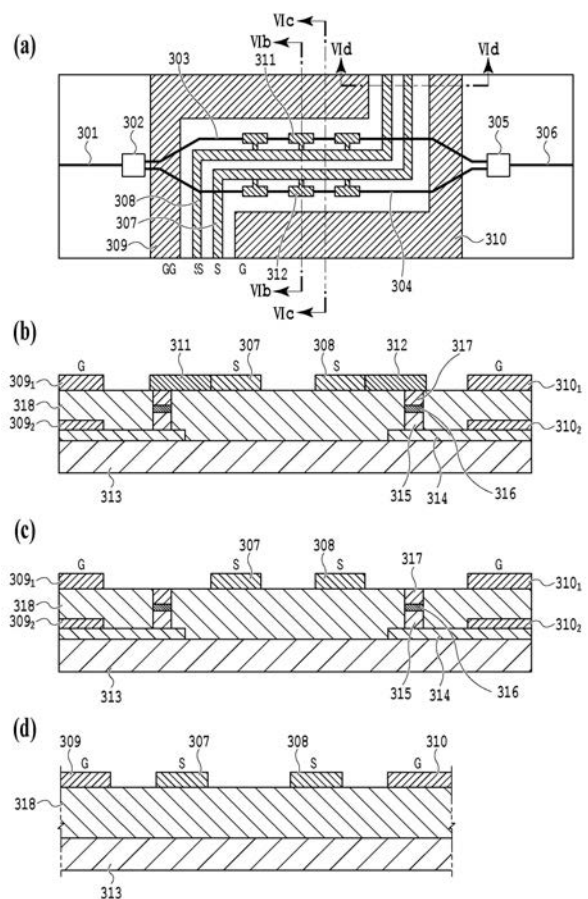
【図 4】



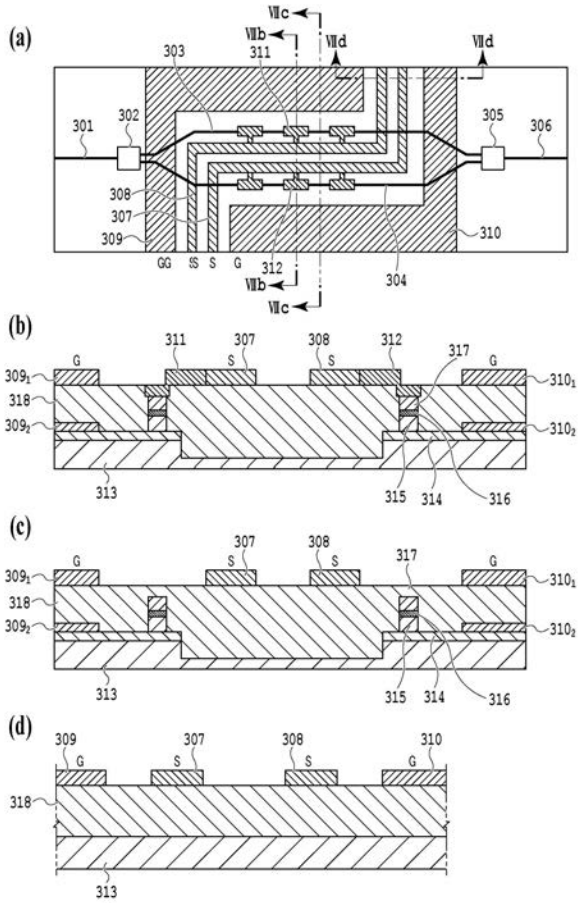
【図 5】



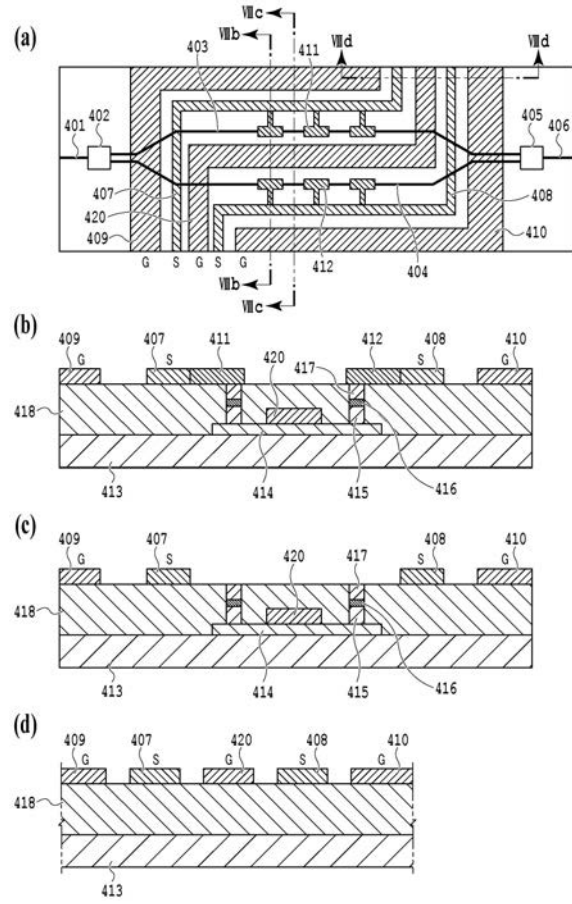
【図 6】



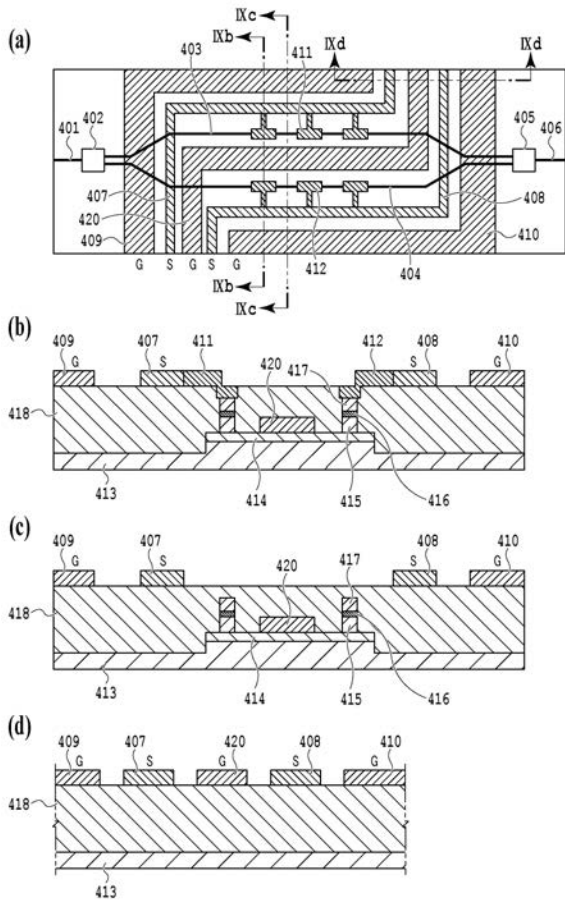
【図 7】



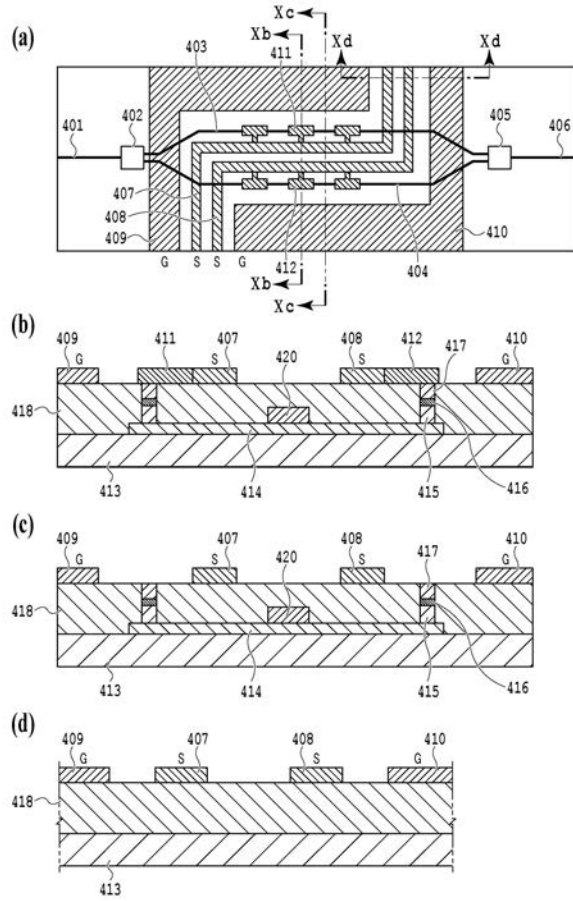
【図 8】



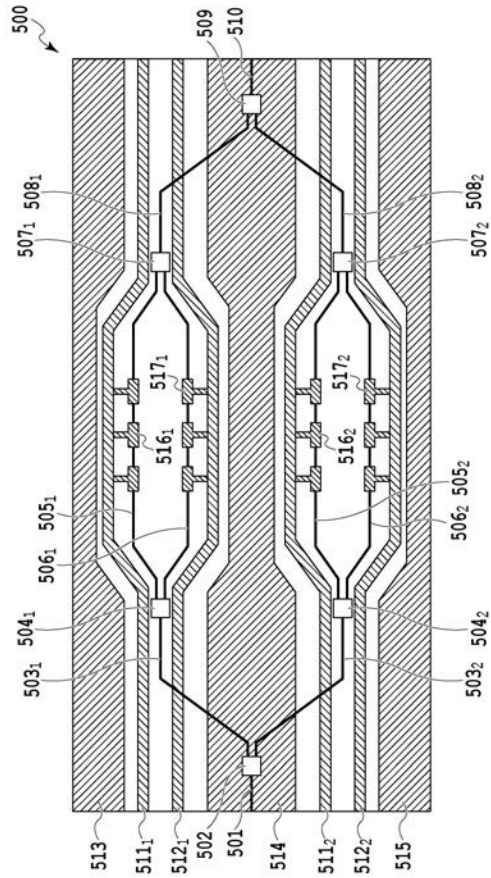
【図 9】



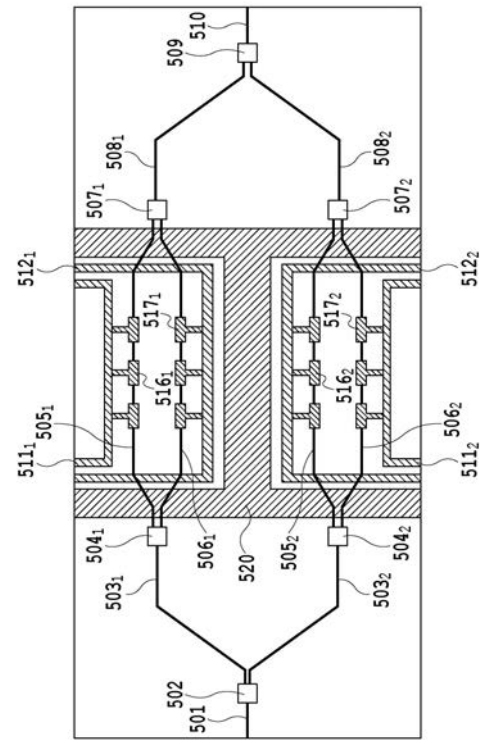
【図 10】



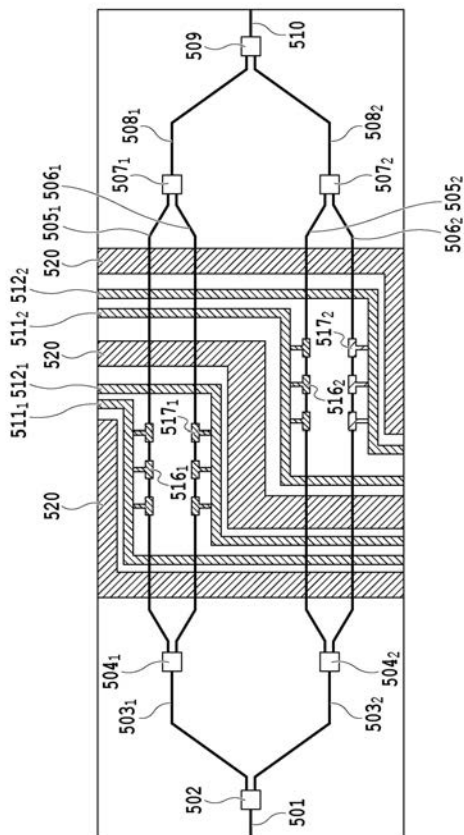
【図 1 1】



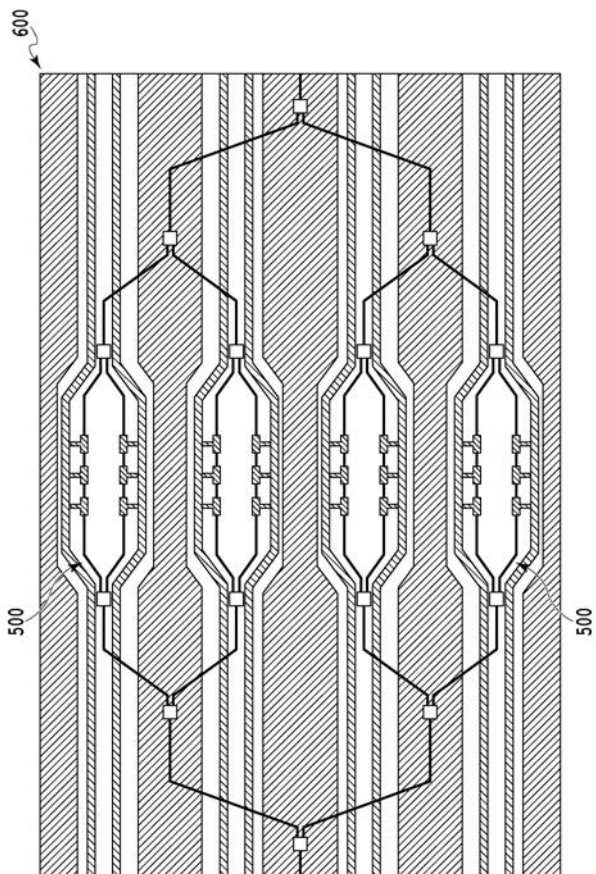
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(72)発明者 菊池 順裕

東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内

Fターム(参考) 2K102 AA21 BA03 BB01 BB04 BC04 BD01 CA06 CA13 DA08 DA11

DB04 DB05 DD03 EA03 EA16 EA17