

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H03L 7/199

H03L 7/089

[12] 发明专利说明书

[21] ZL 专利号 96103913.2

[45] 授权公告日 2001 年 7 月 18 日

[11] 授权公告号 CN 1068741C

[22] 申请日 1996.3.5 [24] 颁证日 2001.4.19

[21] 申请号 96103913.2

[30] 优先权

[32] 1995.3.6 [33] US [31] 399,006

[73] 专利权人 摩托罗拉公司

地址 美国伊利诺伊

[72] 发明人 小詹姆斯 W·格登欧

[56] 参考文献

US 4827225 1989. 5. 2 H03L7/10

US 5424687 1995. 1. 13 H03L7/087

审查员 田东青

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

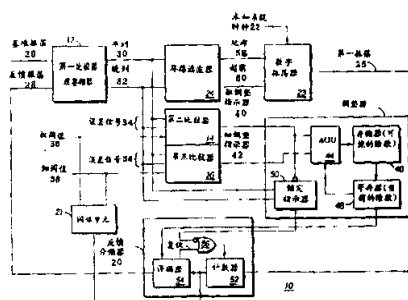
代理人 付建军

权利要求书 3 页 说明书 11 页 附图页数 5 页

[54] 发明名称 数字锁相环中计算分频比的方法和装置

[57] 摘要

数字锁相环路(10)含有第一比较器(12)、第二比较器(14)、第三比较器(16)、调整器(18)、反馈分频器(20)、阈值单元(21)、数字振荡器(23)和环路滤波器(24)。第一比较器(12)、环路滤波器(24)、数字振荡器(23)和反馈分频器(20)工作产生一个受控制的振荡。第二比较器(14)、第三比较器(16)和调整器(18)工作向反馈分频器(20)提供一个除数,可使该锁相环路与具有各种频率的未知系统时钟(22)一起操作。



权 利 要 求 书

1. 一种用以从一个未知基准时钟在一个锁相环中确定出反馈分频比的方法，其特征在于，该方法包括以下步骤：

(a) 随着一个触发的出现，将一个基准振荡与一个反馈振荡进行比较，产生出一个误差信号；

(b) 将该误差信号与一个粗阈值进行比较；

(c) 当该误差信号与粗阈值的比较结果为不利时，给一个反馈分频器提供一个粗除数调整，其中可以通过将一个误差信号超过粗阈值预定为比较结果为不利或者将一个误差信号不超过粗阈值预定为比较结果为不利来确定比较结果为不利。

2. 权利要求 1 的方法，其特征在于，包括以下步骤：

(d) 当该误差信号不超过粗阈值时，将该误差信号与一个细阈值进行比较；

(e) 当该误差信号超过细阈值时，给该反馈分频器提供一个细除数调整。

3. 权利要求 1 的方法，其特征在于，包括以下步骤：

(d) 接收一个随后的反馈振荡，其中该随后的反馈振荡是基于该未知基准时钟和该粗除数调整而产生出的；

(e) 将该随后的反馈振荡与该基准振荡进行比较，以产生出一个第二误差信号；

(f) 将该第二误差信号与该粗阈值进行比较；

(g) 当第二误差信号超过粗阈值时，给一个反馈分频器提供一

个第二粗除数调整。

4. 一种用以从一个未知基准时钟在一个锁相环中确定出反馈分频比的方法，其特征在于，该方法包括以下步骤：

(a) 随着一个触发的出现，将一个基准振荡与一个反馈振荡进行比较，产生出一个误差信号，其中该反馈振荡是应用一个第一除数产生出的；

(b) 将该误差信号与一个粗阈值进行比较；

(c) 当该误差信号超过粗阈值时，选择一个第二除数，其中该第二除数处在不同于第一除数所在的另一个除数组中。

5. 一种用以从一个未知基准时钟在一个锁相环中确定出反馈分频比的装置，其特征在于包括：

一个第一比较器，随着一个触发的出现，该第一比较器将一个基准振荡与一个反馈振荡进行比较，产生出一个误差信号；

一个与第一比较器相连的第二比较器，该第二比较器将该误差信号与一个粗阈值进行比较；

一个与第一比较器和第二比较器相连的调整器，其中当误差信号超过粗阈值时，该调整器给一个反馈分频器提供一个粗除数调整。

6. 权利要求 5 的装置，其特征在于，第二比较器的第一输入端接收误差信号，第二输入端上接收粗阈值。

7. 一种用以从一个未知基准时钟在一个锁相环中确定出反馈分频比的装置，其特征在于包括：

一个第一比较器，随着一个触发的出现，该第一比较器将一个基准振荡与一个反馈振荡进行比较，产生出一个误差信号，该

反馈振荡是应用一个第一除数产生出的;

一个与第一比较器相连的第二比较器, 该第二比较器将该误差信号与一个粗阈值进行比较;

一个与第一比较器和第二比较器相连的调整器, 当误差信号超过粗阈值时, 该调整器选择一个第二除数, 该第二除数处在不同于第一除数所在的另一个除数组中。

8. 权利要求 7 的装置, 其特征在于包括:

一个与第一比较器和调整器相连的第三比较器, 其中当误差信号超过粗阈值时, 该第三比较器将该误差信号与一个细阈值进行比较; 并且其中当该误差信号超过细阈值时, 由调整器选择一个第一细除数, 其中该第一细除数处在与第一除数所在的同一个除数组内。

9. 权利要求 7 的装置, 其特征在于还包括:

一个连接在调整器和第一比较器之间的反馈分频器, 响应调整器完成信号分频; 并且第一比较器具有一个用于接收基准振荡的第一输入和用于接收反馈振荡的第二输入, 第二输入还接收一个随后的反馈振荡, 该随后的反馈振荡是基于未知基准时钟和第二除数而产生的, 第一比较器将该随后的反馈振荡与基准振荡进行比较, 产生出一个第二误差信号; 其中第二比较器将该第二误差信号与粗阈值进行比较; 并且当该第二误差信号超过粗阈值时, 由调整器给该反馈分频器提供一个第三粗除数。

10. 权利要求 7 的装置, 其特征在于, 第二比较器的第一输入端接收误差信号, 第二输入端上接收粗阈值。

说明书

数字锁相环中计算分频比的方法和装置

本发明涉及信号处理系统，具体涉及信号处理系统内所使用的数字锁相环控制。

数字锁相环(DPLL)通常用来产生与一个基准振荡同相且倍频的振荡信号。模/数(A/D)转换器中应用 DPLL 来产生高频振荡，用于 $\Sigma-\Delta$ 转换过程中的过取样。对串行数字数据取样并将该数据转换成模拟格式的数据转换器，也需要一个高频取样振荡，以使其取样与输入的数字数据速率同步。

使用 DPLL 的一个具体应用是数字电话系统。在数字电话系统中，含有数字数据的射频信号在基站单元与便携单元之间传输。耦合到模拟信号的数字数据一般含有以串行格式组织成数据帧的数字数据。数据帧在周期性基础上从基站单元传输到便携单元中，使便携单元能以数据帧为基础产生出一个基准振荡，从而能始终如一地接收数据。以数据帧为基础，便携单元中的一个 DPLL 可产生出取样信号，它基于该基准振荡，但频率高得多。便携单元内的一个通信处理器应用此取样信号使数据在数字格式与模拟格式之间转换。一般，数字数据含有话音数据，该通信处理器使数据在模拟格式与数字格式之间转换，模拟格式信号传输到用户和从用户接收的信号，数字格式信号是接收来自基站单元和传输往基站单元的信号。

DPLL 通常包含一个鉴相器、一个环路滤波器、一个数字振荡

器和一个反馈分频器。运行中，数字振荡器根据一个固定频率时钟建立起一个第一振荡。通常，该固定频率时钟在大约 10MHz 范围内，该第一振荡在 1MHz 范围内，但这些频率会随装置的不同而有变化。第一振荡输入到分频器，分频器产生反馈振荡和取样信号，取样信号由通信处理器应用在取样过程中。鉴相器和环路滤波器工作使反馈振荡与基准振荡同相。这样，第一振荡和取样信号也与基准振荡同相。

传统上，*DPLL* 的技术规范要求固定频率时钟为某一确定的频率，并有一定的容差，以便产生准确的反馈信号和取样信号。为此，具体的固定频率时钟的选择十分重要。现在普遍应用具有不同频率的时钟，来作为该固定频率时钟。可是，由于迄今将 *DPLL* 设计成在一个特定的固定频率时钟工作下产生反馈振荡，这个限制便成为一个缺点。

据此，本技术领域现在需要一种容许 *DPLL* 能合适地以各种固定频率的时钟频率工作的装置和方法，以使单一的 *DPLL* 设计能应用于各种各样的设备中。

图 1 示出按照本发明的一个数字锁相环和除数(*divisor*)确定器的方框图；

图 2 示出按照本发明的数字锁相环和除数确定器的振荡信号、误差信号、阈值信号与调整信号；

图 3 示出按照本发明的除数选择逻辑图；

图 4 示出按照本发明的第一方法用以确定数字锁相环的除数的逻辑程序图；

图 5 示出按照本发明的第二方法用以确定数字锁相环的除数

的逻辑程序图。

总的说来,本发明提供一种用以在一个数字锁相环(“DPLL”)中确定反馈分频比的装置和方法。这是通过连续地监视 DPLL 的工作以判定是否由一个不合适的反馈分频比造成了反馈信号的漂移或者简单地由该 DPLL 所关联的一个或多个固定频率信号的漂移造成了反馈信号的漂移来实现的。在检测到这种漂移后, DPLL 随之调整反馈分频比,由之将产生的振荡牵引到给定的容差之内。鉴此,本发明允许一个单一的 DPLL 与各种各样的固定频率时钟配合工作,并能校正频率漂移。

图 1 示出 DPLL10,它包括:第一比较器或鉴相器 12、第二比较器 14、第三比较器 16、调整器 18、反馈分频器 20、阈值单元 21、数字振荡器 23、以及环路滤波器 24。DPLL10 的工作除了本发明叙述中所引入的那些部分外,其它部分与先有技术的 DPLL 基本相同。因此,本领域的技术人员知道那些部分的工作原理,这里不再详述它们的操作。

第一比较器 12 对基准振荡 26 与反馈振荡 28 之间的相对相位进行比较,基于此种比较产生一个输出信号。当反馈振荡 28 同相地引导基准振荡 26 时,第一比较器 12 在接收基准振荡 26 时就产生一个早误差信号 30。然而,当基准振荡 26 同相地引导反馈振荡 28 时,第一比较器 12 在收到基准振荡 26 时就产生一个晚误差信号 32。为此,早误差信号 30 或晚误差信号 32 在每一周基准振荡 26 内产生一次。

环路滤波器 24 接收该早误差信号 30 和该晚误差信号 32,将这种信号的递增计数和递减计数的状态进行累积,借以,判定是否

要调整由 *DPLL*10 产生的第一振荡的相位。当环路滤波器 24 确定出反馈振荡 28 同相地引导基准振荡 26 而超过一个预定的界限时, 环路滤波器 24 产生一个延滞信号 58 给数字振荡器 23。当环路滤波器 24 确定出反馈振荡 28 同相地滞后基准振荡 26 而超过一个预定的界限时, 环路滤波器 24 产生一个超前信号 60 给数字振荡器 23。一般, 早误差信号 30 起递增计数的作用而输入给一个计数器(未示出), 同时, 晚误差信号 32 起递减计数的作用而输入给该计数器。当计数器达到一个正计数极限时, 环路滤波器 24 产生一个延滞信号 58。反之, 当计数器达到一个负计数极限时, 环路滤波器 24 产生一个超前信号 60。

数字振荡器 23 以一个未知系统时钟 22 为基础建立第一振荡 25。未知系统时钟 22 可以是通常可应用的许多频率中的任一个。数字振荡器 23 最好包含有一个计数器(未示出)和一个译码器(未示出)。在一个正常的周期内, 计数器递增计数到某一个数值时, 产生一周第一振荡 25, 然后由译码予以复位。例如, 在一种典型设备中, 数字振荡器 23 在未知系统时钟 22 每 10 周的产生出第一振荡 25 的一个脉冲上升沿。然而, 当数字振荡器 23 接收到一个延滞信号 58 时, 在它产生出一个第一振荡 25 的上升沿之前, 它将计数到 11 周的未知系统钟 22。另一方面, 当数字振荡器 23 接收到一个超前信号 60 时, 在它产生出一个第一振荡 25 的上升沿之前, 它仅计数到 9 周的未知系统时钟 22。为此, 除了始终一致地建立第一振荡 25 外, 数字振荡器 23 还依赖于延滞信号 58 和超前信号 60, 选择性地超前或延滞第一振荡 25 的相位。

反馈分频器 20 对第一振荡 25 进行分频, 产生出反馈振荡 28。

最好，反馈分频器 20 内含计数器 52 和译码器 54。在操作中，计数器 52 不断计数到一个除数值时译码器 54 使计数器 52 复位，并输出一个反馈振荡 28 的上升沿。由调整器 18 向译码器 54 提供该除数值，并可由调整器 18 根据需要进行调整。反馈分频器 20 还含有一个或门 56，它能使调整器 18 在一个 *DPLL*10 的复位周期内连续地复位计数器 52。当连续地复位时，计数器 52 不会继续计数，因而反馈分频器 20 不产生出反馈振荡 28。

第二比较器 14、第三比较器 16 和调整器 18 用来调整反馈分频器 20 所应用的除数，迫使反馈振荡 28 的频率与基准振荡 26 的频率相匹配。按照这种方式，这些电路部补偿未知系统时钟 22 的不同工作频率，容许本发明的 *DPLL* 能配用于具有各种各样工作频率中的任何频率的未知系统时钟 22。

第二比较器 14 优选地将误差信号 34 与一个粗阈值 36 进行比较，当误差信号 34 与粗阈值 36 的比较结果为不利时，产生出一个粗调整指示 40。最好的是，误差信号 34 含有早误差信号 30 和晚误差信号 32 两者，这类信号优选地与基准振荡 26 同相，在每一周基准振荡 26 上产生一次。本发明的实施例中，当误差信号 34 超过粗阈值 36 时，误差信号 34 与粗阈值 36 的比较结果就为不利的。

第三比较器 16 将误差信号 34 与一个细阈值 38 进行比较，当误差信号 34 与细阈值 38 的比较结果为不利时，产生出一个细调整指示 42。最好的是，当误差信号 34 超过细阈值 38 时，误差信号与细阈值 38 的比较结果就为不利的。误差信号 34 中最好含有由第一比较器 12 产生出的早误差信号 30 和晚误差信号 32 两者，这使得在每一周基准振荡 26 上作出一次比较。

阈值单元 21 建立起粗阈值 36 和细阈值 38 两者。最好的是, 阈值单元 21 利用 反馈分频器 20 中计数器 52 的输出来产生粗阈值 36 和细阈值 38。实质上, 阈值 36 和 38 都是方波脉冲, 有固定的持续期, 并与计数器 52 的输出同步。该阈值的边沿与误差信号 34 的边沿相对照。当误差信号 34 的边沿超出阈值的边沿时, 该比较就为不利的, 产生一个调整指示 40 或 42。最好, 粗调整指示 40 和细调整指示 42 两者都包含 2 个比特的数据, 使得基准振荡 26 与反馈振荡 28 之间的相对相位位置和差值能传输给调整器 18。关于阈值的更详细讨论将在下面参考图 2 来给出。

调整器 18 接收到粗调整指示 40、细调整指示 42、早误差信号 30 和晚误差信号 32 作为其输入。最好的是, 调整器 18 含有: 调整发生单元 (AGU) 44、内含可能的除数的存储器 46、内含当前的除数的寄存器 48 以及一个锁定指示器 50。调整器 18 在工作中从多个可能的除数中选择一个合适的除数, 将此除数提供给反馈分频器 20, 使得反馈振荡 28 的频率与基准振荡 26 的频率相匹配。这样, 本发明的 DPLL10 可以与各种各样的未知系统时钟 22 之中的任一个配合工作。

在操作中, 调整器 18 初始地从各种各样的粗阈值中选择一个第一粗阈值, 并启动 DPLL10 的工作, 以产生出反馈振荡 28。开始时, 环路滤波器 24、数字振荡器 23 和反馈分频器 20 最好是全部复位, 使 DPLL10 从一个基准点出发进入运行。然后, 根据由调整器 18 向反馈分频器 20 提供的第一粗除数初始地产生出反馈振荡 28。

在基准振荡 26 的每个周期时误差信号 34 与粗阈值 36 和细阈值 38 两者进行比较。如果误差信号 34 与粗阈值 36 的比较为不利

时，由第二比较器 14 产生一个粗调整指示 40。如果误差信号 34 与细阈值 38 的比较为不利时，由第三比较器 16 产生一个细调整指示 42。最好，当误差信号 34 超过阈值信号时，就判定为误差信号 34 与阈值信号的比较结果为不利的。

在产生出粗调整指示 40 时，亦可能产生出细调整指示 42，但调整器 18 对细调整指示 42 予以忽略。在此情况下，通过优选地从存储器 46 中选择一个新的粗除数，将该新的粗除数放入寄存器 48 中变为当前的除数，以使 AGU44 判定当前的除数不正确，并根据粗调整指示量 40 调整该粗除数。因粗调整指示 40 提供出了关于相对相位的信息，故 AGU44 可以确定选择一个大些的还是选择一个小的除数。产生出一个粗调整指示 40 之后，锁定指示器 50 阻塞或门 56，以将 *DPLL10* 置于复位状态，直至接收到下一个基准振荡 26。在这复位状态下，计数器 52 持续地复位，以防止产生出反馈振荡 28。然而，一接收到下个基准信号 26，便利用该新的粗除数 48 启动 *DPLL10* 工作。

当未产生粗调整指示 40 而产生细调整指示 42 时，AGU44 便会优选地选择一个新的细除数并将它放入寄存器 48 来调整该除数。然而，在产生细调整指示 42 时，计数器 52 断续工作，并不被锁定指示器 50 复位。为此，允许 *DPLL10* 连续地产生反馈振荡 28。

当既不产生粗调整指示 40，也不产生细调整指示 42 时，存储在寄存器 48 内的除数值保持不变，而 *DPLL10* 继续工作。鉴此，本发明公开了一种 *DPLL10*，它可以与各种各样的未知系统时钟 22 的频率配合使用。该 *DPLL10* 开始工作之后确定一个正确的除

数,校正频率漂移,并能在多噪声的环境中工作。

图 2 示例出振荡信号、误差信号、阈值信号与调整信号之间的逻辑关系图。如前所讨论的,反馈振荡 100 是由 *DPLL*10 产生的,理想上,它由给 *DPLL*10 外来的、的基准振荡 102 锁定相位和锁定频率。如图所示,误差信号 104 最好含有早误差信号 30 和晚误差信号 32,它们在每一周基准振荡 102 内产生,并与基准振荡 102 同相。粗调整阈值 106、细调整阈值 108 和无调整阈值 110 等信号均由阈值单元 21 产生,并为调整器 18 提供一个基础,以便确定是否要调整除数。当对于粗阈值 106 接收到一个误差信号 104 而与该粗阈值 106 相比较为不利时,执行粗除数调整。最好的是,当误差信号 104 超过粗阈值 106(该粗阈值信号为逻辑高电平)时,误差信号 104 的比较结果为不利的。最好的还是,通过选择一个新的粗除数来实现粗阈值调整。图 2 中左面大部分里的波形序列就是这样的情况。于是,产生出粗调整信号 112,调整器 18 接收此信号,并选择一个新的粗除数。当一个早误差信号 30 起误差信号 104 的作用时,优选地选择下一个较大的粗除数,而当一个晚误差信号 32 起误差信号 104 的作用时,优选地选择下一个较小值的细除数。

参看图 2 的中间部分,当误差信号 104 和细阈值 108 都为逻辑高电平时,产生一个细调整信号 114。调整器 18 接收到此细调整信号 114 随之选择一个新的细除数。当一个早误差信号 30 起误差信号 104 的作用时,优选地选择下一个较大的细除数,而当一个晚误差信号 32 起误差信号 104 的作用时,优选地选择下一个较小的细除数。

现在,参看图2的右面大部分,在无调整阈值信号110的有激活高电平期间产生误差信号104时,既无粗调整信号112产生,也无细调整信号114产生。为此,至少在下一周的反馈振荡100内,先前所应用的除数保持不变。

图3示出除数的优选组织,在存储器46中存储如所列的除数1到43,并示出对DPLL10所使用的除数进行访问的一种优选技术。如图所示,诸多除数优选地以除数值为基础按顺序方式驻留在诸多除数组内。例如,第一个除数组120可包含5个除数,第二个除数组122可包含4个除数,第三个除数组124可包含4个除数。每个除数组内的一个特定除数最好指定作一个粗除数。例如,除数组120内的除数1和除数组122内的除数20指定作粗除数。

在一个具体例子中,一开始,从第一除数组20中选择出第一粗除数126(除数1),DPLL10据此进行工作。当AGU44接收到一个粗调整指示量40时,它从一个不同的除数组122中选择一个新粗除数128(除数20)。另一方面,当AGU44接收到一个细调整指示42时,它从粗除数126所在的同一个除数组120内最好选择出相邻一个除数位置上的新的细除数130(除数2)。在随后的一周振荡内,如果AGU44接收到另一个细调整指示42,则将在同一个除数组120内再选择一个新的细除数。

图4示出本发明的第一个优选方法。本发明中的第一步骤在方框150选择一个粗除数。本方法从方框150前进到方框152,在那里,随着一个触发的出现,通过基准振荡26与反馈振荡28之间的鉴相而产生出一个误差信号。触发事件可能开始,基准振荡有变化,电源中断和/或未知系统时钟摆动。然后,在方框154上该误差

信号与一个粗阈值进行比较。在判决框 156 判定方框 154 中的比较结果是否有利。如果比较结果为不利，则本方法前进到方框 158，在那里对一个反馈分频器 20 提供出粗除数的调整。本方法从方框 158 前进到方框 152，在那里产生出另一个误差信号。在判决框 156，如果比较结果为有利，本方法前进到方框 160，在那里误差信号与一个细阈值进行比较。随后，在方框 162 判定该误差信号与细阈值之间的比较结果是否有利。如果比较结果为不利，同本方法前进到方框 164，在那里，对反馈分频器 20 提供出细除数的调整。本方法从方框 164 返回到方框 152。在方框 162，如果比较结果为有利，则本方法中返回到方框 152，在那里产生出另一个误差信号。本发明的这个方法允许单一的 *DPLL*10 与各种各样不同未知系统时钟 22 配合应用。这样，比之本技术领域内先前已知的装置，*DPLL*10 的工作要灵活得多。

图 5 示出本发明的另一个优选方法。本发明的这另一种方法第一步骤是方框 170，从第一除数组中选择一个粗除数。下一步骤是方框 172，随着一个触发的出现，通过基准振荡 26 与反馈振荡 28 之间的鉴相产生出一个误差信号。随后，在方框 174，该误差信号与一个粗阈值进行比较。在判决框 176 判定比较结果是否有利。如果比较结果为不利，本方法前进到方框 178，在那里，从一个新的除数组中选择一个新的粗除数。程序从方框 178 返回到方框 172。在方框 176，如果比较结果为有利，则本方法前进到方框 180。在方框 180，该误差信号与一个细阈值进行比较。随后，在判决框 182，判定比较结果是否有利。如果比较结果为不利，本方法前进到方框 184，在那里选择一个新的除数，该新除数处在先前的除数所

在的同一个除数组中。本方法从方框 184 返回到方框 172。在方框 182，如果比较结果为有利，本方法中亦返回到方框 172。最好的是，在方框 176 和方框 182 上实施的比较是将误差信号与阈值进行比较，而只当该误差信号并不超过被比较的具体阈值时，才判定比较结果为有利的。

上面所述的优选实施例意在示例出本发明的原理，它们并不限制本发明的范畴。本领域内的技术人员可对这些优选实施例作出各种其它的实施例的修改，但它们偏离不开下面权利要求书中规定的范围。

说明书附图

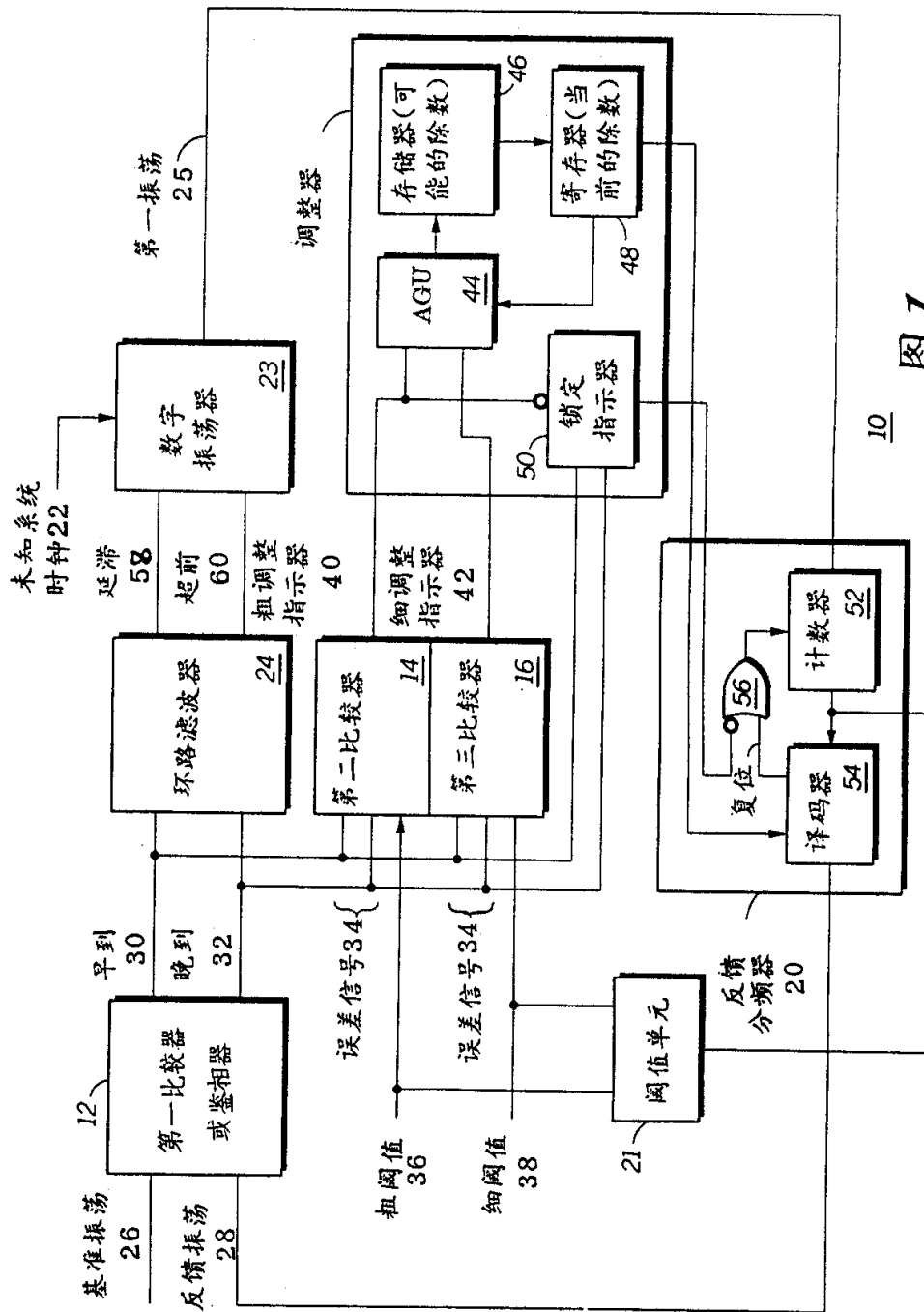


图1

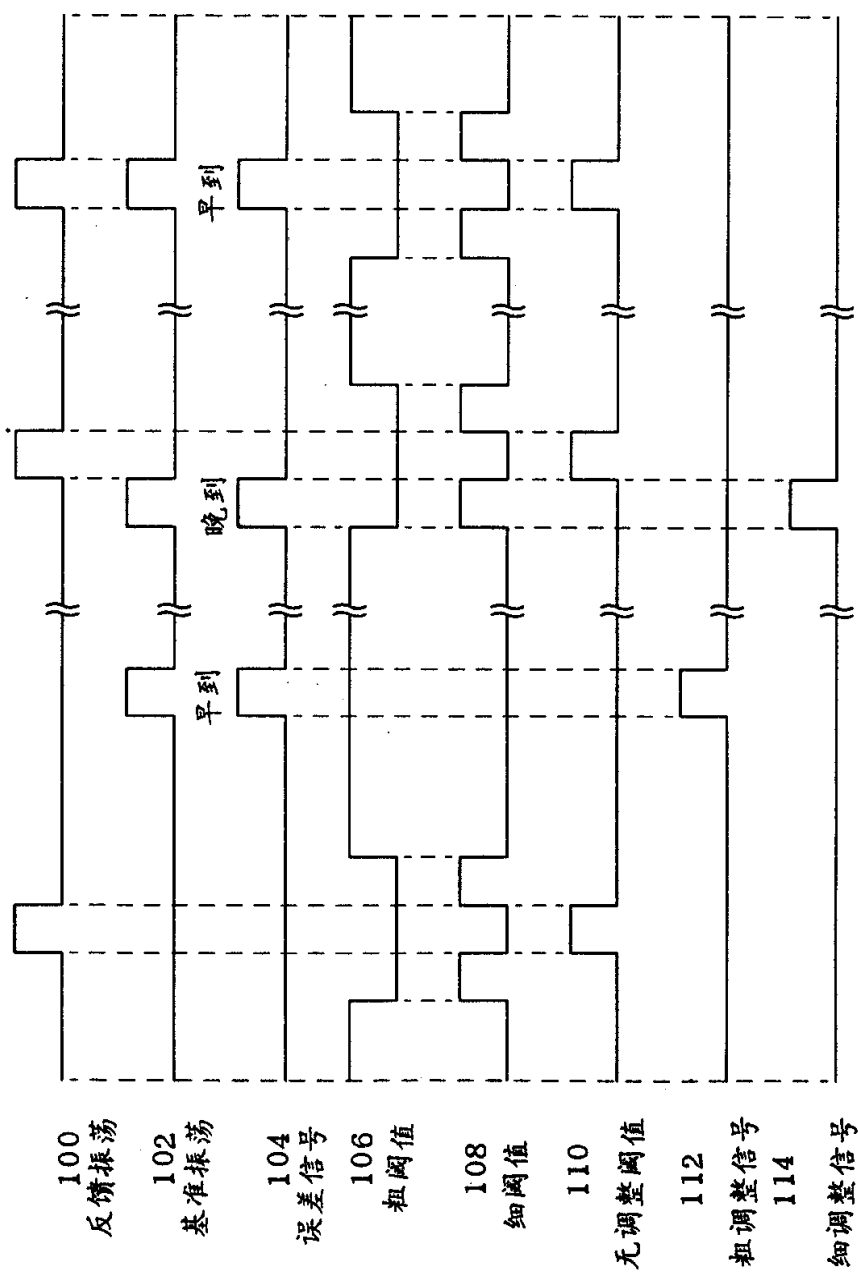


图2

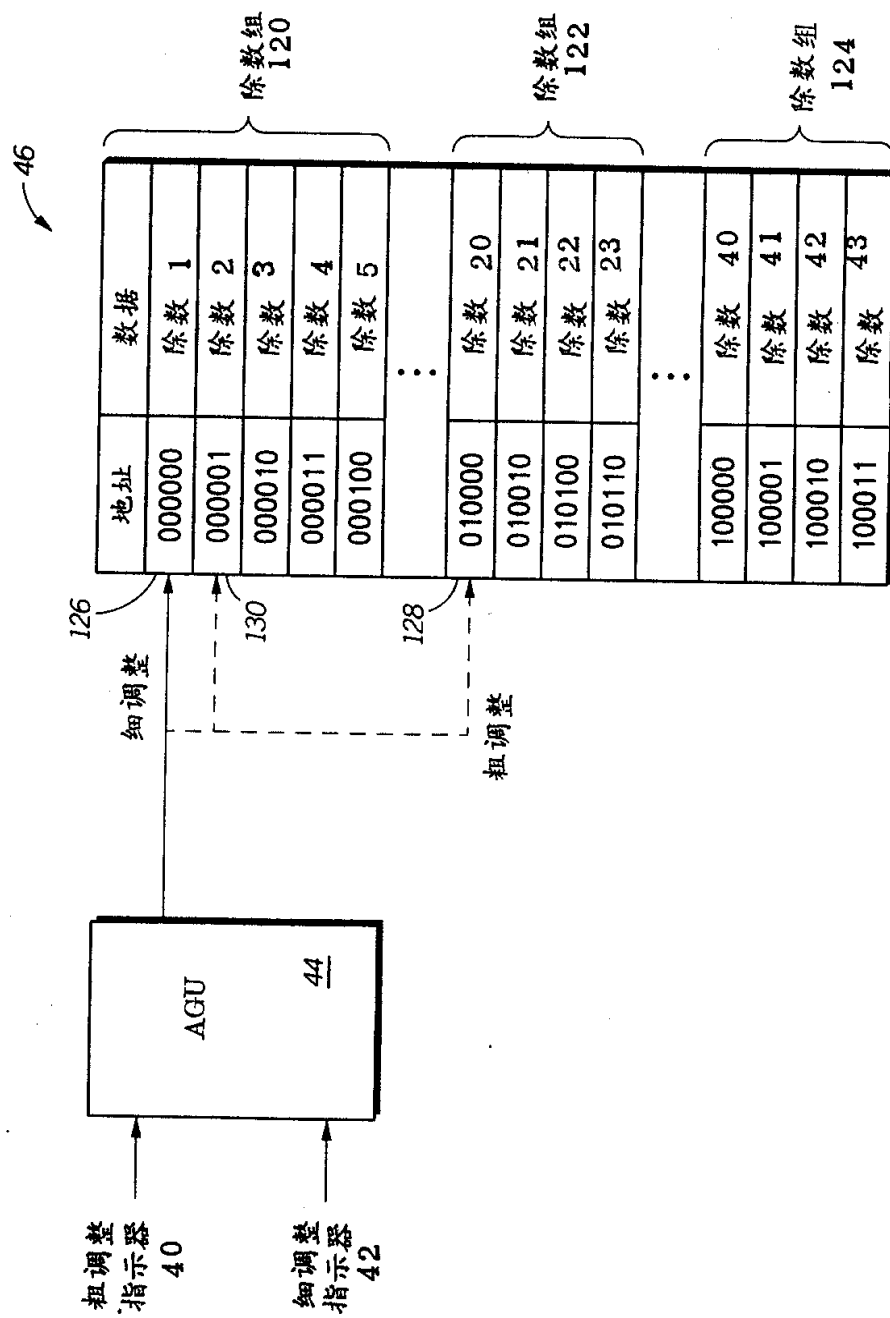


图 3

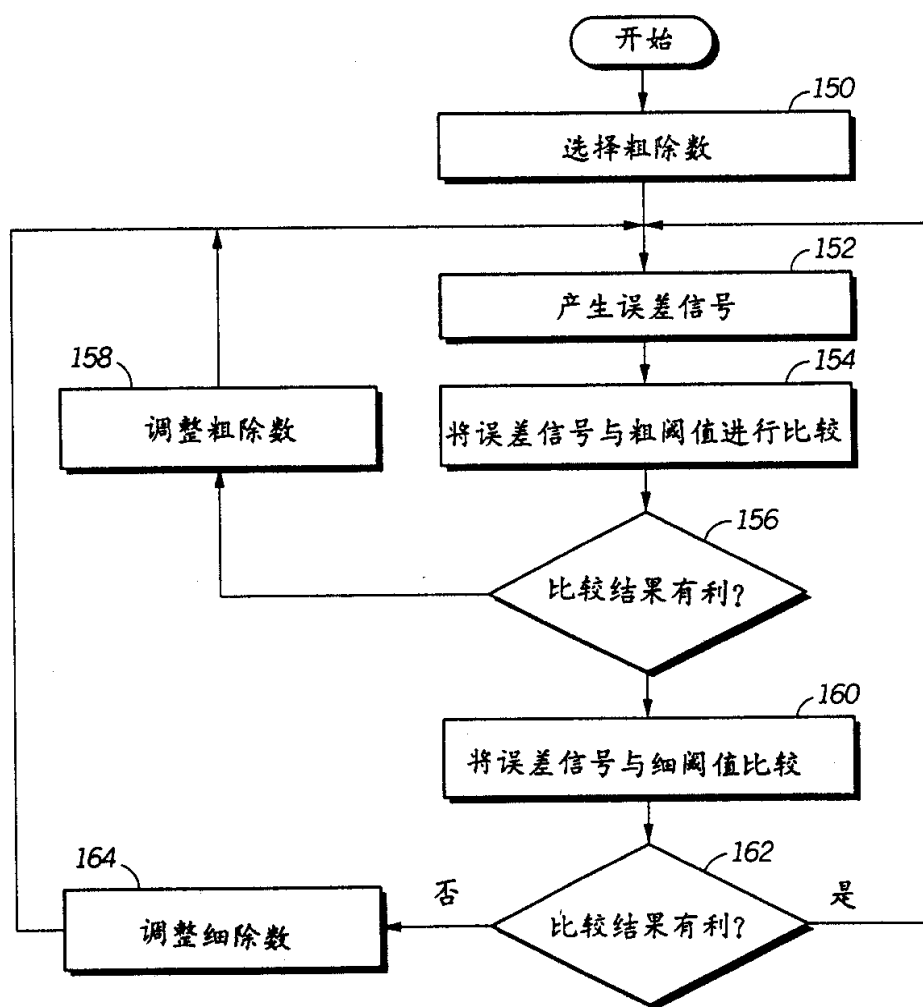


图4

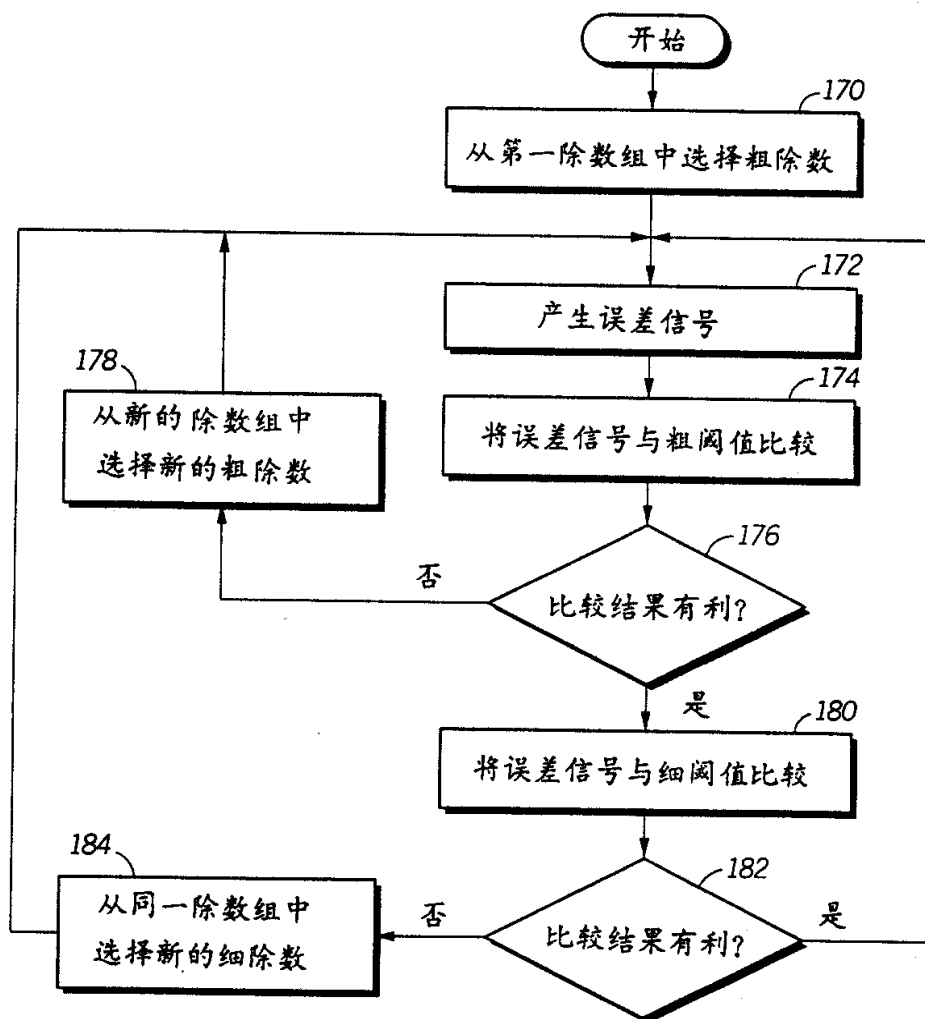


图5