



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2017년05월19일

(11) 등록번호 10-1737772

(24) 등록일자 2017년05월15일

(51) 국제특허분류(Int. Cl.)

G06F 12/14 (2006.01) G06K 19/073 (2006.01)

G06K 19/077 (2006.01)

(21) 출원번호 10-2010-0084740

(22) 출원일자 2010년08월31일

심사청구일자 2015년08월31일

(65) 공개번호 10-2011-0025119

(43) 공개일자 2011년03월09일

(30) 우선권주장

JP-P-2009-202672 2009년09월02일 일본(JP)

(56) 선행기술조사문현

US20070157000 A1*

US20070147129 A1*

US20090172321 A1*

*는 심사관에 의하여 인용된 문현

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

이시이 마사토

일본 259-1114 가나가와-Ken 이세하라시 다카모리
1297-1 래쿠세류만촌408

다카하시 야슈유키

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)

(74) 대리인

장훈

전체 청구항 수 : 총 6 항

심사관 : 정남호

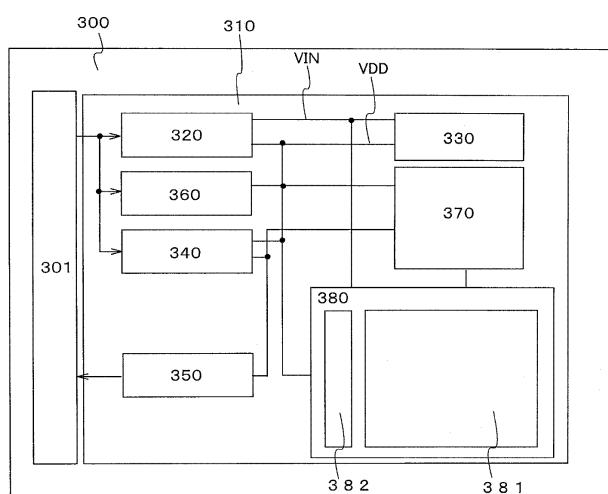
(54) 발명의 명칭 반도체 장치 및 그 구동 방법

(57) 요 약

본 발명은 무선 통신에 의하여 데이터를 교신(수신, 송신)할 수 있는 반도체 장치에 있어서, 특별히 OTP(One Time Programmable) 메모리나 1회-기록(write-once) 메모리를 실장한 RFID 태그에 있어서, 비교적 간단히 무선으로 오기록을 방지한다. 또는, 데이터의 개찬을 방지하는 것을 과제로 한다. 또는, 무선 통신에 의하여 데이터를 교신(수신, 송신)할 수 있는 반도체 장치에 있어서, 비교적 간단히 메모리에 대한 액세스를 금지하여 정보의 판독을 금지하는 것을 과제로 한다.

제어 회로와 OTP 메모리를 갖는 반도체 장치에 있어서, 메모리에는 적어도 초기 기록 방지 섹터와 정보 섹터를 갖고, 초기 기록 방지 섹터에 초기 기록 방지용 데이터가 기록되고, 초기 기록 방지 섹터와 전기적으로 접속되는 정보 섹터에 정보가 기록되면, 정보가 기록된 정보 섹터에 초기 기록할 수 없게 된다.

대 표 도



(72) 발명자

오마루 다쿠로

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

고바야시 히데토모

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

시오노이리 유타카

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서**청구범위**

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

안테나와; 제어 회로와; 입력 회로와; 1회 기록이 가능한 제 1 메모리와; 1회 기록이 가능한 제 2 메모리와; 1회 기록이 가능한 제 3 메모리를 포함하고,

상기 제 1 메모리는 복수의 비트를 포함하는 제 1 섹터를 포함하고,

상기 제 2 메모리는 복수의 비트를 포함하는 제 2 섹터를 포함하고,

상기 제 3 메모리는 복수의 비트를 포함하는 제 3 섹터를 포함하고,

상기 제 1 섹터와 상기 제 2 섹터와 상기 제 3 섹터는 상기 제어 회로를 통하여 서로 전기적으로 접속되고,

제 1 정보, 초기 기록 방지용 제 1 데이터, 및 기록 가부 판정용 제 2 데이터는 무선 통신을 통해 상기 안테나에 의해 수신되고,

상기 제 1 정보는 상기 입력 회로로부터 상기 제어 회로에 입력되고, 상기 제어 회로에 유지되고,

상기 제 1 섹터에 상기 초기 기록 방지용 제 1 데이터가 입력되어 유지되는지 아닌지는 상기 제어 회로에 의하여 판단되고, 상기 제 3 섹터에 상기 기록 가부 판정용 제 2 데이터가 입력되어 유지되는지 아닌지는 상기 제어 회로에 의하여 판단되고,

상기 제 1 섹터에 상기 초기 기록 방지용 제 1 데이터가 입력되어 유지되고, 상기 제 3 섹터에 상기 기록 가부 판정용 제 2 데이터가 입력되어 유지되는 경우에는, 상기 제 1 정보와 등가의 제 2 정보는 상기 제어 회로로부터 상기 제 2 섹터에 입력되지 않고, 상기 제 2 섹터에 유지되지 않고,

상기 제 1 섹터에 상기 초기 기록 방지용 제 1 데이터가 입력되지 않아 유지되지 않고, 상기 제 3 섹터에 상기 기록 가부 판정용 제 2 데이터가 입력되지 않아 유지되지 않는 경우에는, 상기 초기 기록 방지용 제 1 데이터는 상기 제어 회로로부터 상기 제 1 섹터에 입력되고, 상기 제 1 섹터에 유지되고,

상기 제 2 정보는 상기 제어 회로로부터 상기 제 2 섹터에 입력되고, 상기 제 2 섹터에 유지되고,

상기 제 1 정보는 상기 제어 회로에 의하여 상기 제 2 정보와 비교되고,

상기 제 1 정보가 상기 제 2 정보와 일치되지 않는 경우에는, 상기 제 1 정보가 상기 제 2 정보와 일치될 때까지 상기 제 2 섹터로의 상기 제 2 정보의 입력과 상기 제 1 정보와 상기 제 2 정보의 비교는 상기 제어 회로에 의하여 반복되고,

상기 제 1 정보가 상기 제 2 정보와 일치되는 경우에는, 상기 기록 가부 판정용 제 2 데이터는 상기 제어 회로로부터 상기 제 3 섹터에 입력되고, 상기 제 3 섹터에 유지되고,

상기 제 3 섹터는 상기 제 2 섹터에 데이터를 기록하기 위해 입력된 전력이 충분한지 아닌지를 판단하기 위하여 설치된 데이터 기록 테스트 섹터로서 기능하는, 반도체 장치.

청구항 8

삭제

청구항 9

삭제

청구항 10

안테나와; 입력 회로와; 제어 회로와; 1회 기록이 가능한 메모리를 포함하고,

상기 메모리는 복수의 비트를 포함하는 제 1 섹터와, 복수의 비트를 포함하는 제 2 섹터와, 복수의 비트를 포함하는 제 3 섹터를 포함하고,

상기 제 1 섹터와 상기 제 2 섹터와 상기 제 3 섹터는 상기 제어 회로를 통하여 서로 전기적으로 접속되고,

제 1 정보, 초기 기록 방지용 제 1 데이터, 및 기록 가부 판정용 제 2 데이터는 무선 통신을 통해 상기 안테나에 의해 수신되고,

상기 제 1 정보는 상기 입력 회로로부터 상기 제어 회로에 입력되고, 상기 제어 회로에 유지되고,

상기 제 1 섹터에 상기 초기 기록 방지용 제 1 데이터가 입력되어 유지되는지 아닌지는 상기 제어 회로에 의하여 판단되고, 상기 제 3 섹터에 상기 기록 가부 판정용 제 2 데이터가 입력되어 유지되는지 아닌지는 상기 제어 회로에 의하여 판단되고,

상기 제 1 섹터에 상기 초기 기록 방지용 제 1 데이터가 입력되어 유지되고, 상기 제 3 섹터에 상기 기록 가부 판정용 제 2 데이터가 입력되어 유지되는 경우에는, 제 2 정보는 상기 제어 회로로부터 상기 제 2 섹터에 입력되지 않고, 상기 제 2 섹터에 유지되지 않고,

상기 제 1 섹터에 상기 초기 기록 방지용 제 1 데이터가 입력되지 않아 유지되지 않고, 상기 제 3 섹터에 상기 기록 가부 판정용 제 2 데이터가 입력되지 않아 유지되지 않는 경우에는, 상기 초기 기록 방지용 제 1 데이터는 상기 제어 회로로부터 상기 제 1 섹터에 입력되고, 상기 제 1 섹터에 유지되고,

상기 제 2 정보는 상기 제어 회로로부터 상기 제 2 섹터에 입력되고, 상기 제 2 섹터에 유지되고,

상기 제 1 정보는 상기 제어 회로에 의하여 상기 제 2 정보와 비교되고,

상기 제 1 정보가 상기 제 2 정보와 일치되지 않는 경우에는, 상기 제 1 정보가 상기 제 2 정보와 일치될 때까지 상기 제 2 섹터로의 상기 제 2 정보의 입력과 상기 제 1 정보와 상기 제 2 정보의 비교는 상기 제어 회로에 의하여 반복되고,

상기 제 1 정보가 상기 제 2 정보와 일치되는 경우에는, 상기 기록 가부 판정용 제 2 데이터는 상기 제어 회로로부터 상기 제 3 섹터에 입력되고, 상기 제 3 섹터에 유지되고,

상기 제 3 섹터는 상기 제 2 섹터에 데이터를 기록하기 위해 입력된 전력이 충분한지 아닌지를 판단하기 위하여 설치된 데이터 기록 테스트 섹터로서 기능하는, 반도체 장치.

청구항 11

삭제

청구항 12

제 7 항 또는 제 10 항 중 어느 한 항에 있어서,

상기 제 1 정보 또는 상기 제 2 정보가 유지될 때, 상기 제 1 섹터, 상기 제 2 섹터, 및 상기 제 3 섹터 각각에
는 초기되지 않는, 반도체 장치.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

안테나와; 제어 회로와, 입력 회로와, 1회 기록이 가능한 제 1 메모리와, 1회 기록이 가능한 제 2 메모리와, 1회 기록이 가능한 제 3 메모리를 포함하고, 상기 제 1 메모리는 복수의 비트를 포함하는 제 1 섹터를 포함하고,
상기 제 2 메모리는 복수의 비트를 포함하는 제 2 섹터를 포함하고, 상기 제 3 메모리는 복수의 비트를 포함하는 제 3 섹터를 포함하고, 상기 제 1 섹터와 상기 제 2 섹터와 상기 제 3 섹터는 상기 제어 회로를 통하여 서로
전기적으로 접속되는 반도체 장치의 구동 방법으로서,

제 1 정보, 초기 기록 방지용 제 1 데이터, 및 기록 가부 판정용 제 2 데이터를 무선 통신을 통해 상기 안테나
로 수신하는 단계와;

상기 입력 회로에 의하여 상기 제어 회로에 상기 제 1 정보를 입력하고, 상기 제어 회로에 상기 제 1 정보를 유
지하는 단계와;

상기 제어 회로에 의하여 상기 제 1 섹터에 상기 초기 기록 방지용 제 1 데이터가 입력되어 유지되는지 아닌지
및 상기 제 3 섹터에 상기 기록 가부 판정용 제 2 데이터가 입력되어 유지되는지 아닌지를 판단하는 단계와,

상기 제 1 섹터에 상기 초기 기록 방지용 제 1 데이터가 입력되어 유지되고, 상기 제 3 섹터에 상기 기록 가부
판정용 제 2 데이터가 입력되어 유지되는 경우에는, 상기 제어 회로로부터 상기 제 2 섹터에 상기 제 1 정보를
입력하지 않고, 상기 제 2 섹터에 상기 제 1 정보를 유지하지 않는 단계와;

상기 제 1 섹터에 상기 초기 기록 방지용 제 1 데이터가 입력되지 않아 유지되지 않고, 상기 제 3 섹터에 상기
기록 가부 판정용 제 2 데이터가 입력되지 않아 유지되지 않는 경우에는, 상기 제어 회로로부터 상기 제 1 섹터
에 상기 초기 기록 방지용 제 1 데이터를 입력하고, 상기 제 1 섹터에 상기 초기 기록 방지용 제 1 데이터를 유
지하는 단계와;

상기 제어 회로로부터 상기 제 2 섹터에 제 2 정보를 입력하고, 상기 제 2 섹터에 상기 제 2 정보를 유지하는
단계와;

상기 제어 회로에 의하여 상기 제 1 정보와 상기 제 2 정보를 비교하는 단계와;

상기 제 1 정보가 상기 제 2 정보와 일치되지 않는 경우에는, 상기 제 1 정보가 상기 제 2 정보와 일치될 때까지 상기 제 2 섹터로의 상기 제 2 정보의 입력과 상기 제 1 정보와 상기 제 2 정보의 비교를 상기 제어 회로에 의하여 반복하는 단계와;

상기 제 1 정보가 상기 제 2 정보와 일치되는 경우에는, 상기 제어 회로로부터 상기 제 3 섹터에 상기 기록 가부 판정용 제 2 데이터를 입력하고, 상기 제 3 섹터에 상기 기록 가부 판정용 제 2 데이터를 유지하는 단계를 포함하고,

상기 제 3 섹터는 상기 제 2 섹터에 데이터를 기록하기 위해 입력된 전력이 충분한지 아닌지를 판단하기 위하여 설치된 데이터 기록 테스트 섹터로서 기능하는, 반도체 장치의 구동 방법.

청구항 20

삭제

청구항 21

삭제

청구항 22

안데나와; 입력 회로와, 제어 회로와, 1회 기록이 가능한 메모리를 포함하고, 상기 메모리는 복수의 비트를 포함하는 제 1 섹터와, 복수의 비트를 포함하는 제 2 섹터와, 복수의 비트를 포함하는 제 3 섹터를 포함하고, 상기 제 1 섹터와 상기 제 2 섹터와 상기 제 3 섹터는 상기 제어 회로를 통하여 서로 전기적으로 접속되는 반도체 장치의 구동 방법으로서,

제 1 정보, 초기 기록 방지용 제 1 데이터, 및 기록 가부 판정용 제 2 데이터를 무선 통신을 통해 상기 안데나로 수신하는 단계와;

상기 입력 회로에 의하여 상기 제어 회로에 상기 제 1 정보를 입력하고, 상기 제어 회로에 상기 제 1 정보를 유지하는 단계와;

상기 제어 회로에 의하여 상기 제 1 섹터에 상기 초기 기록 방지용 제 1 데이터가 입력되어 유지되는지 아닌지 및 상기 제 3 섹터에 상기 기록 가부 판정용 제 2 데이터가 입력되어 유지되는지 아닌지를 판단하는 단계와,

상기 제 1 섹터에 상기 초기 기록 방지용 제 1 데이터가 입력되어 유지되고, 상기 제 3 섹터에 상기 기록 가부 판정용 제 2 데이터가 입력되어 유지되는 경우에는, 상기 제어 회로로부터 상기 제 2 섹터에 상기 제 1 정보를 입력하지 않고, 상기 제 2 섹터에 상기 제 1 정보를 유지하지 않는 단계와;

상기 제 1 섹터에 상기 초기 기록 방지용 제 1 데이터가 입력되지 않아 유지되지 않고, 상기 제 3 섹터에 상기 기록 가부 판정용 제 2 데이터가 입력되지 않아 유지되지 않는 경우에는, 상기 제어 회로로부터 상기 제 1 섹터에 상기 초기 기록 방지용 제 1 데이터를 입력하고, 상기 제 1 섹터에 상기 초기 기록 방지용 제 1 데이터를 유지하는 단계와;

상기 제어 회로로부터 상기 제 2 섹터에 제 2 정보를 입력하고, 상기 제 2 섹터에 상기 제 2 정보를 유지하는 단계와;

상기 제어 회로에 의하여 상기 제 1 정보와 상기 제 2 정보를 비교하는 단계와;

상기 제 1 정보가 상기 제 2 정보와 일치되지 않는 경우에는, 상기 제 1 정보가 상기 제 2 정보와 일치될 때까지 상기 제 2 섹터로의 상기 제 2 정보의 입력과 상기 제 1 정보와 상기 제 2 정보의 비교를 상기 제어 회로에 의하여 반복하는 단계와;

상기 제 1 정보가 상기 제 2 정보와 일치되는 경우에는, 상기 제어 회로로부터 상기 제 3 섹터에 상기 기록 가부 판정용 제 2 데이터를 입력하고, 상기 제 3 섹터에 상기 기록 가부 판정용 제 2 데이터를 유지하는 단계를 포함하고,

상기 제 3 섹터는 상기 제 2 섹터에 데이터를 기록하기 위해 입력된 전력이 충분한지 아닌지를 판단하기 위하여 설치된 데이터 기록 테스트 섹터로서 기능하는, 반도체 장치의 구동 방법.

청구항 23

삭제

청구항 24

제 19 항 또는 제 22 항 중 어느 한 항에 있어서,

상기 제 1 정보 및 상기 제 2 정보가 유지될 때, 상기 제 1 섹터, 상기 제 2 섹터, 및 상기 제 3 섹터 각각에는 추가되지 않는, 반도체 장치의 구동 방법.

발명의 설명

기술 분야

[0001]

본 발명은 무선 통신에 의하여 데이터를 교신(수신, 송신)할 수 있는 반도체 장치 및 그 구동 방법에 관한 것이다.

배경기술

[0002]

근년에 들어, 무선 통신을 이용한 개체 식별 기술(이하, 무선 통신 시스템이라고 함)이 주목을 받고 있다. 특별히 RFID 태그(IC 태그, IC 칩, RF 태그, 무선 태그, 전자 태그라고도 불림)는 개개의 대상물의 생산, 관리 등에 이용되기 시작하였다. 또한, 개인 인증으로의 응용도 기대되고 있다.

[0003]

무선 통신 시스템이란 통신기(질문기, 리더/라이터, 인터로케이터(interrogator) 등이라고도 불림) 등의 전력 공급원 겸 송수신기 또는 송수신기와 RFID 태그 등의 송수신기(이하, RFID 태그) 사이에서 무선 통신에 의하여 데이터를 송수신하는 시스템이다.

[0004]

RFID 태그는 상술한 바와 같은 개개의 대상물의 생산, 관리 등에 이용하기 위하여 메모리가 실장되어 있는 경우가 많다. 예를 들어, 비휘발성 메모리를 실장함으로써 생산시의 이력을 기록할 수 있다.

[0005]

RFID 태그에 실장된 메모리는 비휘발성 메모리 외에 MROM(마스크 ROM), OTP(One Time Programmable) 메모리, 1회-기록(write-once) 메모리 등이 있다.

[0006]

OTP 메모리나 1회-기록 메모리는 추기(追記)할 수 있는 메모리이다. 또한, OTP 메모리나 1회-기록 메모리는 복수의 메모리 셀을 갖는다. 그리고, OTP 메모리나 1회-기록 메모리의 이점은 한번 기록이 행해진 메모리 셀은 추기할 수 없는 점이다. 즉, 한번 기록이 행해진 메모리 셀은 데이터가 변하지 않는다. 따라서, 식품의 생산 관리, 의약품의 관리 등, 데이터가 개찬(改竄)되지 않도록 높은 안전성이 필요한 용도에 적합하다. 그러나, 아직 기록이 행해지지 않은 메모리 셀에는 추기할 수 있다. 따라서, 한번 기록한 정보가 재기록될 가능성이 있다.

[0007]

이들을 방지하는 방법의 일례로서 특허 문헌 1이 있다.

[0008]

특허 문헌 1에 있어서는, IC 태그에 기록한 데이터가 개찬되지 않도록 보호하는 것을 목적으로 하여, 인렛(inlet)의 표면 기재에 장착된 박리가 가능한 라벨과, 이 라벨을 박리하면 파손되도록 세트된 스위치와, 이 스위치가 파손되면 기록이 금지되는 메모리를 구비하는 것이 특징이다. 인렛의 라벨을 박리하면 메모리로의 기록이 금지된다. 따라서, 라벨을 박리한 시점에서 기록된 정보가 확실하게 보호된다.

[0009]

특허 문헌 1은 데이터 개찬을 방지하는 유효적인 수단이지만, 과과 공정을 포함하기 때문에 순서가 복잡하고, 현장이 혼란스러워질 가능성이 있다.

선행기술문헌

특허문헌

[0010]

(특허문헌 0001) 특개 공개 2006-155237

발명의 내용

해결하려는 과제

[0011]

상기 실정을 감안하여 무선 통신에 의하여 데이터를 교신(수신, 송신)할 수 있는 반도체 장치에 있어서, 특별히 OTP 메모리나 1회-기록 메모리를 실장한 RFID 태그에 있어서, 비교적 간단히 무선으로 오기록을 방지하는 것을 과제로 한다. 또는, 정보의 개찬을 방지하는 것을 과제로 한다. 또는, 무선 통신에 의하여 데이터를 교신(수신, 송신)할 수 있는 반도체 장치에 있어서, 비교적 간단히 메모리로의 액세스를 금지하여 정보의 관리를 금지하는 것을 과제로 한다.

과제의 해결 수단

[0012]

본 발명의 일 형태는 상술한 과제를 해결하기 위하여 이하의 구성을 갖는다.

[0013]

본 발명의 일 형태인 반도체 장치는 적어도 입력 회로, 정전압을 생성하는 회로, 제어 회로, 및 OTP 메모리 또는 1회-기록 메모리를 갖는다.

[0014]

본 발명의 일 형태는 제어 회로와, 입력 회로와, 1회-기록이 가능한 제 1 메모리 및 제 2 메모리를 갖고, 상기 제 1 메모리는 복수의 비트를 갖는 제 1 섹터(sector)를 갖고, 상기 제 2 메모리는 복수의 비트를 갖는 제 2 섹터를 갖고, 상기 제 1 섹터와 상기 제 2 섹터는 상기 제어 회로를 통하여 전기적으로 접속된다. 상기 제어 회로에는 상기 입력 회로로부터 제 1 정보가 입력되고, 상기 제어 회로에는 상기 제 1 정보가 유지된다. 상기 제어 회로에 의하여 상기 제 1 섹터에 제 2 정보가 유지되고 있는지 아닌지가 판단된다. 상기 제 1 섹터에 상기 제 2 정보가 유지된 경우에 있어서, 상기 제 2 섹터에는 상기 제어 회로로부터 상기 제 1 정보가 입력되지 않고, 상기 제 2 섹터에는 상기 제 1 정보가 유지되지 않는다. 또한, 상기 제 1 섹터에 상기 제 2 정보가 유지된 경우에 있어서, 상기 제 2 섹터에는 상기 제어 회로로부터 상기 제 1 정보가 입력되고, 상기 제 2 섹터에는 상기 제 1 정보가 유지된다. 상기 제 1 섹터에는 상기 제어 회로로부터 상기 제 2 정보가 입력되고, 상기 제 1 섹터에는 상기 제 2 정보가 유지되는 반도체 장치이다.

[0015]

본 발명의 다른 일 형태는 제어 회로와 입력 회로와 1회-기록이 가능한 메모리를 갖고, 상기 메모리는 복수의 비트를 갖는 제 1 섹터 및 제 2 섹터를 갖고, 상기 제 1 섹터와 상기 제 2 섹터는 상기 제어 회로를 통하여 전기적으로 접속된다. 상기 제어 회로에는 상기 입력 회로로부터 제 1 정보가 입력되고, 상기 제어 회로에는 상기 제 1 정보가 유지된다. 상기 제어 회로에 의하여 상기 제 1 섹터에 제 2 정보가 유지되고 있는지 아닌지가 판단된다. 상기 제 1 섹터에 상기 제 2 정보가 유지된 경우에 있어서, 상기 제 2 섹터에는 상기 제어 회로로부터 상기 제 1 정보가 입력되지 않고, 상기 제 2 섹터에는 상기 제 1 정보가 유지되지 않는다. 또한, 상기 제 1 섹터에 상기 제 2 정보가 유지된 경우에 있어서, 상기 제 2 섹터에는 상기 제어 회로로부터 상기 제 1 정보가 입력되고, 상기 제 2 섹터에는 상기 제 1 정보가 유지된다. 상기 제 1 섹터에는 상기 제어 회로로부터 상기 제 2 정보가 입력되고, 상기 제 1 섹터에는 상기 제 2 정보가 유지되는 반도체 장치이다.

[0016]

본 발명의 다른 일 형태는 제어 회로와 입력 회로와 1회-기록이 가능한 제 1 메모리 내지 제 3 메모리를 갖고, 상기 제 1 메모리는 복수의 비트를 갖는 제 1 섹터를 갖고, 상기 제 2 메모리는 복수의 비트를 갖는 제 2 섹터를 갖고, 상기 제 3 메모리는 복수의 비트를 갖는 제 3 섹터를 갖고, 상기 제 1 섹터와 상기 제 2 섹터와 상기 제 3 섹터는 상기 제어 회로를 통하여 각각 전기적으로 접속된다. 상기 제어 회로에는 상기 입력 회로로부터 제 1 정보가 입력되고, 상기 제어 회로에는 상기 제 1 정보가 유지된다. 또한, 상기 제어 회로에 의하여 상기 제 1 섹터에 제 2 정보가 유지되고 있는지 아닌지가 판단되고, 또 상기 제 3 섹터에 제 3 정보가 유지되고 있는지 아닌지가 판단된다. 상기 제 1 섹터에 상기 제 2 정보가 유지되고, 또 상기 제 3 섹터에 상기 제 3 정보가 유지된 경우에 있어서, 상기 제 2 섹터에는 상기 제어 회로로부터 제 4 정보가 입력되지 않고, 상기 제 2 섹터에는 상기 제 4 정보가 유지되지 않는다. 또한, 상기 제 1 섹터에 상기 제 2 정보가 유지되고, 또 상기 제 3 섹터에 상기 제 3 정보가 유지된 경우에 있어서, 상기 제 1 섹터에는 상기 제어 회로로부터 상기 제 2 정보가 입력되고, 상기 제 1 섹터에는 상기 제 2 정보가 유지되고, 상기 제 2 섹터에는 상기 제 4 정보가 유지된다. 상기 제어 회로에 의하여 상기 제 1 정보와 상기 제 4 정보가 비교된다. 상기 제 1 정보와 상기 제 4 정보가 일치되지 않은 경우에 있어서, 상기 제 1 정보와 상기 제 4 정보가 일치될 때까지 상기 제어 회로에 의하여 상기 제 2 섹터로의 상기 제 4 정보의 입력과, 상기 제 1 정보와 상기 제 4 정보의 비교가 반복된다. 또한, 상기 제 1 정보와 상기 제 4 정보가 일치된 경우에 있어서, 상기 제어 회로로부터 상기 제 3 섹터에 상기 제 3 정보가 입력되고, 상기 제 3 정보는 상기 제 3 섹터에 의하여 유지되는 반도체 장치이다.

[0017]

본 발명의 일 형태는 입력 회로와 제어 회로와 1회-기록이 가능한 메모리를 갖고, 상기 메모리는 복수의 비트를

갖는 제 1 섹터 내지 제 3 섹터를 갖고, 상기 제 1 섹터와 상기 제 2 섹터와 상기 제 3 섹터는 상기 제어 회로를 통하여 각각 전기적으로 접속된다. 상기 제어 회로에는 상기 입력 회로로부터 제 1 정보가 입력되고, 상기 제어 회로에는 상기 제 1 정보가 유지된다. 또한, 상기 제어 회로에 의하여 상기 제 1 섹터에 제 2 정보가 유지되고 있는지 아닌지가 판단되고, 또 상기 제 3 섹터에 제 3 정보가 유지되고 있는지 아닌지가 판단된다. 상기 제 1 섹터에 상기 제 2 정보가 유지되고, 또 상기 제 3 섹터에 상기 제 3 정보가 유지된 경우에 있어서, 상기 제 2 섹터에는 상기 제어 회로로부터 제 4 정보가 입력되지 않고, 상기 제 2 섹터에는 상기 제 4 정보가 유지되지 않는다. 또한, 상기 제 1 섹터에 상기 제 2 정보가 유지되지 않고, 또 상기 제 3 섹터에 상기 제 3 정보가 유지되지 않은 경우에 있어서, 상기 제 1 섹터에는 상기 제어 회로로부터 상기 제 2 정보가 입력되고, 상기 제 1 섹터에는 상기 제 2 정보가 유지되고, 상기 제 2 섹터에는 상기 제 4 정보가 유지된다. 상기 제어 회로에 의하여 상기 제 1 정보와 상기 제 4 정보가 비교된다. 상기 제 1 정보와 상기 제 4 정보가 일치되지 않은 경우에 있어서, 상기 제 1 정보와 상기 제 4 정보가 일치될 때까지 상기 제어 회로에 의하여 상기 제 2 섹터로의 상기 제 4 정보의 입력과 상기 제 1 정보와 상기 제 4 정보의 비교가 반복된다. 또한, 상기 제 1 정보와 상기 제 4 정보가 일치된 경우에 있어서, 상기 제어 회로로부터 상기 제 3 섹터에 상기 제 3 정보가 입력되고, 상기 제 3 정보는 상기 제 3 섹터에 의하여 유지되는 반도체 장치이다.

[0018] 상술한 반도체 장치에 있어서, 상기 메모리는 OTP 메모리 또는 1회-기록 메모리이다.

[0019] 상술한 반도체 장치에 있어서, 상기 정보가 유지되면 상기 섹터에는 물리적 변화가 일어나지 않는다.

[0020] 본 발명의 다른 일 형태는 제어 회로와 입력 회로와 1회-기록이 가능한 제 1 메모리 및 제 2 메모리를 갖고, 상기 제 1 메모리는 복수의 비트를 갖는 제 1 섹터를 갖고, 상기 제 2 메모리는 복수의 비트를 갖는 제 2 섹터를 갖고, 상기 제 1 섹터와 상기 제 2 섹터는 상기 제어 회로를 통하여 전기적으로 접속되는 반도체 장치의 구동 방법으로서, 상기 입력 회로는 상기 제어 회로에 제 1 정보를 입력하고, 상기 제어 회로는 상기 제 1 정보를 유지한다. 상기 제어 회로는 상기 제 1 섹터가 제 2 정보를 유지하고 있는지 아닌지를 판단한다. 상기 제 1 섹터가 상기 제 2 정보를 유지한 경우에 있어서, 상기 제어 회로는 상기 제 1 정보를 상기 제 2 섹터에 입력하지 않고, 상기 제 2 섹터는 상기 제 1 정보를 유지하지 않는다. 또한, 상기 제 1 섹터가 상기 제 2 정보를 유지하지 않은 경우에 있어서, 상기 제어 회로는 상기 제 1 정보를 상기 제 2 섹터에 입력하고, 상기 제 2 섹터는 상기 제 1 정보를 유지한다. 상기 제어 회로는 상기 제 1 섹터에 상기 제 2 정보를 입력하고, 상기 제 1 섹터는 상기 제 2 정보를 유지하는 반도체 장치의 구동 방법이다.

[0021] 본 발명의 다른 일 형태는 제어 회로와 입력 회로와 1회-기록이 가능한 메모리를 갖고, 상기 메모리는 복수의 비트를 갖는 제 1 섹터 및 제 2 섹터를 갖고, 상기 제 1 섹터와 상기 제 2 섹터는 상기 제어 회로를 통하여 전기적으로 접속되는 반도체 장치의 구동 방법으로서, 상기 입력 회로는 상기 제어 회로에 제 1 정보를 입력하고, 상기 제어 회로는 상기 제 1 정보를 유지한다. 상기 제어 회로는 상기 제 1 섹터가 제 2 정보를 유지하고 있는지 아닌지를 판단한다. 상기 제 1 섹터가 상기 제 2 정보를 유지한 경우에 있어서, 상기 제어 회로는 상기 제 1 정보를 상기 제 2 섹터에 입력하지 않고, 상기 제 2 섹터는 상기 제 1 정보를 유지하지 않는다. 또한, 상기 제 1 섹터가 상기 제 2 정보를 유지하지 않은 경우에 있어서, 상기 제어 회로는 상기 제 1 정보를 상기 제 2 섹터에 입력하고, 상기 제 2 섹터는 상기 제 1 정보를 유지한다. 상기 제어 회로는 상기 제 1 섹터에 상기 제 2 정보를 입력하고, 상기 제 1 섹터는 상기 제 2 정보를 유지하는 반도체 장치의 구동 방법이다.

[0022] 본 발명의 다른 일 형태는 제어 회로와 입력 회로와 1회-기록이 가능한 제 1 내지 제 3 메모리를 갖고, 상기 제 1 메모리는 복수의 비트를 갖는 제 1 섹터를 갖고, 상기 제 2 메모리는 복수의 비트를 갖는 제 2 섹터를 갖고, 상기 제 3 메모리는 복수의 비트를 갖는 제 3 섹터를 갖고, 상기 제 1 섹터와 상기 제 2 섹터와 상기 제 3 섹터는 상기 제어 회로를 통하여 각각 전기적으로 접속되는 반도체 장치의 구동 방법으로서, 상기 입력 회로는 상기 제어 회로에 제 1 정보를 입력하고, 상기 제어 회로는 상기 제 1 정보를 유지한다. 상기 제어 회로는 상기 제 1 섹터가 제 2 정보를 유지하고 있는지 아닌지를 판단하고, 또 상기 제 3 섹터가 제 3 정보를 유지하고 있는지 아닌지를 판단한다. 상기 제 1 섹터가 상기 제 2 정보를 유지하고, 또 상기 제 3 섹터가 상기 제 3 정보를 유지한 경우에 있어서, 상기 제어 회로는 상기 제 1 정보를 상기 제 2 섹터에 입력하지 않고, 상기 제 2 섹터는 상기 제 1 정보를 유지하지 않는다. 또한, 상기 제 1 섹터가 제 2 정보를 유지하지 않고, 또 상기 제 3 섹터가 상기 제 3 정보를 유지하지 않은 경우에 있어서, 상기 제어 회로는 상기 제 1 섹터에 상기 제 2 정보를 입력하고, 상기 제 1 섹터는 상기 제 2 정보를 유지한다. 상기 제어 회로는 상기 제 2 섹터에 제 4 정보를 입력하고, 상기 제 2 섹터는 상기 제 4 정보를 유지한다. 상기 제어 회로는 상기 제 1 정보와 상기 제 4 정보를 비교한다. 상기 제 1 정보와 상기 제 4 정보가 일치되지 않은 경우에 있어서, 상기 제 1 정보와 상기 제 4 정보를 비교한다.

보가 일치될 때까지 상기 제어 회로에 의하여 상기 제 2 섹터로의 상기 제 4 정보의 입력과, 상기 제 1 정보와 상기 제 4 정보의 비교를 반복한다. 또한, 상기 제 1 정보와 상기 제 4 정보가 일치된 경우에 있어서, 상기 제어 회로는 상기 제 3 섹터에 제 3 정보를 입력하고, 상기 제 3 섹터는 상기 제 3 정보를 유지하는 반도체 장치의 구동 방법이다.

[0023] 본 발명의 다른 일 형태는 입력 회로와 제어 회로와 1회-기록이 가능한 메모리를 갖고, 상기 메모리는 복수의 비트를 갖는 제 1 섹터 내지 제 3 섹터를 갖고, 상기 제 1 섹터와 상기 제 2 섹터와 상기 제 3 섹터는 상기 제어 회로를 통하여 각각 전기적으로 접속되는 반도체 장치의 구동 방법으로서, 상기 입력 회로는 상기 제어 회로에 제 1 정보를 입력하고, 상기 제어 회로는 상기 제 1 정보를 유지한다. 상기 제어 회로는 상기 제 1 섹터가 제 2 정보를 유지하고 있는지 아닌지를 판단하고, 또 상기 제 3 섹터가 제 3 정보를 유지하고 있는지 아닌지를 판단한다. 상기 제 1 섹터가 상기 제 2 정보를 유지하고, 또 상기 제 3 섹터가 상기 제 3 정보를 유지한 경우에 있어서, 상기 제어 회로는 상기 제 1 정보를 상기 제 2 섹터에 입력하지 않고, 상기 제 2 섹터는 상기 제 1 정보를 유지하지 않는다. 또한, 상기 제 1 섹터가 제 2 정보를 유지하지 않고, 또 상기 제 3 섹터가 상기 제 3 정보를 유지하지 않은 경우에 있어서, 상기 제어 회로는 상기 제 1 섹터에 상기 제 2 정보를 입력하고, 상기 제 1 섹터는 상기 제 2 정보를 유지한다. 상기 제어 회로는 상기 제 2 섹터에 제 4 정보를 입력하고, 상기 제 2 섹터는 상기 제 4 정보를 유지한다. 상기 제어 회로는 상기 제 1 정보와 상기 제 4 정보가 일치되지 않은 경우에 있어서, 상기 제 1 정보와 상기 제 4 정보가 일치될 때까지 상기 제어 회로에 의하여 상기 제 2 섹터로의 상기 제 4 정보의 입력과 상기 제 1 정보와 상기 제 4 정보의 비교를 반복한다. 또한, 상기 제 1 정보와 상기 제 4 정보가 일치된 경우에 있어서, 상기 제어 회로는 상기 제 3 섹터에 제 3 정보를 입력하고, 상기 제 3 섹터는 상기 제 3 정보를 유지하는 반도체 장치의 구동 방법이다.

[0024] 상술한 반도체 장치의 구동 방법에 있어서, 상기 메모리는 OTP 메모리 또는 1회-기록 메모리이다.

[0025] 상술한 반도체 장치의 구동 방법에 있어서, 상기 정보를 유지하면 상기 섹터에는 물리적 변화가 일어나지 않는다.

발명의 효과

[0026] 적어도 제어 회로와 OTP 메모리 또는 1회-기록 메모리(이하, 메모리라고 기재함)를 갖는 반도체 장치에 있어서, 메모리에는 적어도 초기 기록을 방지하는 데이터가 기록되는 복수의 메모리 비트(이하, 초기 기록 방지 섹터)와 정보가 기록되는 복수의 메모리 비트(이하, 정보 섹터)를 갖고, 초기 기록 방지 섹터에 초기 기록 방지용 데이터가 기록되고, 초기 기록 방지 섹터와 전기적으로 접속되는 정보 섹터에 정보가 기록되면, 정보가 기록된 정보 섹터에 초기 기록할 수 없게 된다.

[0027] 따라서, 반도체 장치가 갖는 메모리의 초기 기록 방지 섹터에 초기 기록 방지용 데이터가 기록되고, 초기 기록 방지 섹터와 전기적으로 접속되는 정보 섹터에 정보가 기록되어 정보가 유지되면, 기록한 정보가 확정되어 초기 기록할 수 없게 된다. 이로써, 오기록 및 데이터의 개찬을 방지한다.

[0028] 또한, 상기 메모리에 기록 가능(可否) 판정 섹터를 설치함으로써 정보 섹터에 정보가 확실히 기록되어 있는지 아닌지를 알 수 있기 때문에, 정보 섹터로의 기록시에 올바른 정보를 확실히 기록할 수 있게 되고, 기록 불량 등의 불량을 일으킬 가능성이 저감되고, 통신기 등과 RFID 태그 사이의 무선 통신의 신뢰성이 향상된다.

[0029] 따라서, 초기 기록 방지 섹터와 기록 가능 판정 섹터를 설치하면 RFID 태그의 신뢰성이 더 향상된다.

[0030] 또한, 초기 기록 방지 섹터 대신에 기록 금지 섹터를 사용한 경우에는, 기록 금지 섹터에 기록 금지용 데이터가 기록되고, 기록 금지 섹터와 전기적으로 접속되는 정보 섹터에 정보가 기록됨으로써 정보가 유지된다. 또한, 기록 금지 섹터에 기록 금지용 데이터가 기록되면 메모리로의 액세스를 완전히 차단할 수 있다. 이로써, 불필요한 데이터의 외부 유출을 방지할 수 있다.

도면의 간단한 설명

[0031] 도 1은 반도체 장치를 설명하는 도면.

도 2는 반도체 장치를 설명하는 도면.

도 3은 반도체 장치를 설명하는 도면.

도 4는 반도체 장치를 설명하는 도면.

도 5는 반도체 장치를 설명하는 도면.

도 6은 반도체 장치를 설명하는 도면.

도 7은 반도체 장치를 설명하는 도면.

도 8은 반도체 장치를 설명하는 도면.

도 9는 반도체 장치의 동작을 설명하는 도면.

도 10은 반도체 장치의 동작을 설명하는 도면.

도 11은 반도체 장치의 동작을 설명하는 도면.

도 12는 반도체 장치를 설명하는 도면.

도 13은 반도체 장치를 설명하는 도면.

도 14a 내지 도 14e는 반도체 장치의 제작 방법을 설명하는 도면.

도 15a 내지 도 15e는 반도체 장치의 제작 방법을 설명하는 도면.

도 16a 내지 도 16e는 반도체 장치의 제작 방법을 설명하는 도면.

도 17a 내지 도 17c는 반도체 장치의 제작 방법을 설명하는 도면.

도 18a 내지 도 18d는 반도체 장치의 제작 방법을 설명하는 도면.

도 19a 내지 도 19f는 반도체 장치의 적용예를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

[0032]

본 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 발명의 범위는 이하에 제시하는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0033]

또한, 이하에 설명하는 본 발명의 일 형태의 구성에 있어서, 같은 것을 가리키는 부호는 상이한 도면간에서 공통적으로 사용한다.

[0034]

또한, 본 발명에 있어서, “접속된다”는 “전기적으로 접속된다”와 같은 뜻이다. 따라서, 소자와 소자 사이에 다른 소자 등이 배치되어도 좋다.

[0035]

또한, 데이터란 정보의 전달이나 처리 등에 적합하게 부호화 또는 신호화된 것을 의미한다. 또한, 정보란 의미를 갖는 데이터 또는 데이터의 집합을 의미한다. 따라서, 정보는 데이터의 일종이다.

[0036]

즉, 본 명세서에서 데이터란 정보에 추가하여 메모리로의 기록, 또는 기록 방지 등의 명령으로서의 데이터가 포함된다. 더 구체적으로는, 데이터는 정보 섹터에 유지되는 정보 및 초기 기록 방지 섹터나 기록 가부 판정 섹터 등에 유지되는 데이터(초기 기록 방지용 데이터, 기록 가부 판정용 데이터 등), 메모리로의 기록 명령을 포함한다. 정보란 정보 섹터에 유지시키는 정보를 의미한다.

[0037]

무선 통신에 의하여 데이터의 교신(수신, 송신)이 행해지면 통신기(안테나)로부터 RFID 태그에 명령으로서 데이터가 송신된다. 이 명령은 정보 섹터에 기록되는 정보에 추가하여 기록이나 기록 방지 등을 위한 데이터이다.

[0038]

또한, 본 명세서에 있어서, 섹터는 1비트와 복수의 비트의 집합 중의 어느 쪽이라도 좋다. 즉, 섹터란 1비트 이상의 집합을 가리킨다.

[0039]

정보 섹터란 통신기(안테나)로부터 RFID 태그에 송신된 데이터에 포함되는 정보가 기록되는 섹터를 가리킨다.

[0040]

초기 기록 방지 섹터란 초기 기록 방지 섹터와 전기적으로 접속되는 정보 섹터에 정보가 한번 기록된 경우에, 기록이 행해진 정보 섹터에 다시 기록되는 것을 방지하기 위하여 설치되는 섹터를 가리킨다. 또한, 초기 기록 방지용 데이터란 초기 기록 방지 섹터에 기록하기 위한 데이터를 가리키고, 그 데이터의 크기는 특별히 한정되지 않고 1비트 이상의 데이터라면 좋다.

[0041]

기록 가부 판정 섹터란 기록이 행해지는 정보 섹터 등의 섹터에 아무 정보도 기록되어 있지 않은 것을 확인하기

위하여 설치되는 섹터를 가리킨다. 또한, 기록 가부 판정용 데이터란 기록 가부 판정 섹터에 기록하기 위한 데이터를 가리키고, 그 데이터의 크기는 특별히 한정되지 않고, 1비트 이상의 데이터라면 좋다.

[0042] (실시형태 1)

[0043] 본 실시형태에서는 본 발명의 일 형태인 무선 통신에 의하여 데이터를 교신할 수 있는 반도체 장치의 구성에 대하여 설명한다.

[0044] 도 1에 도시한 바와 같이, 반도체 장치(201)는 입력 회로(204), 정전압을 생성하는 회로(205), 제어 회로(206), 및 OTP 메모리 또는 1회-기록 메모리(207; 이하, 메모리라고 기재함)를 갖는다. 본 실시형태에서는 도 1의 반도체 장치(201)를 사용한 RFID 태그에 대하여 도 3을 참조하여 설명한다. 도 3에 도시한 바와 같이 메모리(380)에 정보 섹터(381) 및 초기 기록 방지 섹터(382)를 갖는 경우를 설명한다. 또한, 정보 섹터(381)와 초기 기록 방지 섹터(382)는 전기적으로 접속된다.

[0045] 입력 회로(320)는 입력한 교류 신호를 정류하고, 직류 전압을 생성하는 역할을 갖는다. 회로 구성은 입력한 신호를 정류하고, 직류 전압을 생성하는 역할을 하는 회로라면 어떠한 회로라도 좋다. 예를 들어, 반파 정류 회로, 전파 정류 회로 등의 정류 회로와, 용량 소자, 코일 등의 소자를 조합(組合)한 회로 구성이 있다.

[0046] 정전압을 생성하는 회로(330)는 입력 회로(320)가 생성한 직류 전압 이하의 정전압을 생성하는 역할을 한다. 회로 구성은 전압이나 전류 또는 양쪽 모두에 의하여, 생성한 전압을 일정하게 유지할 수 있는 회로라면 어떠한 회로라도 좋다. 예를 들어, 레귤레이터가 있다.

[0047] 제어 회로(370)는 반도체 장치가 무선 통신에 의하여 수신한 데이터를 해석하는 블록(회로)이다.

[0048] OTP 메모리 또는 1회-기록 메모리(380)는 1회만 기록할 수 있는 메모리의 호칭이다. 1회만 기록할 수 있는 메모리라면 어떠한 메모리라도 좋다.

[0049] 수신한 데이터를 메모리(380)에 기록하는 경우에는, 반도체 접적 회로(310)가 데이터를 수신하면 제어 회로(370)는 수신한 데이터를 해석한다. 그리고, 해석한 결과, 제어 회로(370)는 수신한 데이터를 정보나 초기 기록 방지용 데이터 등으로서 인식한다.

[0050] 제어 회로는 초기 기록 방지 섹터를 판독하여 초기 기록 방지용 데이터가 기록되어 있는지 아닌지를 판단한다.

[0051] 초기 기록 방지 섹터에 초기 기록 방지용 데이터가 기록되는 경우에는, 제어 회로(370)는 무선 통신하는 통신기 등에 에러 코드를 송신한다.

[0052] 초기 기록 방지 섹터에 초기 기록 방지용 데이터가 기록되어 있지 않은 경우에는, 제어 회로(370)는 정보 섹터(381)에 정보를 기록한다. 정보 섹터(381)는 정보를 유지한다.

[0053] 또한, 제어 회로(370)는 초기 기록 방지용 데이터를 초기 기록 방지 섹터(382)에 기록한다. 그리고, 초기 기록 방지 섹터(382)는 초기 기록 방지용 데이터를 유지한다.

[0054] 제어 회로(370)에 의하여 초기 기록 방지용 데이터가 초기 기록 방지 섹터(382)에 기록되면, 정보 섹터(381)에 기록된 정보는 초기 기록할 수 없는 상태로 변화된다. 즉, 제어 회로(370)는 초기 기록 방지용 데이터가 기록된 초기 기록 방지 섹터(382)와 전기적으로 접속되는 정보 섹터에 대하여 기록이 행해지지 않도록 제어한다. 따라서, 초기 기록 방지용 데이터가 기록된 초기 기록 방지 섹터(382)와 전기적으로 접속되는 정보 섹터에 대해서는 초기할 수 없는 상태가 된다.

[0055] 상기 구성에 의하여 정보 섹터(381)에 정보가 기록되면, 초기 기록 방지 섹터(382)에 초기 기록 방지용 데이터가 기록된다. 이로써, 정보 섹터(381)는 초기할 수 없는 상태로 변화된다.

[0056] 따라서, 정보 섹터(381)에 다시 정보가 기록되는 경우에도, 이미 정보가 기록된 정보 섹터(381)에는 초기되는 일이 없다. 즉, 한번 메모리에 기록한 정보를 재기록하지 않고 오기록 및 정보의 개찬을 방지할 수 있다.

[0057] 또한, 본 실시형태에서는 하나의 메모리 내에 초기 기록 방지 섹터, 정보 섹터를 갖는 구성을 설명하지만(도 1에 도시하지 않음), 이 구성에 한정되지 않고, 도 5에 도시한 바와 같이, 초기 기록 방지 섹터(382a, 382b), 정보 섹터(381a, 381b)의 각각이 따로 설치되고, 이들이 전기적으로 접속되는 구성이라도 좋다. 즉, 복수의 메모리가 초기 기록 방지 섹터(382a, 382b), 정보 섹터(381a, 381b)의 용도별로 설치되는 구성이라도 좋다.

[0058] 또한, 하나의 메모리 내에 초기 기록 방지 섹터, 정보 섹터를 갖는 구성을 설명하지만, 특별히 각종 섹터가 하나만 설치되는 구성에 한정되지 않고, 예를 들어, 도 7에 도시한 바와 같이, 복수의 정보 섹터(381, 391)가 설

치되고, 이들과 각각 전기적으로 접속되는 복수의 초기 기록 방지 섹터(382, 392)가 설치되는 구성이라도 좋고, 특별히 섹터의 구성에 한정은 없다. 이 경우에는, 초기 기록 방지 섹터와 전기적으로 접속되는 정보 섹터에 대하여, 한번 메모리에 기록한 정보를 재기록하지 않고, 오기록 및 정보의 개찬을 방지할 수 있다.

[0059] 또한, 초기 기록 방지 섹터 대신에 기록 금지 섹터를 설치하여도 좋다. 이 경우에는, 초기 기록 방지 섹터 대신에 기록 금지 섹터를 설치함으로써, 한번 메모리에 기록한 데이터를 재기록하지 않고, 메모리로의 액세스를 완전히 차단하여 메모리로의 액세스를 금지 상태로 변화시킨다.

[0060] 기록 금지 섹터에 기록 금지용 데이터가 유지되면, 제어 회로는 메모리로의 액세스를 차단하도록 인식시켜둔다. 따라서, 제어 회로는 메모리의 특정의 섹터에 데이터가 유지되면 메모리로의 액세스를 차단하는 구성으로 하면 좋다.

[0061] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0062] (실시형태 2)

[0063] 본 실시형태에서는 실시형태 1과 다른 구성을 갖는 본 발명의 일 형태인 무선 통신에 의하여 데이터를 교신할 수 있는 반도체 장치의 구성에 대하여 설명한다.

[0064] 도 1에 도시한 바와 같이, 반도체 장치(201)는 입력 회로(204), 정전압을 생성하는 회로(205), 제어 회로(206), 메모리(207)를 갖는다. 실시형태 2에서는 도 1의 반도체 장치(201)를 사용한 RFID 태그에 대하여 도 4를 사용하여 설명한다. 도 4에 도시한 바와 같이, 메모리(380)에 정보 섹터(381), 초기 기록 방지 섹터(382), 및 기록 가부 판정 섹터(383)를 갖는 경우를 설명한다. 메모리의 구성 외는 실시형태 1의 반도체 집적 회로와 마찬가지다. 또한, 정보 섹터(381), 초기 기록 방지 섹터(382), 및 기록 가부 판정 섹터(383)는 각각 전기적으로 접속된다.

[0065] 입력 회로(320), 정전압을 생성하는 회로(330), 제어 회로(370)는 실시형태 1과 같은 구성이다. 또한, 메모리(380)도 실시형태 1과 마찬가지로 OTP 메모리 또는 1회-기록 메모리가 사용된다.

[0066] 메모리(380)에 데이터를 기록하는 경우에는, 반도체 집적 회로(310)가 데이터를 수신하면, 제어 회로(370)는 수신한 데이터를 해석한다. 그리고, 해석한 결과, 제어 회로(370)는 수신한 데이터를 정보, 기록 가부 판정용 데이터, 초기 기록 방지용 데이터 등으로서 인식한다.

[0067] 제어 회로(370)는 메모리(380)를 판독한다. 제어 회로(370)는 메모리(380)의 초기 기록 방지 섹터(382) 및 기록 가부 판정 섹터(383)의 각각에 데이터(기록 가부 판정용 데이터, 초기 기록 방지용 데이터)가 기록되어 있는지 아닌지를 판단한다.

[0068] 초기 기록 방지 섹터(382) 및 기록 가부 판정 섹터(383)의 각각에 데이터가 기록되는 경우에는, 여러 코드를 출력하여 메모리로의 기록이 정지한다.

[0069] 기록 가부 판정 섹터(383)는 전기적으로 접속되는 정보 섹터 등(기록 가부 판정 섹터 외의 섹터)에 데이터를 기록하기 위하여, 입력된 전력이 충분한지 아닌지를 판단하기 위하여 설치된 데이터 기록 테스트 섹터로서 기능한다.

[0070] 또한, 제어 회로는 기록 가부 판정 섹터와 초기 기록 방지 섹터의 각각을 판독하여 각각에 데이터가 기록되어 있는지 아닌지를 확인하여도 좋지만, 특별히 한정되지 않는다. 기록 가부 판정 섹터와 초기 기록 방지 섹터의 각각에 전기적으로 접속되는 정보 섹터 등(기록 가부 판정 섹터 및 초기 기록 방지 섹터 외의 섹터)에 데이터가 기록되어 있는지 아닌지를 확인하는 방법으로서, 제어 회로는 기록 가부 판정 섹터와 초기 기록 방지 섹터의 각각에 전기적으로 접속되는 정보 섹터 등으로부터 데이터 또는 정보를 판독하여 데이터 또는 정보가 기록 가부 판정 섹터와 초기 기록 방지 섹터의 각각에 전기적으로 접속되는 정보 섹터 등에 기록되어 있는지 아닌지를 확인하는 방법이라도 좋다.

[0071] 초기 기록 방지 섹터(382) 및 기록 가부 판정 섹터(383)의 각각에 데이터가 기록되어 있지 않은 경우에는, 제어 회로(370)는 기록 가부 판정 섹터(383)에 기록 가부 판정용 데이터를 기록한다. 기록 가부 판정 섹터(383)는 기록 가부 판정용 데이터를 유지한다.

[0072] 기록 가부 판정 섹터(383)에 기록 가부 판정 섹터(383)와 전기적으로 접속되는 정보 섹터(381)에 정보가 기록될 때 기록 가부 판정용 데이터가 기록된다. 따라서, 제어 회로(370)는 수신한 데이터를 메모리(380)에 기록할 때 메모리(380)를 판독하여 기록 가부 판정 섹터(383)에 기록 가부 판정용 데이터가 기록되어 있는지 아닌지를 확인

인함으로써 정보 섹터(381)에 정보의 데이터가 기록되어 있는지 아닌지를 확인한다.

[0073] 따라서, 기록 가부 판정 섹터(383)를 설치함으로써, 메모리(380)에 기록할 때 수신한 데이터를 정확히 기록할 수 있다. 따라서, 기록 불량 등의 불량을 일으킬 가능성이 저감된다.

[0074] 제어 회로(370)는 정보 섹터(381)에 정보를 기록한다. 정보 섹터(381)는 정보를 유지한다.

[0075] 또한, 제어 회로(370)는 초기 기록 방지용 데이터를 초기 기록 방지 섹터(382)에 기록한다. 그리고, 초기 기록 방지 섹터(382)는 초기 기록 방지용 데이터를 유지한다.

[0076] 제어 회로(370)에 의하여 초기 기록 방지용 데이터가 초기 기록 방지 섹터(382)에 기록되면, 정보 섹터(381)에 기록된 정보는 초기 기록할 수 없는 상태로 변화된다. 즉, 제어 회로(370)는 초기 기록 방지용 데이터가 기록된 초기 기록 방지 섹터(382)와 전기적으로 접속되는 정보 섹터에 대하여 기록이 행해지지 않도록 제어한다. 따라서, 초기 기록 방지용 데이터가 기록된 초기 기록 방지 섹터(382)와 전기적으로 접속되는 정보 섹터에는 초기할 수 없는 상태가 된다.

[0077] 상기 구성에 의하여, 정보 섹터(381)에 정보가 기록되면, 초기 기록 방지 섹터(382)에 초기 기록 방지용 데이터가 기록된다. 이로써, 정보 섹터(381)는 초기 기록할 수 없는 상태로 변화된다.

[0078] 따라서, 정보 섹터(381)에 다시 정보가 기록되는 경우라도, 이미 정보가 기록된 정보 섹터(381)에 초기되는 일이 없다. 즉, 정보 섹터(381)에 기록된 정보를 재기록하지 않고, 오기록 및 정보의 개찬을 방지할 수 없다.

[0079] 또한, 기록 가부 판정 섹터(383)를 가짐으로써, 기록 가부 판정 섹터(383)와 전기적으로 접속되는 정보 섹터(381)에 정보가 기록되어 있는지 아닌지를 확인할 수 있다. 제어 회로(370)로부터 기록 가부 판정 섹터(383)와 전기적으로 접속되는 정보 섹터(381)에 기록이 행해질 때 올바른 정보를 정확히 기록할 수 있게 되고, 기록 불량 등의 불량을 일으킬 가능성이 저감되고, 통신기 등과 RFID 태그 사이의 무선 통신의 신뢰성이 향상된다.

[0080] 또한, 본 실시형태에서는 하나의 메모리 내에 초기 기록 방지 섹터, 정보 섹터, 기록 가부 판정 섹터를 갖는 구성을 설명하지만(도 1에 도시하지 않음), 이 구성에 한정되지 않고, 도 8에 도시한 바와 같이, 메모리(380)에는 초기 기록 방지 섹터(382), 정보 섹터(381), 기록 가부 판정 섹터(383)의 각각이 설치되고, 메모리(390)에는 초기 기록 방지 섹터(392), 정보 섹터(391), 기록 가부 판정 섹터(393)의 각각이 설치되고, 이들이 전기적으로 접속되는 구성이라도 좋다. 즉, 복수의 메모리가 초기 기록 방지 섹터, 정보 섹터, 기록 가부 판정 섹터 각각의 용도별로 설치되는 구성이라도 좋다.

[0081] 또한, 하나의 메모리 내에 기록 가부 판정 섹터, 초기 기록 방지 섹터, 정보 섹터를 갖는 구성을 설명하지만, 특별히 각종 섹터가 1개만 설치되는 구성에 한정되지 않고, 예를 들어, 도 6에 도시한 바와 같이, 복수의 정보 섹터(381a, 381b)가 설치되고, 이들과 각각 전기적으로 접속되는 복수의 초기 기록 방지 섹터(382a, 382b), 복수의 기록 가부 판정 섹터(383a, 383b)가 설치되는 구성이라도 좋고, 특별히 섹터의 구성에 한정은 없다. 이 경우에는, 초기 기록 방지 섹터, 기록 가부 판정 섹터와 각각 전기적으로 접속되는 정보 섹터에 대하여, 한번 메모리에 기록한 정보를 재기록하지 않고, 오기록 및 정보의 개찬을 방지할 수 있다.

[0082] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0083] (실시형태 3)

[0084] 본 실시형태에서는 RFID 태그에 본 발명의 일 형태인 반도체 장치를 사용할 때의 구성 및 동작에 대하여 설명한다.

[0085] 무선 통신 시스템의 개략도를 도 9에 도시한다. 무선 통신 시스템은 주로 통신기(3010), 통신기(3010)에 전기적으로 접속되는 안테나 유닛(3020), RFID 태그(300), 통신기를 제어하는 제어용 단말(3030)로 구성된다.

[0086] RFID 태그(300)의 회로 구성을 도 2에 도시한다. RFID 태그(300)는 안테나(301) 및 반도체 접적 회로(310)를 갖는다. 도시하지 않지만 안테나(301)는 반도체 접적 회로(310) 내에 있어도 좋고, 도 2에 도시한 바와 같이, 반도체 접적 회로(310) 외부에 있어도 좋다. 반도체 접적 회로(310)는 본 발명의 일 형태인 반도체 장치의 구성 요소인 입력 회로(320), 정전압을 생성하는 회로(330), 제어 회로(370), 및 메모리(380)를 갖는다. 또한, 메모리(380)의 구체적인 구성에로서는 도 3 등을 들 수 있다.

[0087] 다음에, 도 2 및 도 9를 사용하여 동작에 대하여 설명한다.

[0088] 통신기(3010)에 전기적으로 접속되는 안테나 유닛(3020)으로부터 RFID 태그(300)에 데이터가 송신된다. 송신된

데이터에는 통신기(3010)로부터 RFID 태그(300)에 송신되는 정보 등이 포함된다. 그리고, 송신된 데이터는 RFID 태그(300)가 갖는 안테나(301)에 의하여 수신된다.

[0089] 안테나(301)에 의하여 수신된 데이터는 전기 신호인 교류 신호로서 입력 회로(320)에 송신된다. 입력 회로(320)는 정류 회로 및 용량을 갖는다. 수신된 데이터인 신호는 정류 회로를 통과함으로써 정류되고, 또한 용량에 의하여 평활화된다. 그리고, 직류 전압(이하, VIN이라고 기재함)이 생성된다.

[0090] 정류 회로의 회로 구성은 입력된 신호를 정류하고, 직류 전압을 생성하는 역할을 갖는 회로라면 어떠한 회로라도 좋다. 예를 들어, 반파 정류 회로, 전파 정류 회로 등의 정류 회로와, 용량 소자, 코일 등의 소자를 조합한 구성이 있다.

[0091] VIN을 생성할 때 용량을 사용하지만, 코일을 사용하여도 좋고, 또는 코일과 용량의 양쪽 모두를 사용하여도 좋다. 정류된 신호로 직류 전압을 생성할 수 있으면, 어떤 구성이라도 좋다.

[0092] VIN은 정전압을 생성하는 회로(330)에 송신되어 정전압(이하, VDD라고 기재함)이 생성된다. 정전압을 생성하는 회로(330)는 입력 회로(320)가 생성한 직류 전압(이하, VIN이라고 기재함) 이하의 정전압을 생성하는 역할을 갖는다. 정전압을 생성하는 회로(330)의 회로 구성은 전압 또는 전류, 또는 양쪽 모두에 의하여, 생성한 전압을 일정하게 유지할 수 있는 회로라면 어떤 회로라도 좋다. 예를 들어, 레귤레이터가 있다.

[0093] 정전압을 생성하는 회로(330)에서 생성된 VDD는 각 회로에 공급된다. 또한, 저전원 전위(VSS)는 각 회로에서 공통적으로 사용된다.

[0094] 입력 회로(320)가 생성하는 전압이 작은 경우에는 정전압을 생성하는 회로(330)는 없어도 좋다. 그 경우에는, 입력 회로(320)가 생성한 VIN가 각 회로에 공급된다. 또한, 저전원 전위(VSS)는 각 회로에서 공통적으로 사용된다.

[0095] 또한, 안테나(301)에 의하여 수신된 데이터는 교류 신호로서 복조 회로(340)에도 송신된다. 복조 회로(340)는 정류 회로, 저항, 및 용량 등으로 구성된다. 그리고, 수신된 데이터는 정류되고, 복조된다. 이하에 있어서, 복조된 신호를 복조 신호라고 부른다.

[0096] 정류 회로의 회로 구성은 입력한 신호를 정류하고, 직류 전압을 생성하는 역할을 갖는 회로라면 어떤 회로라도 좋다. 예를 들어, 반파 정류 회로, 전파 정류 회로 등의 정류 회로와, 용량 소자, 코일 등의 소자를 조합한 회로 구성이 있다.

[0097] 또한, 저항 및 용량은 정류 회로를 통과한 신호를 복조하기 위하여 이용된다. 정류 회로를 통과한 신호가 복조되는 구성이라면 어떤 식으로 접속되어도 좋다. 예를 들어, 저항과 용량을 π형으로 결합하는 구성이 있다.

[0098] 또한, 복조 회로(340)의 후단에 아날로그 앰프를 설치하여 복조 신호를 증폭하여도 좋다. 복조 신호를 증폭함으로써 신호 과형이 성형된다. 신호 과형이 왜곡되어 있으면 각 회로간의 신호의 지연이 커져 동작이 불안정하게 될 경우가 있다. 그러나, 신호 과형이 성형되어 있으면 각 회로간의 신호의 지연이 작아 안정 동작시킬 수 있다.

[0099] 또한, 안테나(301)에 의하여 수신된 데이터는 교류 신호로서 클록 생성 회로(360)에도 송신된다. 클록 생성 회로(360)는 교류 신호를 분주하고, 기본 클록 신호를 발생시키는 회로이다. 클록 생성 회로(360)에서 생성된 기본 클록 신호는 각 회로에 송신되고, 각 회로 내의 신호의 래치 및 선택, 시간의 카운터 등에 사용된다. 또한, 도시하지 않지만, 복조 신호가 클록 생성 회로에 공급되어도 좋다.

[0100] 복조 신호 및 기본 클록 신호는 제어 회로(370)에 송신된다. 제어 회로(370)에서는 RFID 태그(300)에 송신된 데이터를 복조 신호로부터 추출한다. 또한, RFID 태그(300)에 송신된 데이터가 어떤 데이터인지를 복조 신호로부터 판별한다. 또한, 각 회로를 제어하는 신호도 생성한다.

[0101] 그리고, 제어 회로(370)는 통신기(3010)로부터 송신된 데이터를 판정한다.

[0102] 통신기(3010)로부터 본 발명의 일 형태인 반도체 장치를 사용한 RFID 태그(300)에, 통신기(3010)로부터 송신된 데이터를 메모리(380)에 기록하라는 명령이 포함되어 있는 데이터가 송신된 경우에는, 메모리(380)에 통신기(3010)로부터 송신된 데이터가 기록된다. 구체적으로는, 정보 섹터에 정보가 기록되고, 초기 기록 방지 섹터에 초기 기록 방지용 데이터가 기록되는 등, 통신기(3010)로부터 송신된 데이터가 제어 회로(370)에서 판단된 내용에 따라 RFID 태그(300)가 동작한다.

- [0103] 정보 섹터에 정보를 기록하라는 명령이 통신기(3010)로부터 송신된 데이터에 포함되어 있다고 제어 회로(370)가 판단한 경우에는, 정보 섹터는 통신기(3010)로부터 송신된 데이터에 포함되어 있는 정보가 제어 회로(370)에 의하여 기록된다.
- [0104] 또한, 메모리(380)가 도 3에 도시한 바와 같은 구성인 경우에는, 정보 섹터에 정보가 기록되면, 기록된 정보 섹터와 전기적으로 접속되는 초기 기록 방지 섹터에는 제어 회로(370)로부터 초기 기록 방지용 데이터가 기록된다. 초기 기록 방지 섹터에 데이터가 기록되어 유지되면, 본 반도체 장치의 상태는 기록 명령이 포함된 데이터를 수신하기 전의 초기 상태로부터, 기록 명령이 포함된 데이터를 수신하여 초기 기록 방지 섹터에 데이터가 기록된 후의 상태, 즉 초기 기록할 수 없는 상태로 변화된다.
- [0105] 또한, 본 발명의 일 형태인 반도체 장치를 사용한 RFID 태그(300)가 갖는 메모리(380)에 유지된 데이터를 판독하라는 명령이 포함된 데이터가 통신기(3010)로부터 송신된 경우에는, RFID 태그(300)는 메모리(380)에 유지된 데이터(정보 섹터에 유지된 정보 등) 또는 기록된 ID 번호 등의 고유 데이터를 포함한 데이터를 통신기(3010)에 송신한다.
- [0106] 또한, 제어 회로(370)는 메모리(380)에 유지되거나 또는 기록된 ID 번호 등의 고유 데이터를 포함한 데이터를 ISO 등의 규격에 따른 부호화 방식으로 부호화한 신호로 바꾸는 역할도 한다. 그리고, 부호화된 신호에 따라 변조 회로(350)에 의하여 안테나(301)가 수신한 데이터로서의 신호를 변조한다.
- [0107] 변조된 데이터는 통신기(3010)에 전기적으로 접속되는 안테나 유닛(3020)에서 수신된다. 그리고, 수신된 데이터는 통신기(3010)에서 해석되어 본 발명의 일 형태인 반도체 장치를 사용한 RFID 태그(300)의 ID 번호 등의 고유 데이터를 인식할 수 있다.
- [0108] 메모리(380)는 OTP 메모리 또는 1회-기록 메모리 등의 1회만 기록할 수 있는 메모리이다. 1회만 기록할 수 있는 메모리라면 어떠한 메모리라도 좋다.
- [0109] 또한, 메모리(380)는 OTP 메모리 또는 1회-기록 메모리 등의 1회만 기록할 수 있는 메모리 외에 MROM 등의 판독만 할 수 있는 메모리를 가져도 좋다.
- [0110] 상술한 바와 같이, 본 발명의 일 형태인 반도체 장치를 갖는 RFID 태그는 적어도 2가지 상태를 갖는다. 즉, 메모리로의 기록 명령이 포함된 데이터를 수신하고, 메모리에 통신기(3010)로부터 송신된 데이터를 기록한 후에는 메모리에 초기 기록 방지용 데이터를 기록하기 전의 상태로부터 초기할 수 없는 상태로 변화되므로, 다시 기록 명령이 포함된 데이터를 수신하여도 초기되는 일이 없다. 따라서, 한번 메모리에 기록한 데이터를 재기록하지 않고, 오기록 및 데이터의 개찬을 방지하는 RFID 태그를 제공할 수 있다.
- [0111] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0112] (실시형태 4)
- [0113] 본 실시형태에서는 RFID 태그에 본 발명의 일 형태인 반도체 장치를 사용할 때의 더 자세한 동작에 대하여 설명한다.
- [0114] 무선 통신 시스템의 개략도를 도 9에 도시한다. 또한, 본 발명의 일 형태인 반도체 장치를 사용한 RFID 태그의 동작을 설명하는 플로차트의 일례를 도 10에 도시한다.
- [0115] 또한, 도 10의 플로차트는 본 발명의 일 형태인 반도체 장치를 사용한 RFID 태그의 동작의 일례이고, 이 동작(플로)에 한정되는 것은 아니다. 각 동작(플로) 사이에 도 10에 기재되지 않은 동작(플로)이 포함되어도 좋다.
- [0116] 또한, 본 발명의 일 형태인 반도체 장치를 사용한 RFID 태그가 갖는 OTP 메모리 또는 1회-기록 메모리 등의 1회만 기록할 수 있는 메모리는 메모리 셀의 워드 방향의 동작을 제어하는 디코더, 메모리 셀의 비트 방향의 동작을 제어하는 디코더, 및 복수의 메모리 셀이 규칙적으로 배치된 메모리 셀 어레이로 구성된다.
- [0117] 또한, 본 발명의 일 형태인 반도체 장치를 사용한 RFID 태그가 갖는 OTP 메모리 또는 1회-기록 메모리 등의 1회만 기록할 수 있는 메모리는 프리 차지 회로를 가져도 좋다.
- [0118] 프리 차지 회로는 메모리 셀의 데이터를 판독하거나, 또는 메모리 셀에 데이터를 기록하기 전에 미리 비트선의 전위를 어느 전위까지 상승시키는 회로이다. 프리 차지 회로를 실장함으로써 판독시 또는 기록시에 디코더가 동작할 때의 부하를 저감하고, 판독 시간 또는 기록 시간을 단축할 수 있다.
- [0119] 또한, 복수의 메모리 셀이 규칙적으로 배치된 메모리 셀 어레이는 적어도 사용자가 자유롭게 기록할 수 있는 정

보 섹터를 갖는다. 또한, 기록 가부 판정 섹터나 초기 기록 방지 섹터를 가져도 좋다.

[0120] 즉, 하나의 메모리에 특정의 기능을 하는 복수의 섹터를 갖는 메모리의 구성으로 하여도 좋다. 구체적으로는, 메모리의 구성은 정보 섹터와 초기 기록 방지 섹터의 구성이라도 좋고, 또한 정보 섹터와 초기 기록 방지 섹터와 기록 가부 판정 섹터의 구성이라도 좋고, 또한 다른 기능을 하는 섹터를 가져도 좋다.

[0121] 또한, 특정의 정보 또는 데이터만을 유지하는 복수의 메모리의 구성을 가져도 좋다. 예를 들어, 정보 섹터의 정보를 유지하는 메모리(정보 메모리)와, 기록 가부 판정용 데이터를 유지하는 메모리(기록 가부 판정 메모리)와, 초기 기록 방지용 데이터를 유지하는 메모리(초기 기록 방지 메모리) 등의 복수의 메모리로 구성되는 메모리의 구성도 있다. 또한, 정보 메모리와 기록 가부 판정 메모리와 초기 기록 방지 메모리는 각각 전기적으로 접속되어도 좋다. 또한, 기록 가부 판정 메모리를 갖지 않은 구성이라도 좋다. 즉, 정보 메모리와 초기 기록 방지 메모리만의 구성으로 하여도 좋다.

[0122] 본 실시형태에서는 하나의 메모리 내에 정보 섹터와 초기 기록 방지 섹터를 갖는 메모리의 동작에 대하여 설명한다. 이하, 본 발명의 일 형태인 반도체 장치를 사용한 RFID 태그의 동작의 플로차트의 일례인 도 10을 설명한다.

[0123] 우선, 본 발명의 일 형태인 반도체 장치를 사용한 RFID 태그(300)에 통신기(3010)로부터 송신된 데이터를 메모리(380)에 기록하라는 명령이 포함된 데이터가 통신기(3010)로부터 송신된다.

[0124] RFID 태그(300)는 통신기(3010)로부터 송신된 데이터를 수신한다(기록 명령을 수신함: F1001). 그리고, 제어 회로에는 입력 회로로부터 수신한 데이터가 입력된다. 제어 회로는 수신한 데이터를 유지한다. 제어 회로는 수신한 데이터를 해석하여 정보, 초기 기록 방지용 데이터 등으로서 인식한다.

[0125] 초기 기록 방지 섹터에 초기 기록 방지용 데이터가 기록되어 있는지 아닌지를 확인하기 위하여 제어 회로는 초기 기록 방지 섹터를 판독하여 데이터가 기록되어 있는지 아닌지를 확인한다(초기 기록 방지 섹터의 데이터를 판독함: F1002).

[0126] 다음에, 제어 회로는 RFID 태그(300) 내의 메모리의 초기 기록 방지 섹터에 초기 기록 방지용 데이터가 기록되어 있는지 아닌지를 판단한다(초기 기록 방지 섹터에 데이터가 기록되어 있는지 아닌지: F1003).

[0127] 초기 기록 방지 섹터에 데이터가 기록되어 있는 경우에는, RFID 태그(300)는 기록이 불가능하다는 에러 코드를 통신기(3010)에 송신한다(에러 코드를 송신함: F1004). 즉, RFID 태그(300)는 규격이나 사양 등에 따른 에러 코드를 통신기(3010)에 송신한다.

[0128] 또한, 초기 기록 방지 섹터에 초기 기록 방지용 데이터가 기록되어 있지 않은 경우에는, 메모리 내의 정보 섹터에는 통신 기기(3010)로부터 송신된 정보가 제어 회로(370)로부터 입력되고, 정보 섹터는 송신된 정보를 유지한다(정보 섹터에 정보를 기록함: F1005).

[0129] 통신기(3010)로부터 송신된 데이터에 포함된 정보가 메모리 내의 정보 섹터에 올바르게 기록되었는지 아닌지를 확인한다(정보가 일치되는지 아닌지: F1006). 제어 회로는 정보 섹터에 기록된 정보를 판독한다. 제어 회로는 정보 섹터로부터 판독한 정보와 통신기(3010)로부터 송신된 데이터에 포함된 정보를 조합(照合)하여 올바르게 기록되었는지 아닌지를 확인한다.

[0130] 정보 섹터로부터 판독된 정보와 통신기(3010)로부터 송신된 데이터에 포함된 정보를 조합한 결과, 일치되는 것이 확인되면, 송신된 데이터에 포함된 정보가 정보 섹터에 올바르게 기록된 것을 확인되었다고 판단되어 다음 동작으로 진행한다. 그러나, 일치된 것을 확인할 수 없었던 경우에는 도 10의 F1005와 F1006의 동작을 반복하여 재기록을 행한다. 이것에 추가하여 재기록의 시행 횟수를 판단한다(n 회째인지($n \geq 1$): F1007). 재기록의 시행 횟수는 규격이나 사양 등을 고려하여 설정하면 좋다.

[0131] 또한, 설정한 시행 횟수의 재기록이 실패한 경우에는, 메모리로부터 판독된 정보와 상기 통신기(3010)로부터 송신된 데이터에 포함된 정보가 일치되지 않는다고 판단되어 정보 섹터에 기록된 정보가 올바르게 기록되지 않았다고 판단된다. 따라서, 제어 회로는 기록이 불가능하다고 판단하여 에러 코드를 출력한다. RFID 태그(300)는 에러 코드를 통신기(3010)에 송신한다(에러 코드를 송신함: F1008). 즉, RFID 태그(300)는 규격이나 사양 등에 따른 에러 코드를 통신기(3010)에 송신한다.

[0132] 정보 섹터로부터 판독된 정보와 통신기(3010)로부터 송신된 데이터에 포함된 정보를 조합한 결과, 일치된 것이 확인되면, 초기 기록 방지 섹터에는 초기 기록 방지용 데이터가 제어 회로로부터 입력된다(초기 기록 방지 섹터

에 데이터를 기록함: F1009). 추기 기록 방지용 데이터는 추기 기록 방지용 섹터에 유지된다. 추기 기록 방지 섹터에 추기 기록 방지용 데이터가 유지되면 RFID 태그(300)의 상태는 기록할 수 있는 상태로부터 추기할 수 없는 상태로 변화된다.

[0133] 그리고, RFID 태그(300)는 통신기(3010)로부터 송신된 데이터의 메모리로의 기록을 종료한다(기록이 종료됨: F1010).

[0134] 추기 기록 방지 섹터에 추기 기록 방지용 데이터를 유지시킴으로써, 추기 기록 방지 섹터 내의 해당하는 워드 또는 비트로의 기록이 금지된다. 또는, 추기 기록 방지 섹터와 전기적으로 접속되는 정보 섹터로의 기록이 금지된다(정보 섹터가 유지하는 정보의 판독은 가능함). 또는, 모든 메모리 셀로의 기록이 종료된 단계에서 본 발명의 일 형태인 반도체 장치를 탑재한 RFID 태그는 기록이 불가능하게 된다. 즉, 메모리에 한번 기록을 행하면 추기 기록 방지 섹터에 추기 기록 방지용 데이터가 유지되므로, 본 발명의 일 형태인 반도체 장치의 상태가 상이한 상태로 변화된다. 따라서, 통신기로부터 정보를 기록하라는 명령으로서의 데이터가 재송신되어도 추기 할 수 없다.

[0135] 상술한 바와 같이, 본 발명의 일 형태인 반도체 장치를 갖는 RFID 태그는 한번 메모리에 기록한 데이터를 재기록하지 않고, 오기록 및 데이터의 개찬을 방지하는 RFID 태그를 제공할 수 있다.

[0136] 또한, 통신기(3010)로부터 송신된 데이터에 추기 기록 방지용 데이터가 포함된 예를 제시하지만, 특별히 한정되지 않고, 통신기(3010)로부터 송신된 데이터에 추기 기록 방지용 데이터가 포함되지 않아도 좋고, 그 경우에는, 정보 섹터에 정보가 기록된 것을 나타내는 데이터가 제어 회로로부터 추기 기록 방지 섹터에 기록된다.

[0137] 또한, 하나의 메모리 내에 정보 섹터와 추기 기록 방지 섹터를 갖는 메모리를 설명하지만, 각종 섹터가 하나만 설치된 구성에 특별히 한정되지 않고, 예를 들어, 도 5 및 도 6에 도시한 바와 같이, 복수의 정보 섹터(381a, 381b)가 설치되고, 이들과 각각 전기적으로 접속되는 복수의 추기 기록 방지 섹터(382a, 382b)가 설치된 구성이라도 좋고, 특별히 섹터의 구성에 한정은 없다. 이 경우에는, 추기 기록 방지 섹터와 전기적으로 접속되는 정보 섹터에 대하여, 한번 메모리에 기록된 데이터를 재기록하지 않고, 오기록 및 데이터의 개찬을 방지할 수 있다.

[0138] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0139] (실시형태 5)

[0140] 본 실시형태에서는 RFID 태그에 본 발명의 일 형태인 반도체 장치를 사용할 때의 더 자세한 동작에 대하여 설명한다.

[0141] 무선 통신 시스템의 개략도를 도 9에 도시한다. 또한, 본 발명의 일 형태인 반도체 장치를 사용한 RFID 태그의 동작의 플로차트의 일례를 도 11에 도시한다.

[0142] 또한, 도 11의 플로차트는 본 발명의 일 형태인 반도체 장치를 사용한 RFID 태그의 동작의 일례이고, 이 동작(플로)에 한정되지 않는다. 각 동작(플로) 사이에 도 11에 기재되지 않은 동작(플로)이 포함되어도 좋다.

[0143] 또한, 본 발명의 일 형태인 반도체 장치를 사용한 RFID 태그가 갖는 OTP 메모리 또는 1회-기록 메모리 등의 1회만 기록할 수 있는 메모리는 메모리 셀의 워드 방향의 동작을 제어하는 디코더, 메모리 셀의 비트 방향의 동작을 제어하는 디코더, 및 복수의 메모리 셀이 규칙적으로 배치된 메모리 셀 어레이로 구성된다.

[0144] 또한, 본 발명의 일 형태인 반도체 장치를 사용한 RFID 태그가 갖는 OTP 메모리 또는 1회-기록 메모리 등의 1회만 기록할 수 있는 메모리는 프리 차지 회로를 가져도 좋다.

[0145] 프리 차지 회로는 메모리 셀의 데이터를 판독하거나 또는 메모리 셀에 데이터를 기록하기 전에 미리 비트선의 전위를 어느 전위까지 상승시키는 회로이다. 프리 차지 회로를 실장함으로써 판독시 또는 기록시에 디코더가 동작할 때의 부하를 저감하고, 판독 또는 기록 시간을 단축할 수 있다.

[0146] 또한, 복수의 메모리 셀이 규칙적으로 배치된 메모리 셀 어레이는 적어도 사용자가 자유롭게 기록할 수 있는 정보 섹터를 갖는다. 또한, 기록 가부 판정 섹터나 추기 기록 방지 섹터를 가져도 좋다. 즉, 하나의 메모리에 특정의 기능을 하는 복수의 섹터를 갖는 메모리의 구성으로 하여도 좋다. 구체적으로는, 메모리의 구성은 정보 섹터와 추기 기록 방지 섹터의 구성이라도 좋고, 또한 정보 섹터와 추기 기록 방지 섹터와 기록 가부 판정 섹터의 구성이라도 좋고, 또한 다른 기능을 하는 섹터를 가져도 좋다.

- [0147] 또한, 특정의 정보 또는 데이터만을 유지하는 복수의 메모리의 구성을 가져도 좋다. 예를 들어, 도 12 및 도 13에 도시한 바와 같이, 정보 섹터(401)의 정보를 유지하는 메모리(400; 정보 메모리)와, 초기 기록 방지 섹터(412)의 데이터를 유지하는 메모리(410; 초기 기록 방지 메모리)와, 기록 가부 판정 섹터(423)의 데이터를 유지하는 메모리(420; 기록 가부 판정 메모리) 등의 복수의 메모리로 구성되는 메모리의 구성도 있다. 또한, 정보 메모리(400)와 초기 기록 방지 메모리(410)와 기록 가부 판정 메모리(420)는 각각 전기적으로 접속되어도 좋다.
- [0148] 본 실시형태에서는 하나의 메모리 내에 정보 섹터와 초기 기록 방지 섹터와 기록 가부 판정 섹터를 갖는 메모리의 동작에 대하여 설명한다. 이하, 본 발명의 일 형태인 반도체 장치를 사용한 RFID 태그의 동작의 플로차트의 일례인 도 11을 설명한다.
- [0149] 우선, 본 발명의 일 형태인 반도체 장치를 사용한 RFID 태그(300)에 통신기(3010)로부터 송신된 데이터를 메모리(380)에 기록하라는 명령이 포함된 데이터가 통신기(3010)로부터 송신된다.
- [0150] RFID 태그(300)는 통신기(3010)로부터 송신된 데이터를 수신한다(기록 명령을 수신함: F1101). 그리고, 제어 회로에는 입력 회로로부터 수신한 데이터가 입력되고, 제어 회로는 수신한 데이터를 유지한다.
- [0151] 기록 가부 판정 섹터와 초기 기록 방지 섹터에 각각의 데이터(기록 가부 판정용 데이터, 초기 기록 방지용 데이터)가 기록되어 있는지 아닌지를 확인하기 위하여 제어 회로는 기록 가부 판정 섹터와 초기 기록 방지 섹터의 각각을 판독하여 각각의 데이터(기록 가부 판정용 데이터, 초기 기록 방지용 데이터)가 기록되어 있는지 아닌지를 확인한다(기록 가부 판정 섹터 및 초기 기록 방지 섹터의 데이터를 판독함: F1102).
- [0152] 또한, 제어 회로는 기록 가부 판정 섹터와 초기 기록 방지 섹터의 각각을 판독하여 각각의 데이터가 기록되어 있는지 아닌지를 확인하여도 좋지만, 특별히 한정되지 않는다. 기록 가부 판정 섹터와 초기 기록 방지 섹터의 각각에 전기적으로 접속되는 정보 섹터 등(기록 가부 판정 섹터 및 초기 기록 방지 섹터 외의 섹터)에 데이터가 기록되어 있는지 아닌지를 확인하는 방법으로서, 제어 회로는 기록 가부 판정 섹터와 초기 기록 방지 섹터의 각각에 전기적으로 접속되는 정보 섹터 등으로부터 데이터 또는 정보를 판독하여 데이터 또는 정보가 기록 가부 판정 섹터와 초기 기록 방지 섹터의 각각에 전기적으로 접속되는 정보 섹터 등에 기록되어 있는지 아닌지를 확인하는 방법이라도 좋다.
- [0153] 다음에, 제어 회로는 RFID 태그(300) 내의 메모리의 기록 가부 판정 섹터와 초기 기록 방지 섹터에 각각의 데이터(기록 가부 판정용 데이터, 초기 기록 방지용 데이터)가 기록되어 있는지 아닌지를 판단한다(기록 가부 판정 섹터 및 초기 기록 방지 섹터에 데이터가 기록되어 있는지 아닌지: F1103).
- [0154] 기록 가부 판정 섹터와 초기 기록 방지 섹터에 각각의 데이터(기록 가부 판정용 데이터, 초기 기록 방지용 데이터)가 기록된 경우에는, 제어 회로는 기록이 불가능하다고 판단하여 에러 코드를 출력한다. RFID 태그(300)는 에러 코드를 통신기(3010)에 송신한다(에러 코드를 송신함: F1104). 즉, RFID 태그(300)는 규격이나 사양 등에 따른 에러 코드를 통신기(3010)에 송신한다.
- [0155] 또한, 기록 가부 판정 섹터와 초기 기록 방지 섹터에 각각의 데이터(기록 가부 판정용 데이터, 초기 기록 방지용 데이터)가 기록되어 있지 않은 경우에는, 기록 가부 판정 섹터에 제어 회로로부터 기록 가부 판정용 데이터가 입력되고, 기록 가부 판정 섹터는 기록 가부 판정용 데이터를 유지한다(기록 가부 판정 섹터에 데이터를 기록함: F1105). 기록 가부 판정 섹터에 기록 가부 판정용 데이터가 유지되면, 유지된 기록 가부 판정 섹터와 전기적으로 접속되는 워드선 또는 비트선에 데이터를 기록하기 위한 전력이 충분히 있다고 제어 회로는 판단하여 기록 가부 판정 섹터와 전기적으로 접속되는 정보 섹터에 기록할 수 있게 된다.
- [0156] 다음에, 메모리의 정보 섹터에는 통신기(3010)로부터 송신된 정보가 제어 회로(370)로부터 입력된다(정보 섹터에 정보를 기록함: F1106). 정보 섹터는 통신기(3010)로부터 송신된 정보를 유지한다.
- [0157] 통신기(3010)로부터 송신된 데이터에 포함된 정보가 메모리 내의 정보 섹터에 올바르게 기록되었는지 아닌지를 확인한다(정보가 일치되는지 아닌지: F1107). 제어 회로는 정보 섹터에 기록된 정보를 판독한다. 제어 회로는 정보 섹터로부터 판독한 정보와 통신기(3010)로부터 송신된 데이터에 포함된 정보를 조합하여 올바르게 기록되었는지 아닌지를 확인한다.
- [0158] 정보 섹터로부터 판독된 정보와 통신기(3010)로부터 송신된 데이터에 포함된 정보를 조합한 결과, 일치되는 것이 확인되면, 송신된 데이터에 포함된 정보는 정보 섹터에 올바르게 기록된 것이 확인되었다고 판단되어 다음 동작으로 진행한다. 그러나, 일치된 것을 확인할 수 없었던 경우에는 도 11의 F1106와 F1007의 동작을 반복하여 재기록을 행한다. 이것에 추가하여 재기록의 시행 횟수를 판단한다(n회째인지(n≥1): F1108). 재기록의 시

행 횟수는 규격이나 사양 등을 고려하여 설정하면 좋다.

[0159] 또한, 설정한 시행 횟수의 재기록이 실패한 경우에는, 정보 섹터로부터 판독된 정보와 제어 회로에 유지되는 통신기(3010)로부터 송신된 데이터에 포함된 정보가 일치되지 않는다고 판단되어 정보가 올바르게 기록되지 않았다고 판단된다. 따라서, 기록이 불가능하다는 에러 코드를 통신기(3010)에 송신한다(에러 코드를 송신함: F1109). 즉, RFID 태그(300)는 규격이나 사양 등에 따른 에러 코드를 통신기(3010)에 송신한다.

[0160] 정보 섹터로부터 판독된 정보와 제어 회로에 유지되는 통신기(3010)로부터 송신된 데이터에 포함된 정보를 조합한 결과, 일치된 것이 확인되면, 초기 기록 방지 섹터에 제어 회로로부터 초기 기록 방지용 데이터가 입력된다(초기 기록 방지 섹터에 데이터를 기록함: F1110). 초기 기록 방지용 데이터가 초기 기록 방지 섹터에 유지되면 RFID 태그(300)의 상태는 기록할 수 있는 상태로부터 초기할 수 없는 상태로 변화된다.

[0161] 그리고, RFID 태그(300)는 통신기(3010)로부터 송신된 데이터의 메모리로의 기록을 종료한다(기록이 종료됨: F1111).

[0162] 초기 기록 방지 섹터에 초기 기록 방지용 데이터를 유지시킴으로써 초기 기록 방지 섹터 내의 해당하는 워드 또는 비트로의 기록이 금지된다(정보 섹터가 유지하는 정보를 판독하는 것은 가능함). 또는, 초기 기록 방지 섹터에 전기적으로 접속되는 정보 섹터로의 기록이 금지된다. 모든 메모리 셀로의 기록이 종료된 단계에서 본 발명의 일 형태인 반도체 장치를 탑재한 RFID 태그는 기록이 불가능하게 된다. 즉, 메모리에 한번 기록을 행하면 초기 기록 방지 섹터에 초기 기록 방지용 데이터가 유지되므로, 통신기로부터 정보를 기록하라는 명령으로서의 데이터가 재송신되어도 메모리에 초기할 수 없다.

[0163] 상술한 바와 같이, 본 발명의 일 형태인 반도체 장치를 갖는 RFID 태그는 한번 메모리에 기록한 데이터를 재기록하지 않고, 오기록 및 데이터의 개찬을 방지하는 RFID 태그를 제공할 수 있다.

[0164] 또한, 통신기(3010)로부터 송신된 데이터에 기록 가부 판정용 데이터 및 초기 기록 방지용 데이터가 포함된 예를 제시하지만, 특별히 한정되지 않고, 통신기(3010)로부터 송신된 데이터에 기록 가부 판정용 데이터 및 초기 기록 방지용 데이터가 포함되지 않아도 좋고, 그 경우에는, 제어 회로로부터 정보 섹터에 정보가 기록된 것을 나타내는 데이터가 초기 기록 방지 섹터에 기록된다.

[0165] 또한, 하나의 메모리 내에 기록 가부 판정 섹터, 초기 기록 방지 섹터, 정보 섹터를 갖는 구성을 설명하지만, 특별히 각종 섹터가 하나만 설치된 구성에 한정되지 않고, 예를 들어, 도 6에 도시한 바와 같이, 복수의 정보 섹터(381a, 381b)가 설치되고, 이들과 각각 전기적으로 접속되는 복수의 초기 기록 방지 섹터(382a, 382b), 복수의 기록 가부 판정 섹터(383a, 383b)가 설치된 구성이라도 좋고, 특별히 섹터의 구성에 한정은 없다. 이 경우에는, 기록 가부 판정 섹터, 초기 기록 방지 섹터와 전기적으로 접속되는 정보 섹터에 대하여, 한번 메모리에 기록된 데이터를 재기록하지 않고, 오기록 및 데이터의 개찬을 방지할 수 있다.

[0166] 또한, 기록 가부 판정 섹터 및 초기 기록 방지 섹터는 이상적으로는 1비트마다 설치하는 것이 바람직하다. 그러나, 1비트마다 설치한 경우에는, 같은 용량의 메모리가 적어도 하나 이상 필요하게 된다. 그리고, 메모리의 면적이 증가하여 RFID 태그 자체의 면적도 커져 하나의 기판당의 RFID 태그의 개수가 적게 돼 버리는 등의 바람직하지 않은 사태가 일어난다. 따라서, 기록 가부 판정 섹터는 메모리 셀의 불량률, 필요한 용장 기능 등을 고려하여 워드선마다, 비트선마다 설치되는 일이 많다.

[0167] 또한, 기록 가부 판정 섹터(383)를 가짐으로써, 기록 가부 판정 섹터(383)와 전기적으로 접속되는 정보 섹터(381)에 정보가 기록되어 있는지 아닌지를 확인할 수 있다. 기록 가부 판정 섹터(383)와 전기적으로 접속되는 정보 섹터(381)에 제어 회로(370)로부터 기록이 행해질 때, 올바른 정보를 정확히 기록할 수 있게 되고, 기록 불량 등의 불량률을 일으킬 가능성이 저감되고, 통신기 등과 RFID 태그 사이의 무선 통신의 신뢰성이 향상된다.

[0168] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0169] (실시형태 6)

[0170] 본 실시형태에서는 안티 퓨즈형의 OTP 메모리를 구비하는 반도체 기억 장치를 구비하는 반도체 장치의 제작 방법에 대하여 도 14a 내지 도 18d를 사용하여 이하에 설명한다. 여기서는, 동일 기판 위에 논리 회로부(1550)와 반도체 기억 회로부(1552)와 안테나부(1554)가 형성된 반도체 장치를 제작하는 본 실시형태를 제시한다. 논리 회로부(1550)에는 박막 트랜지스터를 사용한 회로가 집적된다. 반도체 기억 회로부(1552)는 복수의 박막 트랜지스터 및 안티 퓨즈형 메모리 소자에 의하여 메모리 셀이 구성된다. 또한, 편의상 논리 회로부(1550)를 구성하는 2개의 박막 트랜지스터, 반도체 기억 회로부(1552)를 구성하는 1개의 박막 트랜지스터 및 하나의 메모리

소자, 및 안테나부(1554)를 구성하는 하나의 용량 및 하나의 박막 트랜지스터의 단면도를 도시한다. 또한, 본 실시형태에 있어서의 단면도에 도시하는 각 소자는 단면 구조를 명확히 도시하기 위하여 과장한 축척으로 표기하는 경우가 있다.

[0171] 또한, 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키는 것으로서 설명한다.

[0172] 우선, 지지 기판(1501) 위에 박리층(1502)을 형성한다. 지지 기판(1501)으로서는 유리 기판을 사용한다. 또한, 박리층(1502)으로서는, 예를 들어, 본 실시형태에 있어서는, 금속층 및 금속 산화물층의 적층 구조로 한다. 금속층으로서는, 스퍼터링법을 사용하여 얻을 수 있는 30nm 내지 200nm의 텅스텐층, 질화텅스텐층, 또는 몰리브덴층을 사용한다. 금속 산화물층으로서는, 텅스텐 산화물, 몰리브덴 산화물, 티타늄 산화물, 탄탈 산화물, 코발트 산화물을 사용한다. 금속층만이라도 좋다.

[0173] 다음에, 박리층(1502)의 표면을 산화시켜 금속 산화물층을 형성한다. 금속 산화물층의 형성 방법으로서는, 순수나 오존수를 사용하여 박리층(1502) 표면을 산화하여 형성하여도 좋고, 산소 플라즈마에 의하여 박리층(1502) 표면을 산화하여 형성하여도 좋다. 또한, 산소를 함유한 분위기하에서 가열함으로써 금속 산화물층을 형성하여도 좋다. 또한, 금속 산화물층은 박리층(1502) 위에 형성하는 절연층의 형성 공정에서 형성하여도 좋다. 예를 들어, 절연층으로서 산화실리콘층이나 산화질화실리콘층을 플라즈마 CVD법을 사용하여 형성할 때 박리층(1502) 표면이 산화되어 금속 산화물층이 형성된다. 또한, 여기서는 금속 산화물층은 도시하지 않는다. 또한, 박리층(1502)과 기판 사이에 산화실리콘층이나 질화실리콘층 등의 하지 절연층을 형성하여도 좋다. 본 실시형태에서는 하지 절연층으로서 산화질화실리콘을 100nm, 금속층으로서 텅스텐을 30nm, 제 1 절연층으로서 산화실리콘을 200nm 적층한 것을 사용한다(도 14a 참조).

[0174] 다음에, 박리층(1502) 위에 제 1 절연층(1503)을 형성한다. 제 1 절연층(1503)으로서는, 산화실리콘층, 질화실리콘층, 또는 산화질화실리콘층 등의 절연층을 형성한다. 제 1 절연층(1503)의 일례로서는, 플라즈마 CVD법에 의하여 SiH₄, NH₃, 및 N₂O가 반응 가스로서 성막되는 막 두께 50nm 내지 100nm의 질화산화실리콘층과, SiH₄ 및 N₂O가 반응 가스로서 성막되는 막 두께 100nm 내지 150nm의 산화질화실리콘층의 2층 적층 구조를 들 수 있다. 또한, 제 1 절연층(1503)을 적층 구조로 하는 경우에는, 적어도 1층은 막 두께 10nm 이하의 질화실리콘층 또는 산화질화실리콘층을 형성하는 것이 바람직하다. 또한, 질화산화실리콘층과 산화질화실리콘층과 질화실리콘층을 순차로 적층한 3층 구조를 형성하여도 좋다. 제 1 절연층(1503)은 하지 절연층으로서 기능하지만, 특별히 필요가 없으면 형성하지 않아도 좋다. 본 실시형태에서는 제 1 절연층으로서 질화산화실리콘을 50nm, 산화질화실리콘을 100nm 적층한 것을 사용한다(도 14b 참조).

[0175] 다음에, 제 1 절연층(1503) 위에 반도체층(1570)을 형성한다. 반도체층(1570)은 비정질 구조를 갖는 반도체층을 LPCVD법 또는 플라즈마 CVD법 등의 CVD법, 또는 스퍼터링법에 의하여 형성한 후, 결정화를 행함으로써 얻어진 결정질 반도체층을 선택적으로 에칭하여 원하는 형상으로 가공함으로써 형성된다. 결정화 방법으로서는, 레이저 결정화법, RTA 또는 퍼니스 어닐로를 사용한 열 결정화법, 니켈 등의 결정화를 촉진시키는 금속 원소를 사용하는 결정화법 등을 사용하면 좋다. 또한, 반도체층을 플라즈마 CVD법을 사용하여 형성하면, 제 1 절연층(1503) 및 비정질 구조를 갖는 반도체층을 대기해 노출시키지 않고 연속적으로 형성할 수 있다. 반도체층은 막 두께 25nm 내지 80nm(바람직하게는, 30nm 내지 70nm)로 형성한다. 반도체층의 재료는 특별히 한정되지 않지만, 바람직하게는 실리콘 또는 실리콘게르마늄 등으로 형성한다.

[0176] 또한, 비정질 구조를 갖는 반도체층의 결정화에는 연속 발진의 레이저를 사용할 수도 있다. 비정질 구조를 갖는 반도체층의 결정화에 있어서 대립경의 결정을 얻기 위해서는 연속 발진할 수 있는 고체 레이저를 사용하여 상기 고체 레이저의 제 2 고조파 내지 제 4 고조파를 적용하는 것이 바람직하다. 대표적으로는, Nd: YVO₄ 레이저(기본파 1064nm)의 제 2 고조파(532nm)나 제 3 고조파(355nm)를 적용하면 좋다. 연속 발진의 레이저를 사용하는 경우에는, 출력이 10W인 연속 발진의 YVO₄ 레이저로부터 사출된 레이저 빔을 비선형 광학 소자에 의하여 고조파로 변환한다. 또한, 공진기 중에 YVO₄ 결정과 비선형 광학 소자를 넣고 고조파를 사출하는 방법도 있다. 그리고, 바람직하게는 광학계에 의하여 조사면에서 직사각형 형상 또는 타원 형상의 레이저 빔으로 성형하고, 피처리체로 조사한다. 이 때의 에너지 밀도는 0.01MW/cm² 내지 100MW/cm² 정도(바람직하게는, 0.1MW/cm² 내지 10MW/cm²)가 필요하다. 그리고, 10cm/sec 내지 2000cm/sec 정도의 속도로 레이저 빔에 대하여 상대적으로 반도체층을 이동시켜 조사하면 좋다. 본 실시형태에서는 비정질 실리콘을 제 1 절연층 위에 66nm 적층하고, 레이저 조사하여 결정화를 행한다(도 14c 참조).

- [0177] 또한, 필요가 있으면, 이후 완성되는 박막 트랜지스터의 임계 값을 제어하기 위하여 미량의 불순물 원소(붕소 또는 인)를 반도체층에 첨가한다. 본 실시형태에서는, 디보란(B_2H_6)을 질량 분리하지 않고, 플라즈마 여기한 이온 도핑법을 사용하여 붕소를 첨가한다(도 14d 참조).
- [0178] 반도체층(1507)을 선택적으로 에칭하여 원하는 형상으로 한 반도체층(1571) 내지 반도체층(1576)을 얻는다(도 14e 참조). 또한, n채널 트랜지스터로 하는 영역의 반도체층에 채널 영역을 형성하기 위하여 추가로 저농도의 불순물 원소를 첨가하여도 좋다. 본 실시형태에서는 이후 p채널형 트랜지스터로 하는 영역의 반도체층을 레지스트 마스크(1577)로 덮어 붕소를 첨가한다(도 15a 참조).
- [0179] 다음에, 불산을 함유한 에칠툰트를 사용하여 반도체층 표면의 산화막을 제거하는 것과 동시에 반도체층의 표면을 세정한다. 그리고, 반도체층을 덮는 제 2 절연층(1578)을 형성한다. 제 2 절연층(1578)은 CVD법 또는 스퍼터링법을 사용하여 막 두께를 1nm 내지 200nm로 한다. 바람직하게는, 막 두께를 10nm 내지 50nm로 얇게 한 실리콘을 함유한 절연층의 단층 또는 적층 구조를 형성한 후에, 마이크로파에 의하여 여기된 플라즈마를 사용하여 표면 질화 처리를 행한다. 제 2 절연층(1578)은 이후 형성되는 박막 트랜지스터의 게이트 절연층(GI층)으로서 기능한다. 본 실시형태에서는 제 2 절연층(1578)으로서 산화질화실리콘을 10nm 적층한 것을 사용한다(도 15b 참조).
- [0180] 또한, 이후 용량으로 하는 영역의 반도체층(1574, 1575)을 도전체로서 기능시키기 위하여 고농도의 불순물 원소(붕소 또는 인)를 반도체층에 첨가한다. 이 때, 메모리 셀에서 어시스트 용량(assist capacitor)으로서 사용하는 영역에는 p형을 부여하는 불순물 원소를 첨가하면 바람직하다. 또한, 용량으로 하는 영역 외는 레지스트 마스크(1579) 내지 레지스트 마스크(1581)로 덮으면 좋다(도 15c 참조).
- [0181] 다음에, 제 2 절연층 위에 게이트 전극(1504) 내지 게이트 전극(1507), 용량 전극(1508), 및 메모리 소자의 하부 전극이 되는 제 1 전극(1509)을 형성한다. 스퍼터링법에 의하여 얇어진 막 두께 100nm 내지 500nm의 도전층을 선택적으로 에칭하여 원하는 형상으로 가공함으로써, 게이트 전극(1504) 내지 게이트 전극(1507), 용량 전극(1508), 및 제 1 전극(1509)을 얻는다.
- [0182] 게이트 전극(1504) 내지 게이트 전극(1507), 용량 전극(1508), 및 제 1 전극(1509)의 재료로서는, 텅스텐, 티타늄, 알루미늄, 니켈, 크롬, 몰리브덴, 탄탈, 코발트, 지르코늄, 바나듐, 팔라듐, 하프늄, 백금, 철 등의 단체, 또는 이들의 합금, 또는 화합물 중에서 선택된 재료의 단층 구조 또는 적층 구조로 형성한다. 바람직하게는, 실리콘과 반응하여 실리사이드를 형성하는 재료를 사용한다. 다만, 박막 트랜지스터의 게이트 전극으로서는, 고용접 금속이 바람직하고, 구체적으로는, 텅스텐 또는 몰리브덴을 들 수 있다. 게이트 전극(1504) 내지 게이트 전극(1507), 용량 전극(1508), 및 제 1 전극(1509)을 적층 구조로 하는 경우에는, 상층이 되는 재료층이 상술한 재료라면 좋고, 게이트 절연층 층인 하층이 되는 재료층은 인 등의 불순물 원소를 첨가한 폴리실리콘층으로 하여도 좋다. 또한, 제 1 전극(1509)은 비정질 실리콘과 접촉되는 안티 퓨즈형 메모리 소자에 사용되는 전극에 사용하기 때문에 실리콘과 반응하는 재료를 사용하는 것이 바람직하다. 본 실시형태에서는 질화탄탈 30nm 와 텅스텐 370nm를 적층한 것을 사용한다(도 15d 참조).
- [0183] 다음에, p채널 트랜지스터로 하는 영역, 용량으로 하는 영역, 및 메모리 셀로 하는 영역을 덮도록 레지스트 마스크(1582) 내지 레지스트 마스크(1584)를 형성하고, n채널 트랜지스터로 하는 영역의 반도체층에 게이트 전극(1505) 내지 게이트 전극(1507)을 마스크로 하여 불순물을 도입함으로써, 저농도 불순물 영역을 형성한다. 불순물 원소로서는, n형을 부여하는 불순물 원소 또는 p형을 부여하는 불순물 원소를 사용할 수 있다. n형을 나타내는 불순물 원소로서는, 인(P)이나 비소(As) 등을 사용할 수 있다. 본 실시형태에서는 n채널 트랜지스터로 하는 영역의 반도체층에 인을 $1 \times 10^{15}/\text{cm}^3$ 내지 $1 \times 10^{19}/\text{cm}^3$ 의 농도로 포함되도록 도입함으로써, n형을 나타내는 불순물 영역을 형성한다(도 15e 참조).
- [0184] 다음에, 레지스트 마스크를 제거하고, n채널 트랜지스터로 하는 영역의 반도체층 및 용량이 되는 영역을 덮도록 레지스트 마스크(1585) 내지 레지스트 마스크(1587)를 형성하고, p채널 트랜지스터로 하는 영역의 반도체층이 되는 영역에 게이트 전극(1504)을 마스크로 하여 불순물 원소를 도입함으로써 p형을 나타내는 불순물 영역을 형성한다. p형을 나타내는 불순물 원소로서는, 붕소(B)나 알루미늄(Al)이나 갈륨(Ga) 등을 사용할 수 있다. 여기서는, p채널 트랜지스터로 하는 영역의 반도체층에 붕소(B)를 $1 \times 10^{19}/\text{cm}^3$ 내지 $1 \times 10^{20}/\text{cm}^3$ 의 농도로 포함되도록 도입함으로써, p형을 나타내는 불순물 영역을 형성할 수 있다. 결과적으로, p채널 트랜지스터로 하는 영역의 반도체층에 자기 정합적으로 채널 형성 영역(1516) 및 한 쌍의 p형 불순물 영역(1514)이 형성된다. p형 불순물 영역(1514)은 소스 영역 또는 드레인 영역으로서 기능한다. 마찬가지로, 용량이 되는 영역의 반도체층에

도 자기 정합적으로 불순물 농도가 상이한 p형 불순물 영역(1515)이 형성된다. 이때, p형 불순물 영역(1517)에는 용량 전극(1508) 및 제 1 전극(1509)이 마스크가 되어 불순물이 도입되지 않는다(도 16a 참조).

[0185] 다음에, 게이트 전극(1504) 내지 게이트 전극(1507), 용량 전극(1508), 및 제 1 전극(1509)의 측면에 사이드 월 절연층을 형성한다. 사이드 월 절연층의 제작 방법으로서는, 우선, 제 2 절연층, 게이트 전극(1504) 내지 게이트 전극(1507), 용량 전극(1508), 및 제 1 전극(1509)을 덮도록, 플라즈마 CVD법이나 스퍼터링법 등에 의하여 실리콘, 실리콘의 산화물, 또는 실리콘의 질화물을 함유한 층이나, 유기 수지 등의 유기 재료를 함유한 층을 단층으로 또는 적층하여 제 3 절연층(1588)을 형성한다. 본 실시형태에서는 산화질화실리콘을 100nm와 LTO(Low Temperature Oxide) 200nm의 적층 구조를 사용한다(도 16b 참조). 다음에, 제 3 절연층(1588)을 수직 방향을 주체로 한 이방성 에칭에 의하여 선택적으로 에칭함으로써, 게이트 전극(1504) 내지 게이트 전극(1507), 용량 전극(1508), 및 제 1 전극(1509)의 측면에 접촉되는 절연층(사이드 월 절연층(1510, 1511))을 형성한다. 또한, 사이드 월 절연층(1510)의 형성과 동시에 제 2 절연층(1578)의 일부분을 에칭하여 제거한다. 제 2 절연층(1578)의 일부분이 제거됨으로써, 게이트 전극(1504) 내지 게이트 전극(1507) 및 사이드 월 절연층(1510)의 아래 쪽에 게이트 절연층(1512)이 형성된다. 또한, 제 2 절연층의 일부분이 제거됨으로써, 용량 전극(1508)의 아래 쪽, 제 1 전극(1509)의 아래 쪽, 및 사이드 월 절연층(1511)의 아래 쪽에 절연층(1513)이 잔존한다(도 16c 참조).

[0186] 다음에, p채널 트랜지스터로 하는 영역의 반도체층을 덮도록 레지스트 마스크(1589) 내지 레지스트 마스크(1591)를 형성하고, n채널 트랜지스터로 하는 영역의 반도체층에 게이트 전극(1505) 내지 게이트 전극(1507), 및 사이드 월 절연층(1510)을 마스크로 하여 불순물 원소를 도입함으로써 고농도 불순물 영역을 형성한다. 불순물 원소를 도입한 후에 레지스트 마스크를 제거한다. 본 실시형태에서는 n채널 트랜지스터로 하는 영역의 반도체층에 인(P)을 $1 \times 10^{19} / \text{cm}^3$ 내지 $1 \times 10^{20} / \text{cm}^3$ 의 농도로 포함되도록 도입함으로써 n형을 나타내는 고농도 불순물 영역을 형성한다. 결과적으로, n채널 트랜지스터로 하는 영역의 반도체층에 자기 정합적으로, 채널 형성 영역(1520)과, LDD(Lightly Doped Drain) 영역으로서 기능하는 한 쌍의 저농도 불순물 영역(1519)과, 소스 영역 또는 드레인 영역으로서 기능하는 한 쌍의 고농도 불순물 영역(1518)이 형성된다. 또한, LDD 영역으로서 기능하는 저농도 불순물 영역(1519)은 사이드 월 절연층(1510)의 아래 쪽에 형성된다(도 16d 참조).

[0187] 또한, 여기서는, n채널 트랜지스터에 포함되는 반도체층에 LDD 영역을 형성하고, p채널 트랜지스터에 포함되는 반도체층에 LDD 영역을 형성하지 않는 구조를 제시하지만, 물론 이것에 한정되지 않고, n채널 트랜지스터 및 p채널 트랜지스터의 양쪽 모두의 반도체층에 LDD 영역을 형성하여도 좋다. 특별히, 게이트 절연층(GI층)이 얇은 경우, 구체적으로는 10nm 이하의 경우에는, 내압을 향상시키기 위하여 p채널 트랜지스터에도 LDD 영역을 형성하는 구성으로 하는 것이 바람직하다. 또한, LDD 영역은 사이드 월 절연층을 사용하지 않고, 레지스트 마스크에 의하여 형성하는 방법을 사용하여도 좋다.

[0188] 다음에, 스퍼터링법, LPCVD법, 또는 플라즈마 CVD법 등을 사용하여 수소를 함유한 제 4 절연층(1522)을 형성한 후, 반도체층에 첨가된 불순물 원소의 활성화 처리 및 수소화 처리를 행한다. 불순물 원소의 활성화 처리 및 수소화 처리는 노(爐)에서의 열 처리(300°C 내지 550°C에서 1시간 내지 12시간의 열 처리) 또는 램프 광원을 사용한 RTA법을 사용한다. 수소를 함유한 제 4 절연층(1522)은, 예를 들어, 플라즈마 CVD법에 의하여 얻어지는 산화질화실리콘층을 사용한다. 여기서는, 수소를 함유한 제 4 절연층(1522)의 막 두께는 50nm 내지 200nm로 한다. 또한, 결정화를 촉진시키는 금속 원소, 대표적으로는 니켈을 사용함으로써 반도체층이 결정화되는 경우에는, 활성화와 동시에 채널 형성 영역에서의 니켈의 저감을 행하는 게터링도 행할 수 있다. 또한, 수소를 함유한 제 4 절연층(1522)은 층간 절연층의 1층째이다. 본 실시형태에서는 제 4 절연층으로서 산화질화실리콘을 50nm 적층하고, 550°C 4시간의 열 처리로 불순물 원소의 활성화 처리 및 수소화 처리를 행한다(도 16e 참조).

[0189] 다음에, 스퍼터링법, LPCVD법, 또는 플라즈마 CVD법 등을 사용하여 층간 절연층의 2층째인 제 5 절연층(1523)을 형성한다. 제 5 절연층(1523)으로서는, 산화실리콘층, 질화실리콘층, 또는 산화질화실리콘층 등의 절연층의 단층 또는 적층을 사용한다. 여기서는, 제 5 절연층(1523)의 막 두께는 300nm 내지 800nm로 한다. 본 실시형태에서는 질화산화실리콘을 100nm, 산화질화실리콘을 600nm 적층하고, 또한, 410°C 1시간의 열 처리를 행함으로써 제 5 절연층(1523)을 형성한다(도 17a 참조).

[0190] 다음에, 제 5 절연층(1523) 위에 레지스트 마스크를 형성하고, 선택적으로 제 4 절연층(1522) 및 제 5 절연층(1523)을 에칭하여 제 1 전극(1509)에 도달되는 제 1 개구부(1521)를 형성한다. 그리고, 에칭한 후에 레지스트 마스크를 제거한다. 제 1 개구부(1521)의 직경은 약 $1\mu\text{m}$ 내지 약 $6\mu\text{m}$ 로 하면 좋고, 본 실시형태에서는 제 1 개구부(1521)의 직경을 $2\mu\text{m}$ 로 한다(도 17b 참조).

- [0191] 다음에, 스퍼터링법, LPCVD법, 또는 플라즈마 CVD법 등을 사용하여, 메모리 소자로서 사용하는 반도체층, 즉, 산화질화실리콘층과 비정질실리콘층을 적층하여 형성한다. 본 실시형태에서는 플라즈마 CVD법을 사용하여 막 두께 15nm의 비정질실리콘층과, 막 두께 6nm의 산화질화실리콘층을 순차로 적층하여 형성한다. 다음에, 레지스트 마스크를 형성하고, 선택적으로 비정질실리콘층과 산화질화실리콘층을 에칭함으로써, 제 1 개구부(1521)와 겹치는 비정질실리콘층 및 산화질화실리콘층의 적층(1524)을 형성한다. 비정질실리콘층 및 산화질화실리콘층의 적층(1524)은 메모리 소자의 저항 재료층이 된다. 그리고, 에칭 후에 레지스트 마스크를 제거한다(도 17c 참조).
- [0192] 다음에, 레지스트 마스크를 형성하고, 선택적으로 제 4 절연층(1522) 및 제 5 절연층(1523)을 에칭함으로써, 반도체층에 도달되는 콘택트 홀(1592a) 내지 콘택트 홀(1592j), 게이트 전극에 도달되는 콘택트 홀(1593a) 내지 콘택트 홀(1593e), 제 1 전극(1509)에 도달되는 제 2 개구부(1594)를 각각 형성한다. 그리고, 에칭한 후에 레지스트 마스크를 제거한다(도 18a 참조).
- [0193] 다음에, 불산을 함유한 에칠헥사드로이드를 사용하여 노출된 반도체층 표면 및 노출된 제 1 전극(1509) 표면의 산화막을 제거하는 것과 동시에 노출된 반도체층 표면 및 노출된 제 1 전극(1509) 표면을 세정한다.
- [0194] 다음에, 메모리 소자의 상부 전극, 및 박막 트랜지스터의 소스 전극 및 드레인 전극 등을 형성하기 위하여 스퍼터링법을 사용하여 도전층을 형성한다. 이 도전층은 텅스텐, 티타늄, 알루미늄, 니켈, 크롬, 몰리브덴, 탄탈, 코발트, 지르코늄, 바나듐, 팔라듐, 하프늄, 백금, 철 등의 단체, 또는 이들의 합금, 또는 화합물을 재료로서 사용하여 단층 또는 이들의 적층으로 형성한다. 다만, 이 도전층은 박막 트랜지스터의 소스 전극 및 드레인 전극에도 사용하기 때문에, 박막 트랜지스터를 구성하는 반도체층과의 접촉 저항값이 비교적 낮은 재료를 사용하는 것이 바람직하다. 예를 들어, 티타늄층과, 미량의 실리콘을 함유한 알루미늄층과, 티타늄층의 3층 구조, 또는 티타늄층과, 니켈과 탄소를 함유한 알루미늄합금층과, 티타늄층의 3층 구조를 사용한다. 본 실시형태에서는 막 두께 100nm의 티타늄층과, 막 두께 350nm의 순 알루미늄층과, 막 두께 100nm의 티타늄층의 3층 구조로 한다. 또한, 본 실시형태에서는 메모리 소자의 하부 전극의 재료로서 텅스텐층을 사용하고, 상부 전극으로서 티타늄층을 사용한 예를 제시하지만, 저항 재료층을 고저항으로부터 저저항으로 변화시킬 수 있는 재료라면 특별히 한정되지 않고, 안티 퓨즈형 메모리 소자의 하부 전극 및 상부 전극에 같은 재료를 사용하여도 좋다. 안티 퓨즈형 메모리 소자의 하부 전극 및 상부 전극에 같은 재료를 사용하는 경우에는, 텅스텐, 티타늄, 알루미늄, 니켈, 크롬, 몰리브덴, 탄탈, 코발트, 지르코늄, 바나듐, 팔라듐, 하프늄, 백금, 철 등의 단체, 또는 이들의 합금 또는 화합물 중에서 선택되는 재료의 단층 또는 적층 구조로 형성한다.
- [0195] 다음에, 레지스트 마스크를 형성하고, 선택적으로 도전층을 에칭하여 소스 전극 또는 드레인 전극으로서 기능하는 도전층(1525, 1526, 1527, 1528, 1531, 1532), 선택 트랜지스터의 비트선이 되는 배선(1529), 워드선이 되는 배선(1530), 게이트 리드 배선이 되는 배선(1535, 1536, 1537), 반도체 기억 회로부의 제 2 전극(1540) 및 제 3 전극(1541), 안테나부의 용량의 전극이 되는 배선(1533, 1534), 안테나부의 제 4 전극(1542)을 형성한다. 반도체 기억 회로부의 제 2 전극(1540)은 제 1 개구부(1521)와 겹쳐 메모리 소자의 상부 전극이 되고, 또한, 어시스트 용량의 전극의 일단이 되는 반도체층(1574)과 전기적으로 접속된다. 또한, 제 3 전극(1541)은 제 2 개구부(1594)와 겹치고, 제 1 전극(1509)과 전기적으로 접속된다. 또한, 여기서는 도시하지 않았지만, 제 4 전극(1542)은 안테나부의 박막 트랜지스터와 전기적으로 접속된다. 그리고, 에칭한 후에 레지스트 마스크를 제거한다(도 18b 참조).
- [0196] 본 실시형태에서는 동일 기판 위에 논리 회로부(1550)의 박막 트랜지스터와, 반도체 기억 회로부(1552)의 선택 트랜지스터가 되는 박막 트랜지스터(1558), 어시스트 용량(1559), 메모리 소자(1560)와, 안테나부(1554)의 박막 트랜지스터를 형성할 수 있다. 여기서는, 논리 회로부(1550)에 형성된 p채널 트랜지스터와 n채널 트랜지스터, 반도체 기억 회로부(1552)에 형성된 박막 트랜지스터(1558), 어시스트 용량(1559), 메모리 소자(1560), 안테나부(1554)에 형성된 용량과 n채널 트랜지스터의 단면도를 도시한다. 또한, 본 발명은 특별히 한정되지 않고, 반도체 기억 회로부(1552)에 형성하는 박막 트랜지스터는 p채널 트랜지스터로 하여도 좋다. 또한, 안테나부(1554)에는 p채널 트랜지스터가 형성되어도 좋고, 여기서는 편의상 1개의 n채널 트랜지스터를 제시한다.
- [0197] 다음에, 논리 회로부(1550)의 박막 트랜지스터와, 반도체 기억 회로부(1552)의 박막 트랜지스터 및 메모리 소자와, 안테나부(1554)의 박막 트랜지스터를 덮는 제 6 절연층(1543)을 형성한다. 제 6 절연층(1543)은 산화실리콘을 함유한 절연층 또는 유기 수지로 이루어진 절연층을 사용할 수 있지만, 반도체 장치의 신뢰성을 향상시키기 위해서는 산화실리콘을 함유한 절연층을 사용하는 것이 바람직하다. 또한, 이후 형성하는 안테나를 스크린 인쇄법으로 형성하는 경우에는 평탄면을 갖는 것이 바람직하기 때문에, 도포법을 사용할 수 있는 유기 수지로

이루어진 절연층을 사용하는 것이 바람직하다. 제 6 절연층(1543)을 형성하는 재료는 실시자가 적절히 선택하면 좋다. 또한, 이후 형성하는 안테나는 논리 회로부(1550) 및 반도체 기억 회로부(1552)와 겹치는 영역까지 형성되어도 좋다. 이 경우, 제 6 절연층(1543)은 안테나와의 절연을 도모하는 충간 절연층으로서도 기능한다. 고리 형상(예를 들어, 루프 안테나) 또는 나선 형상의 안테나로 하는 경우에는, 안테나의 양단(兩端) 중의 한쪽을 하층에 형성하는 배선으로 리드하기 때문에, 제 6 절연층(1543)을 형성하는 것이 바람직하다. 다만, 마이크로파 방식을 적용하여 선 형상(예를 들어, 다이폴 안테나), 평탄한 형상(예를 들어, 패치 안테나) 등의 안테나로 하는 경우에는, 이후 형성하는 안테나가 논리 회로부 및 반도체 기억 회로부와 겹치지 않게 배치할 수 있기 때문에, 제 6 절연층(1543)은 특별히 형성하지 않아도 좋다.

[0198] 다음에, 레지스트 마스크를 형성하고, 선택적으로 제 6 절연층(1543)을 에칭함으로써, 제 3 전극(1541)에 도달되는 제 3 개구부(1595)와, 제 4 전극(1542)에 도달되는 제 4 개구부(1596)를 형성한다. 그리고, 에칭 후에 레지스트 마스크를 제거한다(도 18c 참조).

[0199] 다음에, 제 6 절연층(1543) 위에 금속층을 형성한다. 금속층으로서는, Ti, Ni, Au 중에서 선택되는 단층 또는 이들의 적층을 사용한다. 다음에, 레지스트 마스크를 형성하고, 선택적으로 금속층을 에칭함으로써, 제 1 전극(1509)의 리드 배선(1544)과 안테나의 하지층(1545)을 형성한다. 또한, 여기서의 리드 배선(1544) 및 하지층(1545)은 레지스트 마스크를 사용하지 않고, 메탈 마스크를 사용한 스퍼터링법으로 선택적으로 형성할 수도 있다. 안테나의 하지층(1545)을 형성함으로써, 안테나와의 접촉 면적을 넓게 확보할 수 있다. 또한, 회로 설계의 레이아웃에 따라서는, 특별히 리드 배선(1544)을 형성하지 않아도 좋다. 리드 배선(1544)은 음극으로서 접지 전원에 접속된다.

[0200] 다음에, 안테나 하지층(1545) 위에 안테나(1546)를 형성한다. 안테나(1546)는 스퍼터링법을 사용하여 Al 또는 Ag 등 금속층을 형성한 후, 선택적으로 에칭하여 원하는 형상으로 가공하는 방법, 또는 스크린 인쇄법을 사용할 수 있다. 스크린 인쇄법이란, 금속 또는 고분자 화합물 섬유의 메시(mesh)로 이루어진 베이스에 소정의 패턴이 감광성 수지로 형성된 스크린 판 위에 놓은 잉크 또는 페이스트를 스퀴지(squeegee)라고 불리는 고무, 플라스틱, 또는 금속의 블레이드(blade)를 사용하여 스크린 판의 반대 측에 놓여진 워크(work)에 전사하는 방법이다. 스크린 인쇄법은 비교적 대면적에서의 패턴 형성을 저비용으로 실현할 수 있는 장점을 갖는다(도 18d 참조).

[0201] 본 실시형태에서는 동일 기판 위에 논리 회로부(1550)의 박막 트랜지스터와, 반도체 기억 회로부(1552)의 박막 트랜지스터 및 메모리 소자와, 안테나부(1554)의 박막 트랜지스터 및 안테나를 형성할 수 있다.

[0202] 다음에, 박리를 행함으로써 박리층(1502) 및 지지 기판(1501)을 제거한다. 박리는 금속 산화물층 내, 제 1 절연층(1503)과 금속 산화물층의 계면, 또는 금속 산화물층과 박리층(1502)의 계면에서 생기게 할 수 있고, 비교적 작은 힘으로 반도체 장치가 되는 제 1 절연층(1503)보다 상층 측을 지지 기판(1501)으로부터 박리할 수 있다. 또한 박리층(1502) 및 지지 기판(1501)을 제거할 때, 안테나를 형성하는 측에 고정 기판을 접착하여도 좋다.

[0203] 다음에, 복수의 반도체 장치가 형성된 1장의 시트를 커터(cutter), 다이서 등으로 분할하여 개개의 반도체 장치로 분할한다. 또한, 박리시에 반도체 장치를 하나씩 꺾업(pickup)하여 박리하는 방법을 사용하면, 이 분단의 공정은 특별히 필요가 없다.

[0204] 다음에, 반도체 장치를 시트 형상의 기판에 고정한다. 시트 형상의 기체로서는, 플라스틱, 종이, 프리프레그, 세라믹스 시트 등을 사용할 수 있다. 2장의 시트 형상의 기체로 반도체 장치를 끼우도록 고정하여도 좋고, 1장의 시트 형상의 기체에 접착층으로 고정하여도 좋다. 접착층으로서는, 반응 경화형 접착제, 열 경화형 접착제, 자외선 경화형 접착제 등의 광 경화형 접착제, 혐기형(嫌氣型) 접착제 등의 각종 경화형 접착제를 사용할 수 있다. 또한, 종이를 형성하는 도중에 반도체 장치를 배치하여 1장의 종이 내부에 반도체 장치를 설치할 수도 있다.

[0205] 상술한 공정을 거친 반도체 장치는 반도체 기억 장치를 동시에 형성할 수 있다. 반도체 기억 장치를 구비하는 반도체 장치의 제작 공정 간략화 및 소형화를 도모할 수 있다. 또한, 논리 회로부(1550)와 반도체 기억 회로부(1552)와 안테나부(1554)를 동일 기판 위에 형성함으로써 데이터의 기록시 또는 판독시의 오동작을 줄일 수 있다.

[0206] 또한, 본 실시형태에 제시하는 반도체 장치의 제작 방법은 일례이고, 반도체 장치의 다른 제작 방법을 사용할 수도 있다.

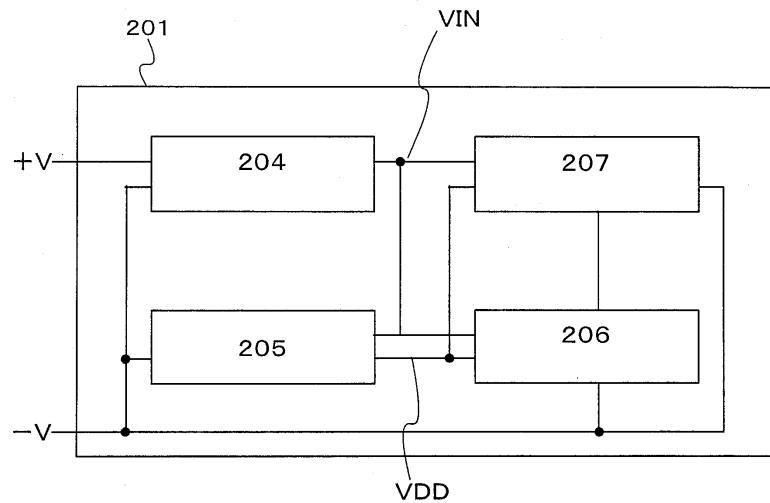
- [0207] 또한, 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.
- [0208] (실시형태 7)
- [0209] 본 실시형태에서는 본 발명의 일 형태인 반도체 장치의 사용예에 대하여 설명한다.
- [0210] 본 발명의 일 형태인 반도체 장치의 구체적인 사용예에 대하여 도 19a 내지 도 19f를 사용하여 설명한다. 도 19a 내지 도 19f는 본 실시형태에 있어서의 반도체 장치의 사용예를 도시하는 도면이다.
- [0211] 상기 실시형태에 있어서의 반도체 장치를 구비한 반도체 장치의 사용예에 대하여 도 19a 내지 도 19f에 도시한다. 반도체 장치의 용도는 광 범위에 걸치지만, 예를 들어, 지폐, 경화, 유가 증권류, 무기명 채권류, 증서류(운전 면허증, 주민 등록증 등, 도 19a 참조), 포장용 용기류(포장지, 병 등, 도 19c 참조), 기록 매체(Digital Versatile Disc) 소프트웨어, 비디오 테이프 등, 도 19b 참조), 탈 것류(자전거 등, 도 19d 참조), 신변 용품(가방, 안경 등), 식품류, 식물류, 동물류, 인체, 의류, 생활 용품류, 전자기기(액정 표시 장치, EL 표시 장치, 텔레비전 장치, 또는 휴대 전화) 등의 물품, 또는 각 물품에 장착되는 태그(도 19e 및 도 19f 참조) 등에 설치하여 사용할 수 있다.
- [0212] 본 발명의 일 형태인 반도체 장치(800)는 프린트 기판에 실장되거나, 표면에 부착되거나, 임베딩됨으로써 물품에 고정된다. 예를 들어, 책이라면 종이에 임베딩되거나, 유기 수지로 이루어진 패키지라면 상기 유기 수지에 임베딩됨으로써 각 물품에 고정된다. 본 발명의 일 형태인 반도체 장치(800)는 소형, 박형, 경량을 실현하기 때문에, 물품에 고정된 후에도 그 물품 자체의 디자인성을 손상시키는 일이 없다. 또한, 지폐, 경화, 유가 증권류, 무기명 채권류, 또는 증서류 등에 본 발명의 일 형태인 반도체 장치(800)를 설치함으로써 인증 기능을 제공할 수 있고, 이 인증 기능을 활용하면 위조를 방지할 수 있다. 또한, 포장용 용기류, 기록 매체, 신변 용품, 식품류, 의류, 생활 용품류, 또는 전자기기 등에 본 발명의 일 형태인 반도체 장치를 설치함으로써, 검품 시스템 등의 시스템의 효율화를 도모할 수 있다. 또한, 탈 것류에 있어서도, 본 발명의 일 형태인 반도체 장치를 설치함으로써, 도난 등에 대한 보안성을 높일 수 있다.
- [0213] 상술한 바와 같이, 본 발명의 일 형태인 반도체 장치는 높은 신뢰성을 갖기 때문에 본 실시형태에 든 각 용도에 사용함으로써 물품의 인증성 또는 보안성 등을 더 높일 수 있다.

부호의 설명

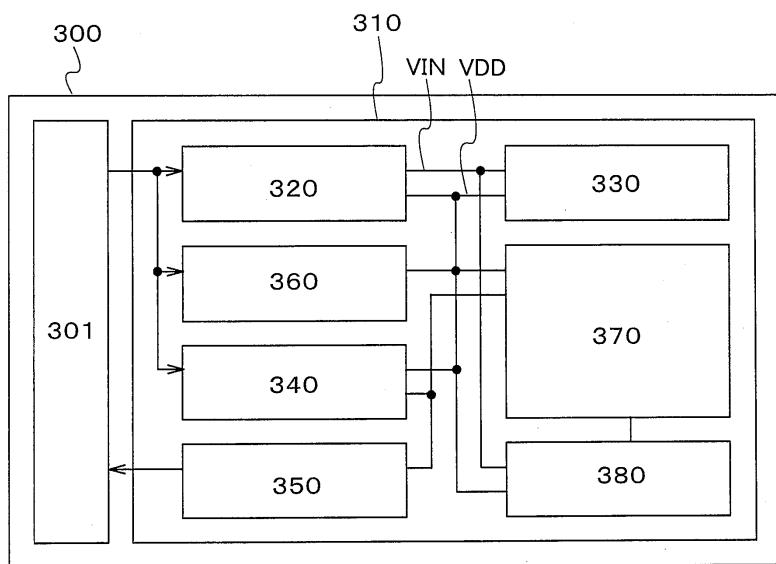
- | | |
|-------------------|------------------|
| 300: RFID 태그 | 301: 안테나 |
| 310: 반도체 접적 회로 | 320: 입력 회로 |
| 330: 정전압을 생성하는 회로 | 340: 복조 회로 |
| 350: 변조 회로 | 360: 클록 생성 회로 |
| 370: 제어 회로 | 380: 메모리 |
| 381: 정보 섹터 | 382: 초기 기록 방지 섹터 |

도면

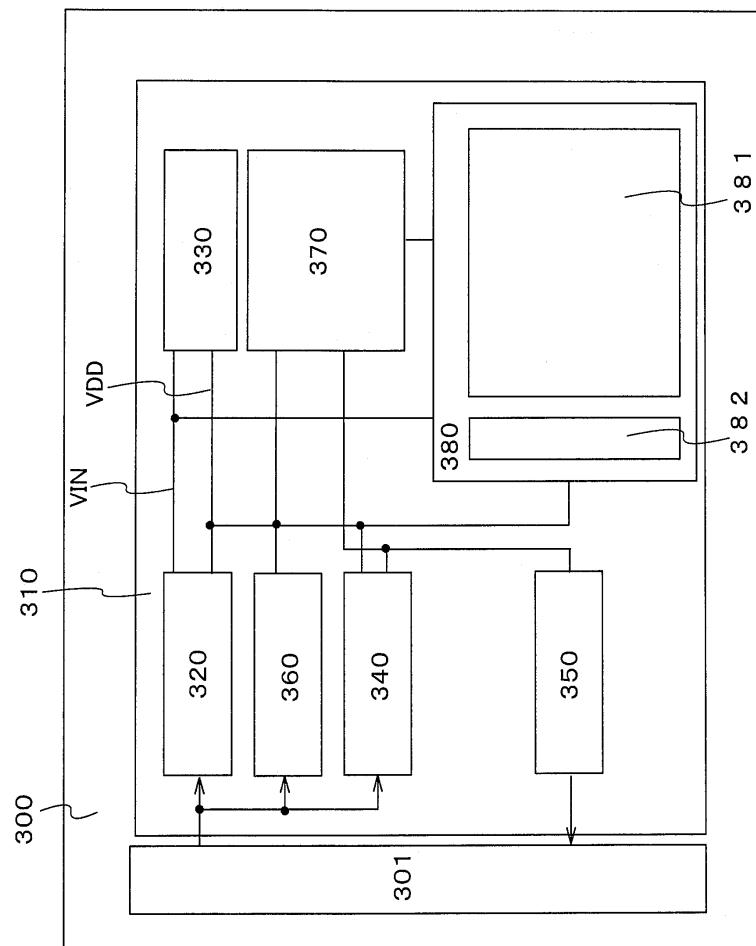
도면1



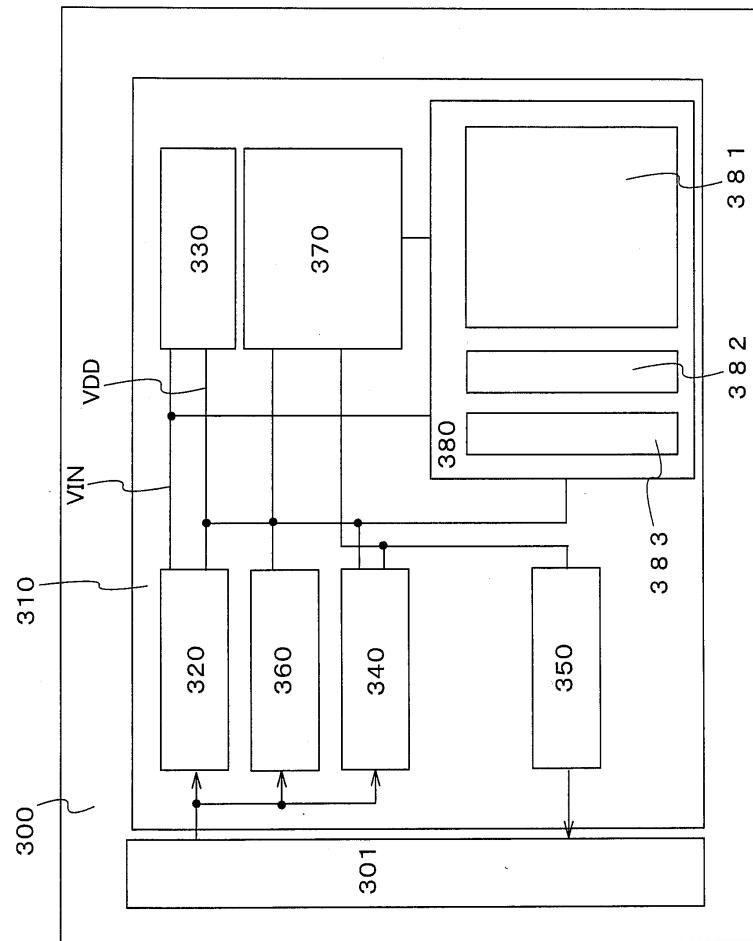
도면2



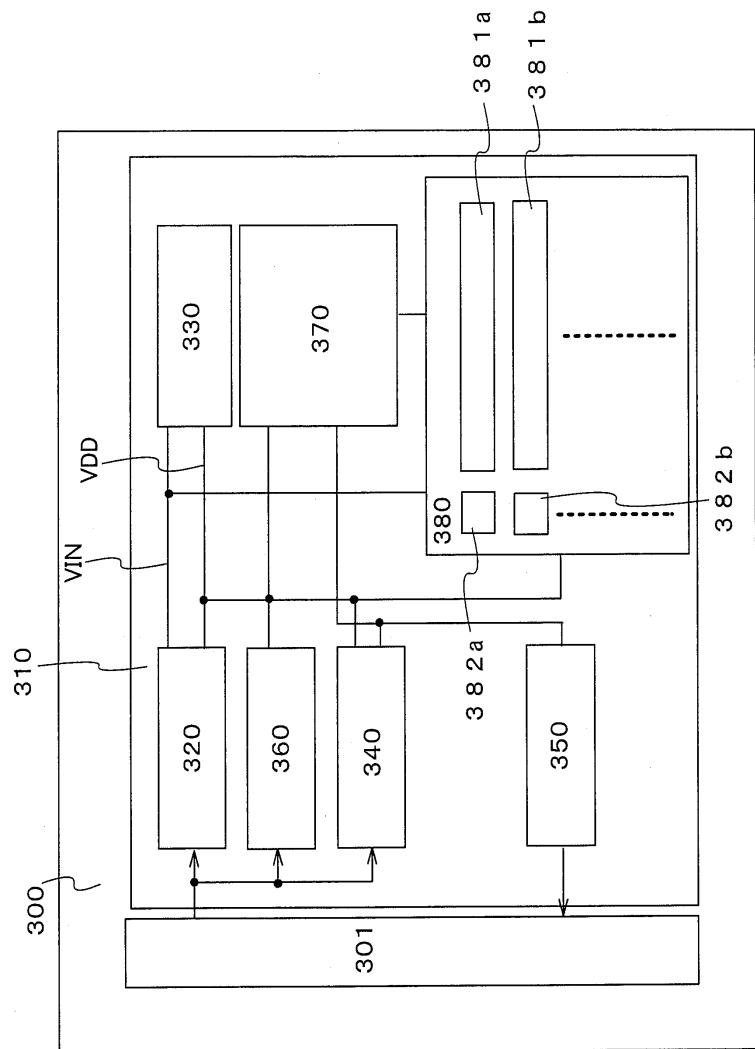
도면3



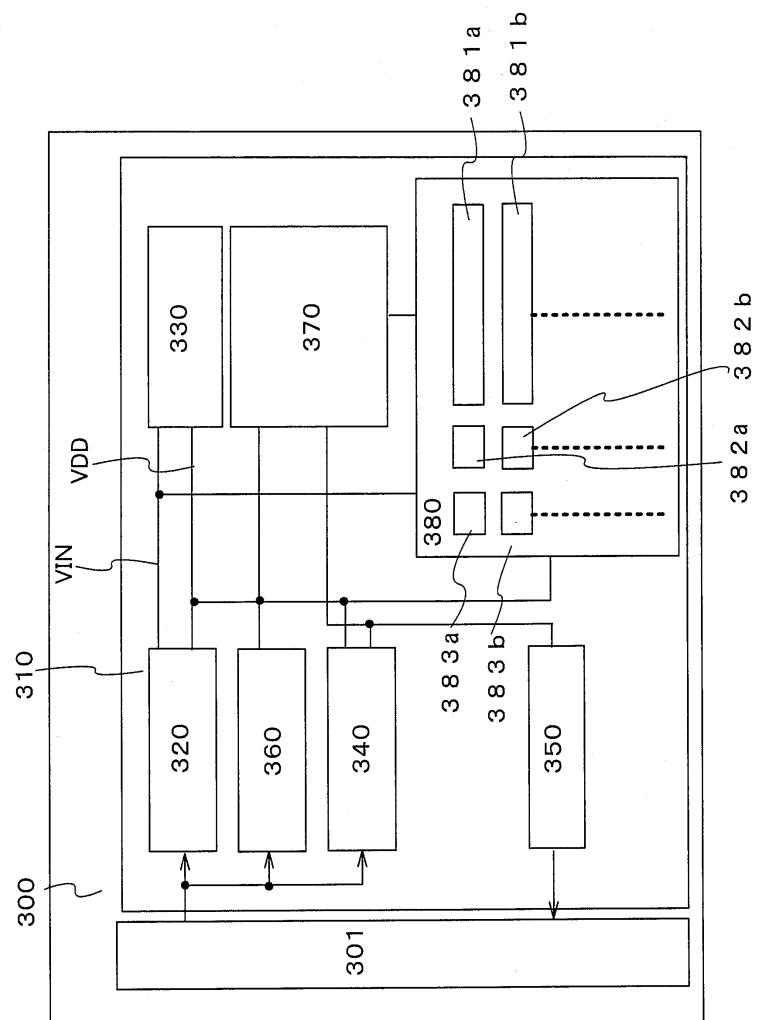
도면4



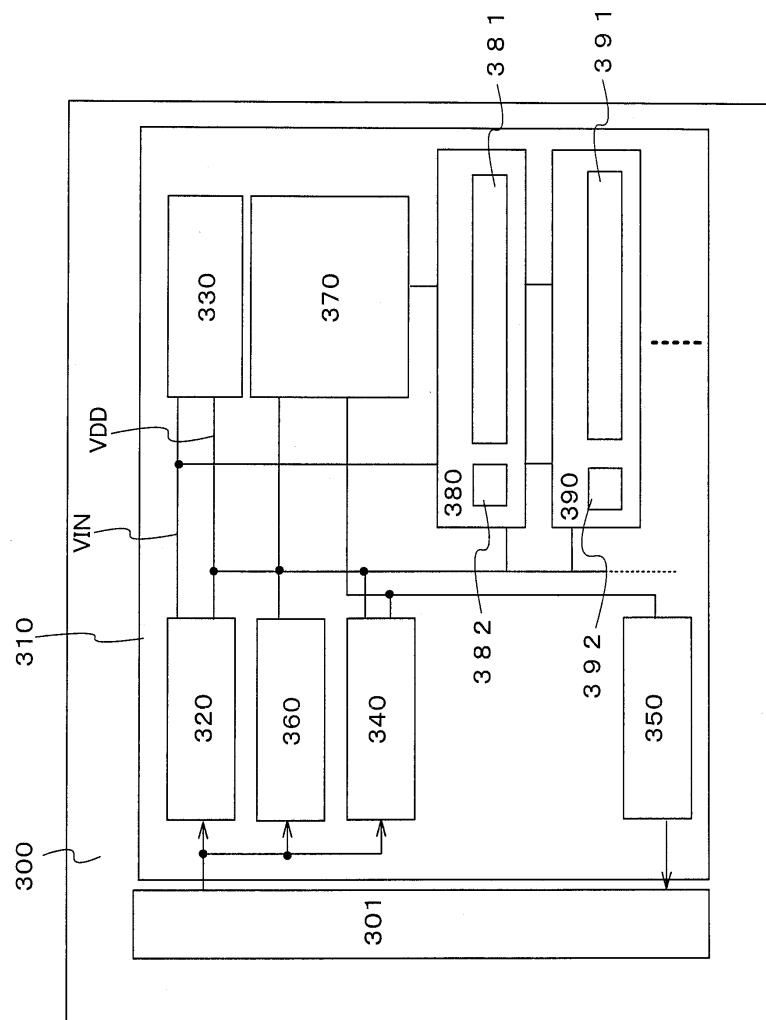
도면5



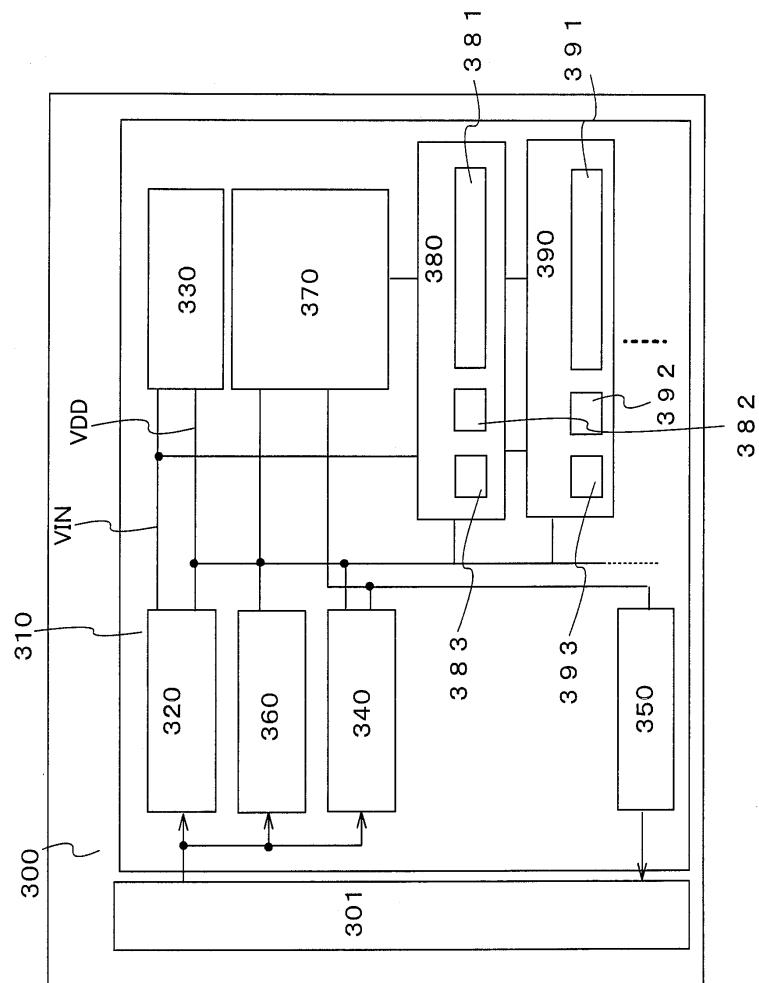
도면6



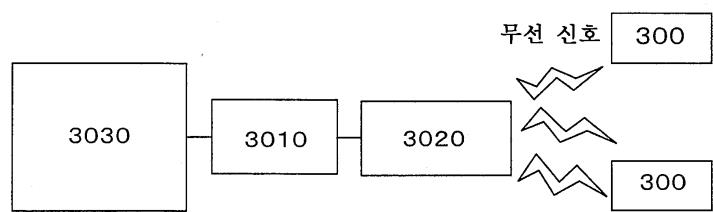
도면7



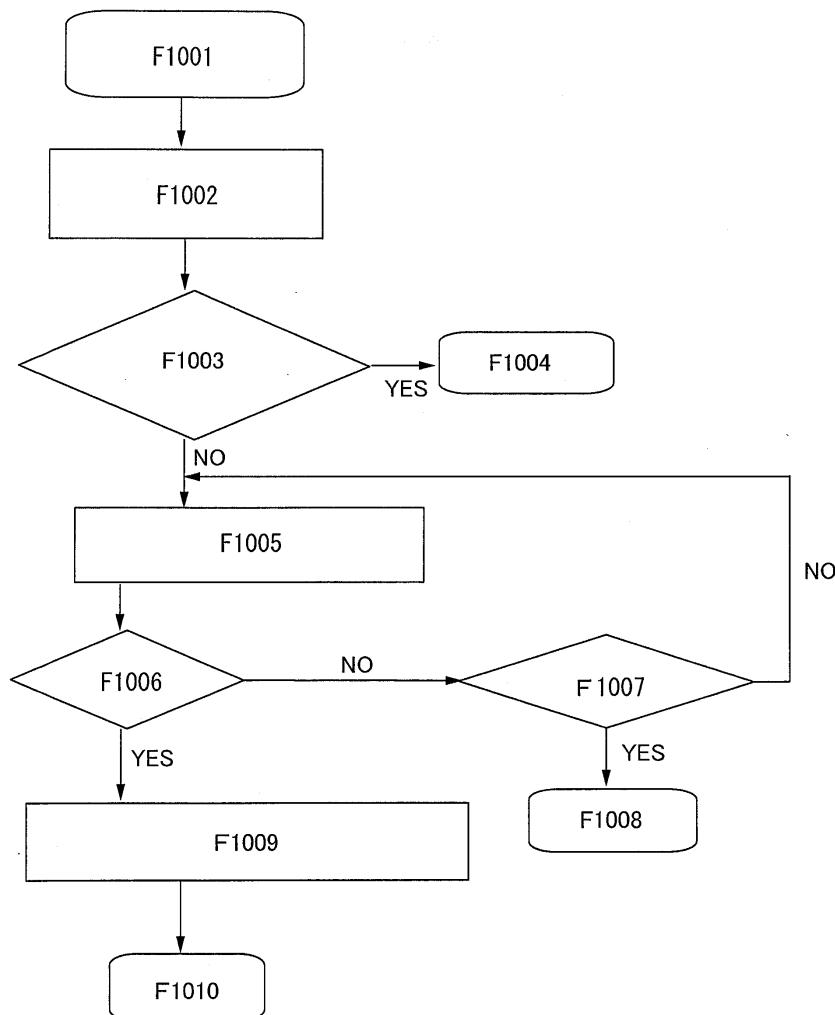
도면8



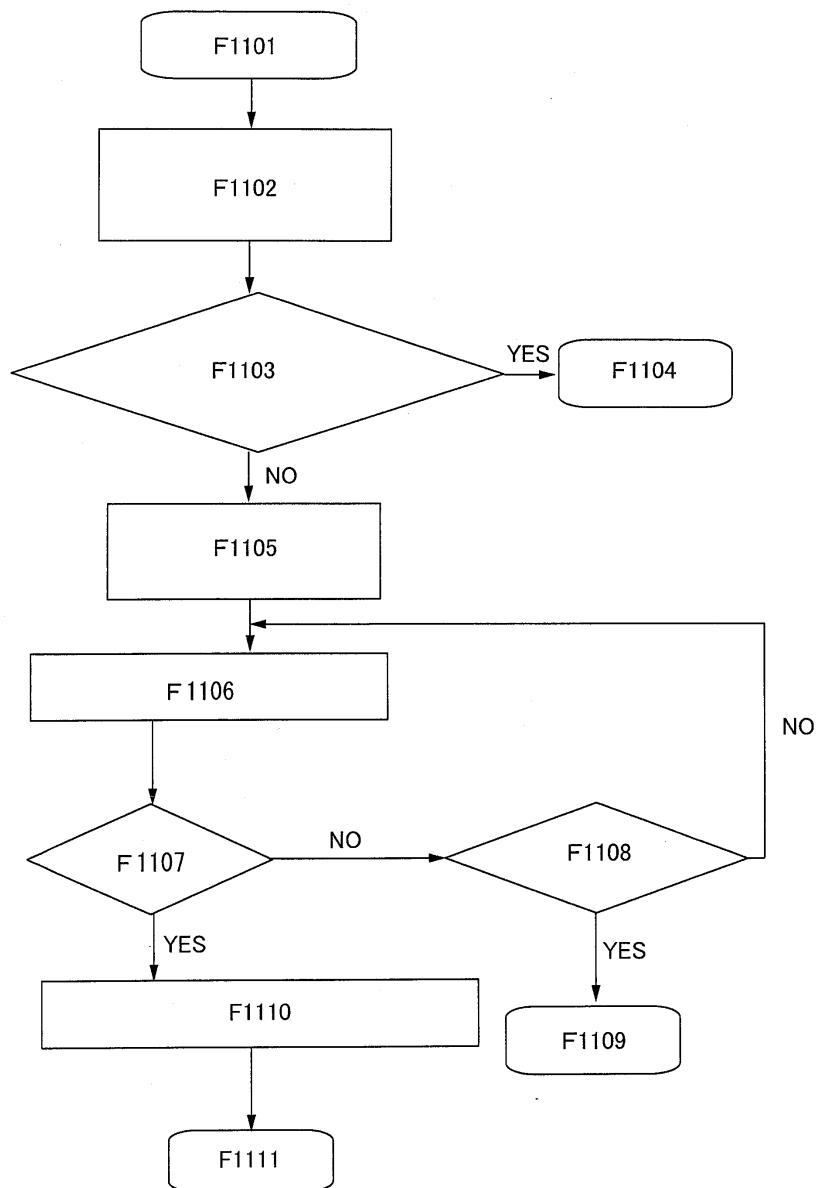
도면9



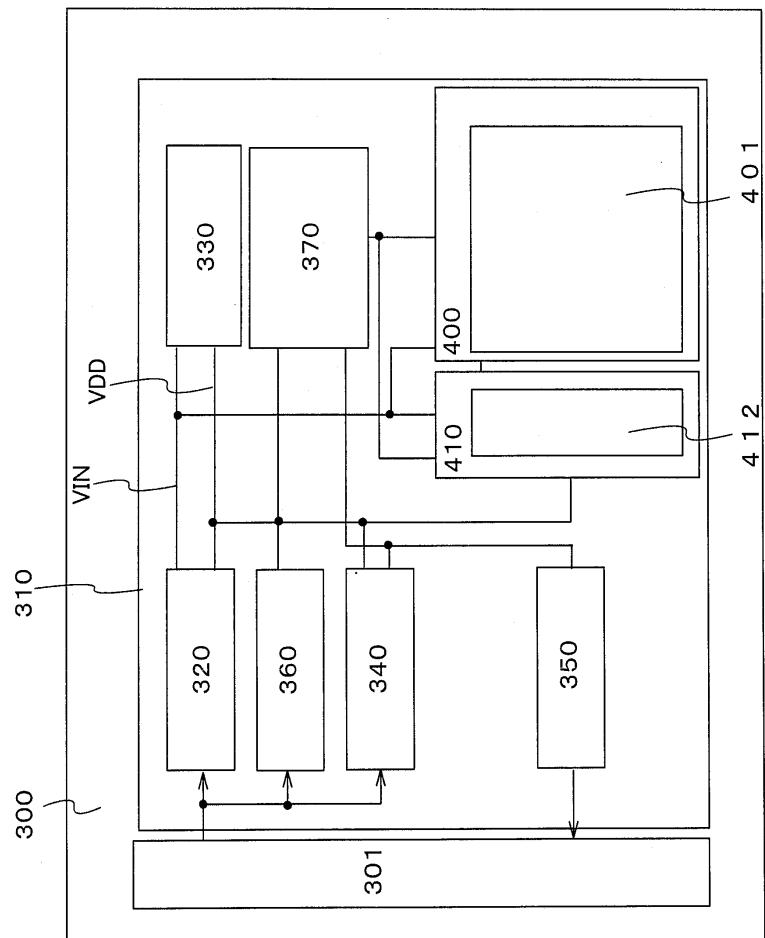
도면10



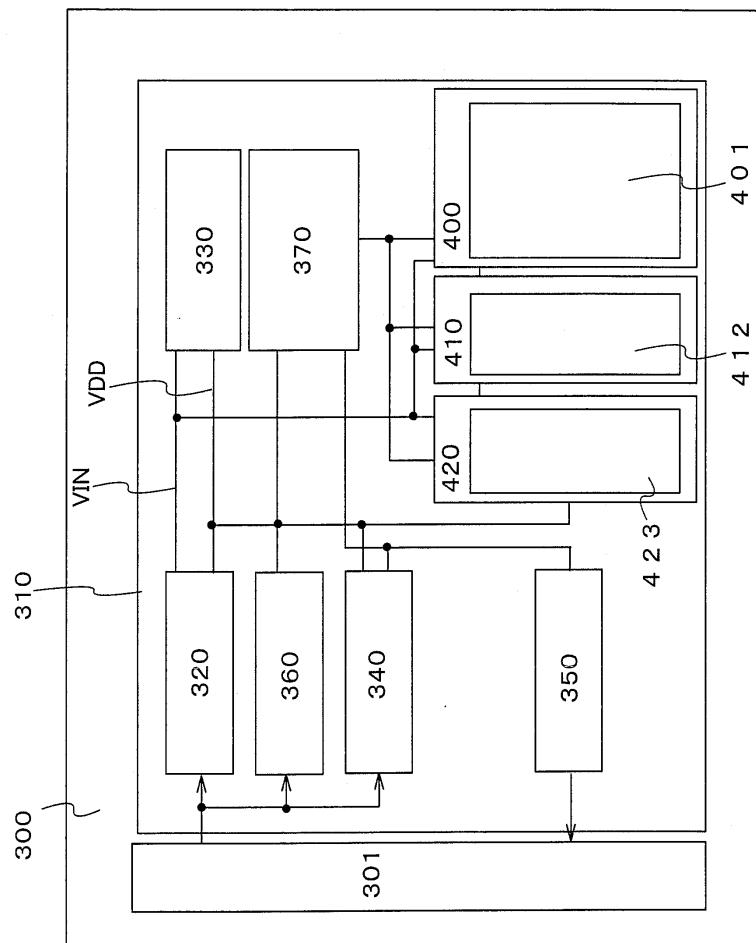
도면11



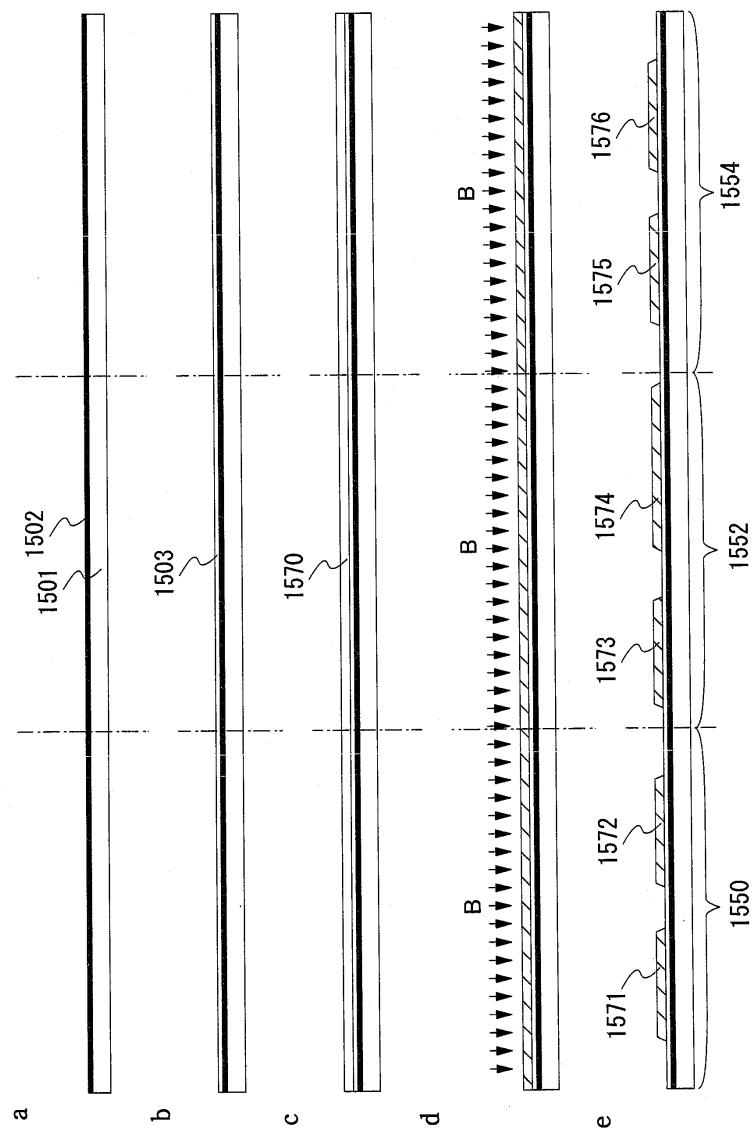
도면12



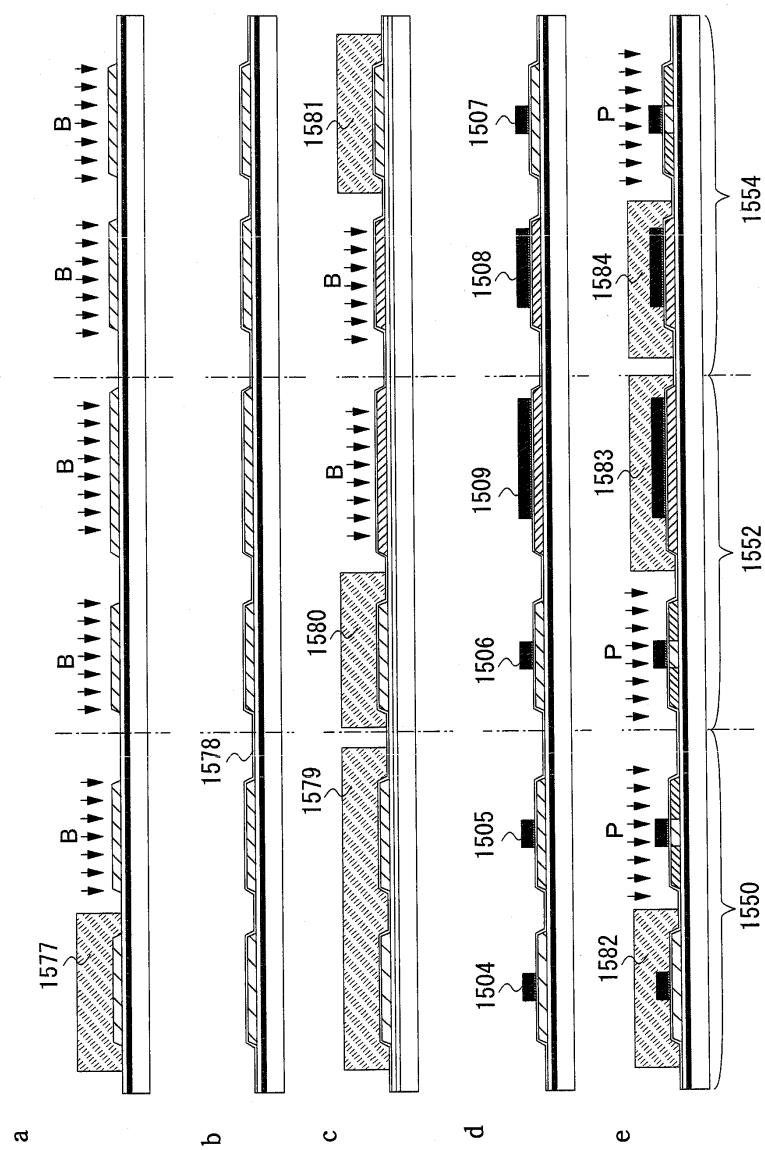
도면13



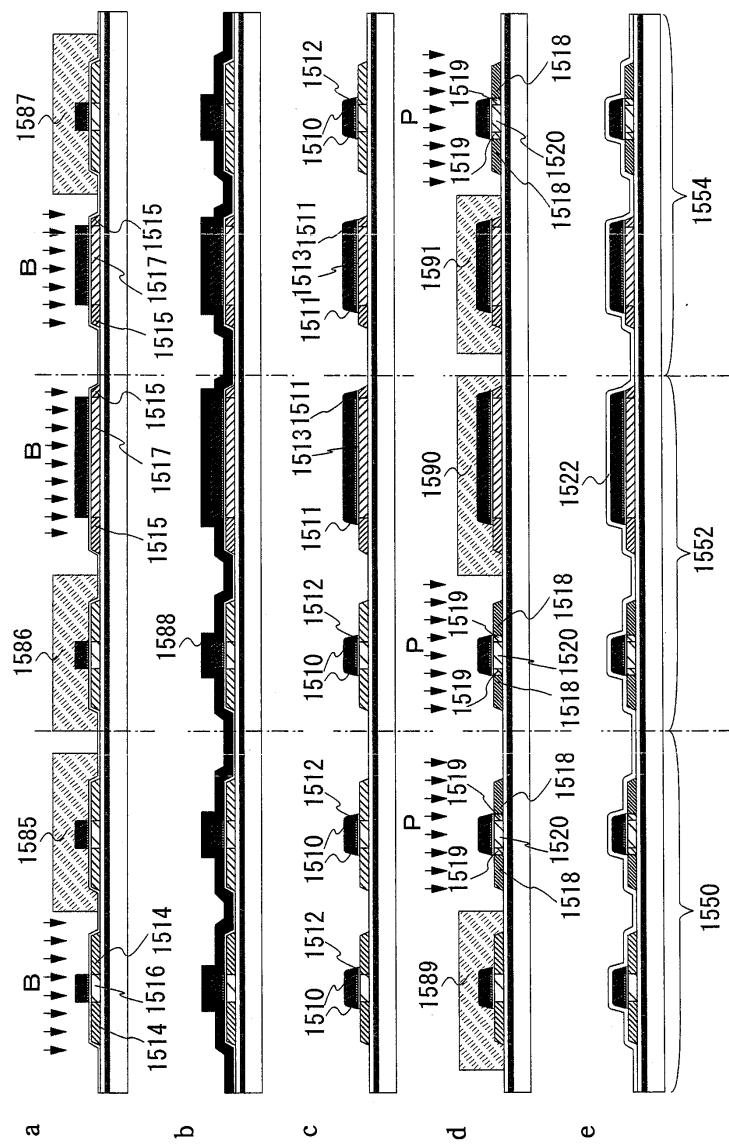
도면14



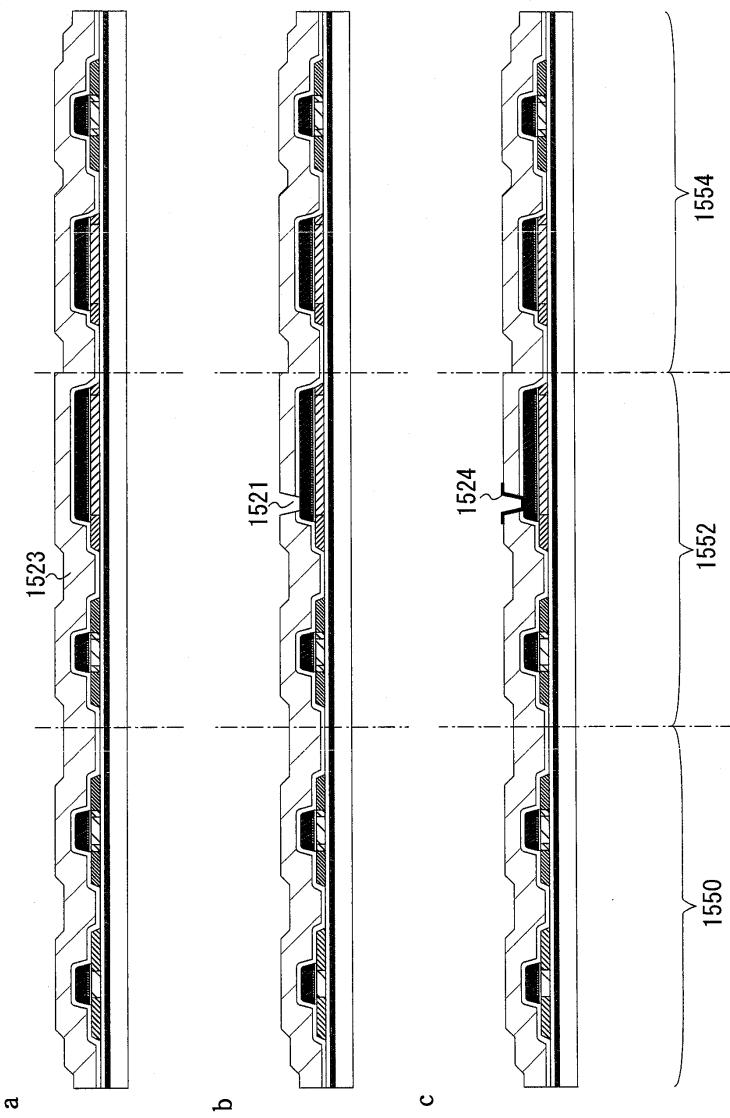
도면15



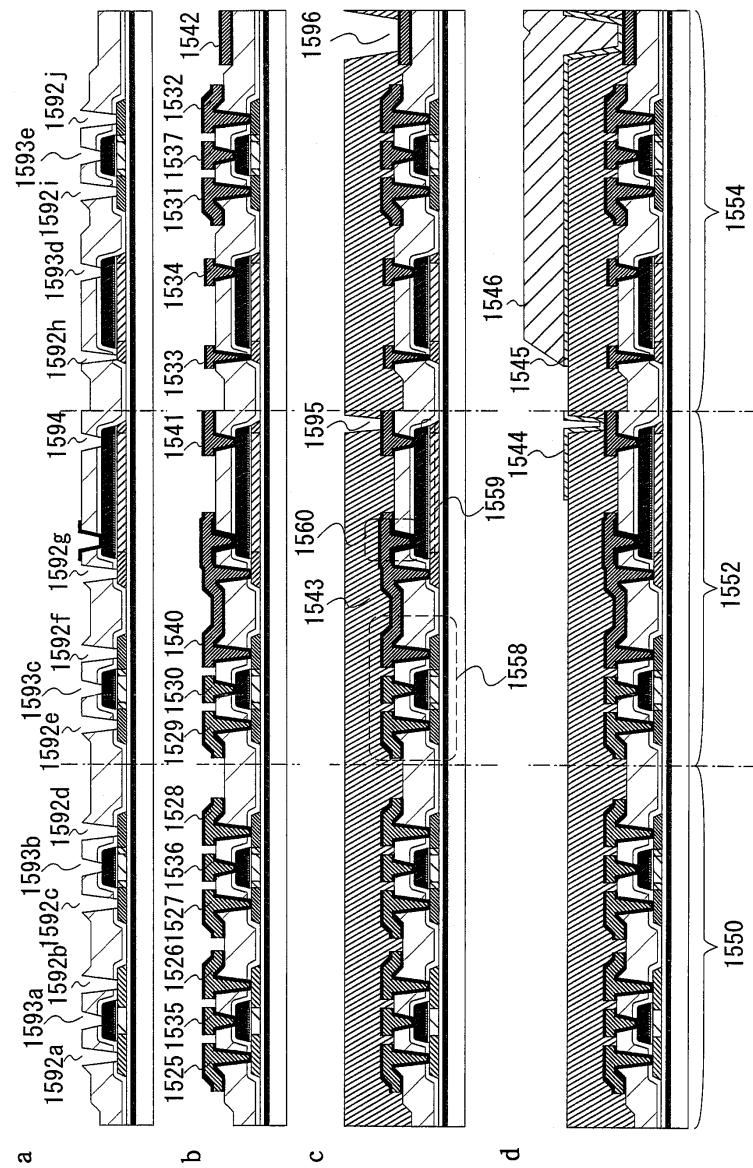
도면16



도면17



도면18



도면19

