

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第1区分

【発行日】平成24年2月2日(2012.2.2)

【公開番号】特開2010-156569(P2010-156569A)

【公開日】平成22年7月15日(2010.7.15)

【年通号数】公開・登録公報2010-028

【出願番号】特願2008-333816(P2008-333816)

【国際特許分類】

G 0 1 R	31/28	(2006.01)
H 0 1 L	25/065	(2006.01)
H 0 1 L	25/07	(2006.01)
H 0 1 L	25/18	(2006.01)
G 0 1 R	1/073	(2006.01)
G 0 1 R	31/26	(2006.01)

【F I】

G 0 1 R	31/28	K
H 0 1 L	25/08	Z
G 0 1 R	1/073	E
G 0 1 R	1/073	B
G 0 1 R	31/26	J

【手続補正書】

【提出日】平成23年11月21日(2011.11.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

貫通電極をチップ間共通システムバスとする積層LSIチップの最上層チップ表面の貫通電極端子にプローブピンを接続させて、該システムバスをシステムテスト用バスとして用いて積層LSIチップのシステム検査を行う方法。

【請求項2】

積層LSIチップの内部信号を観測する、請求項1記載の方法。

【請求項3】

積層LSIチップの少なくとも一つのLSIチップの動作をエミュレートする、請求項1または2記載の方法。

【請求項4】

積層LSIチップの少なくとも一つのLSIチップをシステムバスから切り離した状態にして、システムデバッグを行う、請求項1ないし3のいずれかに記載の方法。

【請求項5】

積層LSIチップの少なくとも一つのLSIチップをシステムバスから切り離した状態にして、実時間デバッグを行う、請求項1ないし4のいずれかに記載の方法。

【請求項6】

貫通電極をチップ間共通システムバスとする積層LSIチップの最上層チップ表面の貫通電極端子に接続されるプローブピンを備えた、該システムバスをシステムテスト用バスとして用いて積層LSIチップのシステム検査を行う装置。

【請求項7】

積層LSIチップの中心部に設けられている貫通電極群の各貫通電極に対してプローブピンが接続されるようになっている、請求項6記載の装置。

【請求項 8】

プローブカードにプローブピンが設けられている、請求項6または7記載の装置。

【請求項 9】

プローブカードがプローブ基板、緩衝基材、およびプローブピンを備えている、請求項8記載の装置。

【請求項 10】

プローブカードが透明である、請求項8または9記載の装置。

【請求項 11】

プローブ基板および緩衝基板が透明である、請求項9記載の装置。

【請求項 12】

プローブカードが接続される配線基板上に配線信号用バッファICが搭載されている、請求項8ないし11のいずれかに記載の装置。

【請求項 13】

プローブカード上に配線信号用バッファICが搭載されている、請求項8ないし11のいずれかに記載の装置。

【請求項 14】

配線信号用バッファICがプローブカード機構を持つ、請求項8ないし11のいずれかに記載の装置。

【請求項 15】

配線信号用バッファICのプローブカード機構が、IC回路面側に設けられた緩衝層、緩衝層ビア、およびプローブピンを含む、請求項14記載の装置。

【請求項 16】

配線信号用バッファICのプローブカード機構が、IC回路面側に設けられた樹脂コアプローブピンを含む、請求項14記載の装置。

【請求項 17】

積層LSIチップ上に配線信号用バッファICが搭載されている、請求項8ないし11のいずれかに記載の装置。

【請求項 18】

積層LSIチップのシステムバス貫通電極とプローブピンとの位置合わせを行うアライメント機構を含む、請求項6ないし17のいずれかに記載の装置。

【請求項 19】

アライメント機構が位置合わせカメラを有する、請求項18に記載の装置。

【請求項 20】

アライメント機構が位置合わせレーザを発光するレーザ光源を有する、請求項18に記載の装置。

【請求項 21】

積層LSIチップの内部信号を観測する、請求項6ないし20のいずれかに記載の装置。

【請求項 22】

積層LSIチップの少なくとも一つのLSIチップの動作をエミュレートする、請求項6ないし21のいずれかに記載の装置。

【請求項 23】

積層LSIチップの少なくとも一つのLSIチップをシステムバスから切り離した状態にして、システムデバッグを行う、請求項6ないし22のいずれかに記載の装置。

【請求項 24】

積層LSIチップの少なくとも一つのLSIチップをシステムバスから切り離した状態にして、実時間デバッグを行う、請求項6ないし23のいずれかに記載の装置。

【請求項 25】

積層LSIチップの少なくとも一つのLSIチップと同等の機能を持つ、請求項6ないし24

のいずれかに記載の装置。

**【請求項 2 6】**

積層LSIチップの少なくとも一つのLSIチップのシステムバスとの接続を見かけ上、断とする機能を持つ、請求項 6 ないし 2 5 のいずれかに記載の装置。