

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成17年6月23日(2005.6.23)

【公開番号】特開2003-46062(P2003-46062A)
 【公開日】平成15年2月14日(2003.2.14)
 【出願番号】特願2001-229409(P2001-229409)
 【国際特許分類第7版】

H 0 1 L 27/10
 H 0 1 L 21/8238
 H 0 1 L 21/8247
 H 0 1 L 27/092
 H 0 1 L 27/115
 H 0 1 L 29/788
 H 0 1 L 29/792

【F I】

H 0 1 L 27/10 4 8 1
 H 0 1 L 27/10 4 3 4
 H 0 1 L 29/78 3 7 1
 H 0 1 L 27/08 3 2 1 D

【手続補正書】

【提出日】平成16年9月30日(2004.9.30)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

不揮発性メモリトランジスタを配列したセルアレイと、第1のM I S F E T及びこれより低電圧で駆動される第2のM I S F E Tを含む周辺回路とを有する半導体メモリ装置の製造方法であって、

半導体基板に、前記第1のM I S F E Tに用いられる第1のゲート絶縁膜を形成する工程と、

前記第1のゲート絶縁膜を選択的にエッチングして、前記セルアレイの領域で前記半導体基板を露出させる工程と、

露出した前記半導体基板に、前記不揮発性メモリトランジスタのトンネル絶縁膜となる第2のゲート絶縁膜を形成する工程と、

前記第1及び第2のゲート絶縁膜上に第1のゲート電極材料膜を堆積する工程と、

前記第1のゲート電極材料膜及びその下の前記第1のゲート絶縁膜を選択的にエッチングして、前記第2のM I S F E Tの領域で前記半導体基板を露出させる工程と、

露出した前記半導体基板に前記第2のM I S F E Tに用いられる、前記第2のゲート絶縁膜より薄い第3のゲート絶縁膜を形成する工程と、

前記第3のゲート絶縁膜上に第2のゲート電極材料膜を堆積する工程と、

前記第1及び第2のゲート電極材料膜を含んで前記メモリトランジスタ、第1及び第2のM I S F E Tのゲートを形成する工程と

を有することを特徴とする半導体メモリ装置の製造方法。

【請求項2】

不揮発性メモリトランジスタを配列したセルアレイと、第1のM I S F E T及びこれより

低電圧で駆動される第2のMISFETを含む周辺回路とを有する半導体メモリ装置の製造方法であって、

半導体基板に、前記第1のMISFETに用いられる第1のゲート絶縁膜を形成する工程と、

前記第1のゲート絶縁膜を選択的にエッチングして、前記第2のMISFETの領域で前記半導体基板を露出させる工程と、

露出した前記半導体基板に前記第1のゲート絶縁膜より薄い前記第2のMISFETに用いられる第2のゲート絶縁膜を形成する工程と、

前記第1及び第2のゲート絶縁膜上に第1のゲート電極材料膜を堆積する工程と、

前記第1のゲート電極材料膜及びその下の前記第1のゲート絶縁膜を選択的にエッチングして、前記セルアレイの領域で前記半導体基板を露出させる工程と、

露出した前記半導体基板に、前記不揮発性メモリトランジスタのトンネル絶縁膜となる前記第1のゲート絶縁膜より薄く前記第2のゲート絶縁膜より厚い第3のゲート絶縁膜を形成する工程と、

前記第3のゲート絶縁膜上に第2のゲート電極材料膜を堆積する工程と、

前記第1及び第2のゲート電極材料膜を含んで前記メモリトランジスタ、第1及び第2のMISFETのゲートを形成する工程と

を有することを特徴とする半導体メモリ装置の製造方法。

【請求項3】

前記第2のゲート電極材料膜を堆積した後、素子分離領域に前記第2のゲート電極材料膜から前記半導体基板の所定深さに達する溝を形成する工程と、

前記溝に素子分離絶縁膜を埋め込む工程と、

前記第1及び第2のゲート電極材料膜に重なる第3のゲート電極材料膜、不揮発性メモリトランジスタのゲート間絶縁膜、及び第4のゲート電極材料膜を積層形成する工程とを有し、

前記第1、第2のMISFET及び不揮発性メモリトランジスタのゲートは、前記第1乃至第4のゲート電極材料膜を選択エッチングして同時に形成されることを特徴とする請求項1又は2記載の半導体メモリ装置の製造方法。

【請求項4】

前記第1のゲート絶縁膜を選択エッチングするためのレジストマスクが形成された状態で、前記セルアレイの領域に前記第1のゲート絶縁膜を介してしきい値調整のためのイオン注入を行う工程を有する

ことを特徴とする請求項1記載の半導体メモリ装置の製造方法。

【請求項5】

前記第1のゲート電極材料膜及びその下の前記第1のゲート絶縁膜を除去するためのレジストマスクが形成された状態で、前記セルアレイの領域に前記第1のゲート電極材料膜を介してしきい値調整のためのイオン注入を行う工程を有する

ことを特徴とする請求項2記載の半導体メモリ装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

【課題を解決するための手段】

この発明は、不揮発性メモリトランジスタを配列したセルアレイと、第1のMISFET（高電圧系MISFET）及びこれより低電圧で駆動される第2のMISFET（低電圧系MISFET）を含む周辺回路とを有する半導体メモリ装置の製造方法であって、半導体基板に、前記第1のMISFETに用いられる第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜を選択的にエッチングして、前記セルアレイの領域で前記半導体

基板を露出させる工程と、露出した前記半導体基板に、前記不揮発性メモリトランジスタのトンネル絶縁膜となる第2のゲート絶縁膜を形成する工程と、前記第1及び第2のゲート絶縁膜上に第1のゲート電極材料膜を堆積する工程と、前記第1のゲート電極材料膜及びその下の前記第1のゲート絶縁膜を選択的にエッチングして、前記第2のMISFETの領域で前記半導体基板を露出させる工程と、露出した前記半導体基板に前記第2のMISFETに用いられる、前記第2のゲート絶縁膜より薄い第3のゲート絶縁膜を形成する工程と、前記第3のゲート絶縁膜上に第2のゲート電極材料膜を堆積する工程と、前記第1及び第2のゲート電極材料膜を含んで前記メモリトランジスタ、第1及び第2のMISFETのゲートを形成する工程と、を有することを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

この発明はまた、不揮発性メモリトランジスタを配列したセルアレイと、第1のMISFET（高電圧系MISFET）及びこれより低電圧で駆動される第2のMISFET（低電圧系MISFET）を含む周辺回路とを有する半導体メモリ装置の製造方法であって、半導体基板に、前記第1のMISFETに用いられる第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜を選択的にエッチングして、前記第2のMISFETの領域で前記半導体基板を露出させる工程と、露出した前記半導体基板に前記第1のゲート絶縁膜より薄い前記第2のMISFETに用いられる第2のゲート絶縁膜を形成する工程と、前記第1及び第2のゲート絶縁膜上に第1のゲート電極材料膜を堆積する工程と、前記第1のゲート電極材料膜及びその下の前記第1のゲート絶縁膜を選択的にエッチングして、前記セルアレイの領域で前記半導体基板を露出させる工程と、露出した前記半導体基板に、前記不揮発性メモリトランジスタのトンネル絶縁膜となる前記第1のゲート絶縁膜より薄く前記第2のゲート絶縁膜より厚い第3のゲート絶縁膜を形成する工程と、前記第3のゲート絶縁膜上に第2のゲート電極材料膜を堆積する工程と、前記第1及び第2のゲート電極材料膜を含んで前記メモリトランジスタ、第1及び第2のMISFETのゲートを形成する工程と、を有することを特徴とする。