

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-511989

(P2008-511989A)

(43) 公表日 平成20年4月17日(2008.4.17)

(51) Int.Cl.

**H01L 21/8234 (2006.01)**  
**H01L 27/06 (2006.01)**  
**H01L 29/78 (2006.01)**  
**H01L 27/08 (2006.01)**  
**H01L 21/761 (2006.01)**

F 1

H01L 27/06 102A  
H01L 29/78 301G  
H01L 27/08 331D  
H01L 21/76 J  
H01L 29/78 301X

テーマコード(参考)

5FO32  
5FO38  
5FO48  
5F140

審査請求 未請求 予備審査請求 未請求 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2007-529890 (P2007-529890)  
(86) (22) 出願日 平成17年8月5日 (2005.8.5)  
(85) 翻訳文提出日 平成19年4月17日 (2007.4.17)  
(86) 國際出願番号 PCT/US2005/027738  
(87) 國際公開番号 WO2006/026055  
(87) 國際公開日 平成18年3月9日 (2006.3.9)  
(31) 優先権主張番号 10/711,144  
(32) 優先日 平成16年8月27日 (2004.8.27)  
(33) 優先権主張国 米国(US)

(71) 出願人 390009531  
インターナショナル・ビジネス・マシーンズ・コーポレーション  
INTERNATIONAL BUSINESS MACHINES CORPORATION  
アメリカ合衆国10504, ニューヨーク州  
アーモンク(番地なし)  
(74) 代理人 100108501  
弁理士 上野 剛史  
(74) 代理人 100112690  
弁理士 太佐 稔一  
(74) 代理人 100091568  
弁理士 市位 嘉宏

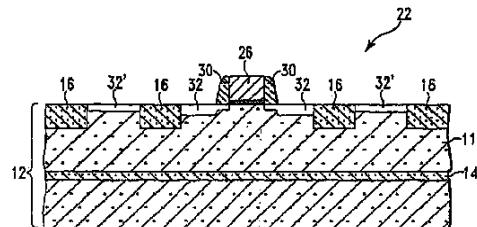
最終頁に続く

(54) 【発明の名称】 分離ウェルを用いるMOSバラクタ

## (57) 【要約】

【課題】 向上した調節能力と高い品質係数Qとを有するバラクタ及びその製造方法を提供すること。

【解決手段】 本発明は、向上した調節能力と高い品質係数Qとを有するバラクタ22、及び、バラクタ22を製造する方法を提供する。本発明の方法は、従来のCMOS処理スキーム又はBiCMOS処理スキームに組み込むことができる。この方法は、第1の導電型の半導体基板12と、該基板12の上部領域11の下方に配置された、第2の導電型のサブコレクタ14又は分離ウェル(すなわち、ドープ領域)とを含む構造体であって、該第1の導電型は、第2の導電型とは異なる構造体を準備するステップを含む。次に、複数の分離領域16が、基板12の上部領域11内に形成され、次いで、ウェル領域が、基板12の上部領域11内に形成される。場合によっては、本発明のプロセスのこの時点で、ドープ領域14が形成される。ウェル領域は、第2の導電型の外側ウェル領域20A及び20Cと、第1の導電型の内側ウェル領域20Bとを含む。ウェル領域の各々のウェルは、分離領域16によって上面で分離される。次に、内側



**【特許請求の範囲】****【請求項 1】**

第1の導電型の半導体基板であって、前記半導体基板は、該半導体基板の上部領域の下方に配置された第2の導電型のドープ領域を含み、前記第1の導電型は、前記第2の導電型とは異なる、第1の導電型の半導体基板と、

前記半導体基板の前記上部領域内に配置されたウェル領域であって、前記ウェル領域は、前記第2の導電型の外側ウェル領域と、前記第1の導電型の内側ウェル領域とを含み、前記ウェル領域のウェルの各々は、分離領域によって上面で分離される、ウェル領域と、

前記内側ウェル領域の上方に配置された、少なくとも前記第1の導電型のゲート導体を有する電界効果トランジスタと  
を備えるバラクタ構造体。  
10

**【請求項 2】**

前記第1の導電型はp-型ドーパントを含み、前記第2の導電型はn-型ドーパントを含む、請求項1に記載のバラクタ構造体。

**【請求項 3】**

前記第1の導電型はn-型ドーパントを含み、前記第2の導電型はp-型ドーパントを含む、請求項1に記載のバラクタ構造体。

**【請求項 4】**

前記第2のドープ領域は、サブコレクタ又は分離ウェルである、請求項1に記載のバラクタ構造体。  
20

**【請求項 5】**

各々のウェル領域は、隣接するウェル領域が互いに接触状態にあるように、前記分離領域の下方に延びる、請求項1に記載のバラクタ構造体。

**【請求項 6】**

前記半導体基板の前記上部領域は、エピタキシャル半導体層を含む、請求項1に記載のバラクタ構造体。

**【請求項 7】**

前記電界効果トランジスタは、前記ゲート導体の下方に配置されたゲート誘電体と、前記ゲート導体上に配置されたハード・マスクと、該ゲート導体の側壁上に配置された少なくとも1つのスペーサと、隣接するソース／ドレイン領域とをさらに備える、請求項1に記載のバラクタ構造体。  
30

**【請求項 8】**

前記ゲート導体はポリシリコンを含む、請求項1に記載のバラクタ構造体。

**【請求項 9】**

半導体基板の上部領域の下方に配置された、n-ドープ領域を含むp-型半導体基板と  
、

前記半導体基板の前記上部領域内に配置されたウェル領域であって、前記ウェル領域は、外側N-ウェル領域及び内側P-ウェル領域を含み、該ウェル領域のウェルの各々は、分離領域によって上面で分離される、ウェル領域と、

前記内側P-ウェル領域の上方に配置された、少なくともp-型ゲート導体を有する電界効果トランジスタと  
を備えるバラクタ構造体。  
40

**【請求項 10】**

前記n-ドープ領域は、サブコレクタ又は分離ウェルを含む、請求項9に記載のバラクタ構造体。

**【請求項 11】**

各々のウェル領域は、隣接するウェル領域が互いに接触状態にあるように、分離領域の下方に延びる、請求項9に記載のバラクタ構造体。

**【請求項 12】**

前記基板の前記上部領域は、エピタキシャル半導体層を含む、請求項9に記載のバラク  
50

タ構造体。

**【請求項 1 3】**

前記電界効果トランジスタは、前記ゲート導体の下方に配置されたゲート誘電体と、前記ゲート導体上に配置されたハード・マスクと、前記ゲート導体の側壁上に配置された少なくとも 1 つのスペーサと、隣接するソース / ドレイン領域とをさらに備える、請求項 9 に記載のバラクタ構造体。

**【請求項 1 4】**

前記ゲート導体は、ポリシリコンを含む、請求項 9 に記載のバラクタ構造体。

**【請求項 1 5】**

バラクタ構造体を製造する方法であって、

10

第 1 の導電型の半導体基板を含む構造体を準備するステップと、

前記半導体基板の上部領域内に複数の分離領域を形成するステップと、

10

前記半導体基板の前記上部領域内にウェル領域を形成するステップであって、前記ウェル領域は、前記第 1 の導電型とは異なる第 2 の導電型の外側ウェル領域と、該第 1 の導電型の内側ウェル領域とを含み、前記ウェル領域のウェルの各々は、分離領域によって上面で分離される、ステップと、

10

前記内側ウェル領域の上方に、少なくとも前記第 1 の導電型のゲート導体を有する電界効果トランジスタを形成するステップであって、前記第 2 の導電型のドープ領域は、前記複数の分離領域を形成する前又は直後に、前記半導体基板の上部領域内に形成される、ステップと

20

を含む方法。

**【請求項 1 6】**

前記第 1 の導電型は p - 型ドーパントを含み、前記第 2 の導電型は n - 型ドーパントを含む、請求項 1 5 に記載の方法。

**【請求項 1 7】**

前記第 1 の導電型は n - 型ドーパントを含み、前記第 2 の導電型は p - 型ドーパントを含む、請求項 1 5 に記載の方法。

**【請求項 1 8】**

前記ドープ領域は、イオン注入によって形成されるサブコレクタ又は分離ウェルを含む、請求項 1 5 に記載の方法。

30

**【請求項 1 9】**

前記半導体基板の前記上部領域は、ドープ領域を形成した後に形成されるエピタキシャル成長半導体層を含む、請求項 1 5 に記載の方法。

**【請求項 2 0】**

前記ウェル領域を形成するステップは、マスク・イオン注入プロセスを含む、請求項 1 5 に記載の方法。

**【発明の詳細な説明】**

**【技術分野】**

**【0 0 0 1】**

本発明は、場合によっては、負のバイアスをかけることを可能にする改善された調節能力と、例えば、寄生 (parasitics) のような、雑音を低減させる分離領域とを有するバラクタを含む相補型金属酸化膜半導体 (CMOS) 及びバイポーラ / CMOS (BiCMOS) 電子デバイス、並びに、こうしたデバイスを製造する方法に関する。バラクタを含む本発明の電子デバイスは、携帯電話又はセルラ式電話、携帯用情報端末 (PDA) 及び他の高 RF (無線周波数) 電子デバイスに用いるのに非常に適している。

40

**【背景技術】**

**【0 0 0 2】**

バラクタは、適切な電圧又は電流バイアスによって制御される静電容量を有する電子デバイスである。バラクタは、一般に、例えば、発振器の周波数が適用される電流又は電圧によって制御される、いわゆる電圧制御発振器 (voltage controlled oscillator, VCO)

50

O )において用いられる。こうした場合には、可変周波数が必要とされるとき、又は、信号を基準信号に同期させる必要があるとき、VCOが用いられる。

#### 【0003】

携帯電話 / セルラ式電話のような無線通信装置においては、一般に、VCOが、位相ロック・ループ回路において用いられ、無線受信機によって受信される信号と同期される基準信号の生成、変調 / 復調操作及び周波数合成を含む、適切な信号を生成する。

#### 【0004】

多数のバラクタが開発され、集積回路技術において成功裏に用いられている。例えば、バイポーラ、CMOS及びBiCMOS技術においては、バラクタとしてpnダイオード、Schottkyダイオード、又はMOSダイオードを用いることが周知である。非特許文献1においては、pnダイオードを含むバラクタが記載されている。Foxhall他に付与された特許文献1、Goodwin他に付与された特許文献2、Pavlidis他に付与された特許文献3及びNguyen他に付与された特許文献4は、超階段型イオン注入接合領域を含む、他のタイプの可変キャパシタ(すなわち、バラクタ)ダイオードについて記載する。「超階段型」という用語は、注入領域が、隣接する外部ベース領域の壁と接触状態にあるドーピング・プロファイルを有することを示す。他方、Embree他に付与された特許文献5、Stolfa他に付与された特許文献6及びLitwin他に付与された特許文献7は、バラクタとして用いられるMOSダイオードについて記載する。

10

#### 【0005】

バラクタの統合は、集積回路技術の能力によって決まる。BiCMOS技術における高RF用途のための集積回路デバイスの概要が、例えば、非特許文献2に記載されている。そこで述べられているように、バラクタは、標準的なBiCMOSデバイス・セットの一部ではない。代わりに、バイポーラ・トランジスタのベース・コレクタ接合をバラクタとして用いることが提案されている。

20

#### 【0006】

デバイスをバラクタとして用いるために、デバイスは、次の基準、すなわち(1)調節能力(すなわち、最大静電容量の最小静電容量に対する比)が大きくなければならない(約3又はそれより大きいオーダー)、(2)品質係数Qが高くなければならない(約20又はそれ以上のオーダー)及び(3)デバイスが直線性を示さなければならない、のうちの1つ又は複数、好ましくは2つ又はそれ以上を満たさなければならない。

30

#### 【0007】

知られている従来技術のバラクタの中の多くは、上記の基準を満たしていない。例えば、これまでのベース・コレクタ接合バラクタは、NPNベース・コレクタ・プロファイルに依存しており、バラクタの調節能力のために最適化されていない。注入領域のドーピング・プロファイルが、外部ベース領域の「壁」に配置された超階段型ベース・コレクタ接合バラクタの場合には、デバイスは直線性を欠いている。従来のMOSバラクタを用いる場合、調節能力は高いが、多くの場合、さらに高い調節能力が必要とされる。

#### 【0008】

【特許文献1】米国特許第3,638,300号明細書

40

【特許文献2】米国特許第4,226,648号明細書

【特許文献3】米国特許第4,827,319号明細書

【特許文献4】米国特許第5,557,140号明細書

【特許文献5】米国特許第4,973,922号明細書

【特許文献6】米国特許第5,965,912号明細書

【特許文献7】米国特許第6,100,770号明細書

【非特許文献1】R.A. Moline他による、「Ion-Implanted Hyperabrupt Junction Voltage Variable Capacitors」という名称のタイトルの論文、IEEE Trans. Electron. Device, ED-19, pp 267f, 1972年

50

【非特許文献2】J. N. Burghartz他による「Integrated RF and Microwave Component in BiCMOS Technology」、IEEE Trans. Electron. Device、Vol. 43、pp 1559、1996年9月

【発明の開示】

【発明が解決しようとする課題】

【0009】

従来技術のバラクタに関する上述の欠点に鑑みて、上記の基準を満たし、CMOS及びBiCMOSデバイスと統合することができる、新しい改善されたバラクタを提供するための必要性が引き続き存在する。

10

【0010】

さらに、従来のMOSバラクタ設計においては、MOSバラクタをバルク基板から電気的に絶縁することは困難である。十分に電気的に絶縁されていないことにより、例えば、雑音のような高い寄生を有するデバイスがもたらされる。したがって、十分に電気的に絶縁され、これによりデバイスの雑音が低減されるバラクタ設計を提供する必要も存在する。

【課題を解決するための手段】

【0011】

本発明は、向上した調節能力と高い品質係数Qとを有するバラクタ、及び、バラクタを製造する方法を提供する。本発明の方法は、従来のCMOS処理スキーム又はBiCMOS処理スキームに組み込むことができる。

20

【0012】

具体的かつ大まかに言うと、本発明のバラクタは、

第1の導電型の半導体基板であって、この半導体基板は、該半導体基板の上部領域の下方に配置された第2の導電型のドープ領域を含み、第1の導電型は、ドーパント型に関して、第2の導電型とは異なる、第1の導電型の半導体基板と、

前記半導体基板の上部領域内に配置されたウェル領域であって、このウェル領域は、第2の導電型の外側ウェル領域と、第1の導電型の内側ウェル領域とを含み、ウェル領域のウェルの各々は、分離領域によって上面で分離される、ウェル領域と、

内側ウェル領域の上方に配置された、少なくとも第1の導電型のゲート導体を有する電界効果トランジスタと、  
を含む。

【0013】

BiCMOS又はバイポーラ・トランジスタが製造される幾つかの実施形態においては、第2の導電型のドープ領域は、サブコレクタである。CMOSデバイスが製造される他の実施形態においては、第2の導電型のドープ領域は、分離ウェルである。

【0014】

好みしい実施形態を表す本発明の1つの実施形態において、バラクタは、

半導体基板の上部領域の下方に配置された、n-ドープ領域すなわちサブコレクタ又は分離ウェルを含むp-型半導体基板と、

前記半導体基板の上部領域内に配置されたウェル領域であって、このウェル領域は、外側N-ウェル領域及び内側P-ウェル領域を含み、ウェル領域のウェルの各々は、分離領域によって上面で分離される、ウェル領域と、

内側P-ウェル領域の上方に配置された、少なくともp-型ゲート導体を有する電界効果トランジスタと  
を含む。

【0015】

本発明の別の実施形態においては、バラクタは、

半導体基板の上部領域の下方に配置された、p-ドープ領域すなわちサブコレクタ又は分離ウェルを含むn-型半導体基板と、

40

50

前記半導体基板の上部領域内に配置されたウェル領域であって、このウェル領域は、外側P - ウェル領域及び内側N - ウェル領域を含み、ウェル領域のウェルの各々は、分離領域によって上面で分離される、ウェル領域と、

内側N - ウェル領域の上方に配置された、少なくともp - 型ゲート導体を有する電界効果トランジスタと  
を含む。

#### 【0016】

バラクタ構造体に加えて、本発明はまた、これを製造する方法も提供する。本方法は、  
第1の導電型の半導体基板を含む構造体を準備するステップと、

前記半導体基板の上部領域内に複数の分離領域を形成するステップと、

前記半導体基板の上部領域内にウェル領域を形成するステップであって、このウェル領域は、第1の導電型とは異なる第2の導電型の外側ウェル領域と、第1の導電型の内側ウェル領域とを含み、ウェル領域のウェルの各々は、分離領域によって上面で分離される、  
ステップと、

内側ウェル領域の上方に、少なくとも第1の導電型のゲート導体を有する電界効果トランジスタを形成するステップと  
を含む。

#### 【0017】

1つの実施形態において、半導体基板は、該半導体基板の上部領域の下方に配置された、第2の導電型のドープ領域を含む。ドープ領域は、複数の分離領域を形成する前、又は複数の分離領域を形成した後であるがウェル領域を形成する前に形成することができる。ドープ領域は、BiCMOS又はバイポーラ・デバイスのためのサブコレクタと  
ができる、又は、CMOSデバイスのための分離ウェルとすることにも留意される。

#### 【0018】

好ましいバラクタ構造体の場合は、本方法は、

p - 型半導体基板を含む構造体を準備するステップと、

前記半導体基板の上部領域内に複数の分離領域を形成するステップと、

前記半導体基板の上部領域内にウェル領域を形成するステップであって、このウェル領域は、外側ウェルN - 領域及び内側P - ウェル領域を含み、ウェル領域のウェルの各々は、分離領域によって上面で分離される、ステップと、

内側ウェル領域の上方に、少なくともp - 型ゲート導体を有する電界効果トランジスタを形成するステップと  
を含む。

#### 【0019】

1つの実施形態において、半導体基板は、該半導体基板の上部領域の下方に配置された、第2の導電型のドープ領域を含む。ドープ領域は、複数の分離領域を形成する前、又は複数の分離領域を形成した後であるがウェル領域を形成する前に形成することができる。

#### 【発明を実施するための最良の形態】

#### 【0020】

ここで、改善された調節能力及び減少した寄生すなわち雑音を有するMOSバラクタ、並びに、その製造方法を提供する本発明が、本出願に添付する図面を参照することにより詳細に説明される。本出願の図面は、説明の目的のために提供されるものであり、よって縮尺に合わせて描かれていないことが留意される。さらに、図面に示される同じ要素及び対応する要素は、同じ参照符号によって示される。

#### 【0021】

以下の説明において、交互するN - ウェル、P - ウェル及びN - ウェル・レイアウトと、n - 型サブコレクタとを含む、BiCMOS及びバイポーラ用途のためのPMOSバラクタが説明される。こうした配置が詳細に説明されるが、本発明はさらに、交互するP - ウェル、N - ウェル及びP - ウェル・レイアウトと、p - 型サブコレクタとを含む、Bi

10

20

30

40

50

C M O S 又はバイポーラ用途のためのN M O S バラクタも考慮する。N M O S バラクタは、P M O S バラクタとは反対のドーパントの導電性を用いることによって作られる。例えば、図1 - 図4に示されるようなB i C M O S 又はバイポーラ用途の場合は、基板内に存在する第1の導電型のドーパントとは異なる第2の導電型のドープ領域を表すサブコレクタが存在することが留意される。C M O S 用途においては、基板内に存在する第1の導電型のドーパントとは異なる第2の導電型のドープ領域を表す分離ウェルが存在する。ドープ領域は、分離領域を形成する前に、又は分離領域を形成した後であるが本発明のウェル領域を形成する前に形成することができる。

## 【0022】

最初に、半導体基板12の一部の中にn+サブコレクタ14が形成された後に形成される初期構造体10を示す図1を参照する。半導体基板12は、例えば、Si、SiGe、SiGeC、SiC、GaAs、InAs、InP、又は例えば、シリコン・オン・インシュレータ(silicon-on-insulator、SOI)、SiGeオン・インシュレータ(SiGe-on-insulator、SGOI)及びSi/SiGe等の層状半導体を含む半導体材料からなる。示される実施形態の場合は、半導体基板12は、p-型基板である。基板12は、基板材料自体、又はn+サブコレクタ14を形成する前に上に形成することができる任意のエピタキシャル成長半導体層を含むことができる上部領域11を含むことに留意されたい。

## 【0023】

n+サブコレクタ14は、当業者には公知の通常のイオン注入プロセス及び条件を用いて、As又はPのようなn-型ドーパント原子を注入することによって形成される。注入は、基板全体にわたって連続的なサブコレクタ14を提供するプランケット注入とともにでき、或いは、マスク・イオン注入プロセスを用いて、基板の特定の部分内に別個のサブコレクタを形成することもできる。用いることができる1つの可能なn-型ドーパントは、約1E14原子/cm<sup>2</sup>から約5E16原子/cm<sup>2</sup>までのドーピング用量、及び、約20keVから約100keVまでのエネルギーで注入することができるAsである。上述のもの以外の他のドーパント・イオン及び/又は注入条件を用いることもできる。n+サブコレクタ14は、基板12の上面から、約300nmから約2000nmまでに配置される。

## 【0024】

用いられるドーパントの型にもかかわらず、サブコレクタ14は、一般的には、約1E18原子/cm<sup>3</sup>から約1E20原子/cm<sup>3</sup>までのドーパント濃度を有し、約1E19原子/cm<sup>3</sup>から約1E20原子/cm<sup>3</sup>までのドーパント濃度がより一般的である。

## 【0025】

サブコレクタ14は、本発明のこの時点で形成されるように示されるが、プロセス中、すなわち分離領域の形成後であるがウェル領域の形成前に、サブコレクタ14を後で形成できることに留意されたい。

## 【0026】

上述のような幾つかの実施形態においては、シリコン又はSiGe等のエピタキシャル半導体層が、当業者には公知の従来のエピタキシャル成長プロセスを用いて、半導体基板12の表面上に形成される。こうしたエピタキシャル層は、図1に表記された領域11に対応するものである。

## 【0027】

次に、図2に示されるように、複数の分離領域16が、半導体基板12の上部領域11内に形成される。本発明のこの時点で形成される複数の分離領域16は、シリコン局所酸化(local oxidation of silicon、LOCOS)による分離領域とすることができます、或いはより好ましくは、複数の分離領域16は、図2に示されるようなトレンチ分離領域である。分離領域16は、当業者には公知のプロセスを用いて形成される。例えば、分離領域16がLOCOS分離領域からなるとき、こうした分離領域を形成する際に、シリコン局所酸化法を用いることができる。分離領域16がトレンチ分離領域からなるとき、トレンチ分離領域は、リソグラフィ、エッチング及びトレンチ充填(すなわち、テトラエチル・

10

20

30

40

50

オルトシリケート(TEOS)又は高密度プラズマ酸化物(HDPO)等のトレンチ誘電体の堆積)によって形成される。随意的に、トレンチ充填に続いて、化学機械研磨(CMP)又は研削等の平坦化プロセスを行うことができる。また、任意の緻密化プロセスを用いることもできる。

#### 【0028】

本発明においては、複数の分離領域16が、基板12の上部領域11内に形成され、これらは、n+サブコレクタ14までは延びていない。図2に示されるような2つの分離領域が、デバイス領域18を定める。

#### 【0029】

次に、交互する導電性のウェル領域が、イオン注入及びアニールによって形成される。  
図3に示されるこの例においては、交互する導電性のウェル領域は、第1のN-ウェル領域20A、P-ウェル領域20B及び第2のN-ウェル領域20Cを含む。別の実施形態においては、ウェル領域についての代替的なドーピング構成が形成される。図3に示されるこの例においては、P-ウェル領域(「活性ウェル」)20Bは、デバイス領域18内に配置される。N-ウェル領域20A及び20Cは、デバイス領域18に隣接して形成され、それらのウェル領域は、本明細書においては「リーチ・スルー注入領域」と呼ぶことができる。示されるように、ウェル領域は分離領域16の下方に延びるので、各々の隣接するウェル領域が、例えば、20A及び20Bといった隣接するウェル領域と接触するようになる。図3に示されるように、ウェル領域20A、20B及び20Cは、n+サブコレクタ14の表面まで下方に延びる。サブコレクタ14又は分離ウェル14に電気的に接触させるように、ウェル領域20A及び20Cが用いられる。

#### 【0030】

上述のように、ウェル領域は、イオン注入及びアニールによって形成される。各々のウェルを形成するのに用いられるドーパントの型は、最終的なバラクタの極性によって決まる。As及びPのような、元素周期表のVA族からの元素といったn-型ドーパントは、N-ウェルを形成するのに用いられ、B、In及びGaのような元素周期表のIIIA族からの元素といったp-型ドーパントは、P-ウェルを形成するのに用いられる。

#### 【0031】

用いられるドーパントの型にもかかわらず、各々のウェル領域は、一般的には、約1E17原子/cm<sup>3</sup>から約1E19原子/cm<sup>3</sup>までのドーパント濃度を有し、約1E17原子/cm<sup>3</sup>から約1E18原子/cm<sup>3</sup>までのドーパント濃度がより一般的である。

#### 【0032】

本発明によると、マスク・イオン注入プロセスを用いて、半導体基板12の一部の中に選択的なドーパント・イオンの型が注入される。同じ注入条件を用いて、外側ウェル領域20A及び20Cを同時に形成することができる。代替的に、異なる注入条件を用いて、異なったときに外側ウェル領域20A及び20Cを形成することもできる。注入の順序は異なり得る。例えば、ウェル領域20A及び20Cの前又は後に、ウェル領域20Bを形成することができる。

#### 【0033】

各々のウェル領域を形成する際に用いられる注入条件は、従来のものであり、当業者には公知である。例えば、N-ウェル領域を形成するための注入条件は、約1E12原子/cm<sup>2</sup>から約8E15原子/cm<sup>2</sup>までのn-型ドーパント用量、及び約30keVから約1000keVまでのエネルギーを含むことができる。P-ウェル領域は、約1E12原子/cm<sup>2</sup>から約8E13原子/cm<sup>2</sup>までのp-型ドーパント用量、及び約30keVから約600keVのエネルギーを用いて形成することができる。この技術においてリーチ・スルー(n-型)注入が利用可能な場合には、この注入を標準的なN-ウェル注入に置き換える。一般的に、こうしたリーチ・スルー注入は、ドーパント用量が5E13原子/cm<sup>2</sup>から5E14原子/cm<sup>2</sup>までであり、エネルギーが100keVから300keVまでの、Sbのようなn-型ドーパントを含む。

#### 【0034】

10

20

30

40

50

実質的に垂直型イオン注入プロセスを用いて、イオン注入を行うこともでき、或いは代替的に、傾斜イオン注入プロセスを用いることもできる。

#### 【0035】

各々のウェル領域内のドーパントを活性化させるために、アニール・プロセスが用いられる。ウェル領域が形成された後に単一のアニール・ステップを用いることができ、或いは代替的に、個々のウェル領域の各々の注入に続いて、アニール・プロセスを行うこともできる。本発明に用いられるアニール温度は、一般的には、約900又はそれより高く、約1000又はそれより高いアニール温度が、より一般的である。アニール時間は、用いられるアニール・プロセスのタイプによって異なり得る。例えば、一般的に、急速熱アニール(RTA)プロセス、レーザ・アニール、又はスパイク・アニールについては、約5分又はそれより短いアニール時間が用いられ、一方、一般的に、炉アニールについては、約30分又はそれより長いアニール時間が用いられる。

10

#### 【0036】

本発明のプロセス内の別の熱サイクルが実行されるまで、ウェル領域の活性化を遅らせることでできるように留意すべきである。例えば、ソース/ドレイン拡散の活性化の際に、ウェル領域を活性化させることができ。全体のプロセスの中で、熱サイクル数を減少させ、よって、コストを削減するので、後の熱プロセスまでウェル領域の活性化を遅らせることは、有利である。

#### 【0037】

次に、従来のCMOSプロセスを用いて、図4に示されるバラクタ22を提供する。図4に示されるバラクタ22は、ゲート誘電体24と、ゲート導体26と、少なくともゲート導体26の側壁上に配置された少なくとも1つのスペーサ30と、基板12の上部に配置されたソース/ドレイン領域32(32')とを含む電界効果トランジスタ(FET)を含むことに留意されたい。バラクタ22は、デバイス領域18の中間ウェル領域すなわちP-ウェル領域20Bの上に配置される。

20

#### 【0038】

図4に示されるバラクタ22を形成するのに用い得る1つの従来のCMOSプロセスは、次のステップを含む。すなわち、分離領域が堆積された誘電体からなる場合には、最初に、ゲート誘電体24は、半導体基板12と分離領域16を含む図3に示される構造体の表面全体上に形成される。

30

#### 【0039】

ゲート誘電体24は、例えば、酸化、窒化、又は酸窒化といった熱成長プロセスによって形成することができる。代替的に、ゲート誘電体24は、例えば、化学気相成長(CVD)、プラズマ強化CVD、原子層堆積(ALD)、蒸着、反応性スパッタリング、化学溶液堆積及び他の同様の堆積プロセスのような堆積プロセスによって形成することができる。上記のプロセスの任意の組み合わせを用いて、ゲート誘電体24を形成することもできる。

40

#### 【0040】

ゲート誘電体24は、これらに限定されるものではないが、酸化物、窒化物、酸窒化物、及び/又は金属シリケート及び窒化金属シリケートを含むシリケートなどの絶縁材料からなる。1つの実施形態において、ゲート誘電体24は、例えば、SiO<sub>2</sub>、HfO<sub>2</sub>、ZrO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、TiO<sub>2</sub>、La<sub>2</sub>O<sub>3</sub>、SrTiO<sub>3</sub>、LaAlO<sub>3</sub>、及びこれらの混合物のような酸化物からなることが好ましい。

#### 【0041】

ゲート誘電体24の物理的な厚さは異なり得るが、一般的には、ゲート誘電体24は、約0.5nmから約10nmまでの厚さを有し、約0.5nmから約3nmまでの厚さがより一般的である。

#### 【0042】

ゲート誘電体24を形成した後、例えば、物理気相成長(CVD)、又は蒸着等の周知の堆積プロセスを用いて、図4に示されるゲート導体26になるポリシリコン(すなわち、

50

ポリ Si ) のプランケット層が、ゲート誘電体 2 4 上に形成される。ポリシリコンのプランケット層は、ドープされたものであっても、ドープされていないものであってもよい。ドープされたものである場合には、ポリシリコン・プランケット層を形成するのに、その場 (in-situ) ドーピング堆積プロセスを用いることができる。代替的に、堆積、イオン注入及びアニールによって、ドープされたポリ Si 層を形成することができる。ポリ Si 層のドーピングが、形成されるゲートの仕事関数をシフトさせる。ドーパント・イオンの説明に役立つ実例は、As、P、B、Sb、Bi、In、Al、Ga、Tl、又はこれらの混合物を含む。図に示される例においては、p - ドープされたポリシリコン・ゲート導体 2 6 が形成される。イオン注入についての好ましいドーズ量は、 $1 \times 10^{14}$  原子 /  $\text{cm}^2$  から  $1 \times 10^{16}$  原子 /  $\text{cm}^2$  までであり、或いはより好ましくは、 $1 \times 10^{15}$  原子 /  $\text{cm}^2$  から  $5 \times 10^{15}$  原子 /  $\text{cm}^2$  までである。本発明のこの時点では堆積されたポリシリコン層の厚さは、用いられる堆積プロセスによって異なり得る。一般的には、ポリシリコン層は、約 20 nm から約 180 nm までの垂直厚さを有し、約 40 nm から約 150 nm までの厚さがより一般的である。

10

#### 【0043】

用いられるドーパントの型にもかかわらず、ゲート導体 2 6 は、一般的には、約  $1 \times 10^{19}$  原子 /  $\text{cm}^3$  から  $1 \times 10^{21}$  原子 /  $\text{cm}^3$  までのドーパント濃度を有し、約  $5 \times 10^{19}$  原子 /  $\text{cm}^3$  から  $5 \times 10^{20}$  原子 /  $\text{cm}^3$  までのドーパント濃度がより一般的である。

#### 【0044】

ポリシリコン・プランケット層の堆積後、例えば、物理気相成長又は化学気相成長等の堆積プロセスを用いて、ハード・マスクが、ポリシリコン・プランケット層の上に形成される。ハード・マスクは、酸化物、窒化物、酸窒化物、又はこれらの任意の組み合わせとすることが可能である。1つの実施形態において、例えば、 $\text{Si}_3\text{N}_4$  のような窒化物が、ハード・マスクとして用いられる。さらに別の実施形態においては、ハード・マスクは、 $\text{SiO}_2$  のような酸化物である。ハード・マスクの厚さは、約 20 nm から約 180 nm まであり、約 30 nm から約 140 nm までの厚さがより一般的である。

20

#### 【0045】

次に、ポリシリコン・プランケット層及びハード・マスクが、リソグラフィ及びエッチングによってパターン形成され、少なくとも1つのパターン形成されたゲート・スタックを提供する。パターン形成されたゲート・スタックは、同じ寸法すなわち長さを有することができ、或いは、デバイス性能を向上させるために様々な寸法を有することができる。本発明のこの時点のパターン形成されたゲート・スタックの各々は、ポリ Si のゲート導体 2 6 と、ハード・マスクとを含む。リソグラフィ・ステップは、フォトレジストをハード・マスクの上面に塗布するステップと、フォトレジストを所望のパターンの放射線に露光させるステップと、従来のレジスト現像液を用いて露光されたフォトレジストを現像するステップとを含む。次に、1つ又は複数のドライ・エッチング・ステップを用いて、フォトレジスト内のパターンが、ハード・マスク及びポリシリコンのプランケット層に転写される。幾つかの実施形態においては、ハード・マスク内にパターンが転写された後に、パターン形成されたフォトレジストを除去することができる。他の実施形態においては、エッチングが完了した後に、パターン形成されたフォトレジストが除去される。

30

#### 【0046】

ハード・マスクは、一般に、ゲートのパターン形成プロセス中又はその後に除去されることが留意される。ハード・マスクは、一般に、最終構造体内には存在しない。図 4 を参照されたい。

#### 【0047】

パターン形成されたゲート・スタックを形成する際に本発明に用いることができる適切な乾式エッチング・プロセスは、これらに限定されるものではないが、反応性イオン・エッチング、イオン・ビーム・エッチング、プラズマ・エッチング、又はレーザ切除を含む。用いられる乾式エッチング・プロセスは、一般に、下にあるゲート誘電体 2 4 に対して選択的であり、したがって、こうしたエッチング・ステップは、一般に、ゲート誘電体 2

40

50

4を除去するものではない。しかしながら、幾つかの実施形態においては、こうしたエッチング・ステップを用いて、ゲート・スタックによって保護されていないゲート誘電体24の一部を除去することができる。

#### 【0048】

次に、少なくとも1つのスペーサ30が、パターン形成されたゲート・スタックの露光された側壁上に形成される。少なくとも1つのスペーサ30は、酸化物、窒化物、酸窒化物、及び/又はこれらの任意の組み合わせといった絶縁体からなる。少なくとも1つのスペーサ30は、堆積及びエッチングによって形成される。

#### 【0049】

少なくとも1つのスペーサ30の幅は、ソース及びドレインのシリサイド・コンタクト(後に形成される)がゲート・スタックの縁部の下に侵入しないように、十分に広いものでなければならない。一般的には、少なくとも1つのスペーサ30が、約15nmから約80nmまでの底部で測定された幅を有するとき、ソース/ドレイン・シリサイドは、ゲート・スタックの縁部の下に侵入しない。

#### 【0050】

スペーサの形成後、基板12内にソース/ドレイン領域32、32'が形成される。ソース/ドレイン領域32、32'は、イオン注入及びアニール・ステップを用いて形成される。アニール・ステップは、前の注入ステップによって注入されたドーパントを活性化させる働きをする。イオン注入及びアニールについての条件は、当業者には公知である。「ソース/ドレイン領域」という用語は、深いソース/ドレイン拡散領域、任意のハロ注入及びソース/ドレイン拡張領域を含む。

#### 【0051】

次に、これまでに除去されていなかった場合には、ゲート誘電体24を選択的に除去する化学エッチング・プロセスを用いて、ゲート誘電体24の露光された部分を除去する。こうしたエッチング・ステップは、半導体基板12の上面、及び、分離領域16の上面で停止する。ゲート誘電体24の露光された部分を除去する際に任意の化学エッチング液を用いることができるが、1つの実施形態においては、希フッ化水素酸(dilute hydrofluoric acid、DHF)が用いられる。

#### 【0052】

当業者には公知の従来のソース/ドレイン・シリサイド化プロセス及び金属ゲート・シリサイド化プロセスを用いることによって、本発明のこの時点で、ソース/ドレイン領域32、32'及び随意的にゲート導体24の少なくとも一部をシリサイド化することができる。

#### 【0053】

図4は、BiCMOS又はバイポーラ用途のための本発明の構造体、すなわち、ウェル・スキーム及び下にあるサブコレクタを含む、基板12の上に配置されたバラクタ22を示すことが留意される。図において、バラクタ22は、p-型ポリシリコン・ゲート導体26、下にあるP-ウェル領域20B、分離領域16によってバラクタから分離される隣接するN-ウェル領域20A及び20C、並びにP-ウェル領域20Bをp-型半導体基板12の本体から分離する下にあるn+サブコレクタ14を含む。反対の極性の型の構造体、すなわち、n-型ポリシリコン・ゲート導体26、下にあるN-ウェル領域20B、分離領域16によってバラクタ構造体から分離される隣接するP-ウェル領域20A及び20C、並びにN-ウェル領域20Bをn-型半導体基板12の本体から分離する下にあるp+サブコレクタ14も考慮される。

#### 【0054】

空乏状態で作動する負バイアス蓄積バラクタを提供するので、図4に示される構造体は、好みしいものである。

#### 【0055】

必要に応じて、基板12の表面上に他のバラクタ22を形成できることが留意される。

#### 【0056】

10

20

30

40

50

図5は、N-ウェル内の従来技術のNMOS(曲線1)、P-ウェル内の従来技術のPMOS(曲線2)、並びにウェル・スキーム及び下にあるn+サブコレクタ又は分離ウェルを有する、P-ウェル内の本発明のバラクタPMOS(曲線3)についてのCV特性を示す。本発明のバラクタにおける最小静電容量が減少し、よって、曲線1及び曲線2と比較してデバイスの調節能力が向上されることが、この図面から確認される。こうした最小静電容量の減少は、n-型サブコレクタ又は分離ウェルの僅かなカウンタドープの影響である。このことにより、P-ウェル内の本発明のp-型ドーパントが減少され、よって、最小静電容量が減少される。

## 【0057】

図6-図8は、CMOS用途のためのバラクタを形成するのに用いられる処理ステップを示す。このプロセスは、最初に、基板12の上部領域内に形成された複数の分離領域16を有する半導体基板12を含む、図6に示される構造体を準備することで始まる。複数の分離領域16が、上述のように形成される。示されるように、デバイス領域18は、2つの隣接する分離領域間に形成される。半導体基板12は、第1の導電型のドーパント(n-又はp-型)でドープされる。

10

## 【0058】

次に、図6に示される構造体内にp-型又はn-型ドーパントをイオン注入することによって、分離ウェル14(すなわち、第2の導電型のドーパント領域)が形成され、図7に示される構造体を生成する。分離ウェル領域14は、当業者には公知の従来の注入プロセスを用いて形成される。

20

## 【0059】

次に、ウェル領域20A、20B及び20Cが、上述のように形成される。20A及び20Cは、分離ウェル領域14と同じ導電型のドーパントを有するリーチ・スルー注入領域であり、活性ウェル領域20Bは、基板と同じ導電型のドーパントを有することに留意されたい。結果物としての構造体が、図8に示される。

## 【0060】

図4に示される構造体を提供するために、図8に示される構造体上に、上述のさらなる処理を形成することができる。

## 【0061】

本発明は、特に、その好ましい実施形態について示され、説明されたが、当業者であれば、本発明の精神及び範囲から逸脱することなく、形態及び詳細における前述した及び他の変更を加えることができることを理解するであろう。したがって、本発明は、説明され、示された正確な形態及び詳細に限定されるものではなく、添付の特許請求の範囲の精神及び範囲内にあることが意図される。

30

## 【図面の簡単な説明】

## 【0062】

【図1】BiCMOS又はバイポーラ用途の蓄積バラクタを製造するための、本発明に用いられる基本的な処理ステップを示す図形表示(断面図による)である。

40

【図2】BiCMOS又はバイポーラ用途の蓄積バラクタを製造するための、本発明に用いられる基本的な処理ステップを示す図形表示(断面図による)である

【図3】BiCMOS又はバイポーラ用途の蓄積バラクタを製造するための、本発明に用いられる基本的な処理ステップを示す図形表示(断面図による)である

【図4】BiCMOS又はバイポーラ用途の蓄積バラクタを製造するための、本発明に用いられる基本的な処理ステップを示す図形表示(断面図による)である

【図5】n-ウェル内の従来技術のNMOS(曲線1)、p-ウェル内の従来技術のPMOS(曲線2)及び本発明のPMOS蓄積バラクタ(曲線3)についてのCV特性(静電容量密度対ゲート電圧Vg)のプロットである。

【図6】CMOS用途の蓄積バラクタを製造するための、本発明に用いられる基本的な処理ステップを示す図形表示(断面図による)である。

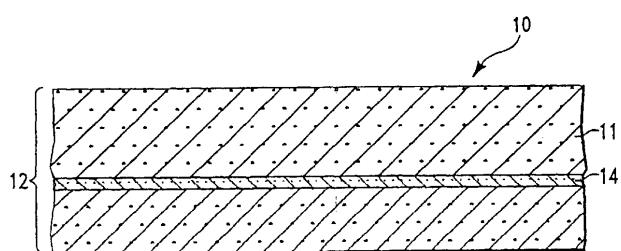
50

【図7】CMOS用途の蓄積バラクタを製造するための、本発明に用いられる基本的な処

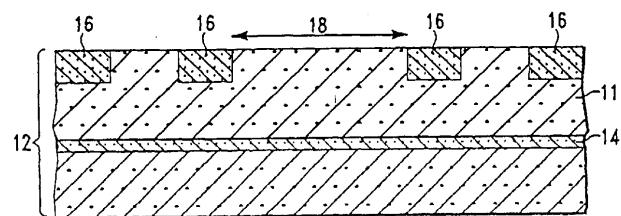
理ステップを示す図形表示（断面図による）である。

【図 8】C M O S 用途の蓄積バラクタを製造するための、本発明に用いられる基本的な処理ステップを示す図形表示（断面図による）である。

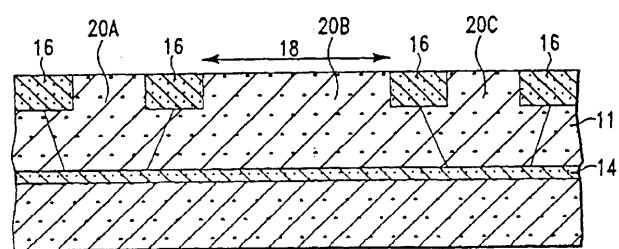
【図 1】



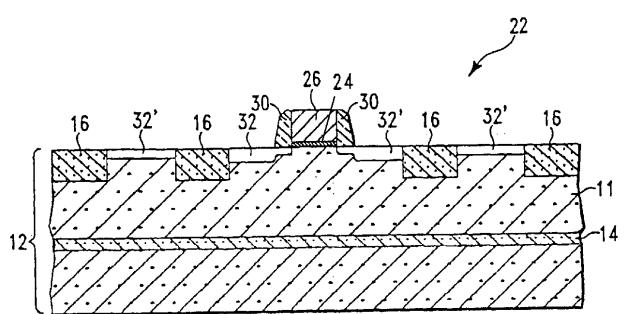
【図 2】



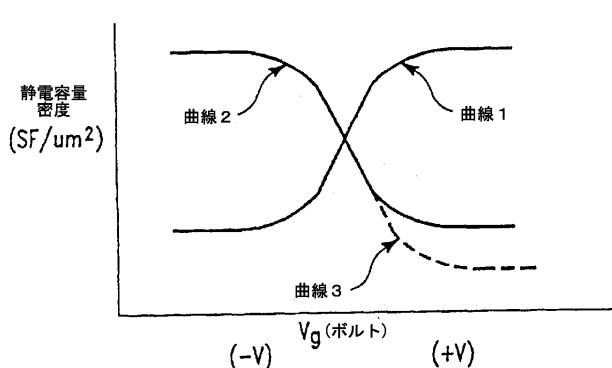
【図 3】



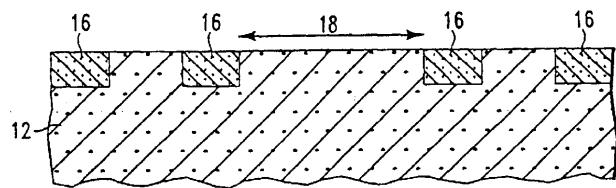
【図 4】



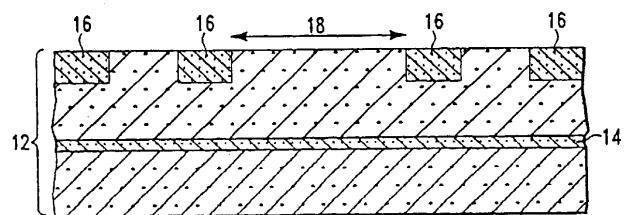
【図 5】



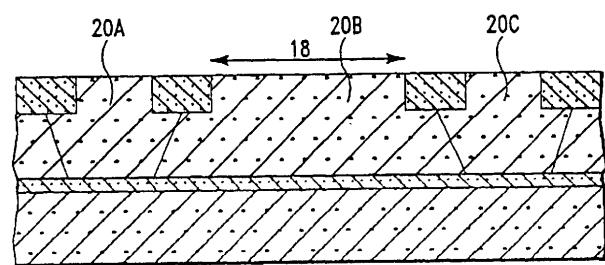
【図6】



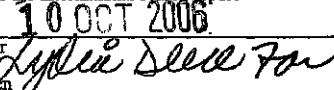
【図7】



【図8】



## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US05/27738
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC: H01L 27/108( 2006.01);H01L 29/93( 2006.01)		
USPC: 257/312,595,600 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 257/312,595,600		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/0074589 A1 (BENAISSA et al) 20 June 2002 (20.06.2002), page 1, paragraph [0009] to page 2, paragraph [0015].	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 21 August 2006 (21.08.2006)		Date of mailing of the international search report 10 OCT 2006
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201		Authorized officer  Khiem D. Nguyen Telephone No. (571) 272-1865

Form PCT/ISA/210 (second sheet) (April 2005)

## フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 01 L 21/822 (2006.01)	H 01 L 27/04	C
H 01 L 27/04 (2006.01)		

(81) 指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KP,KR,KZ,LC,LK,LR,L  
S,LT,LU,LV,MA,MD,MG,MK,MN,MW,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM  
,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(74) 代理人 100086243

弁理士 坂口 博

(72) 発明者 クールボー、ダグラス、ディー

アメリカ合衆国 05452 バーモント州 エセックス・ジャンクション セージ・サークル  
21

(72) 発明者 ハーシュバーガー、ダグラス、ビー

アメリカ合衆国 05452 バーモント州 エセックス・ジャンクション ワイルドウッド・ド  
ライブ 14

(72) 発明者 ラッセル、ロバート、エム

アメリカ合衆国 05446 バーモント州 コルチェスター グラニット・クリーク・ロード  
225

F ターム(参考) 5F032 AA03 AA13 AA35 AA44 CA03 CA05 CA09 CA10 CA15 CA17  
CA18 CA20 DA04 DA23 DA33 DA43  
5F038 AC03 AC05 AC06 AC15 EZ13 EZ14 EZ20  
5F048 AC10 BA02 BA12 BA14 BA15 BA16 BB06 BB07 BB08 BB11  
BB12 BC06 BE03 BE04 BF06 BG12 BG13 BH01 DA18 DA19  
DA23 DA24 DA25 DA27 DA30  
5F140 AB06 AB09 AC36 AC39 BA01 BA02 BA05 BA06 BA07 BA08  
BA16 BA17 BC12 BD06 BD07 BD09 BD11 BD13 BE07 BE08  
BE09 BE10 BF04 BF11 BF18 BF38 BG28 BG30 BG31 BG32  
BG33 BG39 BH15 BJ01 BJ08 CB01 CB04 CB08 CD02 CE07

## 【要約の続き】

ウェル領域20Bの上方に、少なくとも第1の導電型のゲート導体26を有する電界効果トランジスタが形成される

。

## 【選択図】 図4