

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
G11C 16/04 (2006.01)



## [12] 发明专利申请公布说明书

[21] 申请号 200780033061.6

[43] 公开日 2009 年 8 月 19 日

[11] 公开号 CN 101512663A

[22] 申请日 2007.7.31

[21] 申请号 200780033061.6

[30] 优先权

[32] 2006.7.31 [33] US [31] 11/461,343

[32] 2006.7.31 [33] US [31] 11/461,367

[86] 国际申请 PCT/US2007/074899 2007.7.31

[87] 国际公布 WO2008/016946 英 2008.2.7

[85] 进入国家阶段日期 2009.3.6

[71] 申请人 桑迪士克 3D 公司

地址 美国加利福尼亚州

[72] 发明人 罗伊·E·朔伊尔莱因

泰勒·J·索普 卢卡·G·法索利

[74] 专利代理机构 北京律盟知识产权代理有限责任公司  
代理人 刘国伟

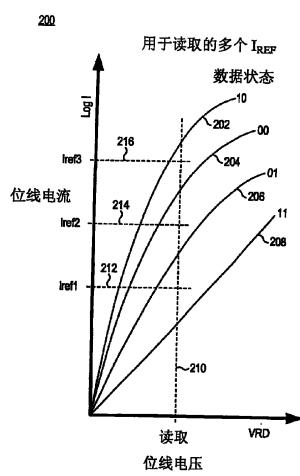
权利要求书 7 页 说明书 15 页 附图 6 页

### [54] 发明名称

用于读取多级无源元件存储器单元阵列的方法及设备

### [57] 摘要

一种四级无源元件单元具有对应于降低的电阻级的存储器状态，所述存储器状态优选地被分别映射到数据状态 11、01、00 及 10。优选地将 LSB 及 MSB 映射为不同页的部分。为在存储器单元状态之间进行区分，针对参考电流级与读取偏压的至少两个不同组合感测选定位线电流。使用中级参考来读取所述 LSB。当读取所述 MSB 时，可使用所述 10 与 00 数据状态之间的第一参考及 01 与 11 数据状态之间的第二参考，而不需要使用所述中级参考。在某些实施例中，可同时对照所述第一及第二参考来比较所述位线电流，而不需要延迟以将所述位线电流稳定到不同的值，且相应地产生所述 MSB。



1、一种集成电路，其包含：

存储器阵列，其包含具有分别对应于第一、第二、第三及第四降低电阻级的第一、第二、第三及第四存储器单元状态的多级无源元件存储器单元；及

区分构件，其用于通过针对参考电流级与选定位线上的读取偏压的至少两个不同组合而感测所述选定位线上的电流来在存储器单元状态之间进行区分。

2、如权利要求 1 所述的集成电路，其中：

所述第一及第四存储器单元状态与第一数据位的一个值相关联，且所述第二及第三存储器单元状态与所述第一数据位的另一值相关联；且

所述第一及第二存储器单元状态与第二数据位的一个值相关联，且所述第三及第四存储器单元状态与所述第二数据位的另一值相关联。

3、如权利要求 2 所述的集成电路，其中：

所述第一数据位包含最高有效位（MSB）且所述第二数据位包含最低有效位（LSB）；且

所述第一、第二、第三及第四存储器单元状态对应于数据状态 11、01、00 及 10。

4、如权利要求 2 所述的集成电路，其中：

所述第一及第二数据位与单独的用户操作相关联。

5、如权利要求 4 所述的集成电路，其中：

所述第一及第二数据位对应于单独的存储器页。

6、如权利要求 1 所述的集成电路，其中所述区分构件包含：

感测构件，其用于相对于至少两个不同参考电流级来感测所述选定位线上的电流。

7、如权利要求 6 所述的集成电路，其中所述区分构件进一步包含：

偏置构件，其用于用读取偏压来偏置选定位线；

感测构件，其用于相对于第一参考电流级及相对于第二参考电流级来感测所述选定位线电流；及

产生构件，其用于依据所述相对于所述第一及第二参考电流级而感测到的所述选定位线电流上的电流来产生第一数据位的读取数据值。

8、如权利要求 7 所述的集成电路，其中所述感测构件经配置以相对于所述第一及第二参考电流级来同时感测所述选定位线电流。

9、如权利要求 7 所述的集成电路，其中所述用于产生第一数据位的读取数据值的构件经配置以：

如果所述感测到的选定位线电流在所述第一与第二参考电流级之间，那么产生所述第一数据位的第一读取数据值；及

如果所述感测到的选定位线电流在所述第一与第二参考电流级以外，那么产生所述第一数据位的第二读取数据值。

10、如权利要求 1 所述的集成电路，其中所述区分构件包含：

用于通过针对所述选定位线上的至少两个不同读取偏压而感测所述选定位线上的电流来在存储器单元状态之间进行区分的构件。

11、如权利要求 10 所述的集成电路，其进一步包含：

偏置构件，其用于在相应的时间用第一读取偏压及第二读取偏压来偏置选定位线；

感测构件，其用于针对所述第一及第二读取偏压中的每一者、相对于相应的参考电流级来感测所述选定位线上的电流；及

产生构件，其用于依据所述针对所述第一及第二读取偏压而感测到的所述选定位线上的电流来产生第一数据位的读取数据值。

12、如权利要求 11 所述的集成电路，其中：

对应于所述第一及第二读取偏压的所述相应参考电流级在值上大致相同。

13、一种对如权利要求 1 中所述的集成电路进行编码的计算机可读媒体。

14、一种包括如权利要求 1 所述的集成电路的经封装模块。

15、一种集成电路，其包含：

存储器阵列，其包含具有分别对应于第一、第二、第三及第四降低电阻级的第一、第二、第三及第四存储器单元状态的多级无源元件存储器单元；

位线偏置电路，其经配置以用读取偏压来偏置选定位线；

字线偏置电路，其经配置以用选定字线电压来偏置选定字线；

感测电路，其经配置以产生分别表示所述选定位线上的相对于第一参考电流级及相对于第二参考电流级的电流的第一信号及第二信号；及

数据形成电路，其经配置以依据所述第一及第二信号来产生第一数据位的读取数据值。

16、如权利要求 15 所述的集成电路，其中所述感测电路经配置以同时产生所述第一信号及所述第二信号。

17、如权利要求 15 所述的集成电路，其中所述数据形成电路经配置以：

如果所述第一及第二信号对应于在所述第一与第二参考电流级之间的所感测选定位线电流，那么产生所述第一数据位的第一读取数据值；及

如果所述第一及第二信号对应于在所述第一与第二参考电流级以外的所感测选定位线电流，那么产生所述第一数据位的第二读取数据值。

18、如权利要求 17 所述的集成电路，其中：

所述第一及第二参考电流级分别对应于所述第一与第二电阻状态之间的中间点及所述第三与第四电阻状态之间的中间点。

19、如权利要求 15 所述的集成电路，其中：

所述感测电路经配置以产生表示所述选定位线上的相对于第三参考电流级的电流的第三信号；且

所述数据形成电路经配置以依据所述第三信号来产生第二数据位的读取数据值。

20、如权利要求 19 所述的集成电路，其中所述数据形成电路经配置以：

如果所述第三信号对应于小于所述第三参考电流级的所感测选定位线电流，那么产生所述第二数据位的第一读取数据值；及

如果所述第三信号对应于大于所述第三参考电流级的所感测选定位线电流，那么产生所述第二数据位的第二读取数据值。

21、如权利要求 19 所述的集成电路，其中：

所述第一及第二数据位与单独的用户操作相关联。

22、一种集成电路，其包含：

存储器阵列，其包含具有分别对应于第一、第二、第三及第四降低电阻级的第一、第二、第三及第四存储器单元状态的多级无源元件存储器单元；

字线偏置电路，其经配置以用选定字线电压来偏置选定字线；

位线偏置电路，其经配置以有时用第一读取偏压来偏置选定位线且有时用第二读取偏压来偏置所述选定位线；

感测电路，其经配置以产生表示在以所述第一读取偏压偏置时所述选定位线上的相对于第一参考电流级的电流的第一信号，且产生表示在以所述第二读取偏压偏置时所述选定位线上的相对于第二参考电流级的电流的第二信号；及

数据形成电路，其经配置以依据所述第一及第二信号来产生第一数据位的读取数据值。

23、如权利要求 22 所述的集成电路，其中：

所述第一与第二参考电流级在值上大致相同。

24、如权利要求 22 所述的集成电路，其中：

所述第一读取偏压高于所述第二读取偏压，且所述第一参考电流级低于或等于所述第二参考电流级。

25、如权利要求 22 所述的集成电路，其中：

所述第一读取偏压高于所述第二读取偏压；且

所述数据形成电路经配置以：

如果所述第一及第二信号对应于小于所述第二参考电流的所感测到的选定位线电流并进一步对应于大于所述第一参考电流的所感测选定位线电流，那么产生所述第一数据位的第一读取数据值；及

否则产生所述第一数据位的第二读取数据值。

26、如权利要求 22 所述的集成电路，其中：

所述位线偏置电路经配置以有时用第三读取偏压来偏置所述选定位线；

所述感测电路经配置以产生表示所述选定位线上的相对于第三参考电流级的电

流的第三信号；且

所述数据形成电路经配置以依据所述第三信号来产生第二数据位的读取数据值。

27、如权利要求 26 所述的集成电路，其中：

所述第一及第二数据位与单独的用户操作相关联。

28、如权利要求 26 所述的集成电路，其中：

所述第一、第二及第三参考电流级在值上大致相同。

29、一种用于读取多级无源元件存储器单元的方法，所述多级无源元件存储器单元具有分别对应于第一、第二、第三及第四降低电阻级的第一、第二、第三及第四存储器单元状态，所述方法包含：

通过针对参考电流级与选定位线上的读取偏压的至少两个不同组合而感测所述选定位线上的电流来在存储器单元状态之间进行区分。

30、如权利要求 29 所述的方法，其进一步包含：

使所述第一及第四存储器单元状态与第一数据位的一个值相关联，且使所述第二及第三存储器单元状态与所述第一数据位的另一值相关联；及

使所述第一及第二存储器单元状态与第二数据位的一个值相关联，且使所述第三及第四存储器单元状态与所述第二数据位的另一值相关联。

31、如权利要求 30 所述的方法，其中：

所述第一数据位包含最高有效位（MSB）且所述第二数据位包含最低有效位（LSB）；且

所述第一、第二、第三及第四存储器单元状态对应于数据状态 11、01、00 及 10。

32、如权利要求 30 所述的方法，其中：

所述第一及第二数据位与单独的用户操作相关联。

33、如权利要求 32 所述的方法，其中：

所述第一及第二数据位对应于单独的存储器页。

34、如权利要求 29 所述的方法，其进一步包含：

通过相对于至少两个不同参考电流级感测所述选定位线上的电流而在存储器单元状态之间进行区分。

35、如权利要求 34 所述的方法，其进一步包含：

用读取偏压来偏置选定位线；

相对于第一参考电流级及相对于第二参考电流级来感测所述选定位线电流；及

依据所述相对于所述第一及第二参考电流级感测的所述选定位线电流上的电流来产生第一数据位的读取数据值。

36、如权利要求 35 所述的方法，其进一步包含：

相对于所述第一及第二参考电流级同时感测所述选定位线电流。

37、如权利要求 35 所述的方法，其中所述产生读取数据值包含：

如果所述感测到的选定位线电流在所述第一与第二参考电流级之间，那么产生所

述第一数据位的第一读取数据值，且如果所述感测到的选定位线电流在所述第一与第二参考电流级以外，那么产生所述第一数据位的第二读取数据值。

38、如权利要求 29 所述的方法，其进一步包含：

通过针对所述选定位线上的至少两个不同读取偏压而感测所述选定位线上的电流来在存储器单元状态之间进行区分。

39、如权利要求 38 所述的方法，其进一步包含：

在相应的时间用第一读取偏压及第二读取偏压来偏置选定位线；

针对所述第一及第二读取偏压中的每一者、相对于相应的参考电流级来感测所述选定位线上的电流；及

依据所述针对所述第一及第二读取偏压而感测的所述选定位线上的电流来产生第一数据位的读取数据值。

40、如权利要求 39 所述的方法，其中：

对应于所述第一及第二读取偏压的所述相应参考电流级在值上大致相同。

41、一种用于读取多级无源元件存储器单元的方法，所述多级无源元件存储器单元具有分别对应于第一、第二、第三及第四降低电阻级的第一、第二、第三及第四存储器单元状态，所述方法包含：

用读取偏压来偏置选定位线；

用选定字线电压来偏置选定字线；

产生分别表示所述选定位线上的相对于第一参考电流级及相对于第二参考电流级的电流的第一信号及第二信号；及

依据所述第一及第二信号来产生第一数据位的读取数据值。

42、如权利要求 41 所述的方法，其进一步包含：

同时产生所述第一及第二信号。

43、如权利要求 41 所述的方法，其中所述产生读取数据值包含：

如果所述第一及第二信号对应于在所述第一与第二参考电流级之间的所感测选定位线电流，那么产生所述第一数据位的第一读取数据值，且如果所述第一及第二信号对应于在所述第一与第二参考电流级以外的所感测选定位线电流，那么产生所述第一数据位的第二读取数据值。

44、如权利要求 43 所述的方法，其中：

所述第一及第二参考电流级分别对应于所述第一与第二电阻状态之间的中间点及所述第三与第四电阻状态之间的中间点。

45、如权利要求 41 所述的方法，其进一步包含：

产生表示所述选定位线上的相对于第三参考电流级的电流的第三信号；及

依据所述第三信号来产生第二数据位的读取数据值。

46、如权利要求 45 所述的方法，其中所述产生第二数据位的读取数据值包含：

如果所述第三信号对应于小于所述第三参考电流级的所感测选定位线电流，那么

产生所述第二数据位的第一读取数据值，且如果所述第三信号对应于大于所述第三参考电流级的所感测选定位线电流，那么产生所述第二数据位的第二读取数据值。

47、如权利要求 46 所述的方法，其中：

所述第三电流级对应于所述第二与第三电阻状态之间的中间点。

48、一种用于读取多级无源元件存储器单元的方法，所述多级无源元件存储器单元具有分别对应于第一、第二、第三及第四降低电阻级的第一、第二、第三及第四存储器单元状态，所述方法包含：

用选定字线电压来偏置选定字线；

用第一读取偏压来偏置选定位线；

产生表示在以所述第一读取偏压偏置时所述选定位线上的相对于第一参考电流级的电流的第一信号；

用第二读取偏压来偏置所述选定位线；

产生表示在以所述第二读取偏压偏置时所述选定位线上的相对于第二参考电流级的电流的第二信号；及

依据所述第一及第二信号来确定第一数据位的读取数据值。

49、如权利要求 48 所述的方法，其中：

所述第一及第二参考电流级在值上大致相同。

50、如权利要求 48 所述的方法，其中：

所述第一读取偏压高于所述第二读取偏压，且所述第一参考电流级低于或等于所述第二参考电流级。

51、如权利要求 48 所述的方法，其中：

所述第一读取偏压高于所述第二读取偏压；且

所述确定第一数据位的读取数据值包含

如果所述第一及第二信号对应于小于所述第二参考电流的所感测选定位线电流及进一步对应于大于所述第一参考电流的所感测选定位线电流，那么产生所述第一数据位的第一读取数据值；及

否则产生所述第一数据位的第二读取数据值。

52、如权利要求 48 所述的方法，其进一步包含：

用第三读取偏压来偏置所述选定位线；

产生表示所述选定位线上的相对于第三参考电流级的电流的第三信号；及

依据所述第三信号来确定第二数据位的读取数据值。

53、如权利要求 52 所述的方法，其中：

所述第一及第二数据位与单独的用户操作相关联。

54、如权利要求 52 所述的方法，其中：

所述第一、第二及第三参考电流级在值上大致相同。

55、一种用于制造存储器产品的方法，所述方法包含：

形成存储器阵列，其包含具有分别对应于第一、第二、第三及第四降低电阻级的第一、第二、第三及第四存储器单元状态的多级无源元件存储器单元；及

形成数据电路，其经配置以通过针对参考电流级与选定位线上的读取偏压的至少两个不同组合而感测所述选定位线上的电流来在存储器单元状态之间进行区分。

56、如权利要求 55 所述的方法，其中：

所述第一及第四存储器单元状态与第一数据位的一个值相关联，且所述第二及第三存储器单元状态与所述第一数据位的另一值相关联；且

所述第一及第二存储器单元状态与第二数据位的一个值相关联，且所述第三及第四存储器单元状态与所述第二数据位的另一值相关联。

57、如权利要求 56 所述的方法，其中：

所述第一数据位包含最高有效位（MSB）且所述第二数据位包含最低有效位（LSB）；且

所述第一、第二、第三及第四存储器单元状态对应于数据状态 11、01、00 及 10。

58、如权利要求 56 所述的方法，其中：

所述第一及第二数据位与单独的用户操作相关联。

59、如权利要求 58 所述的方法，其中：

所述第一及第二数据位对应于单独的存储器页。

60、如权利要求 55 所述的方法，其进一步包含：

形成经配置以相对于至少两个不同参考电流级来感测所述选定位线上的电流的数据电路。

61、如权利要求 55 所述的方法，其进一步包含：

形成经配置以针对所述选定位线上的至少两个不同读取偏压来感测所述选定位线上的电流的数据电路。

62、如权利要求 55 所述的方法，其中所述存储器产品包含经封装模块。

## 用于读取多级无源元件存储器单元阵列的方法及设备

### 技术领域

本发明涉及包含可编程多级存储器单元阵列的半导体集成电路，且特定来说涉及并入有无源元件存储器单元的那些阵列，且更特定来说涉及具有三维存储器阵列的那些集成电路。

### 背景技术

由于需要多个写入循环及多个读取循环，因此用存储在每一单元中的两个以上级来写入及读取存储器单元导致性能损失。在 3D 无源元件阵列中，由于这些阵列中的其它性能限制，此是特殊问题。

已说明了其它多级存储器单元，尤其是具有电荷存储层（例如，浮动栅极）的三端子装置。在这些装置中，存储器单元的栅极端子通常耦合到字线，且通过在所述字线上应用不同的电压来读取各种存储器状态。在每一此种字线电压下，如果所述字线电压高于所编程的阈值电压，那么电流在位线上流动且被感测。

某些无源元件存储器单元展示可重新写入的特性。举例来说，在某些存储器单元中，可通过用约 6-8V 的电压正向偏置存储器单元（例如，参考其之间二极管的极性）来实现编程，而通过用约 10-14V 的电压反向偏置存储器单元来实现擦除。

### 发明内容

在具有最低有效位（LSB）及最高有效位（MSB）的四级无源元件单元中，某人传统上将必须以三个指数步进的电流（即， $I_{ref}$ ）级感测来在四个状态之间进行区别。在每一此种感测操作之间，存在必需的延迟来稳定位线（其通常是高电容性负载的节点）上的电流级，因此可能需要三个长读取循环。

相反，可将 LSB 映射为一个页的部分，且将 MSB 映射为另一页的部分。此外，以灰度方式指派数据状态，其中向最高电阻状态（即，“未爆裂（un-popped）”状态）指派 11 状态，且向最低电阻状态（即，“爆裂（popped）”状态）指派 10 状态。因此，仅需要中级读取参考来读取 LSB。可选择其它两个数据状态的状态指派，使得 LSB 的中级读取参考不依赖于 MSB。优选地，所述其它两个数据状态具有在“爆裂”10 状态与“未爆裂”11 状态之间的电阻，其中向更接近所述“爆裂”10 状态的数据状态指派所述 00 状态，且向更接近所述“未爆裂”11 状态的数据状态指派所述 01 状态。当读取 MSB 时，可使用所述 10 与 00 数据状态之间的第一参考及 01 与 11 数

据状态之间的第二参考，且不需要使用中级参考。

一般来说，本发明涉及用于读取多级无源元件存储器单元阵列的设备，且涉及用于读取多级无源元件存储器单元阵列的方法。然而，本发明由所附权利要求书界定，且不应将此部分中的任何东西视为限制那些权利要求。

在一个方面中，本发明提供一种集成电路，其包括：(a) 存储器阵列，其包含具有分别对应于第一、第二、第三及第四降低电阻级的第一、第二、第三及第四存储器单元状态的多级无源元件存储器单元；及(b) 区分构件，其用于通过针对参考电流级与选定位线上的读取偏压的至少两个不同组合感测所述选定位线上的电流来在存储器单元状态之间进行区分。

在另一方面中，本发明提供一种集成电路，其包括：(a) 存储器阵列，其包含具有分别对应于第一、第二、第三及第四降低电阻级的第一、第二、第三及第四存储器单元状态的多级无源元件存储器单元；(b) 位线偏置电路，其经配置以用读取偏压来偏置选定位线；(c) 字线偏置电路，其经配置以用选定字线电压来偏置选定字线；(d) 感测电路，其经配置以产生分别表示所述选定位线上的相对于第一参考电流级及相对于第二参考电流级的电流的第一信号及第二信号；及(e) 数据形成电路，其经配置以依据所述第一及第二信号来产生第一数据位的读取数据值。

在再一方面中，本发明提供一种集成电路，其包括：(a) 存储器阵列，其包含具有分别对应于第一、第二、第三及第四降低电阻级的第一、第二、第三及第四存储器单元状态的多级无源元件存储器单元；(b) 字线偏置电路，其经配置以用选定字线电压来偏置选定字线；(c) 位线偏置电路，其经配置以有时用第一读取偏压来偏置选定位线，且有时用第二读取偏压来偏置所述选定位线；(d) 感测电路，其经配置以产生表示在以所述第一读取偏压偏置时所述选定位线上的相对于第一参考电流级的电流的第一信号，且产生表示在以所述第二读取偏压偏置时所述选定位线上的相对于第二参考电流级的电流的第二信号；及(e) 数据形成电路，其经配置以依据所述第一及第二信号来产生第一数据位的读取数据值。

在另一方面中，本发明提供一种用于读取具有分别对应于第一、第二、第三及第四降低电阻级的第一、第二、第三及第四存储器单元状态的多级无源元件存储器单元的方法。所述方法包括通过针对参考电流级与选定位线上的读取偏压的至少两个不同组合感测所述选定位线上的电流来在存储器单元状态之间进行区分。

在另一方面中，本发明提供一种用于读取具有分别对应于第一、第二、第三及第四降低电阻级的第一、第二、第三及第四存储器单元状态的多级无源元件存储器单元的方法。所述方法包括用读取偏压来偏置选定位线，用选定字线电压来偏置选定字线，产生分别表示所述选定位线上的相对于第一参考电流级及相对于第二参考电流级的电流的第一信号及第二信号，及依据所述第一及第二信号来产生第一数据位的读取数据值。

在另一方面中，本发明提供一种用于读取具有分别对应于第一、第二、第三及第

四降低电阻级的第一、第二、第三及第四存储器单元状态的多级无源元件存储器单元的方法。所述方法包括 (a) 用选定字线电压来偏置选定字线；(b) 用第一读取偏压来偏置选定位线；(c) 产生表示在以所述第一读取偏压偏置时所述选定位线上的相对于第一参考电流级的电流的第一信号；(d) 用第二读取偏压来偏置所述选定位线；(e) 产生表示在以所述第二读取偏压偏置时所述选定位线上的相对于第二参考电流级的电流的第二信号；及 (f) 依据所述第一及第二信号来确定第一数据位的读取数据值。

在再一方面中，本发明提供一种用于制造存储器产品的方法。所述方法包括形成存储器阵列，所述存储器阵列包含具有分别对应于第一、第二、第三及第四降低电阻级的第一、第二、第三及第四存储器单元状态的多级无源元件存储器单元。所述方法进一步包括形成数据电路，所述数据电路经配置以通过针对参考电流级与选定位线上的读取偏压的至少两个不同组合感测所述选定位线上的电流来在存储器单元状态之间进行区分。

呈若干方面的本发明适合于具有存储器阵列的集成电路，适合于操作此类集成电路及存储器阵列的方法，适合于并入有此类集成电路及存储器阵列的系统及装置，且适合于此类系统、装置、集成电路或存储器阵列的计算机可读媒体编码，所有这些如本文中更加详细地说明且如所附权利要求书中所论述。可单独或以组合形式使用所说明的技术、结构及方法。

以上是概述，且因此必然包含对细节的简化、一般化及省略。因此，所属技术领域中的技术人员应了解，以上概述仅为说明性，且其并不打算以任何方式限制本发明。根据下文所述的详细说明，可明了本发明的其它方面、发明性特征及优点，这些方面、发明性特征及优点仅由权利要求书来界定。

## 附图说明

所属技术领域中的技术人员通过参考附图可更好地理解本发明且明了其多个目的、特征及优点。

图 1 是存储器阵列的示意图，其图解说明选定及未选定字线及位线，且描绘耦合到其的行及列电路。

图 2 是图 1 中所描绘存储器阵列的示意图，但其图解说明读取操作模式中的实例性偏置条件。

图 3 是图 1 中所描绘存储器阵列的示意图，其图解说明正向偏置编程操作模式中的实例性字线及位线偏置条件。

图 4 是图 1 中所描绘存储器阵列的示意图，其图解说明反向偏置编程操作模式中的实例性字线及位线偏置条件。

图 5 是描绘数据状态向存储器单元的四个电阻级的实例性指派及实例性编程次

序的图表。

图 6 是描绘数据状态向存储器单元的四个电阻级的实例性指派及实例性感测电流级的图表。

图 7 是描绘根据本发明某些实施例的读取条件的 I-V 图表。

图 8 是描绘根据本发明的某些实施例的另一读取条件的 I-V 图表。

图 9 是读取电路的示意图/框图，其包括对根据本发明某些实施例的穿过选定存储器单元的路径以及字线及位线选择路径的描绘。

图 10 是用于本发明的某些实施例的写入电路的示意图/框图。

在不同图式中，使用相同的参考符号来指示类似或相同的条目。

## 具体实施方式

图 1 是实例性无源元件存储器阵列 100 的示意图。其显示两个字线 102、104，以及两个位线 106、108。假设字线 102 是选定字线 (SWL)，且假设字线 104 是未选定字线 (UWL)。类似地，假设位线 106 是选定位线 (SBL)，且假设位线 108 是未选定位线 (UBL)。图中显示四个无源元件存储器单元 101、103、105、107，每一者耦合在相关联字线与相关联位线之间。

存储器单元 101 与选定字线 102 及选定位线 106 相关联，且可被视为“S”单元（即，“选定”单元）。存储器单元 103 与未选定字线 104 及选定位线 106 相关联，且可被视为“F”单元（即，“关闭”单元）。存储器单元 105 与选定字线 102 及未选定位线 108 相关联，且可被视为“H”单元（即，“半选择”单元）。最后，存储器单元 107 与未选定字线 104 及未选定位线 108 相关联，且可被视为“U”单元（即，“未选定”单元）。

图中显示选定及未选定字线由行电路块 110 产生，行电路块 110 包括行解码器电路。图中显示选定及未选定位线由列与数据电路块 112 产生，列与数据电路块 112 包括列解码器电路及数据输入/输出电路。行电路 110 及列与数据电路 112 两者均响应于在总线 114 上传送的地址信息（即，ADDRESS 信号），且列与数据电路 112 响应于（且有时产生）在 I/O 总线 116 上传送的数据信号（即，DATA 信号）。此类总线 114、116 可在集成电路内部，或可代表横跨集成电路边界且耦合到其它集成电路的系统总线。

图 2 中所图解说明的是用于读取选定存储器单元的正向偏置操作模式的实例性一般偏置条件。如本文别处所说明，除读取模式以外，此种正向偏置模式还可用于编程模式、块擦除模式（但通常针对所述不同的模式使用不同的电压电平）。如图所示，可将偏置条件视为适于选定阵列块的读取操作模式，且将如此予以说明。

以 VSX 电压（例如，接地）来偏置选定字线 102，且以 VSB 电压（例如，+2 伏特）来偏置选定位线 106。可将此选定位线偏压 VSB 视为读取电压 VRD，因为跨

越选定存储器单元 101 而施加大致此整个电压（因为以接地来偏置选定字线），总线及阵列线自身中的某些电阻性降低较少。以等于读取电压 VRD 的 VUX 电压（例如，+2 伏特）来偏置选定字线 104，且以等于选定字线电压的 VUB 电压（例如，接地）来偏置未选定位线 108。

在这些偏置条件下，S 单元 101 接收等于 VRD 的正偏压（例如，+2 伏特），而 F 单元 103 及 H 单元 105 不接收偏压，且 U 单元 107 接收等于 VRD 的反偏压（例如，-2 伏特）。当在这些条件下偏置时，选定单元将在选定位线上产生可被检测的电流，而 F 及 H 单元不贡献电流（不具有跨越其的偏压），且 U 单元在选定字线与位线之间贡献漏电流。

现在参照图 3，其描绘正向偏置编程操作模式的实例性偏置条件。以 VSX 电压（例如，接地）来偏置选定字线 102，以 VSB 电压（例如，+8 伏特）来偏置选定位线 106，以 VUX 电压（例如，+7.3 伏特）来偏置未选定位线 104，且以 VUB 电压（例如，+0.7 伏特）来偏置未选定位线 108。现在可将选定位线偏压 VSB 视为编程电压 VPP，因为跨越选定存储器单元 101 而施加大致此整个电压（因为以接地来偏置选定字线），总线及阵列线自身中的某些电阻性降低较少。优选地以每一存储器单元的正向偏置方向上的视在“阈值电压”来设定未选定位线偏压 VUB，且因此未选定位线偏压 VUB 被显示为被施加到未选定位线 108 上的电压 VT。类似地，优选地以 VPP-VT 值来设定未选定位线偏压 VUX。

在这些偏置条件下，S 单元 101 接收等于 VPP 的正偏压（例如，+8 伏特），F 单元 103 接收等于 VT 的正偏压（例如，+0.7 伏特），H 单元 105 接收等于 VT 的正偏压（例如，+0.7 伏特），且 U 单元 107 接收等于 VPP-2VT 的反偏压（例如，-6.6 伏特）。存在若干实例性存储器单元技术，其中当在这些条件下偏置时，选定单元将被改变为较低的电阻值，而 F、H 及 U 单元在电阻上将丝毫不改变。

现在参照图 4，其显示反向偏置操作模式的实例性偏置条件 200。如本文别处所说明，此类反向偏置模式可用于编程模式或块擦除模式（但通常针对所述不同的模式使用不同的条件）。如图所示，可将偏置条件视为适于选定阵列块的编程操作模式或擦除操作模式，且将如此予以说明。

现在针对适于目前操作模式的值重新界定偏置条件 VSX、VUX、VSB 及 VUB 中的每一者。以 VSX 电压 VRR/2（例如，+5 伏特）来偏置选定字线 102，且以 VSB 电压-VRR/2（例如，-5 伏特）来偏置选定位线 106。未选定字线电压 VUX 及未选定位线电压 VUB 两者均为接地。

在这些偏置条件下，S 单元 101 接收在量值上等于 VRR 的反偏压（例如，-10 伏特），F 单元 103 接收等于 VRR/2 的反偏压（例如，-5 伏特），且 H 单元 105 接收等于 VRR/2 的反偏压（例如，-5 伏特）。注意，U 单元 107 不接收跨越所述单元的偏压。

存在若干实例性存储器单元技术（下文说明），其中当在这些条件下偏置时，选

定单元将被从较低的电阻值改变为较高的电阻值，而 F、H 及 U 单元在电阻上将丝毫不改变。应注意，未选定 U 存储器单元（其原本在用跨越此种单元的若干伏特偏置时可支持相当大量的漏电流）不具有偏置且因此不具有漏电流。如将进一步详细说明，许多有用存储器阵列实施例包括数量比 F 单元的 H 单元大得多的 U 单元，且与其它偏置方案相比，此类阵列在所述阵列的未选定存储器单元中将具有显著少的漏电流，且因此具有小得多的功耗。

在图 5 中，通过图表 180 描绘实例性多级无源元件存储器单元的数据状态的实例性指派连同将此种存储器单元编程为这些数据状态的优选次序。从左到右，数据状态 190、192、194 及 196 代表所述存储器单元的增加电阻。数据状态 196 代表所述存储器单元的初始“未爆裂”状态，且具有所述四个数据状态的最高电阻值。优选地将此数据状态 196 指派到数据“11”（即，MSB=1，LSB=1）。优选地将最低电阻数据状态 190 指派到数据“10”（即，MSB=1，LSB=0）。初始编程操作（在此由转换 182 代表）将所述存储器单元改变为“爆裂”状态，且导致数据状态 190，或“10”数据状态。可使用正向偏置编程操作模式来完成此种用以“爆裂”所述存储器单元的编程。可通过反向偏置操作模式（其增加所述存储器单元的电阻）来将所述存储器单元进一步编程为剩余两个数据状态 192、194（在此分别由转换 186、184 代表）中的任一者。在本文别处进一步说明此种正向偏置及反向偏置编程模式（包括以引用方式并入本文中的其它描述性材料）。

可将初始编程操作视为对 LSB 进行编程，而可将第二编程操作视为对 MSB 进行编程而保留所述 LSB。优选地将所述 LSB 及 MSB 映射到存储器的单独页，如参照下文所说明的读取此种存储器单元所说明。在优选实施例中，在 MSB 页之间将 LSB 数据编程，且在确定所述 MSB 数据的编程条件之前读取所述 LSB 页。

现在参照图 6，其显示对可用于在各种数据状态之间进行区别的参考级的描绘 198。通过所显示的数据指派，可使用单个中级参考（在此显示为 Ref2）来确定 LSB。如果确定存储器单元的电阻高于此 Ref2 级，那么 LSB=1。相反，如果所述电阻低于此 Ref2 级，那么 LSB=0。

可使用两个参考级 Ref1、Ref3 来确定 MSB。所述 Ref1 级在 01 与 11 状态之间，且所述 Ref3 级在 10 与 00 状态之间。不使用中级参考 Ref2。如果确定所述存储器单元的电阻在所述两个参考级“以内”或之间（即，高于所述 Ref3 级且低于所述 Ref1 级），那么 MSB=0。相反，如果所述电阻在所述两个参考级“以外”（即，低于所述 Ref3 级或高于所述 Ref1 级），那么 MSB=1。

此种数据状态指派的一个优点是明了多级存储器单元是否降级及用于在每一存储器单元中存储仅单个信息位而不是（举例来说）两个位。在此种情况下，可使用单个参考级来确定 LSB。此外，实际使用的两个数据状态是在电阻上具有最大差的两个状态，以给予这两个数据状态之间的感测较大容限。此感测方法有利地用于下文提及的 10519-149 及 10519-152 申请案中所说明实施例中的某些实施例中。

现在参照图 7, I-V (即, 电流-电压) 曲线图 200 代表实例性无源元件存储器单元的电流电压关系。图中显示四个 I-V 曲线 202、204、206、208, 其分别对应于数据状态 190、192、194、196 且分别代表数据值 10、00、01、11。如所述曲线图中所描绘, 通过对照三个不同参考电流级  $I_{ref1}$  (212)、 $I_{ref2}$  (214)、 $I_{ref3}$  (216) (其分别对应于电阻参考级 Ref1、Ref2、Ref3, 如上文参照图 6 所说明) 比较在选定位线上产生的电流并使用所述选定位线上的单个读取电压 VRD 来确定这四个状态。在此技术中, 将所述位线上的电压设定为所述 VRD 电压, 且将所述位线电流与一个、两个或三个参考电流级相比较。需要 SBL 上的 VRD 电压的仅一个稳定, 但可通过适当选择三个参考电流级 212、214、216 来确定所有四个数据状态。此方法特别用于大约 100 nA 或更大的存储器单元电流, 在此情况下, 所述  $I_{ref1}$  电流的量值可以是约 100 nA。

现在参照图 8, I-V 曲线图 220 代表另一技术。如所述曲线图中所描绘, 可针对三个不同的读取电压电平  $V_{ref1}$  (228)、 $V_{ref2}$  (226)、 $V_{ref3}$  (224) (其分别对应于电阻参考级 Ref1、Ref2、Ref3, 如上文所说明) 通过对照单个参考电流  $I_{ref1}$  比较在选定位线上产生的电流并使用所述选定位线上的单个读取电流 222 来确定所述四个数据状态。在此技术中, 将所述位线上的电压设定为等于三个参考电压 224、226、228 中的一者的读取电压 VRD, 且将所述位线电流与参考电流 222 相比较。需要所述选定位线上的 VRD 电压的仅一个稳定来确定 LSB, 但需要所述选定位线上的 VRD 电压的两个稳定来确定 MSB。

如果所述  $V_{ref1}$ 、 $V_{ref2}$  及  $V_{ref3}$  读取电压的值经操纵使得可使用单个位线参考电流 (此允许针对此种偏置条件优化感测放大器电路) 是特别有利的。此方法还特别用于具有相对低的电流 (例如, 针对最高电阻状态远远低于 100 nA) 的存储器单元, 因为通过将 VRD 电平变为 2.5 伏特或甚至更高来将所述高电阻状态的电流级设定为比针对图 7 中所示技术高的值。当使用较高的位线电流值时, 可频繁地更容易地优化位线偏置电路及感测放大器电路。

用于设定参考的另一优选方法并非完全通过  $I_{ref}$  级。由于二极管电流变化,  $I_{cell}$  随着单元的分布而指数地变化, 因此三个  $I_{ref}$  级将横跨宽广的范围。在所述整个宽广  $I_{ref}$  范围中, 所述感测放大器的灵敏性可能不像理想地那样。因此, 图 8 所图解说明的此方法针对最低参考使用较高的  $V_{ref}$  且针对最高参考使用较低的  $V_{ref}$ 。所有比较操作可使用相同的  $I_{ref}$  值, 因此  $I_{ref}$  级不必在第一读取比较与第二读取比较之间改变以实现更快的读取速度及更小的电路复杂性。图 9 的电路适合于图 8 所图解说明的技术, 其中仅需要一个电流比较电路 308 及 309 及 OUTA。不需要 OUTB 电路。另外, 在适当选择  $V_{ref}$  电平的情况下,  $I_{ref}$  可对于所有三个读取相同 (其中尽可能理想地设计感测放大器的灵敏性)。由于需要最多两个读取循环且  $I_{ref}$  不必在循环之间改变 (如上文所说明), 因此读取操作更快。

可通过针对三个区分级变化  $I_{ref}$  及  $V_{ref}$  两者来组合图 7 与图 8 的方法以产生感

测过程的最大误差容限。

图 9 描绘用于读取多级存储器单元的实例性电路拓扑 300 连同到选定存储器单元 101 的字线及位线选择路径的表示图。此电路大致对应于图 7 中所说明的技术。字线选择路径 322 代表（举例来说）穿过字线驱动器电路（即，解码器“头”）且到达用于产生所述解码器头的经解码源选择总线的电路、到达在节点 324 上传送的接地电压的路径。位线选择路径 318 代表穿过位线驱动器电路且穿过到读取电路的任何总线耦合电路的路径。SELB 数据总线 316 代表到此读取电路的输入。有用解码电路的额外细节说明于 023-0048 及 023-0054 申请案中、说明于 023-0051 及 023-0056 申请案中，且说明于 023-0053 及 023-0058 申请案中，下文提及所有所述申请案。

通过在其栅极上接收二极管电压偏置信号 315 的箝位装置 314 来提供选定位线上的所需读取电压 VRD。箝位装置 314 优选地是本机阈值 NMOS 装置。此偏置信号 315 可依据选定存储器单元沿位线的位置来变化，且经调整以在所述选定位线（即，节点 106）上产生所需读取电压 VRD。预充电晶体管 304 用于响应于现用-低预充电信号 XBLP 而对此拓扑中的各个节点（包括选定位线）进行预充电并对选择所述位线的路径进行解码。在将电压建立为所需值或所需值附近时，移除所述预充电信号，且电流镜装置 306 为所述选定位线提供电流负载。在电流镜栅极节点 312 上产生的电压耦合到将位线电流（用相同的量值或由所述电流镜缩放）反射到一对输出级的装置 308、310，所述输出级中的每一者具有用于提供产生相应输出信号 OUTA、OUTB 的高压增益输出电路的相应电流源 309、311。所述电路由在节点 302 上传送的共用分布式电压供电，所述电压稍微高于所需读取电压 VRD。

此电路提供在选定位线上设定所需的读取电压，且进一步提供同时对照两个不同的参考电流比较所述选定位线电流以产生两个不同的输出信号。所述电路同时将  $I_{cell}$  与多个  $I_{ref}$  电流相比较，如包含装置 308 及电流参考 309 的第一电流比较器电路及包含装置 310 及电流参考 311 的第二电流比较器电路所示。OUTA 及 OUTB 用于确定存储器状态，如上文参照图 6 更加详细的说明。可通过数据形成电路 326 来组合这些信号以产生 MSB。所述选定位线上的此电压的单个稳定时间便足够。OUTA 及 OUTB 输出中的单个一者可直接产生 LSB（例如，使用不同的参考电流值），其中不需要其它输出。

图 10 描绘用于写入多级存储器单元的实例性电路拓扑 350。在此电路中，将选定位线的电压及电流两者控制为特定值。对于正向偏置（即，设定）操作，分布式供应节点在总线 352 上提供所需的电压偏置（VPP）。耦合到 PMOS 晶体管 358 的二极管电流偏置信号 359 在选定位线 106 上提供所需的电流限制。预充电装置 356 用于响应于 XBLP 预充电信号 357 而对选择路径进行预充电以增强性能。装置 356、358 两者耦合到节点 360，节点 360 耦合到 SELB 总线 316。模拟电路向所述位线供应反向偏置电压及电流以用于反向偏置（即，复位）编程。分布式供应节点在总线 361 上提供所需的电压偏置（-VRR）。耦合到 NMOS 晶体管 362 的二极管电流偏置信号 363

在选定位线上提供所需的电流限制。预充电装置 364 用于响应于 BLP 预充电信号 365 而对选择路径进行预充电。装置 362、364 两者耦合到节点 366，节点 366 耦合到 SELN 总线 367。

可使用多个编程操作来对各种电阻状态进行编程，如上文参照图 5 所说明且如在下文提及的 MA-163-1 申请案中更加详细地说明。倾斜编程脉冲的使用说明于下文提及的 SAND-01114US0 及 SAND-01114US1 申请案中，且用于调整多个单元的电阻的技术说明于下文提及 SAND-01117US0 及 SAND-01117US1 申请案中。双位线源选择总线 SELB 及 SELN 更加详细地说明于下文提及的 023-0051 及 023-0056 申请案中。可在下文提及的第 6,952,030 号美国专利中找到对有用编程技术的额外了解。

实例性多级存储器单元包括具有金属氧化物（例如，过渡金属氧化物）及二极管的无源元件单元。其它合适的单元包括在二极管矩阵中具有电阻性材料的那些单元。实例包括可编程金属化连接、相变电阻器（例如，GST 材料）、有机材料可变电阻器、复合金属氧化物、碳聚合物膜、经掺杂硫族化物玻璃及包含用以改变电阻的运动原子的肖特基（Schottky）势垒二极管。所选择的电阻性材料可提供一次性可编程（OTP）存储器单元或多写入存储器单元。另外，可采用具有由反向偏置力修改的导电性的多晶硅二极管。

用于反向复位操作的有用存储器单元说明于颁发给 S. 布拉德·赫恩（S. Brad Herner）等人的标题为“高密度三维存储器单元（High-Density Three-Dimensional Memory Cell）”的第 6,952,030 号美国专利中；且还说明于坦美·库玛（Tanmay Kumar）等人在 2005 年 9 月 28 日提出申请且在 2007 年 4 月 26 日出版为第 2007-0090425 号美国专利申请案出版物的标题为“用于使用包含具有可调整电阻的可切换半导体存储器元件的存储器单元的方法（Method for Using a Memory Cell Comprising Switchable Semiconductor Memory Element with Trimmable Resistance）”的第 11/237,167 号美国申请案中。合适的金属氧化物存储器单元显示于 S. 布拉德·赫恩在 2006 年 3 月 31 日提出申请且标题为“包含电阻率切换氧化物或氮化物及反熔丝的多级非易失性存储器单元（Multilevel Nonvolatile Memory Cell Comprising a Resistivity-Switching Oxide or Nitride and an Antifuse）”的第 11/394,903 号美国申请案中。使用相变材料的可提供多个电阻状态的适合存储器单元显示于罗伊 E. 施莱恩（Roy E. Scheuerlein）等人的标题为“包含电介质层及相变材料的串联非易失性存储器单元（Non-Volatile Memory Cell Comprising a Dielectric Layer and a Phase Change Material in Series）”的第 2005-0158950 号美国专利申请案出版物中。这些上文所提及揭示内容中的每一者以引用方式整体并入本文中。具有过渡-金属氧化物（例如，包括具有钴的那些氧化物）的其它实例性存储器单元及其中导引元件本身的多晶硅材料包含可切换电阻材料的实例性单元说明于下文提及的 MA-163-1 申请案中。

另外，S. 布拉德·赫恩等人在 2005 年 5 月 9 日提出申请且在 2006 年 11 月 9 日出版为第 2006-0250836 号美国专利申请案出版物的标题为“（Rewritable Memory Cell

Comprising a Diode and a Resistance Switching Material) ”的第 11/125,939 号美国申请案揭示并入有与氧化物(例如, 氧化镍)串联的二极管的有用可重新写入存储器单元, 其中可从低到高及从高到低电阻状态地反复切换所述存储器单元的电阻。S. 布拉德·赫恩等人在 2006 年 3 月 31 日提出申请且在 2006 年 11 月 9 日出版为第 2006-0250837 号美国专利申请案出版物的标题为“包含二极管及电阻切换材料的非易失性存储器单元(Nonvolatile Memory Cell Comprising a Diode and a Resistance Switching Material) ”的第 11/395,995 号美国申请案揭示使用正向偏置设定且使用反向偏置复位的 OTP 多级存储器单元。这些上文所提及揭示内容中的每一者以引用方式整体并入本文中。

实例性多级存储器单元说明于上述第 11/237,167 号美国申请案中, 且说明于下文提及的 MA-163-1 申请案中。

以下文件说明可用于实践本发明的实例性无源元件存储器单元及相关非易失性存储器结构, 其中每一者以引用方式整体并入本文中:

颁发给麦克 G. 约翰逊 (Mark G. Johnson) 等人的标题为“垂直堆叠的现场可编程非易失性存储器及制作方法 (Vertically Stacked Field Programmable Nonvolatile Memory and Method of Fabrication) ”的第 6,034,882 号美国专利;

颁发给 N. 约翰·奈尔 (N. Johan Knall) 等人的标题为“三维存储器阵列及制作方法 (Three Dimensional Memory Array and Method of Fabrication) ”的第 6,420,215 号美国专利;

颁发给麦克·约翰逊 (Mark Johnson) 等人的标题为“垂直堆叠的现场可编程非易失性存储器及制作方法 (Vertically-Stacked, Field Programmable, Nonvolatile Memory and Method of Fabrication) ”的第 6,525,953 号美国专利;

颁发给迈克尔·维沃达 (Michael Vyvoda) 等人的标题为“用于存储多位数字数据的数字存储器方法及系统 (Digital Memory Method and System for Storing Multiple-Bit Digital Data) ”的第 6,490,218 号美国专利;

颁发给迈克尔·维沃达等人的标题为“有源装置中的电隔离柱 (Electrically Isolated Pillars in Active Devices) ”的第 6,952,043 号美国专利; 及

S. 布拉德·赫恩等人的标题为“没有具有高及低阻抗状态的电介质反熔丝的非易失性存储器单元 (Nonvolatile Memory Cell Without a Dielectric Antifuse Having High- and Low-Impedance States) ”的第 US2005-0052915 号美国专利申请案出版物。

以下申请案(每一者在 2006 年 7 月 31 日提出申请)说明可用于实践本发明的存储器单元结构、电路、系统及方法, 其中每一者以引用方式整体并入本文中:

罗伊·施莱恩及坦美·库玛的标题为“多用途存储器单元及存储器阵列 (Multi-Use Memory Cell and Memory Array) ”的第 11/496,985 号美国申请案(“10519-141”申请案);

罗伊·施莱恩及坦美·库玛的标题为“用于使用多用途存储器单元及存储器阵

列的方法（Method for Using a Multi-Use Memory Cell and Memory Array）”的第 11/496,984 号美国申请案（“10519-150”申请案）；

罗伊·施莱恩的标题为“混合用途存储器阵列（Mixed-Use Memory Array）”的第 11/496,874 号美国申请案（“10519-142”申请案）；

罗伊·施莱恩的标题为“用于使用混合用途存储器阵列的方法（Method for Using a Mixed-Use Memory Array）”的第 11/496,983 号美国申请案（“10519-151”申请案）；

罗伊·施莱恩及克里斯多佛·佩蒂（Christopher Petti）的标题为“具有不同数据状态的混合用途存储器阵列（Mixed-Use Memory Array With Different Data States）”的第 11/496,870 号美国申请案（“10519-149”申请案）；

罗伊·施莱恩及克里斯多佛·佩蒂的标题为“用于使用具有不同的数据状态的混合用途存储器阵列的方法（Method for Using a Mixed-Use Memory Array With Different Data States）”的第 11/497,021 号美国申请案（“10519-152”申请案）；

罗伊·施莱恩的标题为“非易失性存储器中的受控制脉冲操作（Controlled Pulse Operations in Non-Volatile Memory）”的第 11/461,393 号美国申请案（“SAND-01114US0”申请案）；

罗伊·施莱恩的标题为“用于非易失性存储器中的受控制脉冲操作的系统（Systems for Controlled Pulse Operations in Non-Volatile Memory）”的第 11/461,399 号美国申请案（“SAND-01114US1”申请案）；

罗伊·施莱恩及克里斯多佛 J.佩蒂的标题为“高带宽一次性现场可编程存储器（High Bandwidth One-Time Field-Programmable Memory）”的第 11/461,410 号美国申请案（“SAND-01115US0”申请案）；

罗伊·施莱恩及克里斯多佛 J.佩蒂的标题为“用于高带宽一次性现场可编程存储器的系统（Systems for High Bandwidth One-Time Field-Programmable Memory）”的第 11/461,419 号美国申请案（“SAND-01115US1”申请案）；

罗伊·施莱恩及坦美·库玛的标题为“非易失性存储器中的反向偏置调整操作（Reverse Bias Trim Operations in Non-Volatile Memory）”的第 11/461,424 号美国申请案（“SAND-01117US0”申请案）；

罗伊·施莱恩及坦美·库玛的标题为“用于非易失性存储器中的反向偏置调整操作的系统（Systems for Reverse Bias Trim Operations in Non-Volatile Memory）”的第 11/461,431 号美国申请案（“SAND-01117US1”申请案）；

坦美·库玛、S.布拉德·赫恩、罗伊 E.施莱恩及克里斯多佛 J.佩蒂的标题为“用于使用包含具有可调整电阻的可切换半导体存储器元件的存储器单元的方法（Method for Using a Memory Cell Comprising Switchable Semiconductor Memory Element with Trimmable Resistance）”的第 11/496,986 号美国申请案（“MA-163-1”申请案）；

卢卡 G.法索里 (Luca G. Fasoli) 、克里斯多佛 J.佩蒂及罗伊 E.施莱恩的标题为“并入有可反转极性字线及位线解码器的无源元件存储器阵列 (Passive Element Memory Array Incorporating Reversible Polarity Word Line and Bit Line Decoders) ” 的第 11/461,339 号美国申请案 (“023-0048” 申请案) ;

卢卡 G.法索里、克里斯多佛 J.佩蒂及罗伊 E.施莱恩的标题为“用于使用并入有可反转极性字线及位线解码器的无源元件存储器阵列的方法 (Method for Using a Passive Element Memory Array Incorporating Reversible Polarity Word Line and Bit Line Decoders) ” 的第 11/461,364 号美国申请案 (“023-0054” 申请案) ;

罗伊 E.施莱恩、泰勒·索普 (Tyler Thorp) 及卢卡 G.法索里的标题为“用于读取多级无源元件存储器单元阵列的设备 (Apparatus for Reading a Multi-Level Passive Element Memory Cell Array) ” 的第 11/461,343 号美国申请案 (“023-0049” 申请案) ;

罗伊 E.施莱恩、泰勒·索普及卢卡 G.法索里的标题为“用于读取多级无源元件存储器单元阵列的方法 (Method for Reading a Multi-Level Passive Element Memory Cell Array) ” 的第 11/461,367 号美国申请案 (“023-0055” 申请案) ;

罗伊 E.施莱恩及卢卡 G.法索里的标题为“用于将读取/写入电路耦合到存储器阵列的双数据相依总线 (Dual Data-Dependent Busses for Coupling Read/Write Circuits to a Memory Array) ” 的第 11/461,352 号美国申请案 (“023-0051” 申请案) ;

罗伊 E.施莱恩及卢卡 G.法索里的标题为“用于使用用于将读取/写入电路耦合到存储器阵列的双数据相依总线的方法 (Method for Using Dual Data-Dependent Busses for Coupling Read/Write Circuits to a Memory Array) ” 的第 11/461,369 号美国申请案 (“023-0056” 申请案) ;

罗伊 E.施莱恩、卢卡 G.法索里及克里斯多佛 J.佩蒂的标题为“并入有用于存储器阵列块选择的两个数据总线的存储器阵列 (Memory Array Incorporating Two Data Busses for Memory Array Block Selection) ” 的第 11/461,359 号美国申请案 (“023-0052” 申请案) ;

罗伊 E.施莱恩、卢卡 G.法索里及克里斯多佛 J.佩蒂的标题为“用于使用用于存储器阵列块选择的两个数据总线的方法 (Method for Using Two Data Busses for Memory Array Block Selection) ” 的第 11/461,372 号美国申请案 (“023-0057” 申请案) ;

罗伊 E.施莱恩及卢卡 G.法索里的标题为“用于块可选择存储器阵列的分级位线偏置总线 (Hierarchical Bit Line Bias Bus for Block Selectable Memory Array) ” 的第 11/461,362 号美国申请案 (“023-0053” 申请案) ; 及

罗伊 E.施莱恩及卢卡 G.法索里的标题为“用于使用用于块可选择存储器阵列的分级位线偏置总线的方法 (Method for Using a Hierarchical Bit Line Bias Bus for

Block Selectable Memory Array) ” 的第 11/461,376 号美国申请案 (“023-0058” 申请案）。

优选地，所述存储器阵列包括分段字线架构，且优选地是 3D 阵列。在某些实施例中，给定字线层上的字线与单个位线层上的位线相关联，而在某些实施例中，在所谓的“半镜像”布置中给定字线层上的字线在两个位线层之间共享（即，单个字线层与两个位线层界定两个存储器平面）。此种存储器阵列结构进一步说明于第 6,879,505 号美国专利中，其揭示内容以引用方式整体并入本文中。

应了解，顶部、左侧、底部及右侧等称谓仅是用于存储器阵列的四个侧的方便描述性术语。可将块的字线分段实施为两个水平定向的交叉指状字线分段群组，且可将块的位线实施为两个垂直定向的交叉指状位线群组。每一相应的字线群组或位线群组可由位于阵列的四个侧中的一者上的相应解码器/驱动器电路及相应感测电路服务。

合适的列及行电路（包括所述解码的分级级、经解码总线的偏置电路组织及相关支持电路）说明于罗伊 E. 施莱恩及马修 P. 克罗利 (Matthew P. Crowley) 的标题为“利用具有双用途驱动器装置的存储器阵列线驱动器的多头式解码器结构 (Multi-Headed Decoder Structure Utilizing Memory Array Line Driver with Dual Purpose Driver Device) ” 的第 6,856,572 号美国专利中；说明于罗伊 E. 施莱恩及马修 P. 克罗利的标题为“尤其适于具有极小布局间距的介接阵列线的树状解码器结构 (Tree Decoder Structure Particularly Well-Suited to Interfacing Array Lines Having Extremely Small Layout Pitch) ” 的第 6,859,410 号美国专利中；说明于肯尼斯 K. 索尔 (Kenneth K. So) 等人在 2004 年 12 月 30 日提出申请且在 2006 年 7 月 6 日出版为第 2006-0145193 号美国专利申请案出版物的第 11/026,493 号美国申请案“双模式解码器电路、并入有所述双模式解码器电路的集成电路存储器阵列及相关操作方法 (Dual-Mode Decoder Circuit, Integrated Circuit Memory Array Incorporating Same, and Related Methods of Operation) ” 中；且说明于卢卡 G. 法索里等人的“用于使用多头式解码器的多个级来对密集存储器阵列进行分级解码的设备及方法 (Apparatus and Method for Hierarchical Decoding of Dense Memory Arrays Using Multiple Levels of Multiple-Headed Decoders) ”（第 2006-0146639 A1 号美国专利申请案出版物）中。这些所列举文件中每一者的揭示内容的全文以引用方式并入本文中。此外，额外有用的列及行选择电路说明于 023-0048 及 023-0054 申请案中，说明于 023-0051 及 023-0056 申请案中，说明于 023-0052 及 023-0057 申请案中，且说明于 023-0053 及 023-0058 申请案中，在本文中上文已提及所有所述申请案。

非镜像存储器阵列（例如，字线层仅与单个位线层相关联）说明于卢卡 G. 法索里等人在 2005 年 3 月 31 日提出申请且标题为“用于在存储器阵列中并入块冗余的方法及设备 (Method and Apparatus for Incorporating Block Redundancy in a Memory Array) ” 的第 11/095,907 号美国申请案（现在是第 7,142,471 号美国专利）中，其揭示内容的全文以引用方式并入本文中。

如本文中所使用，行延伸跨越整个存储器格室（如果不是跨越整个带）且包括许多字线。如本文中所使用，“大致跨越多个阵列块”的总线或线包括跨越几乎所有阵列块，例如跨越除最后块（例如，给定总线不耦合到其的最后块）外的所有块。如本文中所使用，“将选定位线耦合到第一总线”分别意指将每一此种选定位线耦合到所述第一总线的对应总线线。如本文中所使用，字线（例如，包括字线分段）及位线通常代表正交阵列线，且大致遵循所属技术领域中的至少在读取操作期间驱动字线且感测位线的常见假设。此外，如本文中所使用，“全局线”（例如，全局选择线）是跨越一个以上存储器块的阵列线，但不应作出建议此种全局线必须横跨整个存储器阵列或大致跨越整个集成电路的特定推论。如本文中所使用，“相对于参考电流感测电流”意指确定所述“所感测”电流大于还是小于所述参考电流。

如本文中所使用，无源元件存储器阵列包括多个2端子存储器单元，其每一者连接在相关联的X线（例如，字线）与相关联的Y线（例如，位线）之间。此种存储器阵列可以是二维（平面）阵列或可以是具有一个以上存储器单元平面的三维阵列。每一此种存储器单元具有非线性导电率，其中反向方向上的电流（即，从阴极到阳极）低于正向方向上的电流。无源元件存储器阵列可以是一次性可编程（即，写入一次）存储器阵列或读取/写入（即，多写入）存储器阵列。

通常可将此类无源元件存储器单元视为具有在一个方向上引导电流的电流导引元件及能够改变其状态的另一组件（例如，熔丝、反熔丝、电容器、电阻性元件等）。可通过在存储器元件被选定时感测电流流动或电压降来读取所述存储器元件的编程状态。

各个图式中的各种阵列线的方向性仅是为了便于对阵列中的两个交叉线群组进行说明。如本文中所使用，集成电路存储器阵列是单片式集成电路结构，而不是封装在一起或紧密靠近的一个以上集成电路装置。

为清晰起见，并未显示及说明本文中所说明的实施方案的所有常规特征。在本文中，可使用连接块的单个节点的术语来说明框图。尽管如此，应了解，当上下文需要时，此种“节点”实际上可代表一对用于传送不同信号的节点，或可代表用于携载若干相关信号或用于携载形成数字字的多个信号或其它多位信号的多个单独导线（例如，总线）。

尽管通常假设为电路及物理结构，然而众所周知，在现代半导体设计及制作中，可将物理结构及电路体现为适于在后续设计、测试或制作阶段中以及在所形成的成品半导体集成电路中使用的计算机可读描述形式。相应地，针对传统电路或结构的权利要求可与其特定语言相一致地研究计算机可读编码及其表示法，无论所述编码及表示法是体现为媒体还是与合适的读取设施组合，以便允许对对应电路及/或结构进行制作、测试或设计改进。本发明预期包括所有在本文中说明及在所附权利要求书中界定的电路、相关方法或操作、用于制造此类电路的相关方法及此类电路及方法的计算机可读媒体编码。如本文中所使用，计算机可读媒体至少包括磁盘、磁带或其它磁性、

---

光学、半导体（例如，快闪存储器卡、ROM）或电子媒体以及网络、有线、无线媒体或其它通信媒体。电路的编码可包括电路示意图信息、物理布局信息、动作仿真信息及/或可包括任何可据以代表或传递电路的其它编码。

以上详细说明仅说明了本发明许多种可能实施方案中的几种。因此，本详细说明打算作为说明性而非作为限制性。可在不背离本发明的范围及精神的情况下基于本文所述的说明对本文所揭示实施例做出变化及修改。打算仅由以上包括所有等效物的权利要求书来界定本发明的范围。此外，上文所说明的实施例是具体预期单独使用以及以各种组合形式使用。相应地，本文中未说明的其它实施例、变化形式及改进未必不包括在本发明的范围内。

读取（正向）偏置模式

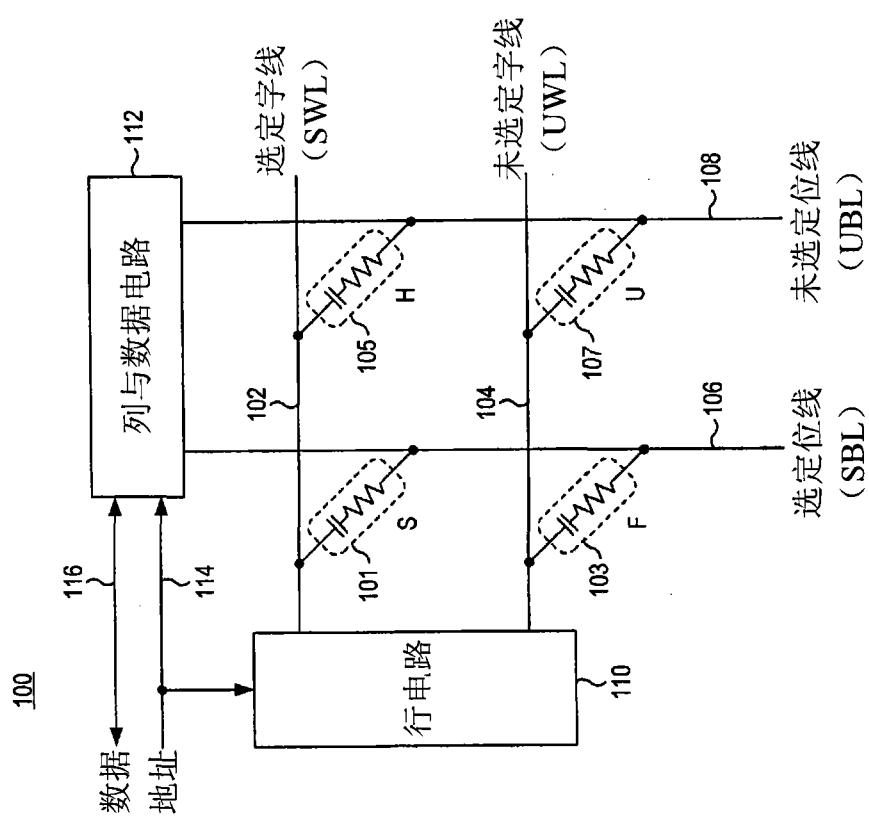


图 1

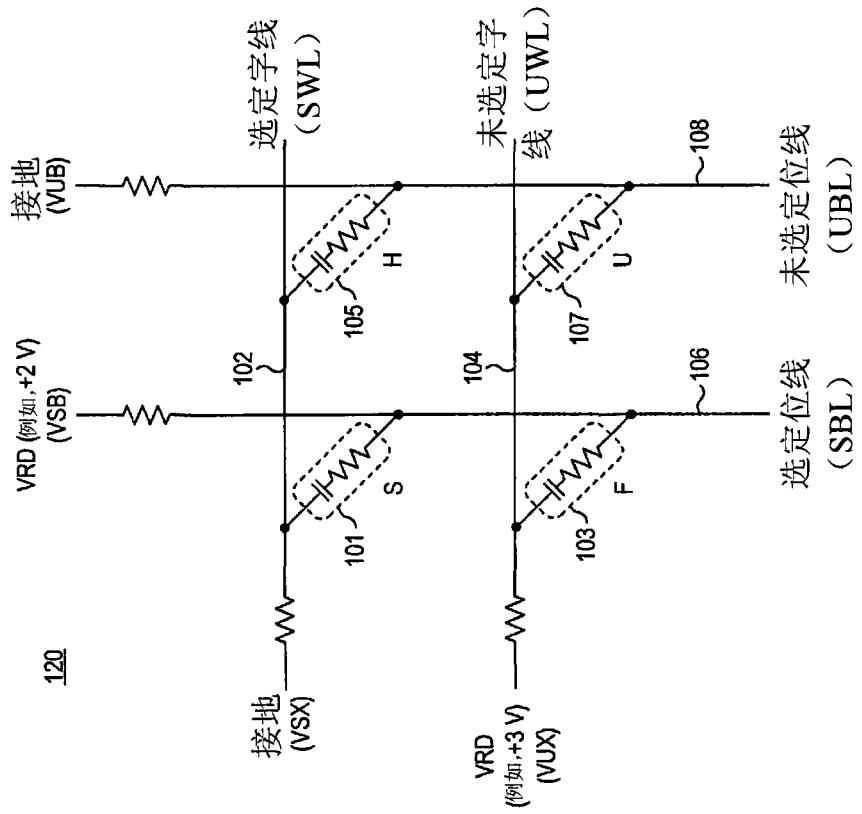


图 2

正向偏置程序模式

反向偏置程序模式

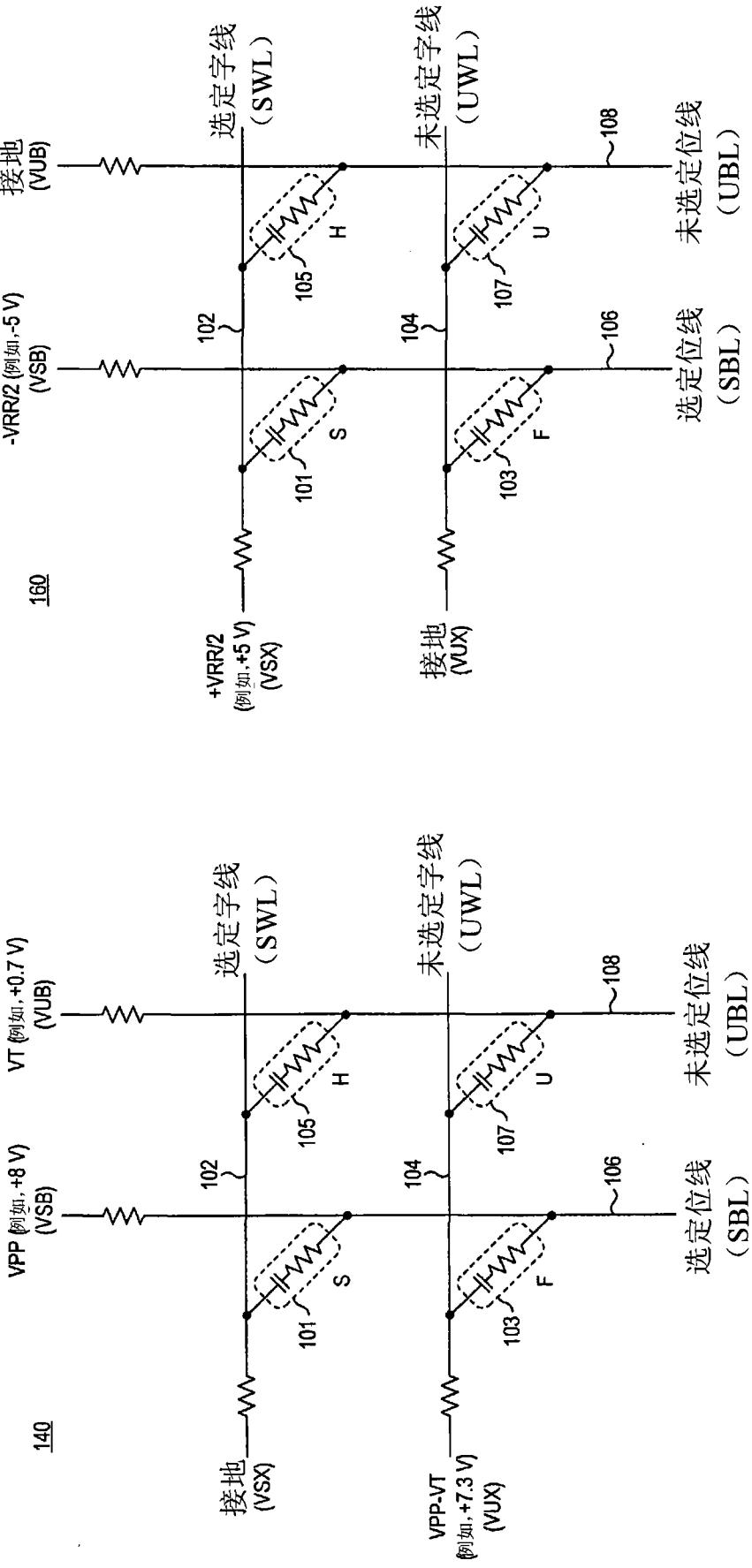


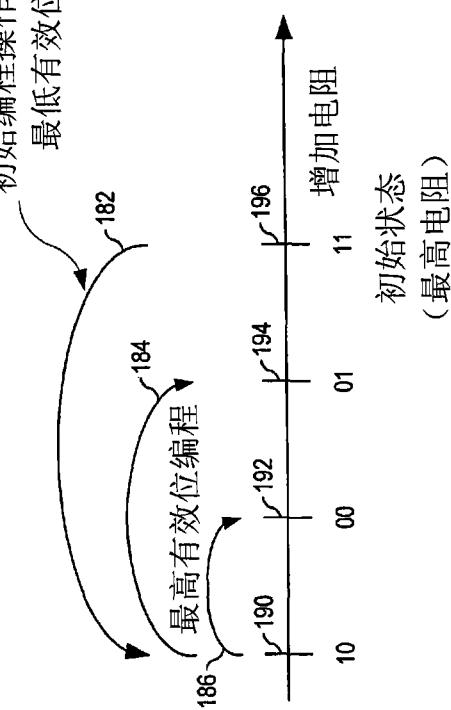
图 3

图 4

18

数据状态的编程及  
指派次序

## 最有效位 (针对 初始编程操作)



198

增加电导

增加电阻

最低有效位=0

最高有效位=1

最高有效位=1

最低有效位=1

最高有效位=1

Ref2

Ref1

5

6

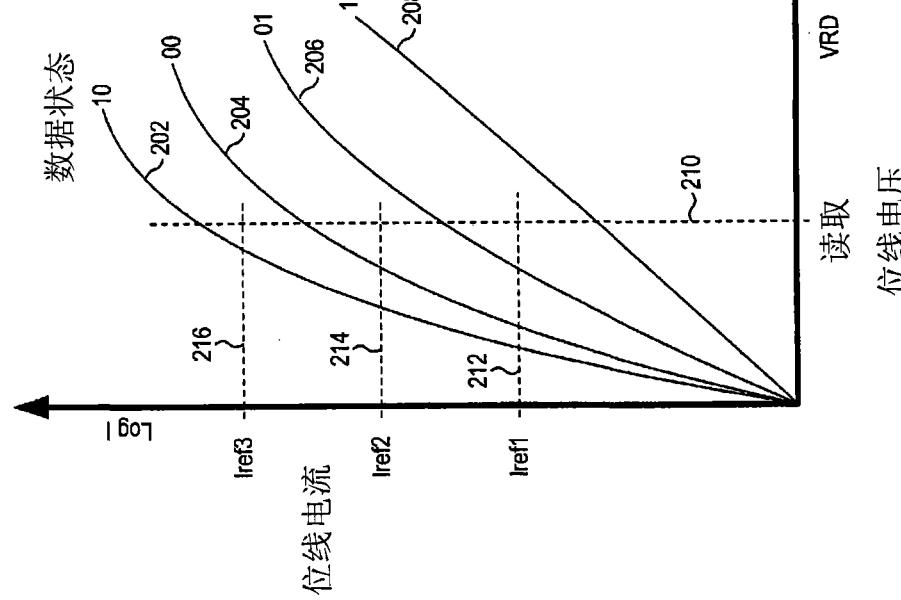
200 用于读取的多个  $I_{REF}$ 

图 7

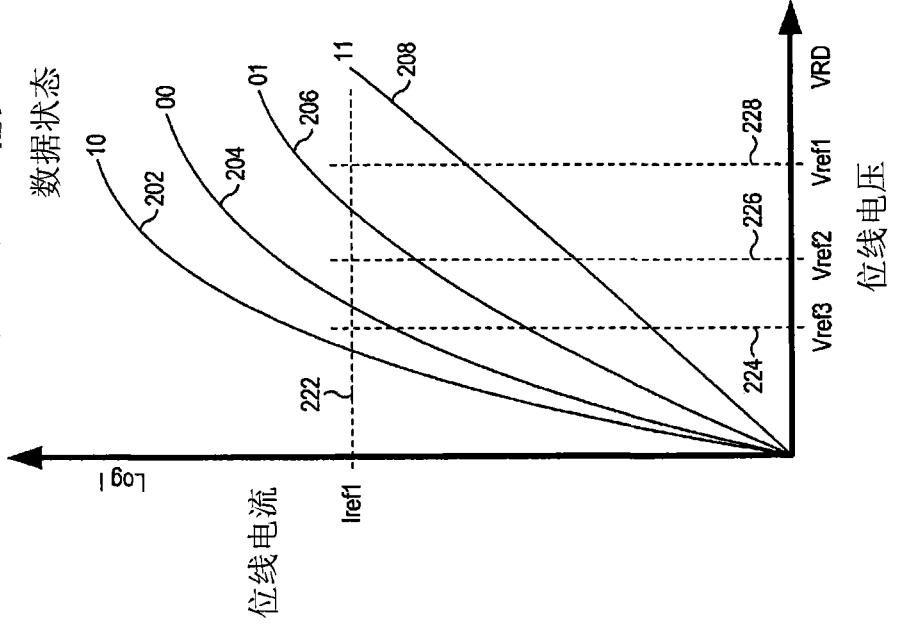
220 用于读取的多个  $V_{REF}$ 

图 8

用于感测多级存储器单元的电路

300

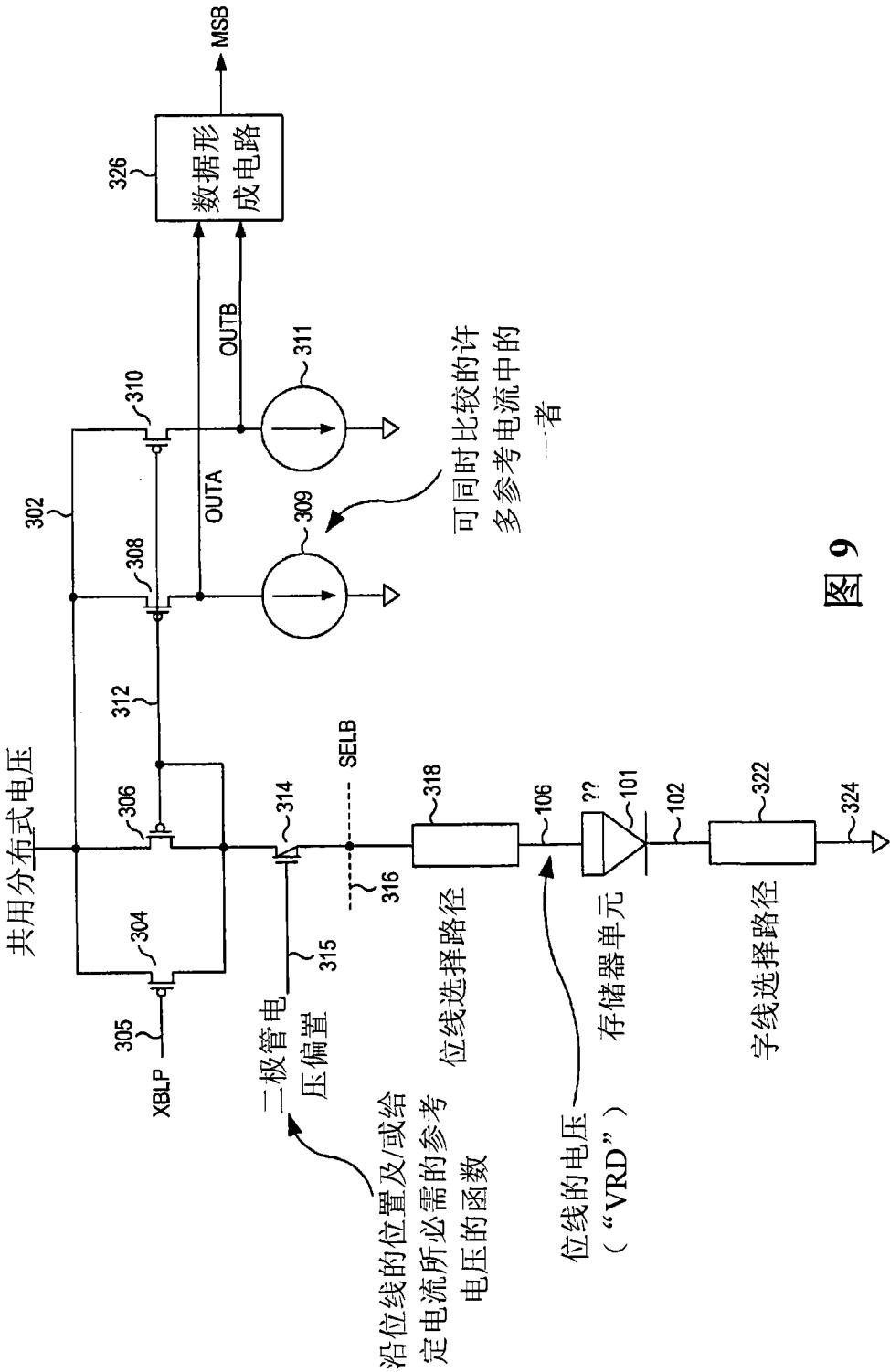


图 9

用于对多级存储器单元进行编程的电路

