



(12) 发明专利

(10) 授权公告号 CN 113241101 B

(45) 授权公告日 2024.01.30

(21) 申请号 202110506608.1

(51) Int.CI.

(22) 申请日 2015.12.04

G11C 5/14 (2006.01)

(65) 同一申请的已公布的文献号

G11C 8/08 (2006.01)

申请公布号 CN 113241101 A

G11C 16/04 (2006.01)

(43) 申请公布日 2021.08.10

G11C 16/08 (2006.01)

(30) 优先权数据

G11C 16/10 (2006.01)

14/602262 2015.01.21 US

G11C 16/16 (2006.01)

(62) 分案原申请数据

G11C 16/30 (2006.01)

201580074175.X 2015.12.04

(56) 对比文件

(73) 专利权人 硅存储技术公司

CN 103311252 A, 2013.09.18

地址 美国加利福尼亚州

JP 2007149186 A, 2007.06.14

(72) 发明人 H·V·陈 A·刘 T·于

JP 2004234739 A, 2004.08.19

H·Q·阮

US 2005018489 A1, 2005.01.27

(74) 专利代理机构 中国专利代理(香港)有限公司

US 2013223128 A1, 2013.08.29

72001

CN 104285257 A, 2015.01.14

专利代理人 申屠伟进 周学斌

KR 20100010673 A, 2010.02.02

(54) 发明名称

审查员 邓国秀

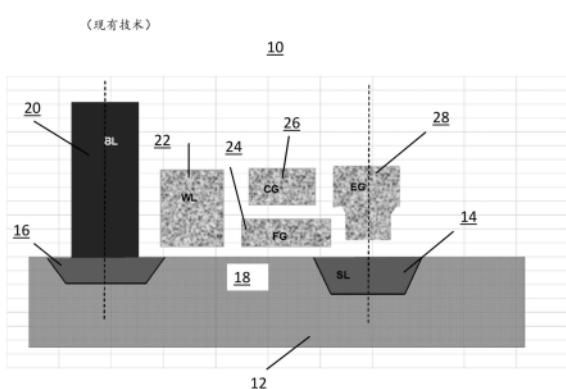
使用互补电压电源的分裂栅闪存系统

权利要求书2页 说明书10页 附图26页

(57) 摘要

本发明公开了一种包括第一导电类型的半导体衬底的非易失性存储器装置。非易失性存储器单元阵列位于所述半导体衬底中并按多个行和列布置。每个存储器单元包括位于所述半导体衬底的表面上的第一区，以及位于所述半导体衬底的所述表面上的所述第二导电类型的第一区，以及位于所述半导体衬底的所述表面上的所述第二导电类型的第二区。沟道区位于所述第一区和所述第二区之间。字线覆盖在沟道区的第一部分上面并与所述沟道区的第一部分绝缘，并且与第一区相邻且与第一区几乎不或完全不重叠。浮栅覆盖在沟道区的第二部分上面，与第一部分相邻，并与沟道区的第二部分绝缘且与第二区相邻。耦合栅覆盖在浮栅上面。位线连接至第一区。在编程、读取或擦除操作期间，可将负电压施加至选择的或未选择的存储器单元的所述字线和/或所述耦合栅。

B CN 113241101 B



1.一种用于与闪存单元的耦合栅一起使用的解码器电路,包括:

第一电路,所述第一电路用于当所述闪存单元被选择用于读取操作时向所述耦合栅提供偏置电压,所述第一电路包括:第一PMOS晶体管(1705),包括耦合到第一电压源(VCHRSUP)的第一端子和第二端子;和第二PMOS晶体管(1710),包括耦合到所述第一PMOS晶体管的第二端子的第一端子以及耦合到第一节点的第二端子;

第二电路,所述第二电路用于当所述闪存单元被选择用于编程操作时向所述耦合栅提供正电压,所述第二电路包括:第三PMOS晶体管(1720),包括耦合到第二电压源(VCGSUP)的第一端子和第二端子;和第四PMOS晶体管(1715),包括耦合到所述第三PMOS晶体管的第二端子的第一端子和耦合到所述第一节点的第二端子;

第三电路,所述第三电路用于当所述闪存单元被选择用于擦除操作时向所述耦合栅提供电压,所述第三电路包括:第一NMOS晶体管(1755),包括耦合到第三电压源(VHVNEG)的第一端子和第二端子;第二NMOS晶体管(1750),包括耦合到所述第一NMOS晶体管的第二端子的第一端子以及第二端子;以及第三NMOS晶体管(1730),包括耦合到第二NMOS晶体管的第二端子的第一端子和耦合到第二节点的第二端子;和

所述第一节点和所述第二节点之间的隔离晶体管。

2.根据权利要求1所述的电路,其中所述解码器电路还包括第四电路,所述第四电路用于当所述闪存单元是未选择的时向所述耦合栅提供抑制电压,所述第四电路包括:第四NMOS晶体管,包括耦合到第四电压源(CG_LOW_BIAS)的第一端子和第二端子;第五NMOS晶体管,包括耦合到所述第四NMOS晶体管的第二端子的第一端子和第二端子;以及第六NMOS晶体管,包括耦合到所述第五NMOS晶体管的第二端子的第一端子和耦合到所述第三NMOS晶体管的第一端子的第二端子。

3.根据权利要求1所述的电路,其中所述第三电路为所述耦合栅提供负电压。

4.一种用于与闪存单元一起使用的解码器电路,包括:

擦除栅解码器电路,所述擦除栅解码器电路用于与所述闪存单元的擦除栅一起使用;

源极线解码器电路,所述源极线解码器电路用于与所述闪存单元的源极线一起使用;

耦合栅解码器电路,所述耦合栅解码器电路用于与所述闪存单元的耦合栅一起使用,所述耦合栅解码器电路包括:

第一电路,所述第一电路用于当所述闪存单元被选择用于读取操作时向所述耦合栅提供偏置电压,所述第一电路包括:第一PMOS晶体管(1705),包括耦合到第一电压源(VCHRSUP)的第一端子和第二端子;和第二PMOS晶体管(1710),包括耦合到所述第一PMOS晶体管的第二端子的第一端子以及耦合到第一节点的第二端子;

第二电路,所述第二电路用于当所述闪存单元被选择用于编程操作时向所述耦合栅提供正电压,所述第二电路包括:第三PMOS晶体管(1720),包括耦合到第二电压源(VCGSUP)的第一端子和第二端子;和第四PMOS晶体管(1715),包括耦合到所述第三PMOS晶体管的第二端子的第一端子和耦合到所述第一节点的第二端子;

第三电路,所述第三电路用于当所述闪存单元被选择用于擦除操作时向所述耦合栅提供电压,所述第三电路包括:第一NMOS晶体管(1755),包括耦合到第三电压源(VHVNEG)的第一端子和第二端子;第二NMOS晶体管(1750),包括耦合到所述第一NMOS晶体管的第二端子的第一端子以及第二端子;以及第三NMOS晶体管(1730),包括耦合到第二NMOS晶体管的第二端子的第一端子和耦合到第二节点的第二端子;

二端子的第一端子和耦合到第二节点的第二端子；和
所述第一节点和所述第二节点之间的隔离晶体管。

5. 根据权利要求4所述的电路，其中所述耦合栅解码器电路不包含共源共栅晶体管。
6. 根据权利要求4所述的电路，其中所述耦合栅解码器电路还包括第四电路，所述第四电路用于当所述闪存单元是未选择的时向所述耦合栅提供抑制电压，所述第四电路包括：第四NMOS晶体管，包括耦合到第四电压源(CG_LOW_BIAS)的第一端子和第二端子；第五NMOS晶体管，包括耦合到所述第四NMOS晶体管的第二端子的第一端子和第二端子；以及第六NMOS晶体管，包括耦合到所述第五NMOS晶体管的第二端子的第一端子和耦合到所述第三NMOS晶体管的第一端子的第二端子。

使用互补电压电源的分裂栅闪存系统

技术领域

[0001] 本发明涉及非易失性存储器单元装置及其操作方法。更具体地讲，本发明涉及其中使用互补电压电源的此类存储器装置。在读取、编程或擦除操作期间，将负电压施加到控制栅和/或字线或者选择的或未选择的存储器单元。

背景技术

[0002] 非易失性存储器单元在本领域中是熟知的。图1中示出一种现有技术的非易失性分裂栅存储器单元10。存储器单元10包括第一导电类型诸如P型的半导体衬底12。衬底12具有表面，在该表面上形成第二导电类型诸如N型的第一区14(也称为源极线SL)。也为N型的第二区16(也称为漏极线)形成在衬底12的该表面上。第一区14和第二区16之间是沟道区18。位线BL 20连接至第二区16。字线WL 22被定位在沟道区18的第一部分上方并与沟道区18的所述第一部分绝缘。字线22与第二区16几乎不或完全不重叠。浮棚FG 24在沟道区18的另一部分上方。浮棚24与沟道区18的所述另一部分绝缘，并与字线22相邻。浮棚24还与第一区14相邻。浮棚24可与第一区14重叠以提供该区14到浮棚24的耦合。耦合栅CG(也称为控制栅)26位于浮棚24上方并与浮棚24绝缘。擦除栅EG 28在第一区14上方并与浮棚24和耦合栅26相邻，且与该浮棚和该耦合栅绝缘。浮棚24的顶部拐角可指向T形擦除栅28的内侧拐角以提高擦除效率。擦除栅28也与第一区14绝缘。在USP 7,868,375中更为具体的描述单元10，USP 7,868,375的公开内容全文以引用方式并入本文中。

[0003] 现有技术的非易失性存储器单元10的擦除和编程的一个示例性操作如下。通过福勒-诺德海姆隧穿机制对单元10进行擦除，方法是在擦除栅28上施加高电压，同时其他端子等于零伏。电子从浮棚24隧穿到擦除栅28中，使得浮棚24带正电，从而在读取状态下打开单元10。所得的单元擦除状态被称为‘1’状态。通过源极侧热电子编程机制对单元10进行编程，方法是在耦合栅26上施加高电压，在源极线14上施加高电压，在擦除栅28上施加中电压，以及在位线20上施加编程电流。流过字线22和浮棚24之间的间隙的电子的一部分获得足够的能量以注入到浮棚24中，使得浮棚24带负电，从而在读取状态下关断单元10。所得的单元编程状态被称为‘0’状态。

[0004] 在现有技术中，将正电压或零电压的各种组合施加到字线22、耦合栅26和浮棚24以执行读取、编程和擦除操作。现有技术没有对这些操作施加负电压。

[0005] 本发明的一个目的是对于非易失性存储器单元装置利用负电压和正电压，使得在用于选择的或未选择的单元的读取、编程和/或擦除操作期间将负电压施加到字线22和/或耦合栅26，这取决于操作。这将允许使用比现有技术更低的正电压电源，这将允许用于存储器单元装置的更紧凑且节省空间的布局。

发明内容

[0006] 本发明对于非易失性存储器单元装置利用负电压和正电压，使得在用于选择的或未选择的单元的读取、编程和/或擦除操作期间将负电压施加到字线22和/或耦合栅26，这

取决于操作。因此,与现有技术相比,本发明允许用于存储器单元装置的更紧凑且节省空间的布局。

附图说明

- [0007] 图1是现有技术的非易失性存储器单元的剖视图,本发明的方法可应用于该存储器单元。
- [0008] 图2是使用图1中示出的现有技术的非易失性存储器单元的非易失性存储器装置的框图。
- [0009] 图3示出非易失性存储器装置的编程操作的示例性波形。
- [0010] 图4示出非易失性存储器装置的擦除操作的示例性波形。
- [0011] 图5示出非易失性存储器装置的正常读取操作的示例性波形。
- [0012] 图6示出使用用于读取“0”和“1”的容差阈值的非易失性存储器装置的读取操作的示例性波形。
- [0013] 图7A示出非易失性存储器单元的横截面。
- [0014] 图7B示出图7A的存储器单元的符号表示。
- [0015] 图7C示出图7A的存储器单元的符号表示。
- [0016] 图8示出负高电压电位移器。
- [0017] 图9示出另一个负高电压电位移器。
- [0018] 图10示出另一个负高电压电位移器。
- [0019] 图11示出电压电源电路。
- [0020] 图12示出另一个电压电源电路。
- [0021] 图13示出负高电压放电电路。
- [0022] 图14示出另一个负高电压放电电路。
- [0023] 图15示出接地开关。
- [0024] 图16示出解码器电路。
- [0025] 图17示出耦合栅解码器电路。
- [0026] 图18示出擦除栅解码器电路。
- [0027] 图19示出源极线解码器电路。
- [0028] 图20示出电荷泵。
- [0029] 图21示出负高电压电位移器。
- [0030] 图22A、图22B和图22C示出电容器。
- [0031] 图23示出另一个负高电压电位移器。
- [0032] 图24示出多路复用器。
- [0033] 图25示出另一个负高电压电位移器。

具体实施方式

- [0034] 图2示出包括管芯200的闪存系统的架构的实施方案。管芯200包括:用于存储数据的存储器阵列215和存储器阵列220,存储器阵列215和220包括图1中先前描述为存储器单元10的类型的存储器单元的行和列;用于使管芯200的其他部件通常与焊线(未示出)之间

能够电连通的焊盘240和焊盘280,所述焊线继而连接到用于从封装芯片外部触及集成电路的引脚(未示出)或封装凸块或者连接到用于互连到SOC(片上系统)上的其他宏的宏接口引脚(未示出);用于为系统提供正负电压电源的高电压电路275;用于提供诸如冗余和内建自测试之类的各种控制功能的控制逻辑270;模拟电路265;分别用于从存储器阵列215和存储器阵列220读取数据的感测电路260和261;行解码器电路245和行解码器电路246,其分别用于访问存储器阵列215和存储器阵列220中的将要读取或写入的行;列解码器电路255和列解码器电路256,其分别用于访问存储器阵列215和存储器阵列220中的将要读取或写入的字节;电荷泵电路250和电荷泵电路251,其分别用于为存储器阵列215和存储器阵列220提供用于编程和擦除操作的升高电压;用于读取和写入操作的、由存储器阵列215和存储器阵列220共享的负电压驱动电路230;在读取和写入操作期间由存储器阵列215使用的高电压驱动电路225,以及在读取和写入操作期间由存储器阵列220使用的高电压驱动电路226。

[0035] 响应于读取、擦除或编程命令,逻辑电路270使各种电压以及时且干扰最低的方式供应至选择的存储器单元10和未选择的存储器单元10两者的各个部分。

[0036] 对于选择的和未选择的存储器单元10,施加的电压和电流如下。如下文所用,使用以下缩写:源极线或第一区14(SL)、位线20(BL)、字线22(WL)和耦合栅26(CG)。

[0037] 对选择的存储器单元10或未选择的存储器单元10执行读取、擦除和编程操作的现有技术方法涉及施加以下电压:

[0038] 1号操作:PE0(正擦除操作)表

| | WL | WL-未选 | BL | BL-未选 | CG | CG-未选相 同扇区 | CG-未选 | EG | EG-未选 |
|----|--------|-------|--------|-------|--------|---------------|--------|--------------|--------|
| 读取 | 1.0-2V | 0V | 0.6-2V | 0V | 0-2.6V | 0-2.6V | 0-2.6V | 0-2.6V | 0-2.6V |
| 擦除 | 0V | 0V | 0V | 0V | 0V | 0-2.6V | 0-2.6V | 11.5- 12V | 0-2.6V |
| 编程 | 1V | 0V | 1uA | Vinh | 10-11V | 0-2.6V | 0-2.6V | 4.5-5V | 0-2.6V |

| | | |
|--|----|-------|
| | SL | SL-未选 |
|--|----|-------|

| | | |
|----|--------|------|
| 读取 | 0V | 0V |
| 擦除 | 0V | 0V |
| 编程 | 4.5-5V | 0-1V |

[0041] 在一个实施方案中,当存储器单元10在读取和编程操作期间是未选择的时,可将负电压施加到字线22,使得以下电压被施加:

[0042] 2号操作:PE0(正擦除操作)表

| | WL | WL-未选 | BL | BL-未选 | CG | CG-未选 相同扇区 | CG-未选 | EG | EG-未选 |
|----|--------|----------|--------|-------|--------|---------------|--------|----------|--------|
| 读取 | 1.0-2V | -0.5V/0V | 0.6-2V | 0V | 0-2.6V | 0-2.6V | 0-2.6V | 0-2.6V | 0-2.6V |
| 擦除 | 0V | 0V | 0V | 0V | 0V | 0-2.6V | 0-2.6V | 11.5-12V | 0-2.6V |
| 编程 | 1V | -0.5V/0V | 1uA | Vinh | 10-11V | 0-2.6V | 0-2.6V | 4.5-5V | 0-2.6V |

[0043]

| | SL | SL-未选 |
|----|--------|-------|
| 读取 | 0V | 0V |
| 擦除 | 0V | 0V |
| 编程 | 4.5-5V | 0-1V |

[0044] 在另一个实施方案中,当存储器单元10在读取、擦除和编程操作期间是未选择的时,可将负电压施加到字线22,并且可在擦除操作期间将负电压施加到耦合栅26,使得以下电压被施加:

[0045] 3号操作:PNE0(正负擦除操作)表

[0046]

| | WL | WL-未选 | BL | BL-未选 | CG | CG-未选相 同扇区 | CG-未选 | EG | EG-未选 |
|----|--------|----------|---------|----------|---------|------------------|--------|--------|--------|
| 读取 | 1.0-2V | -0.5V/0V | 0.6-2V | 0-FloatV | 0-2.6V | 0-2.6V | 0-2.6V | 0-2.6V | 0-2.6V |
| 擦除 | 0V | -0.5V/0V | 0V | 0-FloatV | -(5-9)V | 0-2.6V | 0-2.6V | 8-9V | 0-2.6V |
| 编程 | 1V | -0.5V/0V | 0.1-1uA | Vinh | 8-9V | CGINH (3- 6V) | 0-2.6V | 6-9V | 0-2.6V |

[0047]

| | SL | SL-未选 |
|----|--------|--------|
| 读取 | 0V | 0-0.5V |
| 擦除 | 0V | 0-1V |
| 编程 | 4.5-5V | 0-1V |

[0048] 上面列出的CGINH信号是施加到未选择的单元的耦合栅26的抑制信号,该未选择的单元与选择的单元共享擦除栅28。

[0049] 参见图3,示出了在上述3号操作下的编程操作的信号定时波形的一个示例。分别与存储器单元10的端子WL、BL、CG、SL、EG对应的信号WL、BL、CG、SL、EG如上文所述。对于编程而言,信号WL 302首先升高(例如,约Vdd)(诸如以设定下述解码器电路1600中的控制信

号),然后开始下降(至偏置电压Vpw1)。然后信号BL 304和CG 306分别升高,例如,约Vinh=约Vdd和10v至11v,然后SL 308升高(例如,约4.5v至5v)。另选地,CG 306在SL 308之后升高(如虚线波形所示)。信号CGINH 312与信号CG 306同时或大致同时升高,例如3v-6V,并且优选地在信号EG 310升高之前升高,例如6v-9V,以降低CGINH电平对未选择的CG的干扰影响。另选地,信号CGINH 312可与信号EG 310大致同时升高。信号WL 302下降至电压Vpw1,例如1v,并且信号BL 304随着CG升高而下降至电压Vdp,例如约0.5v。未选择的WL在选择的WL 302升高之前或升高的同时下降至0V或负值,例如-0.5v。未选择的CG和EG保持待机值,例如0v至2.6v。随着CG 306升高,未选择的SL保持待机值,例如0v,或切换到偏置电压,例如1v(未选择的SL切换到偏置电平,以防止泄漏电流通过BL流经未选择的单元)。P衬底12在编程中处于零伏或另选地可处于负电压电平。

[0050] 信号BL 304首先升高至Vinh(抑制电压)以防止由于在对电压斜升和编程期间各个信号尚未稳定而出现的不注意的编程干扰。优化CG 306与SL 310相对的定时序列以降低干扰影响,例如,引起更多干扰的任何信号最后都会升高。使编程脉冲的斜坡下降反转,以便最小化干扰(即,首先升高的信号现在最后下降)。信号SL 310下降,接着CG 306下降,接着WL 302和BL 304下降。在其中P衬底变为负(例如,-1V)的编程的实施方案中,该负切换与信号WL降低或CG升高同时发生。优化EG 310和CGINH 312的定时序列以降低干扰影响(共享的EG未选择行中的软擦除),如图所示。信号CGINH 312在信号EG 312之前升高,或者与信号EG 312大致同时升高。通过CGINH 312在信号EG 312之后下降,或者与信号EG 312大致同时下降,斜坡下降被反转。

[0051] 参见图4,示出了在上述3号操作下的擦除操作的信号定时波形的一个示例。对于擦除,信号WL 302升高,例如Vdd(诸如以设定下述解码器电路1600中的控制信号),然后降低,例如0V(或另选地,负值,诸如-0.5V)。在WL 302降低的大致同时或其后短时间内,信号CG 306变为负,例如-6V至-9V。然后选择的EG 310升高,例如9V至6V。信号BL304、SL 308保持待机值,例如0V。未选择的WL在选择的EG 310升高之前或升高的同时下降至0V或负值,例如-0.5V。未选择的CG和EG保持待机值,例如0V至2.6V。另选地,未选择的CG可处于负电平(与选择的CG负电平相同)。未选择的SL保持待机值,例如0V。P衬底12处于零伏或另选地可处于负电压电平以增强擦除。

[0052] 擦除脉冲的斜坡下降按次序大致反转(即,首先升高的信号现在最后下降)。信号EG 310和CG 306变为待机值,例如0V。

[0053] 参见图5,示出了在上述3号操作下的读取操作的信号定时波形的一个示例。参见图6,示出了如上所述在本发明的存储器装置10中使用的正/负偏置电平的读取信号的信号定时波形的一个示例。该读取信号波形与图3中的编程和擦除信号波形相配,以完成非易失性擦除/编程/读取操作。对于读取正常(Read Normal)的波形,SL 308处于待机值,例如0V。CG 306处于待机值,例如0V或2.6V,或另选地,在读取中切换至更高的偏置值,例如3.6V(以帮助增大存储器单元电流,这归因于在读取状态中CG电压耦合至FG电势)。EG 310处于待机值,例如0V或2.6V,或另选地,在读取中切换至更高的偏置值,例如3.6V(以帮助增大存储器单元电流,这归因于在读取状态中EG电压耦合至FG电势)。所述待机值与用于编程和擦除状态的那些待机值类似。WL 302和BL 304在读取中针对选择的用于读取的存储器单元分别切换至偏置电平,例如2.6V和1.0V。未选择的WL可被偏置在零伏或负电压电平处,例如-0.5V

(以减少未选择行上的泄漏)。未选择的SL可被偏置在零伏或正偏置电压电平处,例如0.1-0.7V(以减少未选择行上的泄漏)。未选择的BL可被偏置在零伏处或另选地被浮置,这意味着没有施加电压(有效地降低读取中的BL-BL电容)。

[0054] 参见图6,在对整个阵列进行编程之后执行读取裕度0(Read Margin0)操作,以检测弱编程单元。在编程之后,单元电流通常处于的极低值<毫微安(nA),这与读出‘0’数字值(无单元电流)对应。然而,一些单元可最低限度地保持在几个微安培处(归因于弱编程,该弱编程归因于各种原因,诸如单元泄漏、弱单元编程耦合率、工艺几何效应,等等),并且这可能使在存储器装置10的操作寿命期间读取‘0’失败。使用读取裕度0来筛选出那些弱单元。对于读取裕度0波形,SL 308处于待机值,例如0v。对于选择的用于读取的存储器单元,与在读取正常的状态中一样,WL302和BL 304在读取中分别切换至偏置电平,例如2.6v和1.0v。CG 306在读取中偏置在裕度0值处(例如3V),以检测弱的已编程单元。CG电压将耦合到FG电势中以放大弱编程效果,从而有效地增大单元电流,因此弱单元现在读取为‘1’而非‘0’(实际上,存在单元电流,而不是无单元电流)。

[0055] 在对整个阵列进行擦除之后执行读取裕度1(Read Margin1)操作,以检测弱的已擦除单元。负CG现在用于检测这种状态。SL 308处于待机值,例如0v。对于选择的用于读取的存储器单元,与在读取正常的状态中一样,WL 302和BL 304在读取中分别切换至偏置电平,例如2.6v和1.0v。CG 306在读取中偏置在裕度1值处(例如-3v至-5v),以检测弱的已擦除单元。CG电压将负地耦合到FG电势中以放大弱擦除效果,从而有效地降低单元电流(较低的FG电势),因此弱的已擦除单元现在读取为‘0’而非‘1’(实际上,不存在单元电流,而不是有单元电流)。

[0056] 参见图7A,示出了存储器单元10的装置横截面的实施方案。存储器单元10的装置横截面的另选的实施方案处于没有高电压P阱710和深N阱720的P衬底730中。示出了位于区域高电压(HV) P阱710内的具有源极区14、位线区16、沟道区18和衬底区12的存储器单元10(存储器单元10的其他区域或端子未示出)。区域P阱710位于深N阱(DNW)区720内。深N阱区720位于P衬底730内。由于通常连接到零伏或Vdd的DNW区720的隔离特征,HV P阱710可被负偏置以增强诸如在擦除或编程中的存储器单元的电性能。

[0057] 图7中的装置横截面也可适用于深N阱中的高电压nmos晶体管,其中高电压nmos源极、漏极和沟道分别代替存储器单元10的区域16、14、18。深N阱720类似地用作电压隔离区,使得可在负电压操作中施加高电压nmos。完成实施方案以确保在DNW中的HV nmos的晶体管端子和结上的应力减小。

[0058] 参见图7B,示出了存储器单元10的符号表示740,其中深N阱720示为“DNW”并且HV P阱710示为“P阱”。图7B中示出的是在深N阱720内的HVP阱710中的NMOS的晶体管符号750。

[0059] 参见图8,示出了电位移器的第一实施方案,负高电压电位移器800,其可包含在图2中的逻辑270、负电压驱动电路230、高电压驱动电路225和/或高电压驱动电路226中。

[0060] 负高电压电位移器800接收输入IN,并且产生输出VNBN。负高电压电位移器800驱动晶体管820和晶体管830的深N阱DNWB 804以最小化晶体管820和晶体管830的层之间发生击穿。DNW控制电路835接收输入IN2802以适当地产生输出DNWB 804电平以减小晶体管820和830的电压应力。反相器805接收输入IN,并且产生输入到反相器810和PMOS晶体管825的栅极的反相器输出INB。反相器810的输出耦合到PMOS晶体管815的栅极。PMOS晶体管

815和825耦合到NMOS晶体管820和830,如图所示。输出VOUT 808可在VHVNEG 806和Vdd之间改变,在该示例中,其分别为-8V和2V。例如,DNWB电平可以从0V到Vdd(例如,2.5V),并且当VHVNEG为-8V时其为0V。这使在晶体管820和830的DNWB和HV P阱与源极/漏极之间的电压应力最小化到8V(而不是 $8V+2.5V=10.5V$)。另选地,当VHVNEG为-8V时,DNWB电平可被驱动到-0.5V(而不转发P衬底-DNW结),以进一步最小化电压应力。在其他时间处,诸如当VHVNEG处于零伏或处于小的负电压时,DNW控制电路835可将DNWB驱动为正,例如Vdd电平,以最小化噪声或闭锁(防止将P衬底转发到深N阱结)。用于驱动DNWB的这种技术可适用于要描述的所有实施方案。

[0061] 参见图9,示出了电位移器的第二实施方案,负高电压电位移器900,其可包含在图2中的逻辑270、负电压驱动电路230、高电压驱动电路225和/或高电压驱动电路226中。负高电压电位移器900包括与负高电压电位移器800相同的部件,添加了共源共栅PMOS晶体管935和945以及共源共栅NMOS晶体管940和950,如图所示。负高电压电位移器900接收输入IN,并且生成输出OUT 908。输出OUT 908在VHVNEG906和Vdd之间改变,在该示例中,其分别为-8V和2V。DNWB信号904被类似于负高电压电位移器电路800一样驱动以最小化电压应力。PMOS晶体管935和945的栅极连接到gnd(=0V而不是=Vdd),以使栅极-源极/漏极端子上的电压应力最小化。NMOS晶体管940和950的栅极连接到VNBN 960(=介于Vdd和中间负电平之间,例如-3V)以使栅极-源极/漏极(例如, $8V-3V=5V$ 而不是 $8+Vdd=10.5V$)、源极-漏极(例如, $8V-3V-Vt=约4v$ 而不是 $8+Vdd=10.5V$, $Vt=NMOS$ 阈值电压)上的电压应力最小化。

[0062] 参见图10,示出了电位移器的第三实施方案,负高电压电位移器1000,其可包含在图2中的逻辑270、负电压驱动电路230、高电压驱动电路225和/或高电压驱动电路226中。负高电压电位移器1000包括与负高电压电位移器900相同的部件,此外,中间(中)负电位移器1002由PMOS晶体管1075和1085以及NMOS晶体管1080和1090组成。对于PMOS晶体管的栅极引入具有中间负电平VHVNEGM(例如-3V)和附加中间负偏置电平VNBP 1065的中间负电位移器1002,并且对于NMOS晶体管的栅极引入VNBN是为了减小在负(高)电位移器中的PMOS和NMOS晶体管的端子上的电压应力。负高电压电位移器1000接收输入IN,并且生成输出OUT 1008。输出OUT 1008在VHVNEG 1006、GND和Vdd之间改变,在该示例中,其分别为-8V、0V和2V。当电压VHVNEG1006处于最大高负电压-8V时,输出OUT 1008在VHVNEG 1006和GND(=VDDSWX 1012)之间改变,在该示例中,其分别为-8V和0V。VHVNEGM可包括-3V的负电源。中间负电位移器1002的输出OUTM 1086和OUTM_N 1076在VHVNEGM和Vdd之间改变,在该示例中,其分别为-3V和2V。VDDSWX 1012可为在2V和0V之间切换的开关电源。VDDSWX(Vdd高电源)1012最初处于Vdd(例如,2V),并且当VHVNEG 1006处于最大负电压的约一半(例如,-4V)或处于最大负电压(例如,-8V)时切换到0V。VNBP 1065可在0V和-3V之间切换。当VDDSWX 1012处于0V时,VNBP 1065处于-3V,输出OUTM_N 1076处于-3V(=VHVNEGM)以将0V传递到输出OUT 1008。由于电压VNBP 1065处于中间负电压-3V,所以晶体管1035和1045的栅极-源极/漏极上的电压应力减小。由于电压VNBN 1060处于中间负电压-3V,所以晶体管1040和1050的栅极-源极/漏极上的电压应力减小,并且晶体管1020和1030的源极-漏极上的电压应力减小。由于电压OUT 1008处于0V(而不是=Vdd),所以晶体管1020和1030的栅极-源极/漏极上的电压应力减小,并且晶体管1040和1050的源极-漏极上的电压应力

减小。共源共栅PMOS晶体管1035和1045的本体(n阱)连接到其源极,以减小本体和漏极/源极之间的电压应力。共源共栅NMOS晶体管1040和1050的本体(n阱)连接到其源极,以减小本体和漏极/源极之间的电压应力。

[0063] 参见图11,示出了电压电源电路1100。电压电源电路1100包括第一负电压电位移器电路1105和第二负电压电位移器电路1110,其中每个负电压电位移器电路可包括负高电压电位移器800、900和1000中的一个。在该实施方案中,第一负电压电位移器电路1105和第二负电压电位移器电路1110一起包括负高电压电位移器1000并接收输入IN,并且生成中(中间)负电压VHVNEG(在该示例中,其范围在2V和-3V之间),以及高负电压VHVNEG(在该示例中,其范围在0V和-8V之间)。第一负电压电位移器电路1105和第二负电压电位移器电路1110耦合到NMOS晶体管1115(共源共栅晶体管)和NMOS晶体管1120,如图所示。DNWB接收Vdd或0V的值,并且VPNext_pin 1101接收2V或-8V的电压。当电路1100被启用时,电路1105和1110的输出例如等于2V,这使得NMOS晶体管1115和1120能够将VPNext_pin 1101电平传递到VHVNEG 1106。当电路1100被禁用时,电路1105和1110的输出例如分别等于-3V和-8V,这禁用NMOS晶体管1115和1120。

[0064] 参见图12,示出了电压电源电路1200。电压电源电路1100包括负电压电位移器电路1225和1240,其中每个负电压电位移器电路包括负高电压电位移器800、900和1000中的一个。电压电源电路1200接收启用信号EN_TXN(其在“关断”状态中为0V并且在“导通”状态中为2V),并且生成高负电压VHVNEG(在该示例中,其范围在0V和-8V之间)。VNEG_3V为2V或-3V。负电荷泵1230和1235各自将-8V的输入泵送到-12V的输出。当电路1200被启用时,电路1230和1235的输出处于例如-12V,因此使得PMOS晶体管1215和1220能够将来自VPNext_pin电平的电压传递到VHVNEG 1206。当电路1200被禁用时,电路1230和1235的输出例如分别处于2V和0V,因此禁用PMOS晶体管1215和1220。PMOS晶体管1210和1245用作共源共栅晶体管以分别降低晶体管1205和1250的电压应力。

[0065] 参见图13,示出了负高电压放电电路1300。当输入IN3、IN1st和IN2nd将状态改变为启用时,晶体管1315和1325被启用,并且电路1350和1355的输出例如等于Vdd(2V),VHVNEG通过N2从-8V放电到约-0.7V。NMOS晶体管1340(共源共栅晶体管)和1345的栅极在关断状态(电路1350和1355被禁用)中等于例如-3V和-8V以将负电平VHVNEG与NMOS晶体管1335隔离。放电电流最初由电流偏置1310(由输入IN1st启用)控制,然后由晶体管1325(由输入IN2nd启用)控制。

[0066] 参见图14,示出了负高电压放电电路1400。当输入IN1st和IN2nd将状态改变为启用时,VHVNEG从-8V放电到中间负电压电平,这是由二极管连接的NMOS晶体管1455和1460的V_t(阈值电压)的数值确定的。放电电流最初由电流偏置1435(由输入IN1st启用)控制,然后由晶体管1445(由输入IN2nd启用)控制。然后,VHVNEG通过N11415和N21420晶体管从中间负电压快速放电到约0.0V。NMOS晶体管1415(共源共栅晶体管)和1420的栅极分别由中负电位移器1405和高负电位移器1410控制。

[0067] 参见图15,示出了接地开关电路1500。接地开关电路1500包括负高电压电路1505、负高电压电路1510、NMOS晶体管1515和NMOS晶体管1520。接地开关电路1500接收输入信号IN,并且生成输出信号VHVNEG。

[0068] 参见图16,示出了解码器电路1600。解码器电路1600可包含在图2中的逻辑270、负

电压驱动电路230、高电压驱动电路225和/或高电压驱动电路226中。解码器电路1600包括高电压电位移器1605、负高电压电位移器1610、高电压判定器启用电路1615、擦除栅解码器1620、控制栅解码器1625和源极线解码器1630。高电压启用电路1615用于将来自高电压电位移器1605的高电压和/或来自负高电压电位移器1610的负高电压施加到擦除栅解码器1620、耦合栅解码器1625和/或源极线解码器1630。

[0069] 参见图17,示出用于控制栅解码器1625的实施方案1700。控制栅解码器1700包括:PMOS晶体管1705和1710,其在利用由PMOS晶体管1705控制的电流进行的读取操作期间为控制栅提供偏置电压VCGSUPR;PMOS晶体管1725,其为负高电压提供隔离;PMOS晶体管1715和1720,其通过PMOS晶体管在编程中提供正高电压;和NMOS晶体管1730、1735、1740和1745,其可在编程中为控制栅提供抑制电压;以及NMOS晶体管1750和1755,其可与NMOS晶体管1730一起在擦除中为控制栅提供负高电压。NMOS晶体管1755用作用于控制栅的负电压电源的电流控件。NMOS晶体管1750由负电压电位移器启用,该负电压电位移器在擦除中由本地解码扇区启用线SECHV_EN启用。如图所示,电路1700为四个控制栅CG[3:0]、一个擦除栅EG和一个源极线SL提供解码。存在四个PMOS晶体管1715,其中栅极由四个全局预解码CG线CGPH_HV_N[3:0]启用。存在四个PMOS晶体管1710,其中栅极由本地解码扇区启用线SECHV_EN启用。存在四个隔离PMOS晶体管1725,其中栅极由接地线启用。存在四个NMOS晶体管1730,其中栅极由四个全局预解码CG线CGNH_HV_N[3:0]启用。PMOS晶体管1720由本地解码扇区启用线SECHV_EN_N启用以将正高电压VCGSUP传递到控制栅。NMOS晶体管1735和1740分别由全局控制信号CGN_IS01和CGN_IS02启用以传递CG_LOW_BIAS(诸如编程中的抑制电压)或者分别用作隔离电压,例如-8V和-3V。NMOS晶体管1745由本地解码扇区启用线SECHV_EN启用以将CG_LOW_BIAS电平传递到控制栅。当VHVNEG处于负电压(例如,-8V)时,DNWB 1704被控制到0V。如图所示,在CG解码器1700中的正CG解码功能中不需要共源共栅晶体管。另选地,对于负CG解码,共源共栅NMOS晶体管1740是任选的。另选地,对于负CG解码1755,电流控制NMOS晶体管是任选的。

[0070] 参见图18,示出用于擦除栅解码器1620的实施方案1800。擦除栅解码器1800包括PMOS晶体管1805和1810以及NMOS晶体管1815。PMOS晶体管1810是被控制为将电压或高电压VEGSUP传递到擦除栅的电流。PMOS晶体管1805由本地解码扇区启用线EN_HV_N启用以将电压VEGSUP电平传递到擦除栅。NMOS晶体管1815用于将电压EG_LOW_BIAS电平(例如,0V-2.6V)传递到擦除栅。在多行存储器单元上共享解码擦除栅。如图所示,EG解码器1620中不需要共源共栅晶体管。另选地,可对于EG解码器1629实现共源共栅晶体管PMOS和NMOS。

[0071] 参见图19,示出用于源极线解码器1630的实施方案1900。源极线解码器1900包括NMOS晶体管1905、1910、1915和1920。源极线解码器1900为未选择的单元的源极线提供偏置电压SLP_LOW_BIAS,其值处于约0.5V。施加该偏置电压防止未选择的存储器单元的泄漏。NMOS晶体管1915用于在编程中将VSLSUP电平传递到源极线。解码源极线在多行存储器单元上共享,NMOS晶体管1920用于在编程中从源极线监测VSLMON电平。NMOS晶体管1905用于在读取中将SLRD_LOW_BIAS电平(例如,0V)传递到源极线。

[0072] 参见图20,示出了高电压负电荷泵电路2000。高电压负电荷泵电路2000包括耦合到负泵送输出的PMOS晶体管2005和PMOS晶体管2010,耦合到正泵送输出的NMOS晶体管2015和NMOS晶体管2020,以及泵级电路2025、2030、2035和2040。高电压负电荷泵电路2000提供

高的负电压VHV_NEG和高的正电压VHV_POS,泵级电路2025、2030、2035和2045中的每个泵级电路接收电压并输出更高的正电压或高的负电压。每级的通过NMOS晶体管的本体(p阱)耦合到前一级的输出,如图所示。NMOS晶体管的DNWB在负电压泵送中被偏置在0V处,在正电压泵送中被偏置在HV处,并且任选地在其他时间被偏置在Vdd处。

[0073] 参见图22A、图22B和图22C,示出了可用于电荷泵电路2000中的电容器的示例,包括PMOS晶体管2205、电容器2210和NMOS晶体管2215的使用。

[0074] 参见图21,示出了负高电压电位移器2100。负高电压电位移器2100的部件与图10所示的负高电压电位移器1000的那些部件相同,不同之处在于当特定晶体管关断时,由图21中的输入反相器驱动的HV_n阱(PMOS晶体管的本体)处于0V,以最小化晶体管中的结击穿。

[0075] 参见图23,示出了负高电压电位移器2300。负高电压电位移器2300接收输入IN,并且生成输出OUT。在该示例中,OUT为-8V或2V。DNWB由Vdd或0V驱动。在该电路中,存在两个串联的PMOS,但在电位移器的每个支线中仅有单个NMOS。

[0076] 参见图24,多路复用电路2400被示为仅具有NMOS通过栅。

[0077] 参见图25,示出了负高电压电位移器2500。负高电压电位移器2100的部件与图9所示的负高电压电位移器900的那些部件相同,不同之处在于用于共源共栅目的的PMOS和NMOS晶体管具有其自身的独立本体。

[0078] 在读取、擦除和编程操作期间向未选择或选择的存储器单元10的字线22或耦合栅26施加负电压的益处在于允许存储器单元更有效地按比例减小。在擦除期间,选择的存储器单元的字线上的负电压允许全部擦除待降低的电压,从而允许单元尺寸更小(维持跨越各个单元间或层间尺寸上的水平或垂直间隔、隔离、宽度、长度等的较小的电压)。在编程期间,未选择存储器单元的字线上的负电压使未选择的存储器单元的泄漏降低,从而使干扰更少(对于同一扇区中的未选择单元而言)、编程电流更准确(对于所选择单元而言,泄漏干扰更少)且功率消耗更少。对于读取而言,由于来自泄漏的干扰更少,因此未选择的存储器单元的字线上的负电压使感测更为准确。将负字线、负耦合栅和负P衬底组合以用于存储阵列操作也是有利的,这导致擦除/编程电压和电流更低、擦除和编程更有效、单元干扰更少且单元泄漏更少。

(现有技术)

10

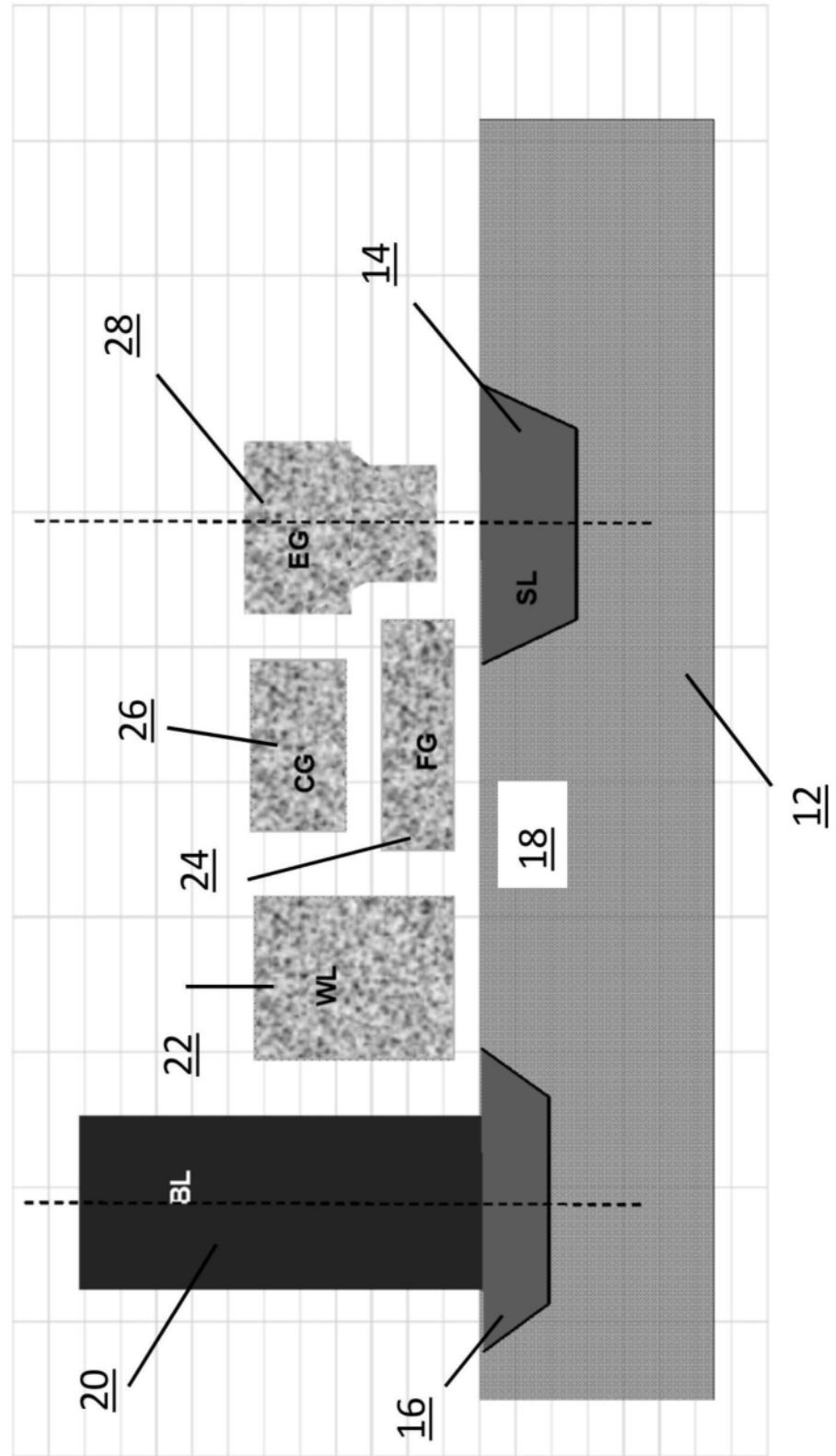


图1

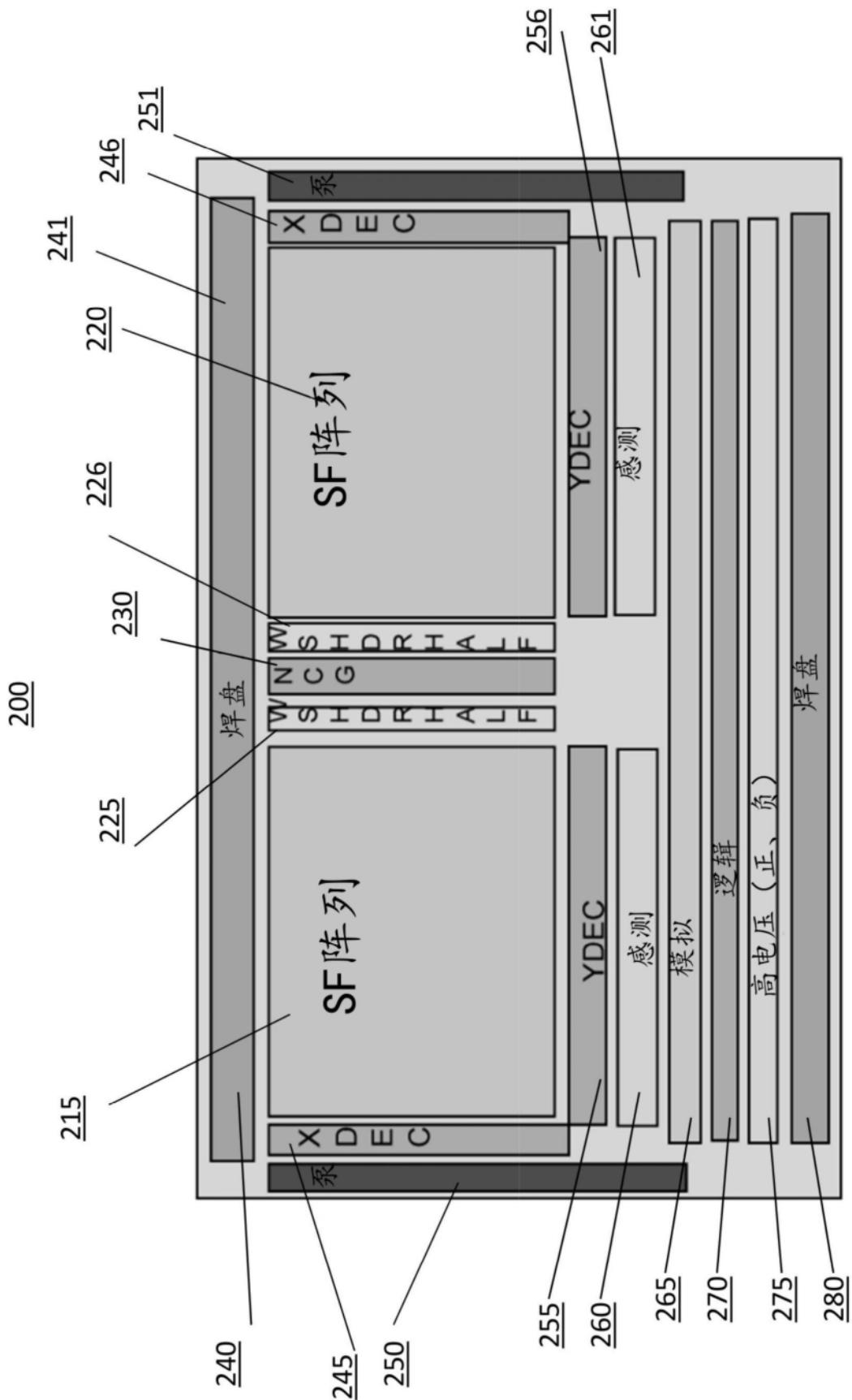


图2

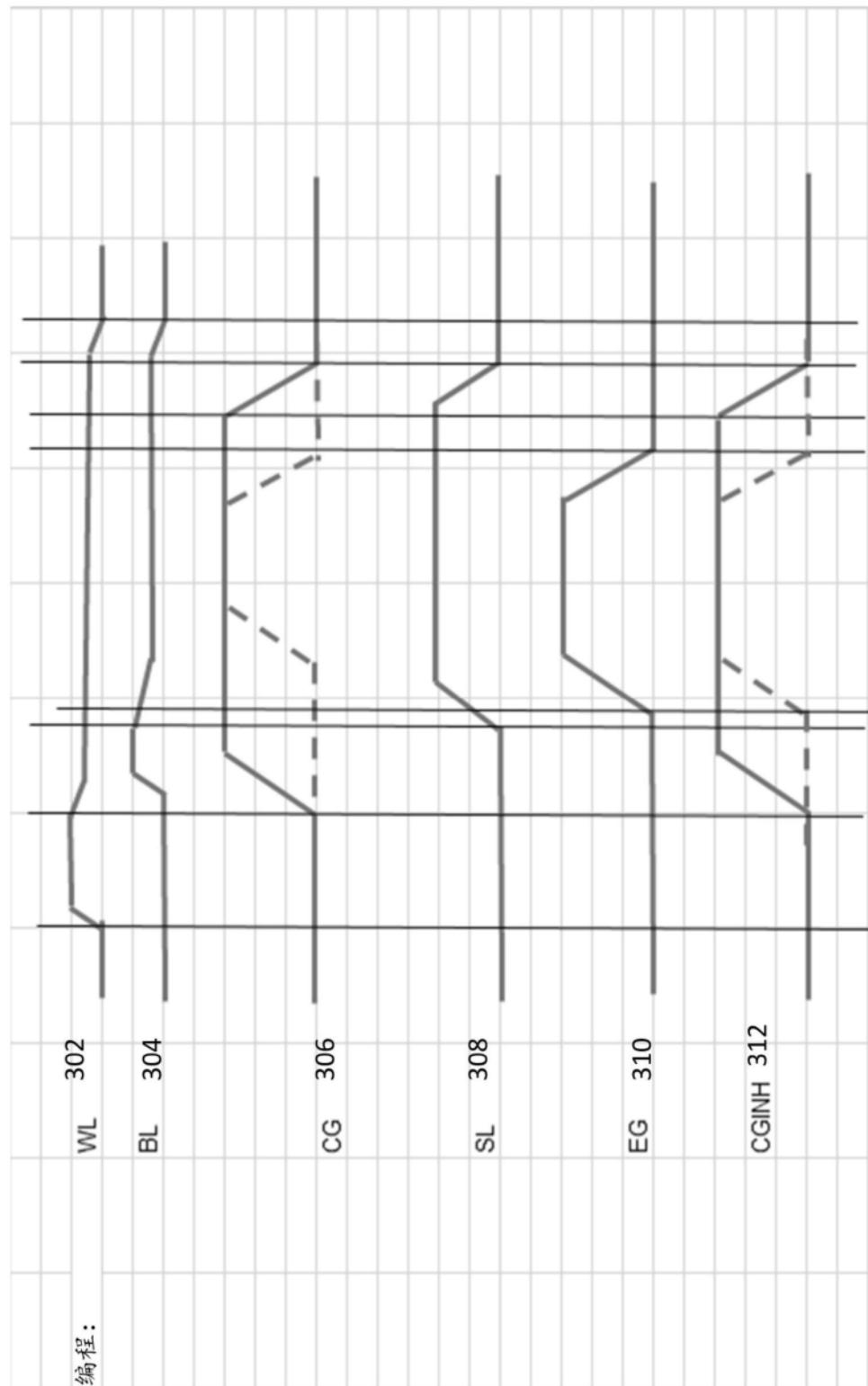


图3

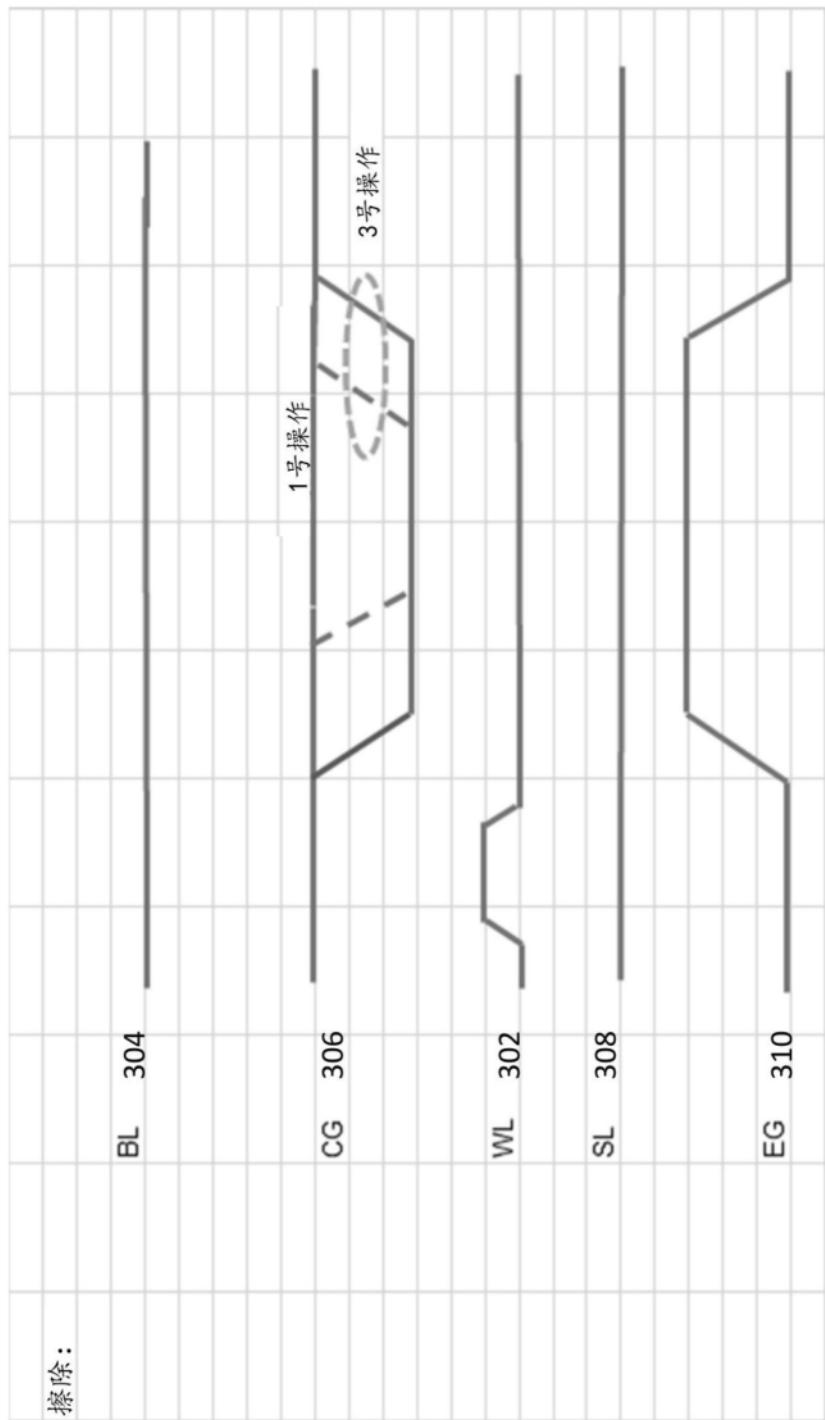


图4

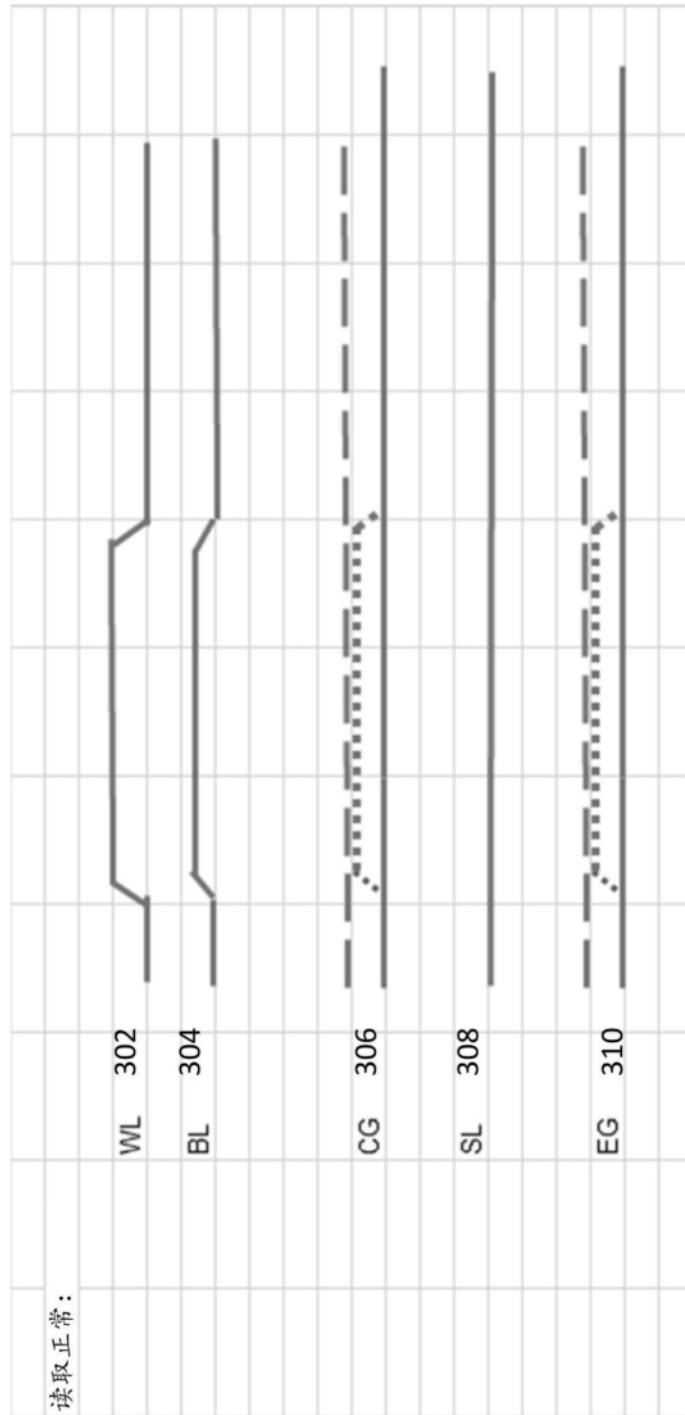


图5

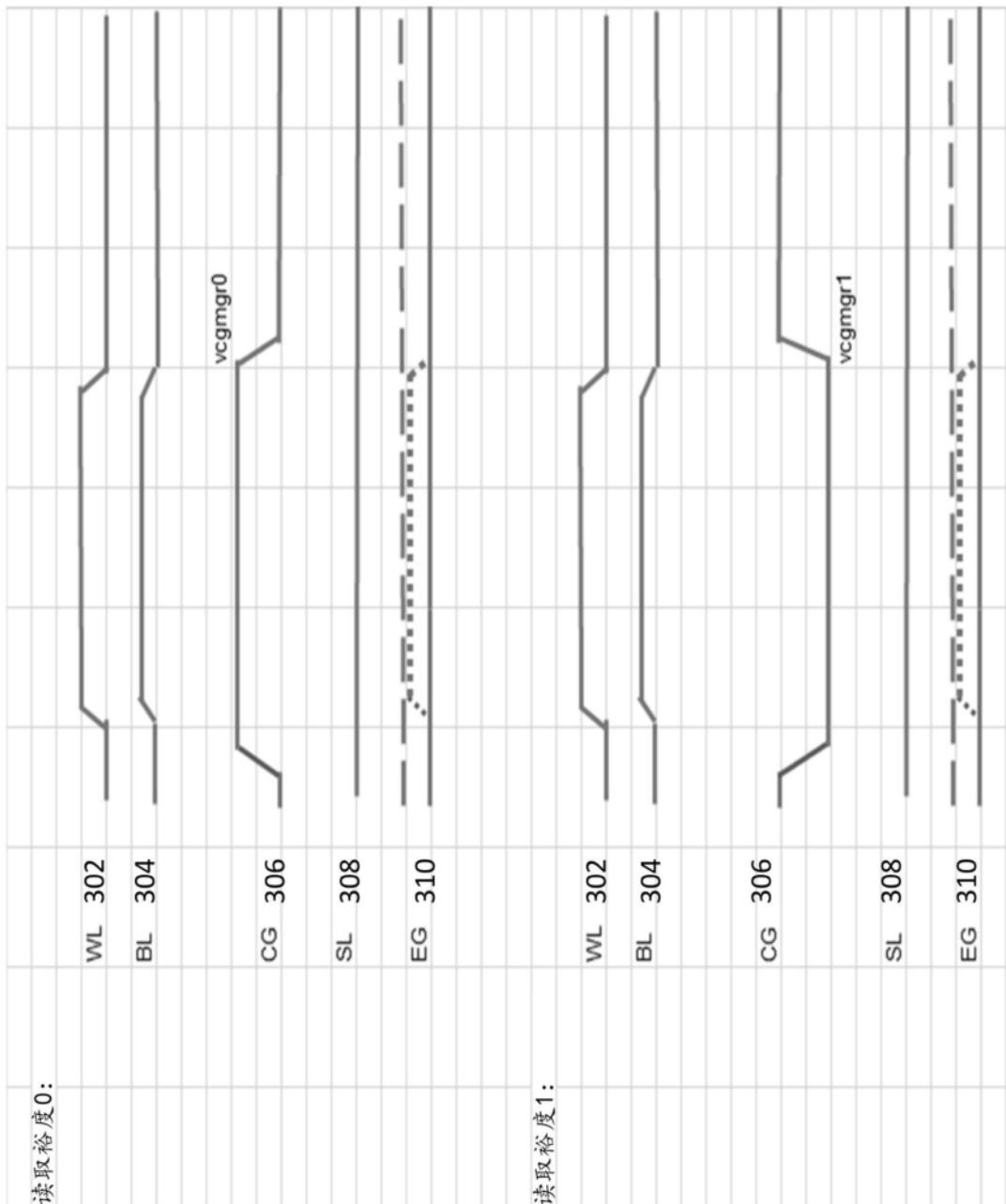


图6

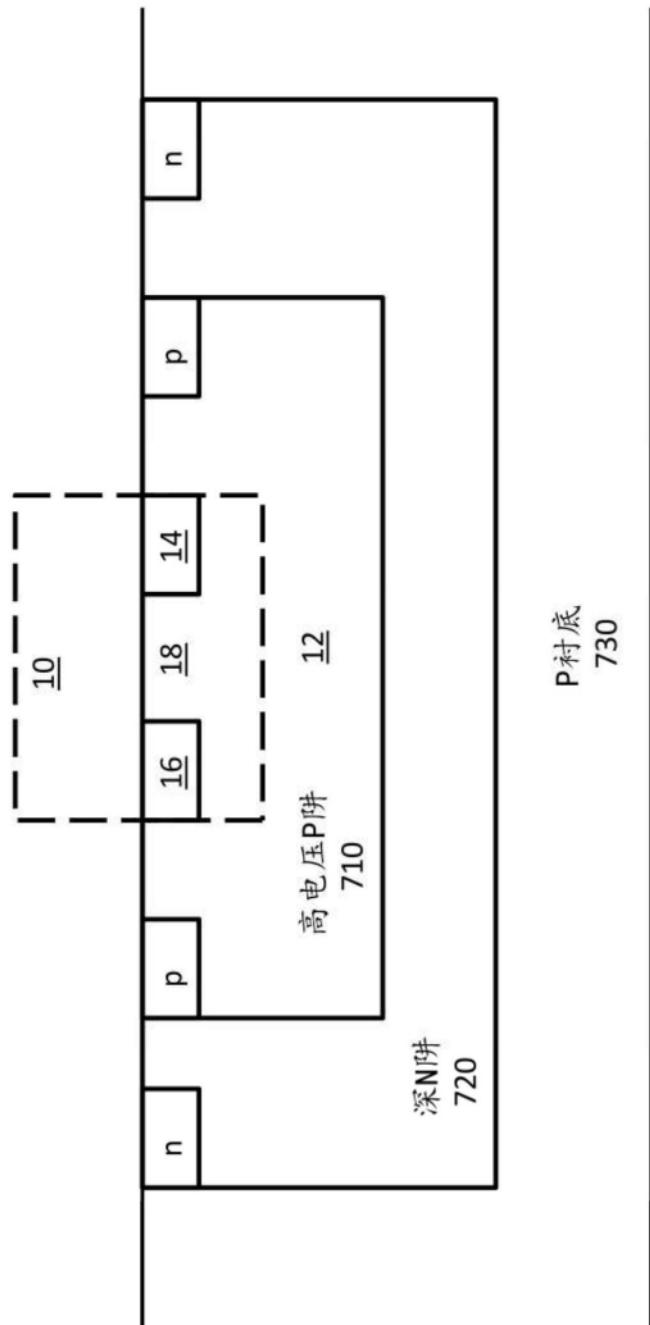


图7A

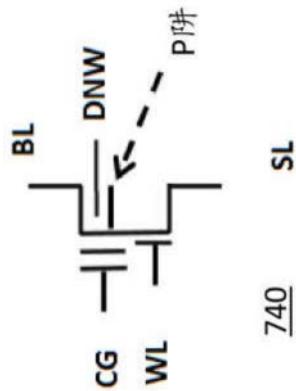


图7B

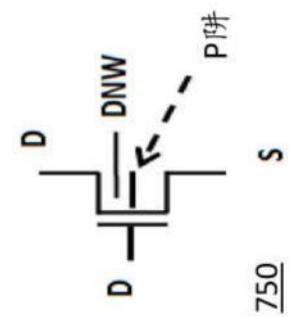


图7C

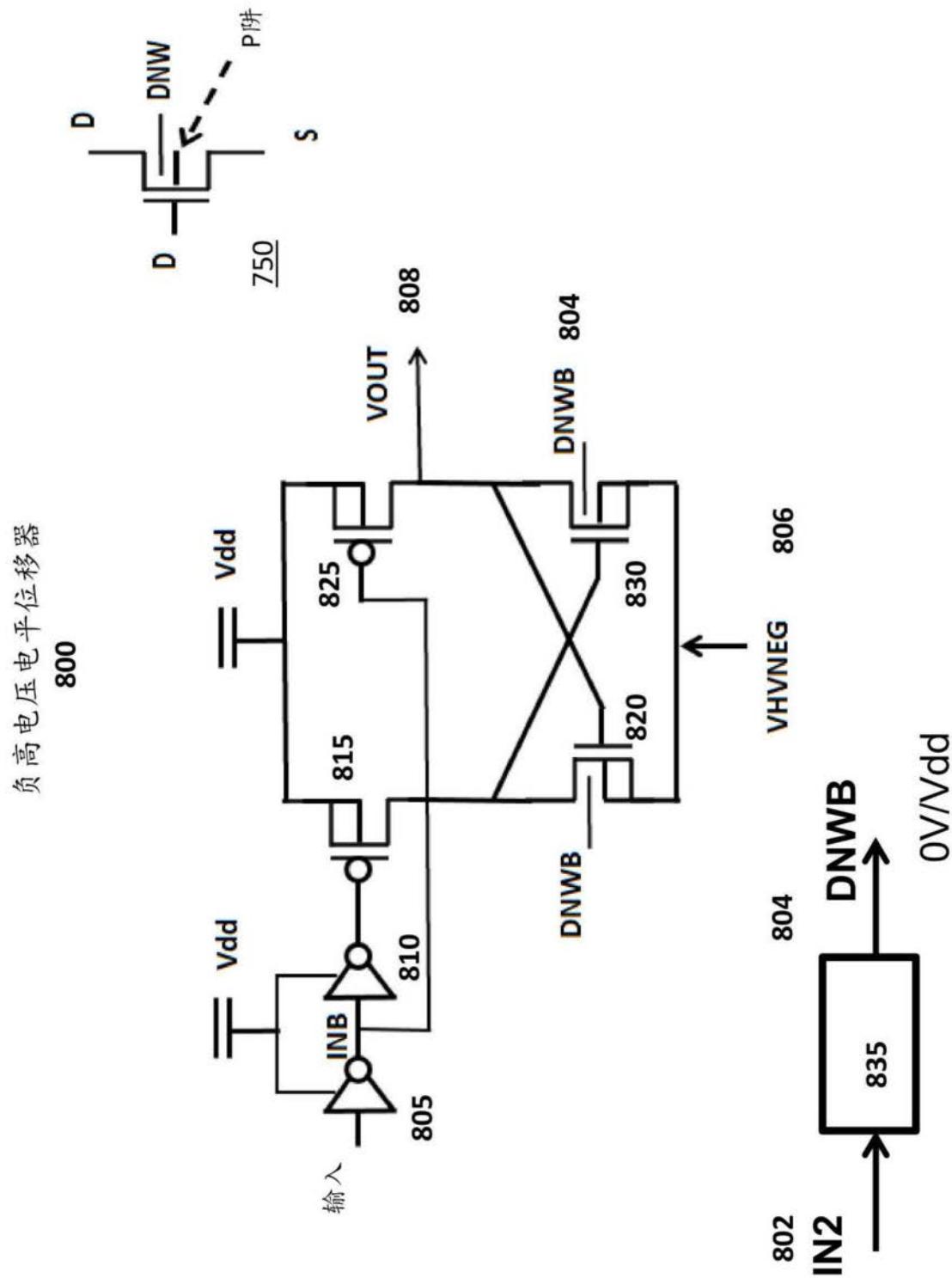


图8

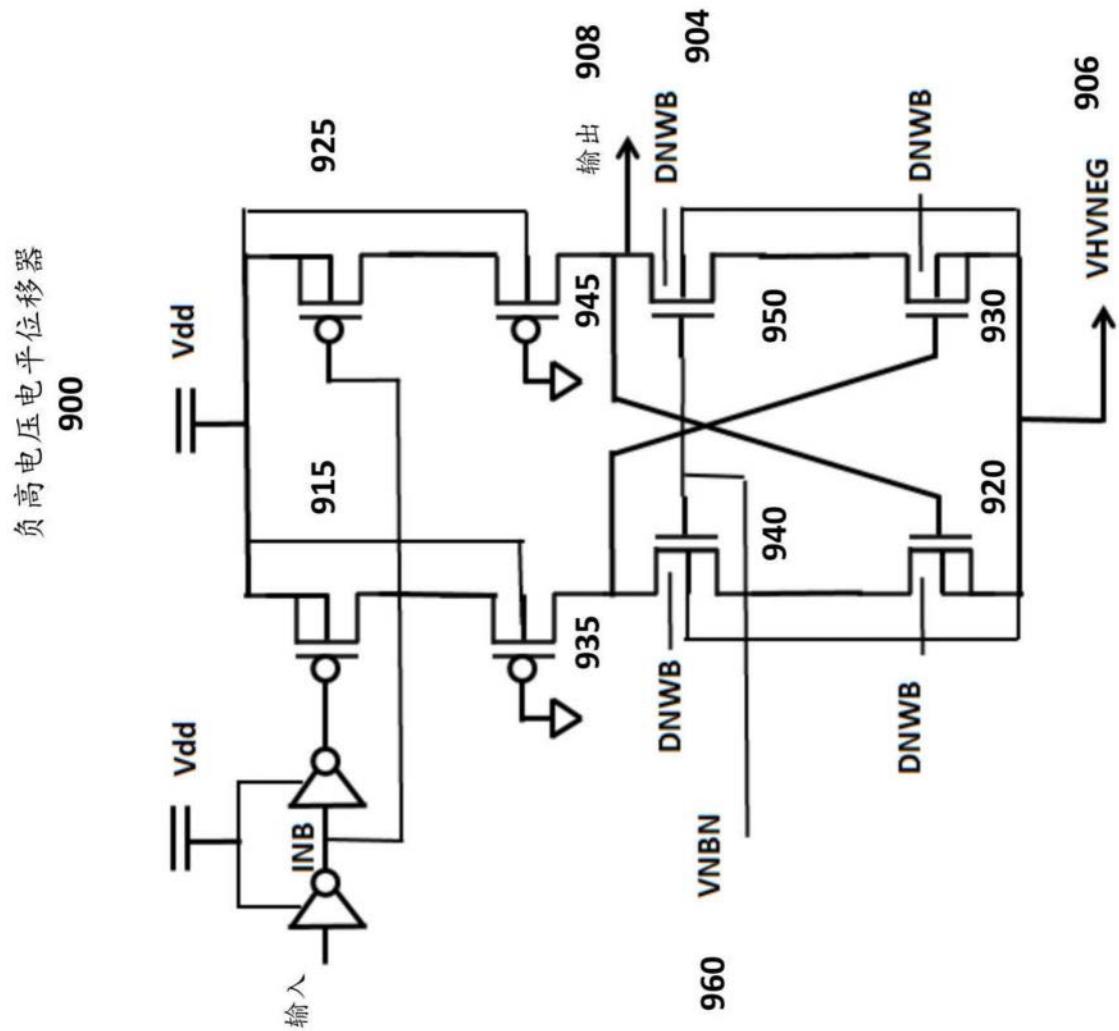


图9

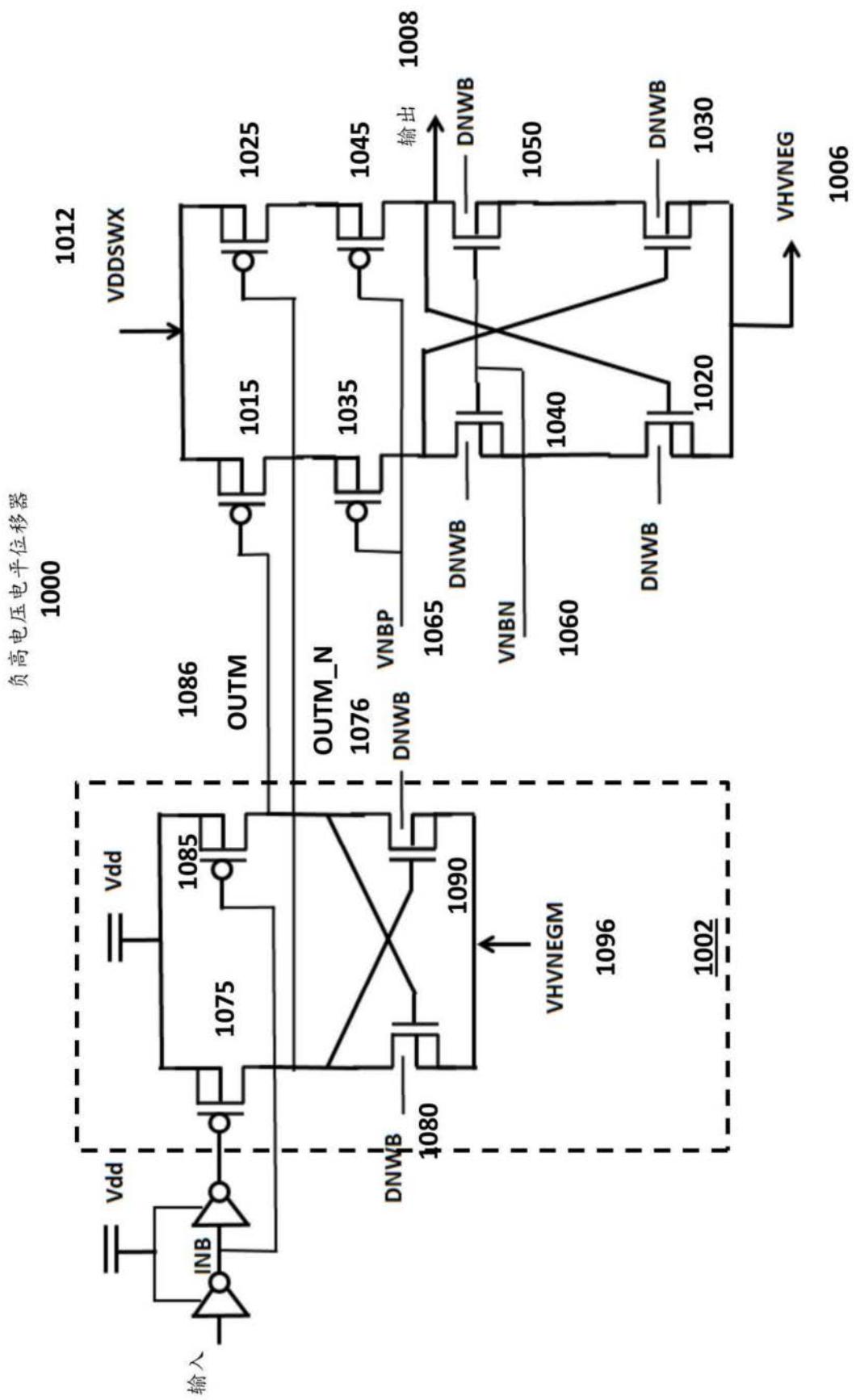


图10

电压电源电路
1100

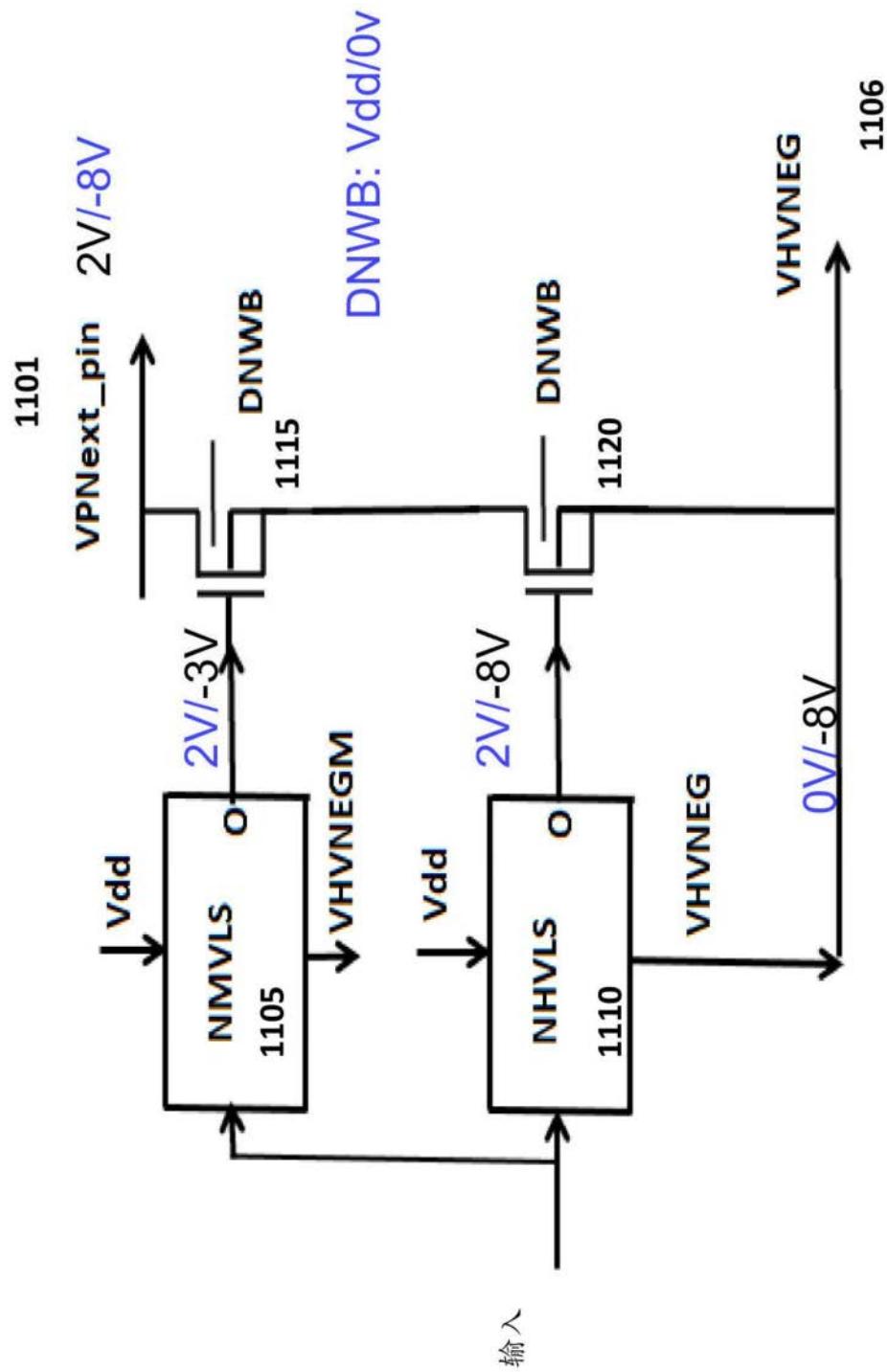


图11

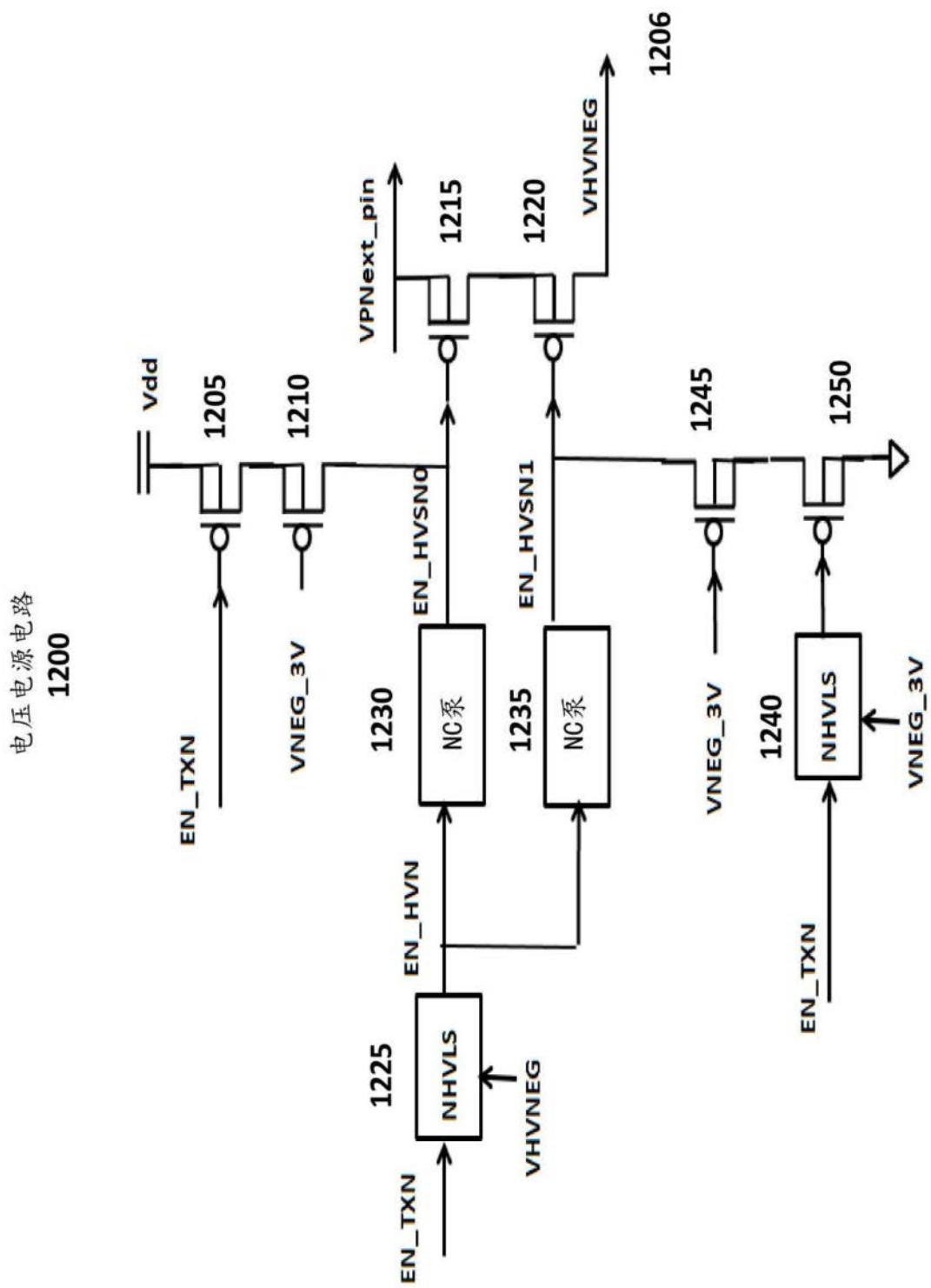


图12

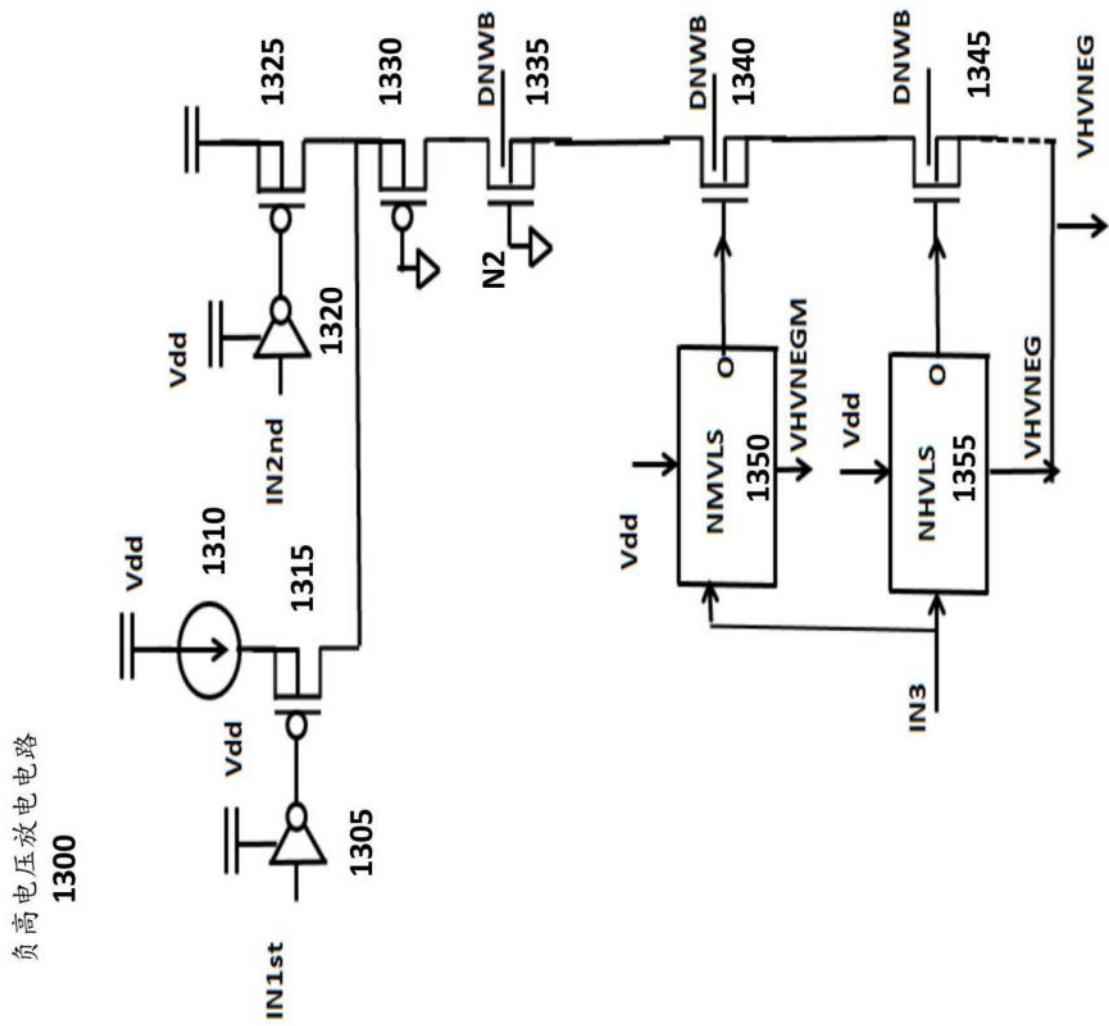


图13

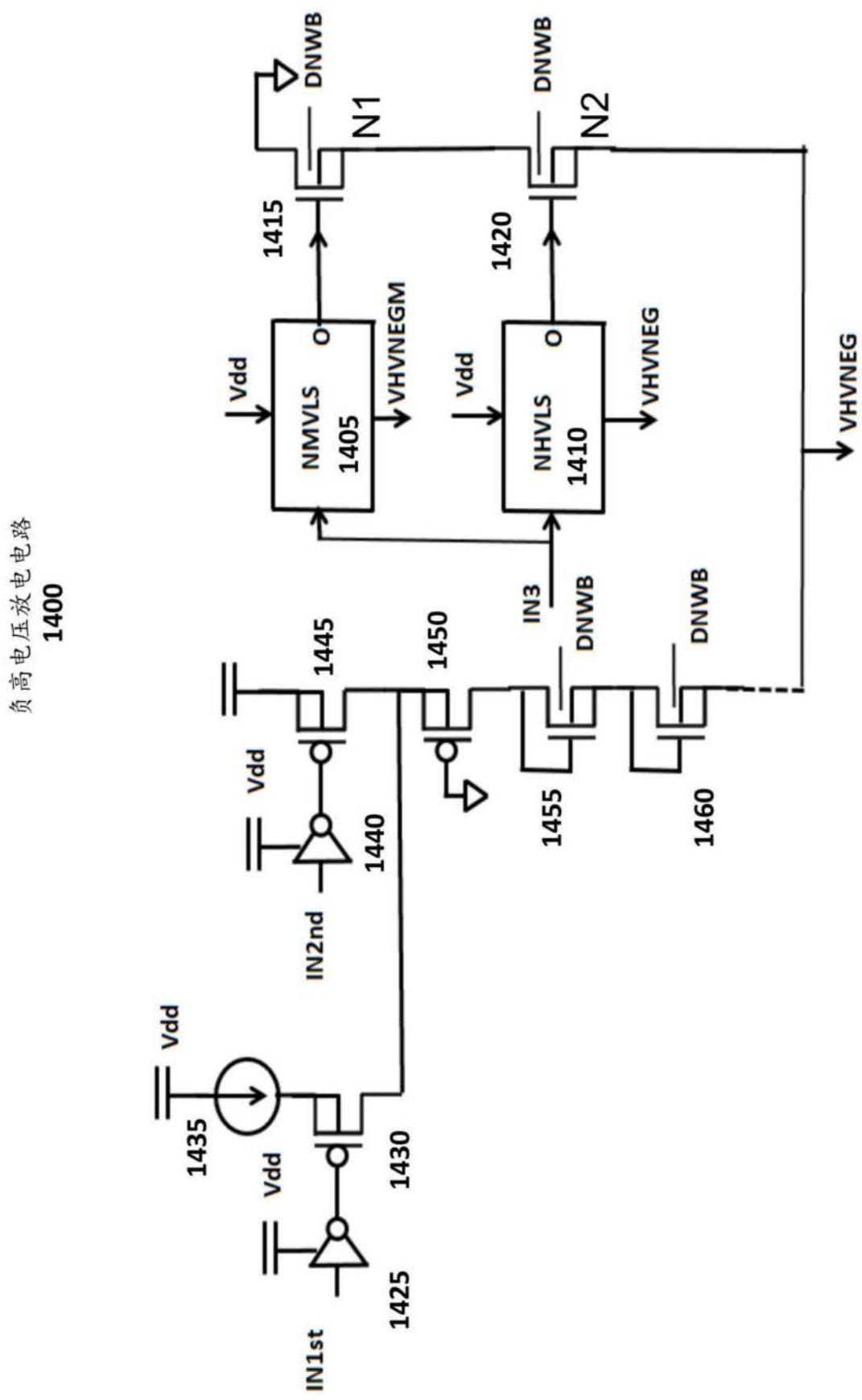


图14

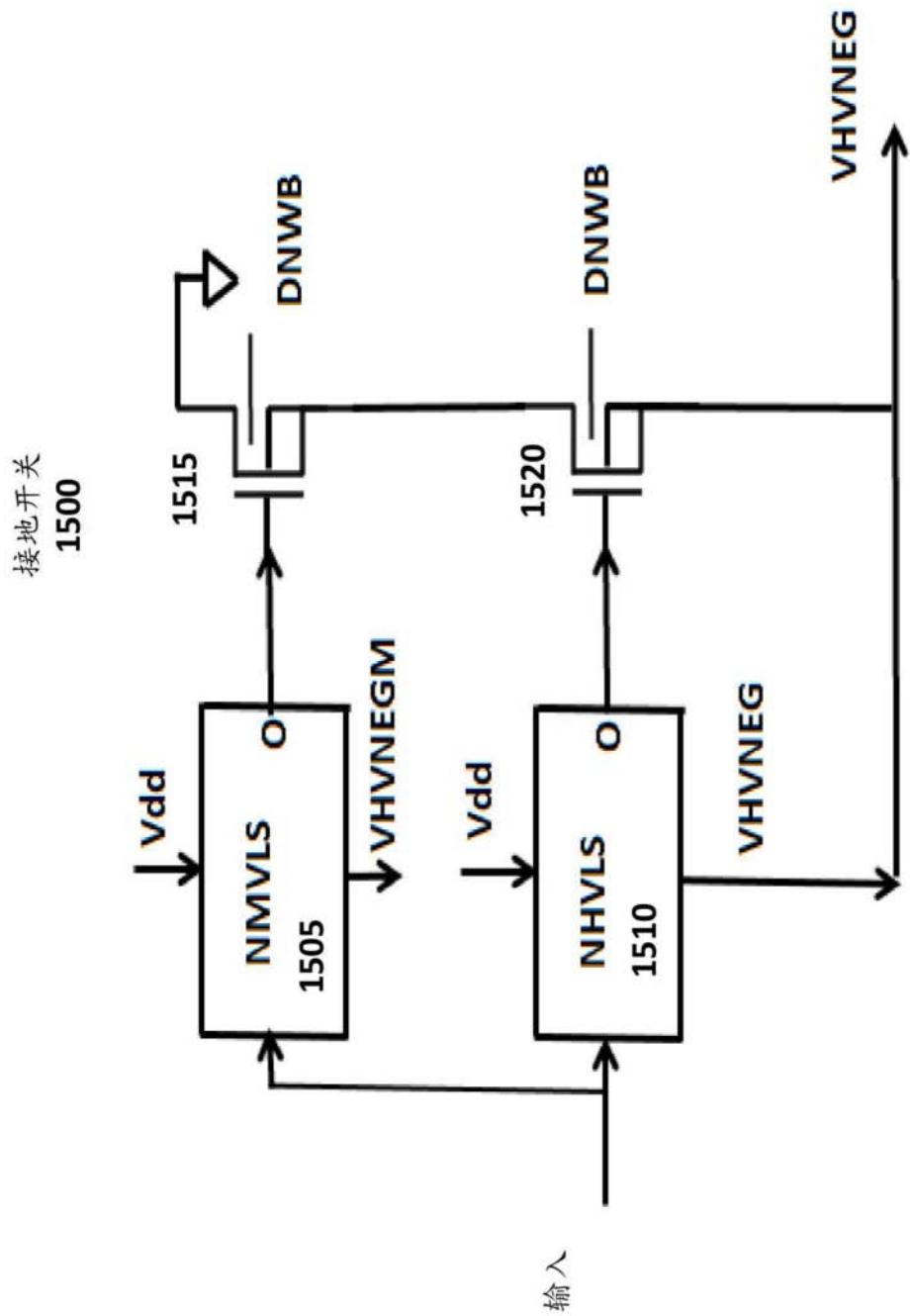


图15

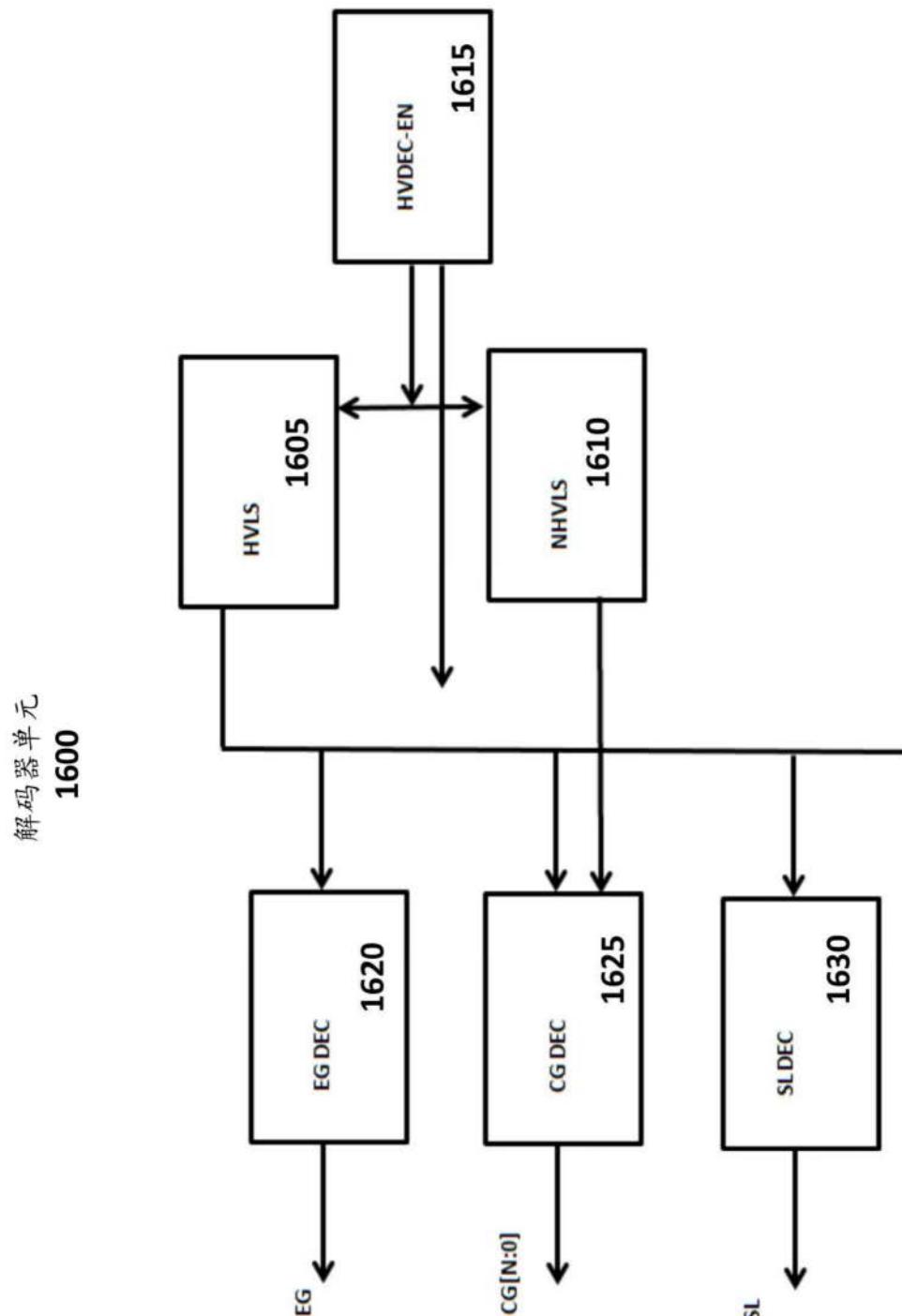


图16

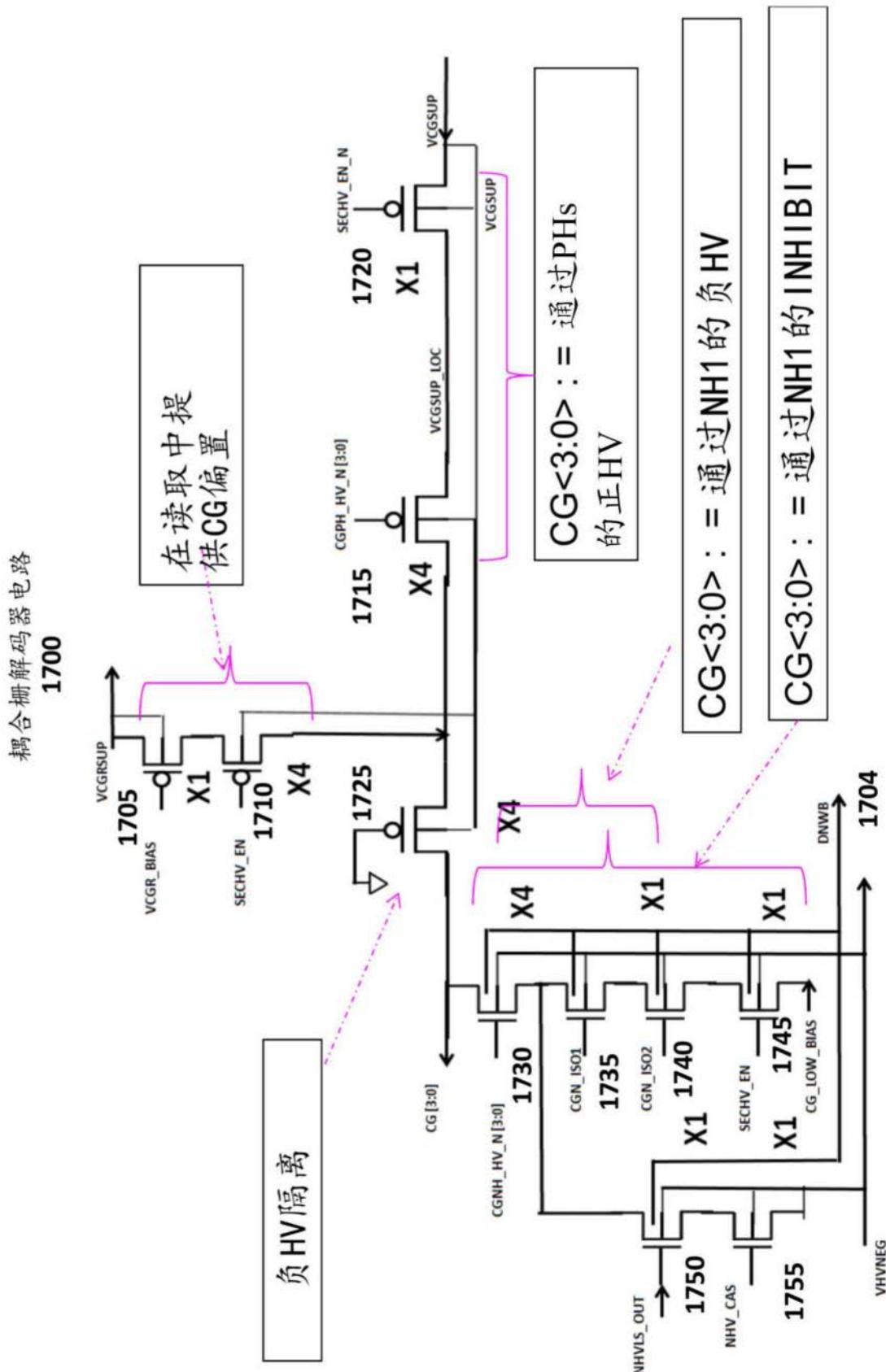


图17

擦除栅解码器电路
1800

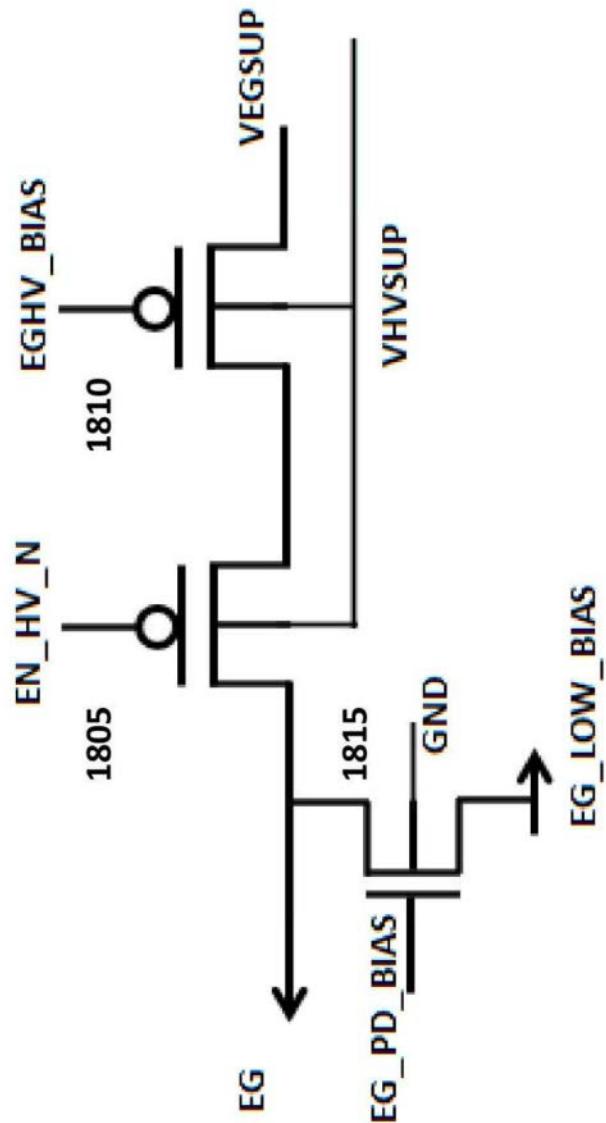


图18

源极线解码器电路
1900

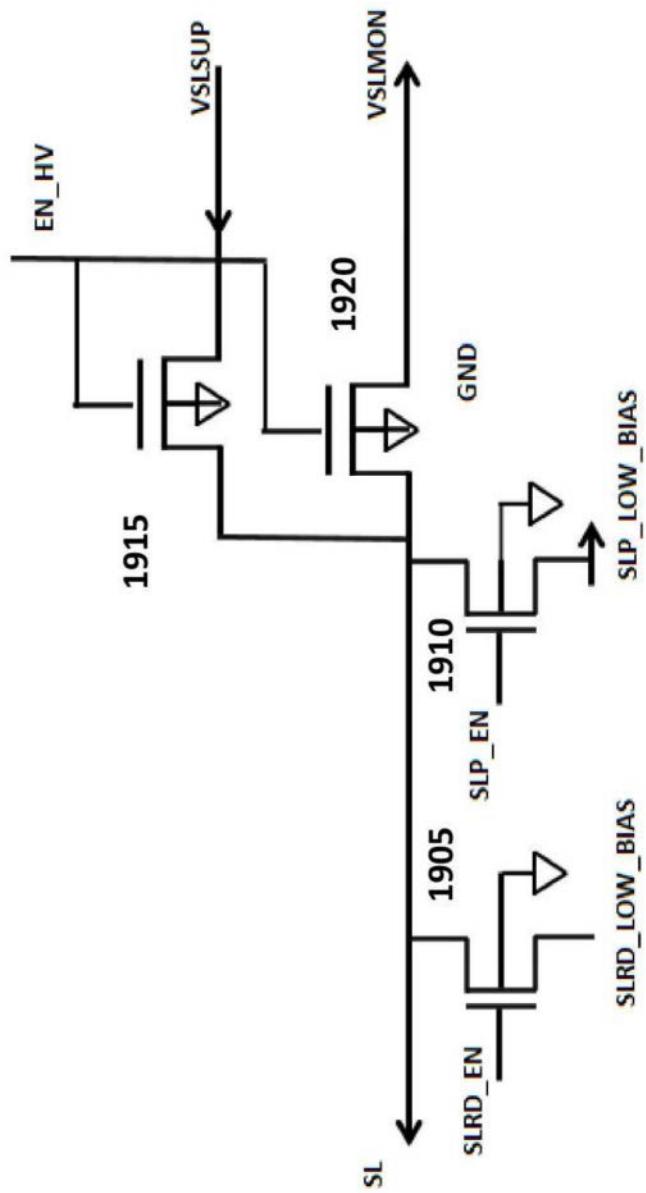


图19

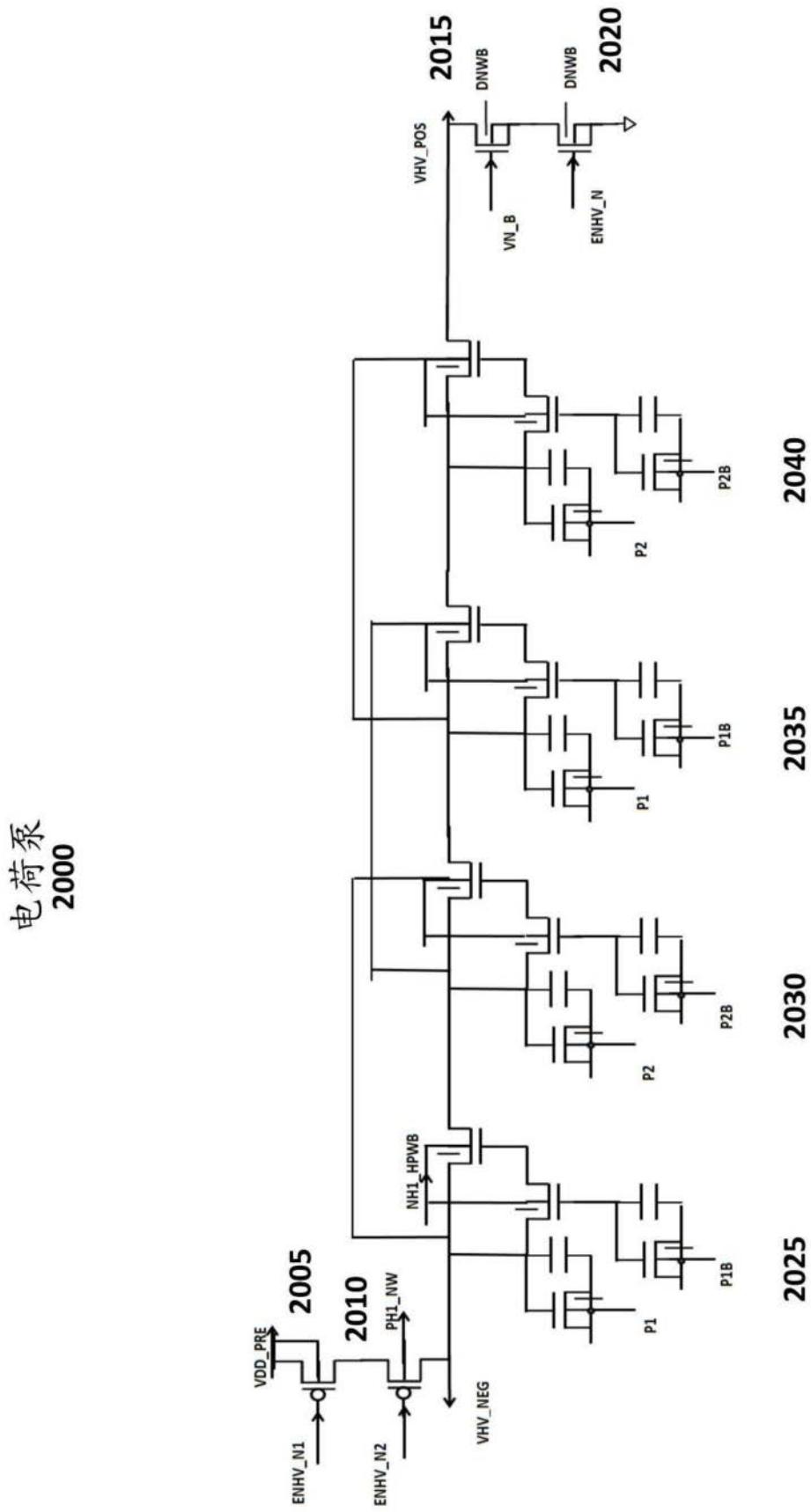


图20

负高电压电平位移器
2100

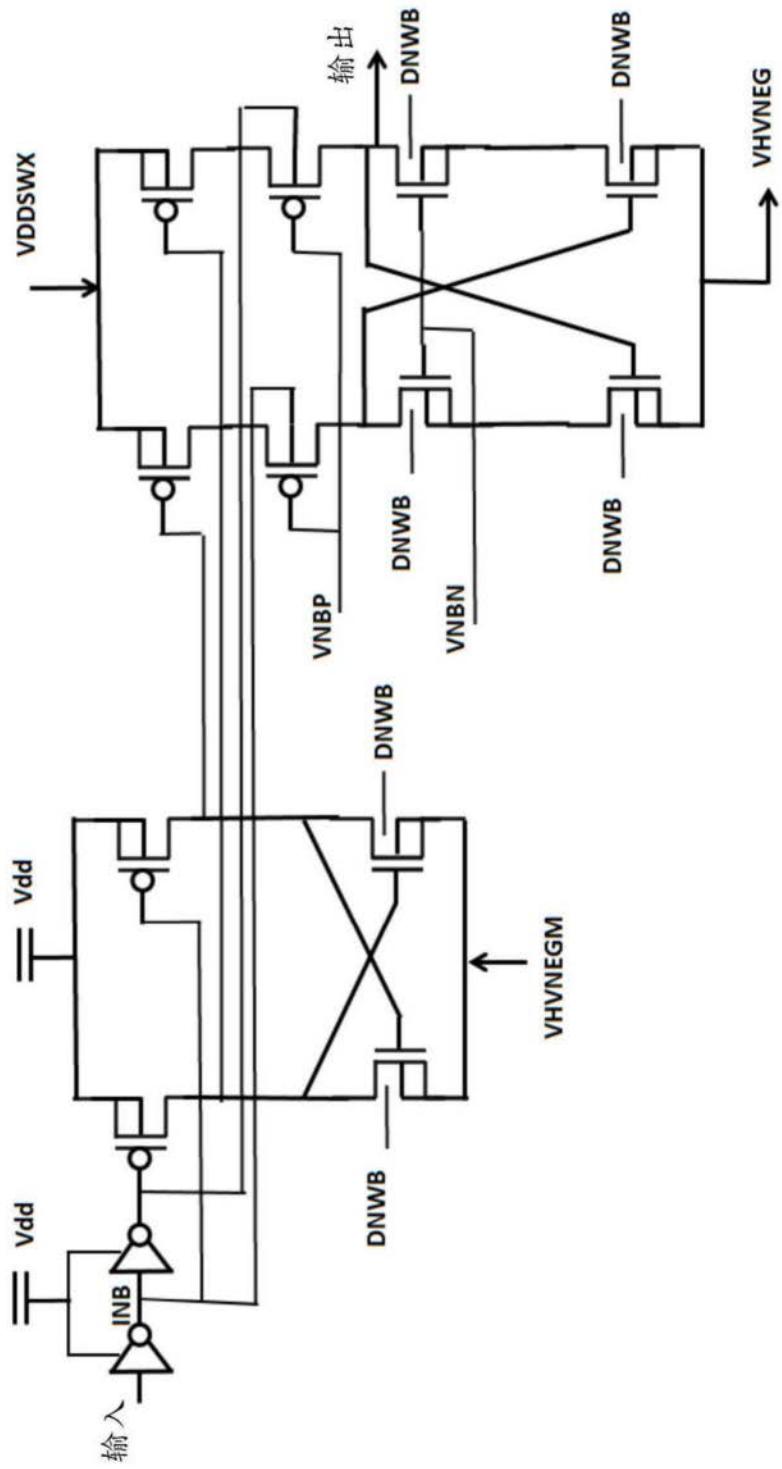


图21

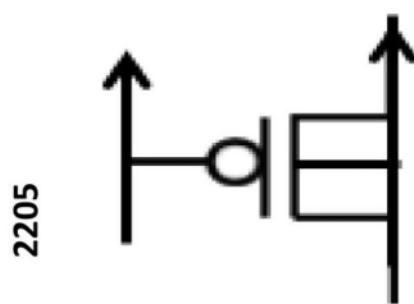


图22A



图22B



图22C

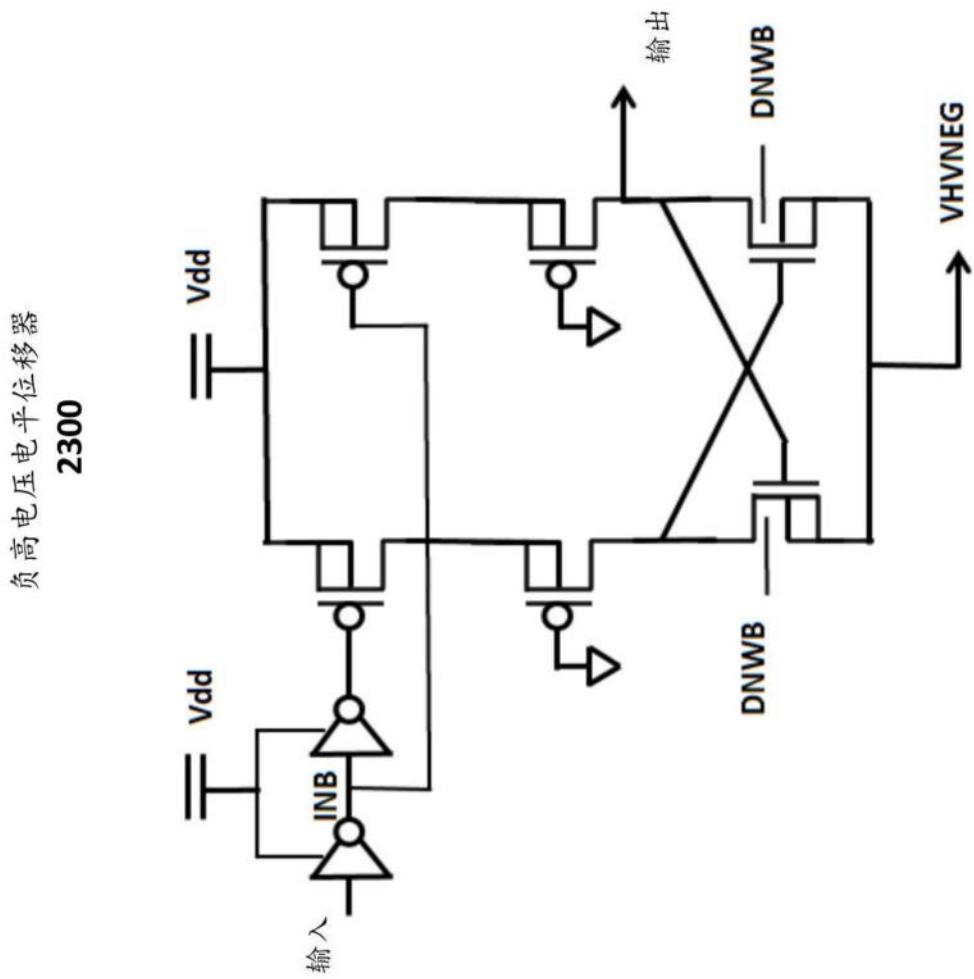


图23

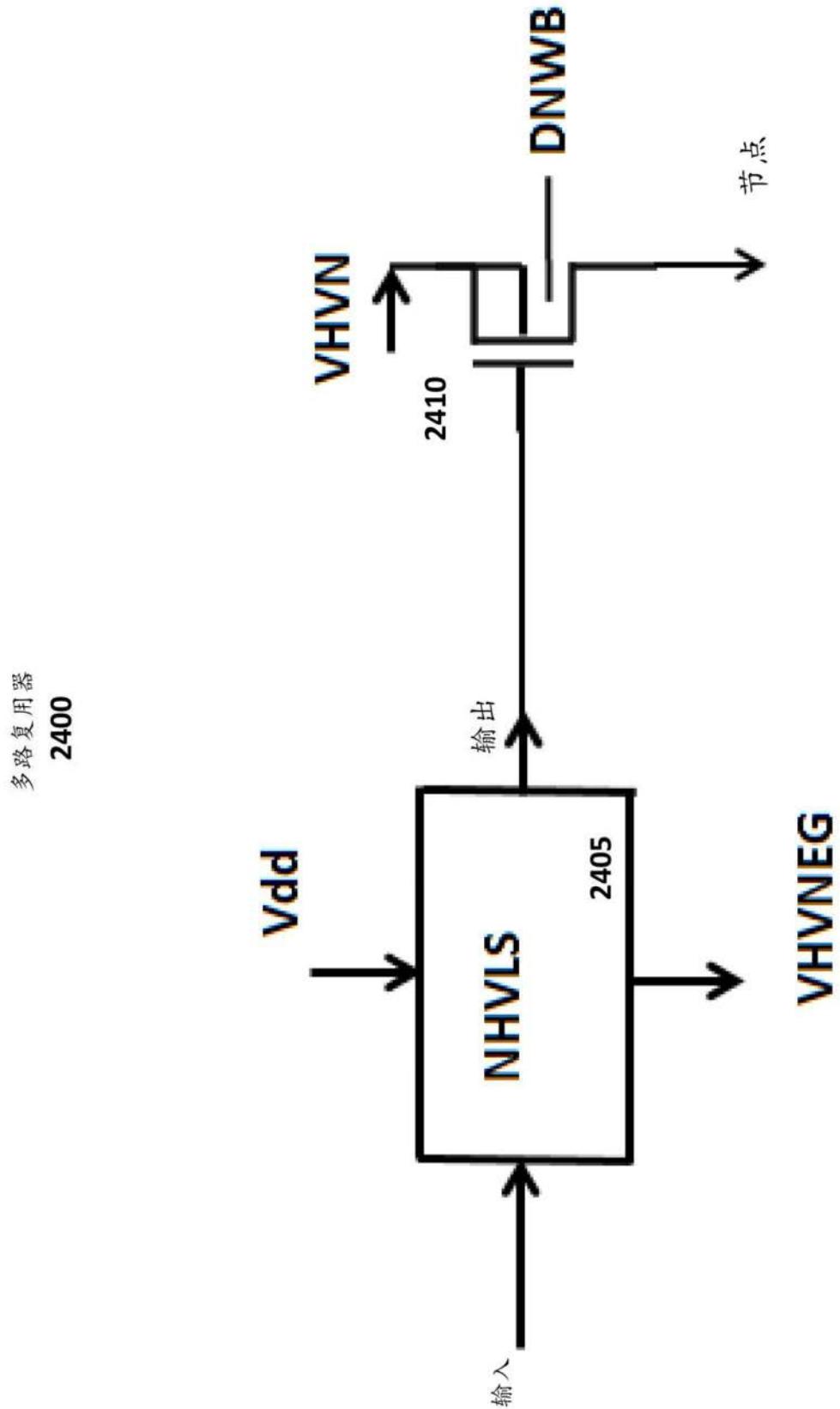


图24

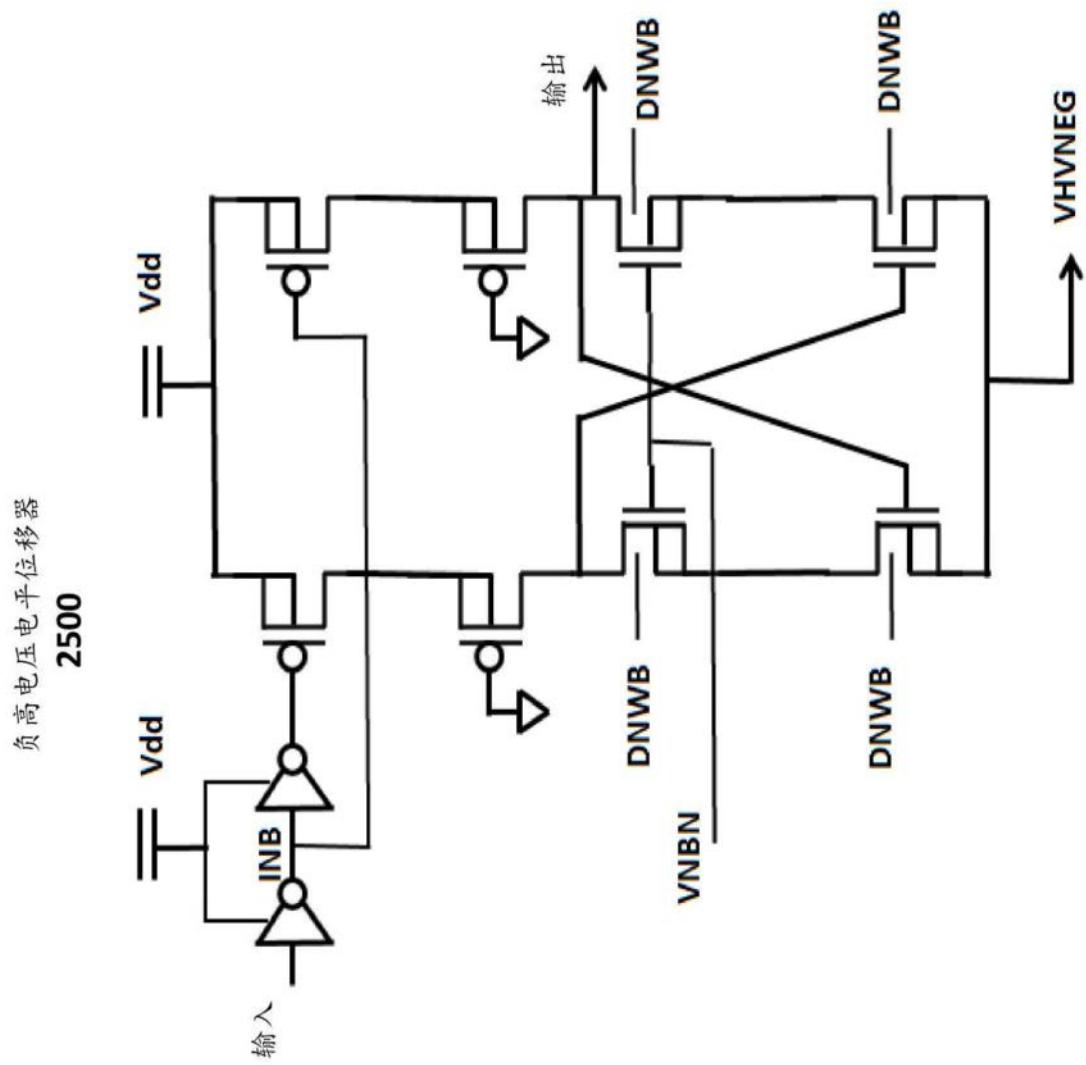


图25