



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년07월14일
(11) 등록번호 10-0907739
(24) 등록일자 2009년07월07일

(51) Int. Cl.

H01L 27/146 (2006.01) *H04N 5/335* (2006.01)

(21) 출원번호 10-2007-7020381

(22) 출원일자 2005년03월11일

심사청구일자 2007년09월06일

(85) 번역문제출일자 2007년09월06일

(65) 공개번호 10-2007-0102602

(43) 공개일자 2007년10월18일

(86) 국제출원번호 PCT/JP2005/004322

(87) 국제공개번호 WO 2006/097978

국제공개일자 2006년09월21일

(56) 선행기술조사문헌

KR1020060010902 A*

JP11317512 A

JP15282857 A

KR1020020048705 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

후지쯔 마이크로일렉트로닉스 가부시끼가이샤

일본국 도쿄도 신주쿠구 니시신주쿠 2-7-1

(72) 발명자

이노우에 다다오

일본국 가나가와Ken 가와사키시 나카하라쿠 가미코
다나카 4-1-1후지쯔 가부시끼가이샤 내

야마모토 가즈요시

일본국 가나가와Ken 가와사키시 나카하라쿠 가미코
다나카 4-1-1후지쯔 가부시끼가이샤 내

오카와 나루미

일본국 가나가와Ken 가와사키시 나카하라쿠 가미코
다나카 4-1-1후지쯔 가부시끼가이샤 내

(74) 대리인

문기상, 문두현

전체 청구항 수 : 총 10 항

심사관 : 이규재

(54) 포토다이오드 영역을 매립한 이미지 센서 및 그 제조 방법

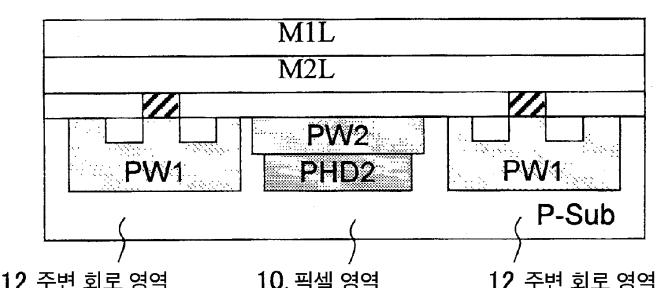
(57) 요 약

본 발명은, 실질적인 개구율을 높이고 광 감도를 향상시킨 CMOS 이미지 센서와 그 제조 방법을 제공하는 것을 과제로 한다.

적어도 포토다이오드와 리셋 트랜지스터와 소스 폴로어 트랜지스터를 각각 갖는 픽셀이 복수 형성되는 픽셀 영역(10)과, 픽셀 영역으로부터 판독 신호를 처리하는 주변 회로가 형성되는 주변 회로 영역(12)을 갖는 이미지 센서로서, 주변 회로 영역의 웰 영역(PW1)보다도 픽셀 영역의 웰 영역(PW2) 쪽이 얇게 형성되어 있다. 그리고, 픽셀 영역(10)의 얇은 웰 영역(PW2) 내에 리셋 트랜지스터 또는 소스 폴로어 트랜지스터가 형성되고, 그들 트랜지스터의 웰 영역(PW2) 아래에, 포토다이오드 영역(PHD2)이 매립된다. 상기와 같이 구성함으로써, 픽셀의 포토다이오드 영역을 기판 표면으로부터 비교적 얇은 영역에 매립할 수 있으므로, 기판 표면으로부터의 입사광이 감쇠하기 전에 포획할 수 있고, 광 감도를 높일 수 있다. 그리고, 픽셀의 포토다이오드 영역이 픽셀의 능동 소자 아래의 비교적 얇은 위치에 매립되므로, 실질적인 개구율을 높일 수 있고, 광 감도가 향상된다.

대 표 도

이미지 센서 전체 구조도



특허청구의 범위

청구항 1

적어도 포토다이오드와, 리셋 트랜지스터와, 소스 폴로어 트랜지스터를 갖는 픽셀을 복수 갖는 픽셀 영역과, 상기 픽셀로부터 판독한 신호를 처리하는 주변 회로가 형성되는 주변 회로 영역을 갖는 CMOS 이미지 센서로서,

상기 주변 회로 영역에서는, 기판 표면의 제 1 도전형의 제 1 웨л 영역 내에, 상기 주변 회로를 구성하는 트랜지스터의 제 2 도전형의 소스·드레인 영역이 형성되고,

상기 픽셀 영역에서는, 제 1 웨л 영역보다 얇은 제 1 도전형의 제 2 웨л 영역 내에 상기 리셋 트랜지스터 및 소스 폴로어 트랜지스터의 제 2 도전형의 소스·드레인 영역이 형성되고, 또한, 상기 기판 표면 근방으로부터 깊이 방향으로 연장되는 제 2 도전형의 제 1 포토다이오드 영역과, 당해 제 1 포토다이오드 영역으로부터 상기 리셋 트랜지스터 또는 소스 폴로어 트랜지스터의 소스·드레인 영역이 형성되는 상기 제 2 웨л 영역의 하측으로 연장되어 매립되는 제 2 포토다이오드 영역이 형성되는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 2

제 1 항에 있어서,

상기 주변 회로 영역에서는, 상기 주변 회로 트랜지스터를 분리하는 제 1 분리 구조가 형성되고,

상기 픽셀 영역에서는, 상기 제 1 분리 구조보다 얇고, 상기 리셋 트랜지스터 및 소스 폴로어 트랜지스터를 분리하는 제 2 분리 구조가 형성되고, 상기 제 2 포토다이오드 영역은, 당해 제 2 분리 구조 아래에 형성되는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 3

제 1 항 또는 제 2 항에 있어서,

각 픽셀은, 상기 포토다이오드에 접속된 트랜스퍼 게이트 트랜지스터를 갖고, 당해 트랜스퍼 게이트 트랜지스터와 상기 리셋 트랜지스터가 플로팅·디퓨전 영역을 통하여 접속되고, 당해 플로팅·디퓨전 영역이 상기 소스 폴로어 트랜지스터의 게이트에 접속되며, 상기 제 1 포토다이오드 영역 위의 기판 표면에 제 1 도전형의 실드 영역이 형성되고,

상기 트랜스퍼 게이트 트랜지스터 또는 플로팅·디퓨전 영역의 적어도 일부는, 상기 제 2 웨л 영역보다도 저농도의 제 3 웨л 영역 내에 설치되어, 상기 플로팅·디퓨전 영역의 하측에, 상기 제 2 포토다이오드 영역이 형성되어 있지 않은 영역을 갖는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 4

제 3 항에 있어서,

상기 트랜스퍼 게이트 트랜지스터의 하측에, 상기 제 2 포토다이오드 영역이 형성되어 있지 않은 영역을 더 갖는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 5

제 1 항에 있어서,

상기 주변 회로 영역에서는, 상기 주변 회로 트랜지스터는 표면이 금속 실리사이드화된 실리콘 게이트 전극을 갖고,

상기 픽셀 영역에서는, 상기 제 2 포토다이오드 영역 위의 트랜지스터는 표면이 금속 실리사이드화되어 있지 않은 실리콘 게이트 전극을 갖는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 6

제 3 항에 있어서,

상기 핵셀 영역에서는, 상기 제 2 포토다이오드 영역의 외부로서, 일방향으로 연장되는 상기 리셋 트랜지스터의 게이트 전극과 트랜스퍼 게이트 트랜지스터의 게이트 전극이, 표면이 금속 실리사이드화된 실리콘 전극으로 구성되고, 상기 제 2 포토다이오드 영역 위의 트랜지스터는 표면이 금속 실리사이드화되어 있지 않은 실리콘 게이트 전극을 갖는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 7

제 3 항에 있어서,

상기 트랜스퍼 게이트 트랜지스터의 게이트 전극 아래에는, 당해 트랜스퍼 게이트 트랜지스터가 노멀리 온 (normally on)이 되지 않을 정도의 게이트 폭을 갖는 영역 아래에, 상기 제 2 포토다이오드 영역이 형성되어 있지 않은 것을 특징으로 하는 CMOS 이미지 센서.

청구항 8

제 1 항 또는 제 2 항에 있어서,

각 핵셀에서, 상기 제 1 포토다이오드 영역이 상기 소스 폴로어 트랜지스터의 게이트에 접속되고,

상기 제 2 웨爾 영역은, 상기 제 1 포토다이오드 영역에는 형성되어 있지 않은 것을 특징으로 하는 CMOS 이미지 센서.

청구항 9

적어도 포토다이오드와, 리셋 트랜지스터와, 소스 폴로어 트랜지스터를 갖는 핵셀을 복수 갖는 핵셀 영역과, 상기 핵셀로부터 판독한 신호를 처리하는 주변 회로가 형성되는 주변 회로 영역을 갖는 CMOS 이미지 센서의 제조 방법에 있어서,

상기 주변 회로 영역에 제 1 깊이를 갖는 제 1 도전형의 제 1 웨爾 영역을 형성하는 공정과,

상기 핵셀 영역에 상기 제 1 깊이보다도 얕은 제 1 도전형의 제 2 웨爾 영역을 형성하는 공정과,

상기 핵셀 영역의 상기 제 2 웨爾 영역 아래에 제 2 도전형의 포토다이오드 영역을 형성하는 공정과,

상기 포토다이오드 영역 위의 제 2 웨爾 영역 내에 상기 리셋 트랜지스터 또는 소스 폴로어 트랜지스터를 형성하는 공정을 갖는 것을 특징으로 하는 CMOS 이미지 센서의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 주변 회로 영역에 주변 회로의 트랜지스터를 분리하는 제 1 분리 구조를 형성하는 공정과,

상기 핵셀 영역에 핵셀의 트랜지스터를 분리하여, 상기 제 1 분리 구조보다 얕은 제 2 분리 구조를 형성하는 공정을 더 갖고,

상기 포토다이오드 영역을 형성하는 공정에 있어서, 당해 포토다이오드 영역을 상기 제 2 분리 구조 아래에 형성하는 것을 특징으로 하는 CMOS 이미지 센서의 제조 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

명세서

기술분야

<1> 본 발명은, 포토다이오드 영역을 매립한 이미지 센서 및 그 제조 방법에 관한 것으로서, 특히, 포토다이오드 영역을 트랜지스터 형성 영역 아래에까지 연장시켜서 매립한 이미지 센서 및 그 제조 방법에 관한 것이다.

배경기술

<2> 이미지 센서에는, CCD(Charge Coupled Device)와 APS(Active Pixel Sensor)가 있고, APS의 대표적 예로서 CMOS 이미지 센서가 있다. CCD는 비디오 카메라 등에 이용되고, CMOS 이미지 센서는 염가판(廉價版)의 디지털 스틸 카메라 등에 이용된다. 양자 중, CMOS 이미지 센서는, CMOS 프로세스에 의해 제조할 수 있으므로 제조 비용이 적고, 또한 CCD 이미지 센서와 비교하여 소비 전력이 적어 휴대 전화나 휴대 정보 단말 등의 전자 구동 디바이스에 사용되고 있다.

<3> CMOS 이미지 센서는, 광전 변환 소자로서 포토다이오드를 갖고, 그 포토다이오드에 축적된 전하의 양을 소스 폴로어 트랜지스터 등에 의해 판독함으로써, 입사광 강도를 전기 신호로서 취출한다. 이미 실용화되어 있는 CMOS 이미지 센서는, 포토다이오드와 리셋 트랜지스터와 소스 폴로어 트랜지스터와 실렉터 트랜지스터로 이루어지는 3트랜지스터 타입의 것이다. 그리고, 최근, 포토다이오드와 리셋 트랜지스터 사이에 트랜스퍼 게이트 트랜지스터를 설치한 4트랜지스터 타입의 APS가 제안되어 있다.

<4> 3트랜지스터형과 4트랜지스터형 APS에 대해서는, 예를 들어, 이하의 특허문헌 1에 기재되어 있다.

<5> 4트랜지스터형 APS에서는, 트랜스퍼 게이트 트랜지스터와 리셋 트랜지스터의 접속점에 부유(浮遊) 확산층으로 이루어지는 플로팅·디퓨전(floating·diffusion)(FD)을 설치한다. 그리고, 이 플로팅·디퓨전을 리셋 트랜지스터에 의해 리셋 레벨로 한 후, 트랜스퍼 게이트 트랜지스터를 도통시켜서 포토다이오드 영역에 축적된 전하를 플로팅·디퓨전에 전송시켜 그 퍼텐셜(potential)을 변화시키고, 이 퍼텐셜의 변화를 소스 폴로어 트랜지스터를 통하여 신호선에 취출한다. 플로팅·디퓨전에서의 리셋 시의 퍼텐셜과 포토다이오드로부터의 전하 전송 시의 퍼텐셜의 차를 검출함으로써, 노이즈 제거된 신호를 취출할 수 있다.

<6> 또한, 포토다이오드의 오버플로(overflow)를 방지하기 위하여 오버플로 드레인 트랜지스터를 추가한 5트랜지스터형 APS도 제안되어 있다. 오버플로 드레인 트랜지스터를 제어함으로써, 포토다이오드에 의한 적분(積分) 개시 시간을 제어할 수 있고, 글로벌 셔터(global shutter) 방식의 채용이 가능해진다.

<7> 이와 같이, 고성능화에 따라 픽셀 내의 트랜지스터의 수가 증가하고, 포토다이오드 영역의 픽셀 면적에 대한 면적 비율이 저하되어, 소위 개구율의 저하를 초래한다. 그것을 해결하기 위하여 인접 픽셀 사이에서 트랜지스터 등의 소자를 공통화하는 것이 제안되어 있다. 그러나, 4트랜지스터형 APS의 경우, 인접 픽셀 사이에서 3개의 트랜지스터를 공유하기 때문에, 각 픽셀의 배치가 완전히 동일하게 되지 않고, 픽셀 사이에서 광 감도의 편차가 커져, 화질의 저하를 초래하게 된다.

<8> 또한, 개구율의 저하를 방지하기 위하여, 포토다이오드 영역을 픽셀 내의 트랜지스터 형성 영역 아래에 매립하는 구성도 제안되어 있다. 예를 들어, 특허문헌 1에 기재되어 있는 경우이다.

<9> 도 1은, 특허문헌 1에 기재된 CMOS 이미지 센서의 단면도이다. P형 반도체 기판(51) 위에 형성된 P형 에피택셜 층(52) 위에, 트랜스퍼 트랜지스터(TG)의 게이트 전극(55)과, 리셋 트랜지스터의 게이트 전극(58)과, 소스 폴로어 트랜지스터의 게이트 전극(61)이, 게이트 산화막(56, 63, 61)을 통하여 형성되고, 그들 게이트 전극의 양측에 소스·드레인 영역(57, 59, 60, 62)이 형성되어 있다. 그리고, 에피택셜층(52)의 표면으로부터 깊이 방향으로 고농도 N형의 포토다이오드 영역(53)이 형성되고, 그 포토다이오드 영역(53)은, 트랜스퍼 게이트 트랜지스터, 리셋 트랜지스터, 소스 폴로어 트랜지스터 아래에도 연장되어 매립되어 있다. 또한, 포토다이오드 영역(53)은, 에피택셜층(52)의 표면에 형성된 고농도의 P+ 영역에 의해, 표면의 절연막(54)으로부터 이간(離間)되어 매립되어 있고, 이 절연막(54)으로부터의 누설 전류에 의한 암(暗)전류를 억제할 수 있다.

<10> 이와 같이, 특허문헌 1에 기재된 CMOS 이미지 센서는, 포토다이오드 영역을 픽셀 내의 트랜지스터 형성 영역 아래에 겹쳐서 매립함으로써, 개구율의 저하를 방지하고, 광 감도를 향상시킨다.

<11> [특허문헌 1] 일본국 공개특허 제2002-16243호 공보(2002년 1월 18일 공개)

발명의 상세한 설명

- <12> 그러나, 특허문헌 1에 기재된 CMOS 이미지 센서는, 픽셀 내의 트랜지스터 형성 영역의 전체 영역 아래에 N형의 포토다이오드 영역(53)을 매립하고 있다. 이 매설(埋設)된 포토다이오드 영역(53)은, 에피택셜층(52)의 깊은 영역으로 연장되므로, 표면으로부터 입사하는 광이 깊은 영역에 매설된 포토다이오드 영역(53)에 도달하기 전에 감쇠(減衰)되어, 매설 영역(53)은 감도(感度) 향상에 충분히 기여할 수 없다.
- <13> 또한, 트랜스퍼 게이트 트랜지스터(TG)나 플로팅 · 디퓨전(57)의 바로 아래에 N형의 포토다이오드 영역(53)이 형성되어 있으므로, 트랜스퍼 게이트 트랜지스터(TG)의 역치 전압(Vth)을 낮게 억제하는 것의 방해가 되는 동시에, 플로팅 · 디퓨전(57)의 접합 용량을 증가시켜 버린다. 즉, 매립된 N형 포토다이오드 영역(53)을 표면의 N형 소스 · 드레인 영역과 전기적으로 분리하기 위하여, 양자 간의 P형 에피택셜층(52)의 불순물 농도를 높일 필요가 있다. 이 고농도의 P형 에피택셜층에 의해, 트랜스퍼 게이트 트랜지스터의 채널 영역의 농도가 높아져, 역치 전압이 높아진다. 트랜스퍼 게이트 트랜지스터의 역치 전압이 높아지면, 포토다이오드 영역(53)으로부터 플로팅 · 디퓨전(57)으로의 전하 전송 효율이 저하되고, 감도 저하를 초래할 우려가 있다. 또한, N형 플로팅 · 디퓨전(57)이 형성되는 P형 에피택셜층(52)의 농도가 높기 때문에, 플로팅 · 디퓨전(57)의 접합 용량이 높아진다. 접합 용량이 높아지면, 포토다이오드 영역(53)으로부터의 전송 전하에 대응하는 플로팅 · 디퓨전 영역의 전압 변화의 비율이 낮아져, 감도 저하를 초래한다.
- <14> 따라서, 본 발명의 목적은, 실질적인 개구율을 높이고 광 감도를 향상시킨 CMOS 이미지 센서와 그 제조 방법을 제공하는 것이다.
- <15> 상기 목적을 달성하기 위하여, 본 발명의 제 1 측면에 의하면, 적어도 포토다이오드와 리셋 트랜지스터와 소스 폴로어 트랜지스터를 각각 갖는 픽셀이 복수형성되는 픽셀 영역과, 픽셀 영역으로부터 판독되는 판독 신호를 처리하는 주변 회로가 형성되는 주변 회로 영역을 갖는 이미지 센서로서, 주변 회로 영역의 웰 영역보다도 픽셀 영역의 웰 영역 쪽이 얇게 형성되어 있다. 그리고, 픽셀 영역의 얇은 웰 영역 내에 리셋 트랜지스터 또는 소스 폴로어 트랜지스터가 형성되고, 그들 트랜지스터의 웰 영역 아래에, 포토다이오드 영역이 매립된다. 상기와 같이 구성함으로써, 픽셀의 포토다이오드 영역을 기판 표면으로부터 비교적 얇은 영역에 매립할 수 있으므로, 기판 표면으로부터의 입사광이 감쇠하기 전에 포획할 수 있어, 광 감도를 높일 수 있다. 그리고, 픽셀의 포토다이오드 영역이 픽셀의 능동 소자 아래의 비교적 얇은 위치에 매립되므로, 실질적인 개구율을 높일 수 있어, 광 감도가 향상된다.
- <16> 상기 제 1 측면에 있어서, 바람직한 실시예에서는, 주변 회로 영역에 형성되는 제 1 소자 분리 구조보다도 픽셀 영역에 형성되는 제 2 소자 분리 구조 쪽이 얇고, 매립된 포토다이오드 영역은, 상기 제 2 소자 분리 구조 아래에 형성된다.
- <17> 상기 목적을 달성하기 위하여, 본 발명의 제 2 측면에 의하면, 상기 이미지 센서의 제조 방법에 있어서, 주변 회로 영역에 제 1 깊이를 갖는 제 1 웰 영역을 형성하는 공정과, 픽셀 영역에 제 1 깊이보다도 얇은 제 2 웰 영역을 형성하는 공정과, 픽셀 영역의 제 2 웰 영역 아래에 포토다이오드 영역을 형성하는 공정과, 포토다이오드 영역 위의 제 2 웰 영역 내에 리셋 트랜지스터 또는 소스 폴로어 트랜지스터를 형성하는 공정을 갖는다. 이 제조 방법에 의해, 픽셀의 포토다이오드 영역을 픽셀의 능동 소자 아래에 매립하는 동시에, 동일 영역을 기판 표면으로부터 비교적 얇은 영역에 매립할 수 있다. 따라서, 상기와 같이, 실질적인 개구율을 높여 광 감도를 높일 수 있다.
- <18> 상기 목적을 달성하기 위하여, 본 발명의 제 3 측면에 의하면, 각 픽셀은, 포토다이오드와 리셋 트랜지스터 사이에 전하 전송용의 트랜스퍼 게이트 트랜지스터를 갖고, 리셋 트랜지스터와 트랜스퍼 게이트 트랜지스터의 접속 노드인 플로팅 · 디퓨전 영역이 소스 폴로어 트랜지스터의 게이트에 접속되어 있다. 그리고, 상기 제 1 측면의 구성에 추가하여, 포토다이오드 영역은, 플로팅 · 디퓨전 영역과 트랜스퍼 게이트 트랜지스터 영역의 적어도 일부 영역 아래에는 형성되어 있지 않다. 이와 같이 구성함으로써, 매립 포토다이오드 영역을 얇게 함에 따라, 플로팅 · 디퓨전 영역과 매립한 포토다이오드 영역의 분리를 위하여, 플로팅 · 디퓨전 영역과 트랜스퍼 게이트 트랜지스터의 소스 · 드레인 영역이 형성되는 웰 영역의 불순물 농도를 높일 필요성이 없어진다. 그 결과, 플로팅 · 디퓨전 영역의 접합 용량이 높아지는 것을 방지할 수 있다. 또한, 트랜스퍼 게이트 트랜지스터의 채널 영역의 불순물 농도가 높아지는 것을 방지하고, 그 트랜지스터 역치 전압이 높아지는 것을 방지할 수 있다.
- <19> 상기 목적을 달성하기 위하여, 본 발명의 제 4 측면에 의하면, 적어도 포토다이오드와, 리셋 트랜지스터와, 소

스 플로어 트랜지스터를 갖는 픽셀을 복수 갖는 픽셀 영역과, 상기 픽셀로부터 판독한 신호를 처리하는 주변 회로가 형성되는 주변 회로 영역을 갖는 CMOS 이미지 센서로서,

- <20> 상기 주변 회로 영역에서는, 기판 표면의 제 1 도전형의 제 1 웨爾 영역 내에, 상기 주변 회로를 구성하는 트랜지스터의 제 2 도전형의 소스·드레인 영역이 형성되고,
- <21> 상기 픽셀 영역에서는, 제 1 웨爾 영역보다 얇은 제 1 도전형의 제 2 웨爾 영역 내에 상기 리셋 트랜지스터 및 소스 플로어 트랜지스터의 제 2 도전형의 소스·드레인 영역이 형성되고, 또한, 상기 기판 표면 근방으로부터 깊이 방향으로 연장되는 제 2 도전형의 제 1 포토다이오드 영역과, 당해 제 1 포토다이오드 영역으로부터 상기 리셋 트랜지스터 또는 소스 플로어 트랜지스터의 소스·드레인 영역이 형성되는 상기 제 2 웨爾 영역의 하측으로 연장되어 매립되는 제 2 포토다이오드 영역이 형성되는 것을 특징으로 한다.
- <22> 상기 제 4 측면에 있어서, 보다 바람직한 실시예에서는, 상기 주변 회로 영역에서는, 상기 주변 회로 트랜지스터를 분리하는 제 1 분리 구조가 형성되고,
- <23> 상기 픽셀 영역에서는, 상기 제 1 분리 구조보다 얇고, 상기 리셋 트랜지스터 및 소스 플로어 트랜지스터를 분리하는 제 2 분리 구조가 형성되고, 상기 제 2 포토다이오드 영역은, 당해 제 2 분리 구조 아래에 형성되는 것을 특징으로 한다.
- <24> 상기 제 4 측면에 있어서, 보다 바람직한 실시예에서는, 각 픽셀은, 상기 포토다이오드에 접속된 트랜스퍼 게이트 트랜지스터를 갖고, 당해 트랜스퍼 게이트 트랜지스터와 상기 리셋 트랜지스터가 플로팅·디퓨전 영역을 통하여 접속되고, 당해 플로팅·디퓨전 영역이 상기 소스 플로어 트랜지스터의 게이트에 접속되어, 상기 제 1 포토다이오드 영역 위의 기판 표면에 제 1 도전형의 실드 영역이 형성되고,
- <25> 상기 트랜스퍼 게이트 트랜지스터 또는 플로팅·디퓨전 영역의 적어도 일부는, 상기 제 2 웨爾 영역보다도 저농도의 제 3 웨爾 영역 내에 설치되고, 상기 플로팅·디퓨전 영역의 하측에, 상기 제 2 포토다이오드 영역이 형성되어 있지 않은 영역을 갖는 것을 특징으로 한다.
- <26> 본 발명에 의하면, 픽셀 내의 능동 소자 아래의 얇은 영역에 포토다이오드 영역을 매립할 수 있으므로, 실질적 개구율을 높여 광 감도를 높인 CMOS 이미지 센서를 제공할 수 있다.

실시예

- <61> 이하, 도면에 따라 본 발명의 실시예에 대해서 설명한다. 다만, 본 발명의 기술적 범위는 이들 실시예에 한정되지 않고, 특히 청구범위에 기재된 사항과 그 균등물까지 미치는 것이다.
- <62> 도 2는, 실리콘 기판 중에서의 광 투과율을 나타낸 그래프이다. 가로축에 기판 깊이(μm), 세로축에 광 투과율(A.U.)을 나타낸다. 적(R) 녹(G) 청(B)의 삼원색 중 가장 광장이 짧은 청(B)은, 기판의 얇은 영역에서 많은 광자가 광전 변환되어 크게 감쇠하고, 광 투과율은 깊어질수록 크게 저하된다. 또한, 그것보다 광장이 긴 녹(G)이나 적(R)도, 기판의 얇은 영역에서 광전 변환되어, 광 투과율은 깊어질수록 저하된다. 도 2의 그래프에서는 반드시 명확하지는 않지만, 적(R)이나 녹(G)도, 청(B)과 마찬가지로, 기판이 깊어질수록 투과율이 지수 함수적으로 감쇠하고 있고, 기판의 깊은 영역에서는 적(R)이나 녹(G)의 광의 양도 감쇠하여 광전 변환 효율이 낮아진다. 즉, 입사광은, 기판 내의 얇은 영역에서 급속하게 감쇠한다.
- <63> 이 실리콘 기판 중의 광 투과율에서 알 수 있는 바와 같이, CMOS 이미지 센서에서는, 기판 표면으로부터 입사하는 광은, 가능한 한 기판 표면에 가까운 얇은 영역에서 광전 변환된 전하를 포획하는 것이, 광 감도를 높이기 위하여 중요하다. 따라서, 기판 내에 포토다이오드 영역을 매립하는 구조로 하는 경우에는, 가능한 한 얇은 영역에 포토다이오드 영역을 형성하는 것이 바람직하다.
- <64> 본 실시예에서의 CMOS 이미지 센서의 구성과 제조 방법을 설명하기 전에, CMOS 이미지 센서의 4트랜지스터형, 공용 4트랜지스터형, 의사 4트랜지스터형, 3트랜지스터형에 대해서 설명한다.
- <65> 도 3은, 4트랜지스터형 APS의 회로도이다. 도 3에는, 2행, 1열로 배열된 2개의 픽셀(PX1, PX2)을 나타내고 있다. 픽셀(PX1, PX2)은, 포토다이오드(PD1, PD2)와, 4개의 트랜지스터로 구성된다. 4개의 트랜지스터는, 리셋 전압(VR)에 접속되는 리셋 트랜지스터(RST)와, 동일하게 리셋 전압(VR)에 접속되는 소스 플로어 트랜지스터(SF)와, 소스 플로어 트랜지스터(SF)와 신호선(SGL) 사이의 실렉터 트랜지스터(SLCT)와, 리셋 트랜지스터(RST)와 포토다이오드(PD) 사이에 설치된 트랜스퍼 게이트 트랜지스터(TG)이다. 그리고, 트랜스퍼 게이트 트랜지스터(TG)는 포토다이오드(PD)의 캐소드측에 접속된다. 또한, 리셋 트랜지스터(RST)와 트랜스퍼 게이트 트랜지스터

(TG)의 접속 노드는, 플로팅 · 디퓨전(FD1, FD2)이며, 소스 폴로어 트랜지스터(SF)의 게이트에 접속된다.

<66> 도 4는, 4트랜지스터형 APS의 동작 과정도이다. 예를 들어, 픽셀(PX1)이 선택되는 경우에 대해서 설명한다. 우선, 선택선(SLCT1)(도 4 중 Select)을 H레벨로 구동하여 실렉터 트랜지스터(SLCT)를 도통시킨 상태에서, 리셋 선(RST1)을 H레벨로 구동하여 리셋 트랜지스터(RST)를 도통시키고, 플로팅 · 디퓨전(FD1)을 리셋 전압 레벨(VR)로 리셋한다. 이 리셋 레벨이 노이즈 신호로서 소스 폴로어 트랜지스터(SF)와 실렉터 트랜지스터(SLCT)를 통하여 신호선(SGL)(도 4 중 Signal)에 출력된다. 그 후, 트랜스퍼 게이트 트랜지스터(TG)가 도통하면, 포토다이오드(PD)의 캐소드에 축적된 전자로 이루어지는 전하가 플로팅 · 디퓨전(FD1)에 전송되어, 플로팅 · 디퓨전(FD)의 전압이 저하된다. 이 전압 저하(ΔV)는, 전송된 전하량(Q)을 플로팅 · 디퓨전(FD)의 기생(寄生) 용량(C)으로 나눈 것이 된다. 이 저하된 플로팅 · 디퓨전(FD)의 레벨이, 검출 신호로서 신호선(SGL)에 출력된다. 출력 회로(도시 생략)는, 상술한 노이즈 신호와 검출 신호의 레벨 차(ΔV)를 검출하고, 픽셀의 광 강도 신호로서 출력한다.

<67> 이와 같이, 검출되는 광 강도 신호(ΔV)를 크게 하려면, 포토다이오드에 입사하는 광의 양을 증가시켜 광전 변환 효율을 높이고, 플로팅 · 디퓨전(FD)의 기생 용량(C)을 작게 할 필요가 있다.

<68> 도 5는, 공유 4트랜지스터형의 APS의 회로도이다. 도 3에 나타낸 4트랜지스터형 APS에서는, 각 픽셀에 4개의 트랜지스터가 설치된다. 그 때문에, 픽셀 면적당 포토다이오드가 형성되는 면적의 비율인 개구율이 저하된다. 그것을 해결하기 위하여, 도 5의 센서에서는, 인접하는 픽셀에서, 리셋 트랜지스터(RST)와 소스 폴로어 트랜지스터(SF)와 실렉터 트랜지스터(SLCT)를 공유한다. 공유 영역(SHARED)에 이들 3개의 트랜지스터를 형성하면, 2개의 픽셀에 대해서 5개의 트랜지스터를 설치하면 되고, 1픽셀 당 2.5개의 트랜지스터가 되어, 상기한 개구율의 저하를 억제할 수 있다.

<69> 이 공유 4트랜지스터형 APS의 동작은, 도 4와 마찬가지로, 실렉터 트랜지스터(SLCT)를 도통시킨 상태에서, 리셋 트랜지스터(RST)에 의해 플로팅 · 디퓨전(FD1, FD2)을 리셋하고, 그 상태에서 노이즈 신호를 판독하고, 그 후 트랜스퍼 게이트 신호(TG1)에 의해 포토다이오드(PD1)측의 트랜스퍼 게이트 트랜지스터(TG)를 도통시켜서 검출 신호를 판독한다. 또한, 또 하나의 픽셀 신호를 판독하기 위하여, 상기와 동일한 동작을 반복한다. 즉, 각 픽셀의 신호의 판독에 있어서, 공유화된 3개의 트랜지스터가 각각 이용된다.

<70> 도 6은, 의사 4트랜지스터형 APS의 회로도이다. 의사 4트랜지스터형 APS의 픽셀(PX1, PX2)은, 포토다이오드(PD)와 3개의 트랜지스터(RST, TG, SF)로 구성되고, 도 3에 나타낸 4트랜지스터형의 실렉터 트랜지스터(SLCT)가 설치되어 있지 않다. 즉, 소스 폴로어 트랜지스터(SF)의 소스 단자가 신호선(SGL)에 직접 접속되어 있다. 그 대신에, 리셋 전압(VR)과 리셋 트랜지스터(RST)의 제어를 연구하여, 실질적으로 실렉터 트랜지스터와 동일한 행 선택 기능을 실현하고 있다.

<71> 도 7은, 의사 4트랜지스터형 APS의 동작 과정도이다. 우선, 행선택 동작으로서 리셋 전압(VR)을 L레벨로 한 상태에서, 전체 리셋선을 H레벨로 구동하여 전체 픽셀의 리셋 트랜지스터(RST)를 도통 시키고, 전체 픽셀의 플로팅 · 디퓨전(FD)을 L레벨로 한다. 그 후, 리셋 전압(VR)을 H레벨로 되돌려 선택 행의 리셋선을 H레벨로 구동하고, 선택행에 속하는 픽셀의 리셋 트랜지스터(RST)를 도통시켜 플로팅 · 디퓨전(FD(1))만을 리셋 레벨로 한다. 이 상태가 노이즈 신호로서 신호선(SGL)으로부터 판독된다. 이때, 비선택 행의 플로팅 · 디퓨전(FD(2))은 L레벨이며, 그곳의 소스 폴로어 트랜지스터(SF(2))는 신호선(SGL)에 아무런 영향도 주지 않는다. 그 후, 선택 행의 트랜스퍼 게이트 선을 H레벨로 구동하여 트랜스퍼 게이트 트랜지스터(TG(1))를 도통시키고, 포토다이오드(PD(1))의 전하를 플로팅 · 디퓨전(FD(1))에 전송하여, 검출 신호를 신호선(SGL)으로부터 판독한다. 이때에도, 비선택 행의 소스 폴로어 트랜지스터(SF(2))는 신호선(SGL)에 아무런 영향도 주지 않는다.

<72> 이와 같이, 의사 4트랜지스터형 APS에서는, 실렉터 트랜지스터가 설치되어 있지 않아도, 리셋 전압(VR)과 리셋 트랜지스터의 스탠바이(standby) 동작에 의해 비선택 행으로부터의 신호선(SGL)으로의 영향을 없앨 수 있고, 실질적으로 행 선택이 가능해진다.

<73> 도 8은, 3트랜지스터형 APS의 회로도이다. 이 픽셀(PX1, PX2)은, 포토다이오드(PD)와, 리셋 트랜지스터(RST), 실렉터 트랜지스터(SLCT), 소스 폴로어 트랜지스터(SF)로 구성된다. 플로팅 · 디퓨전(FD)은 포토다이오드(PD)의 캐소드 전극이다. 다만, 실렉터 트랜지스터(SLCT)와 소스 폴로어 트랜지스터(SF)는 반대로 접속해도 된다.

<74> 이 3트랜지스터형 APS에서는, 처음에 리셋 트랜지스터(RST)가 도통하여 플로팅 · 디퓨전(FD)을 리셋 레벨로 하고, 그 후의 적분 기간 중의 수광(受光)에 의해 포토다이오드(PD)의 캐소드에 발생하는 전자에 의해, 플로팅 · 디퓨전(FD)의 레벨이 저하되고, 그 저하되는 신호를 검출 신호로서 신호선(SGL)으로부터 판독한다.

<75> [제 1 실시예]

이하, 제 1 실시예에서의 CMOS 이미지 센서의 구조와 제조 방법에 대해서 설명한다. 도 9는, 본 실시예에서의 이미지 센서의 전체 구성을 나타낸 단면도이다. 이 이미지 센서는, P형 실리콘 기판(P-Sub)의 중앙부에 복수의 픽셀을 갖는 픽셀 영역(10)이 설치되고, 그 주위에 픽셀로부터 판독한 신호의 처리를 행하는 출력 회로나 리셋 선이나 트랜스퍼 게이트선을 구동하는 구동 회로 등을 포함하는 주변 회로 영역(12)이 설치된다. 그리고, 주변 회로 영역(12)에는, 제 1 P형 웨爾 영역(PW1) 내에 주변 회로를 구성하는 트랜지스터의 소스·드레인 영역이 형성된다. 한편, 픽셀 영역(10)에는, 제 1 P형 웨爾 영역(PW1)보다도 얇은 제 2 P형 웨爾 영역(PW2)이 형성되고, 그 아래에 픽셀 내의 트랜지스터의 소스·드레인 영역이 형성된다. 그리고, 픽셀 영역(10)에서는, 제 2 P형 웨爾 영역(PW2) 아래에 N형의 포토다이오드 영역(PHD2)이 매립된다.

<77> 픽셀 영역(10)의 P형 웨爾 영역(PW2)을 주변 회로 영역(12)의 P형 웨爾 영역(PW1)보다도 얇게 형성함으로써, 그 아래에 매립된 포토다이오드 영역(PHD2)을 얇은 영역에 형성할 수 있고, 입사광이 감쇠하지 않는 얇은 영역에서 생성되는 전자를, 매립 포토다이오드 영역(PHD2)에서 포획할 수 있다.

<78> 또한, 도시는 생략하지만, 픽셀 영역(10) 내의 소자 분리 구조는, 주변 회로영역(12)의 소자 분리 구조보다 얇게 형성된다. 픽셀 영역(10) 내에는, 주로 N채널 트랜지스터가 형성되는 것에 대하여, 주변 회로 영역(12) 내에는, CMOS 회로를 구성하는 P채널과 N채널 트랜지스터가 형성된다. 따라서, 주변 회로 영역에서는 CMOS 구성 을 위하여 어느 정도의 깊이를 갖는 소자 분리 구조가 필요하지만, 픽셀 영역에서는 소자 분리 구조를 그다지 깊게 할 필요가 없다. 그래서, 픽셀 영역의 소자 분리 구조를 얇게 형성할 수 있고, 이것에 의해, 그 아래의 얇은 영역에 N형 포토다이오드 영역을 형성할 수 있다.

<79> 도 10 내지 도 17은, 제 1 실시예에서의 제조 방법의 각 프로세스 (1) 내지 (8)을 나타내는 단면도이다. 또한, 도 18 내지 21은, 동일 픽셀 배치도이다. 우선, 도 15의 단면도와, 도 18의 픽셀 배치도를 참조하여, 제 1 실시예에서의 CMOS 이미지 센서의 구성을 설명한다. 본 실시예에서는, 픽셀은 도 6에서 설명한 의사 4트랜지스터 형 APS이며, 그 구성 요소는, 포토다이오드(PD)와, 트랜스퍼 게이트 트랜지스터(TG)와, 플로팅·디퓨전(FD)과, 리셋 트랜지스터(RST)와, 소스 폴로어 트랜지스터(SF)이다. 또한, 리셋 트랜지스터(RST)와 소스 폴로어 트랜지스터(SF)는 리셋 전압(VR)에 접속되고, 소스 폴로어 트랜지스터(SF)는 신호선(SGL)에 접속된다.

<80> 도 15에는, 다른 프로세스 단면도와 마찬가지로, 픽셀의 단면 구조와 주변 회로의 단면 구조가 분리되어 나타나 있다. 그리고, 도 15의 픽셀의 단면은, 도 18의 배치도에 과선으로 나타낸 A-B, C-D-E의 단면에 대응한다. 이 도 18의 배치도에는, STI(Shallow Trench Isolation)로 이루어지는 분리 홈(소자 분리 구조)에서 분리된 활성 영역과, 3개의 트랜지스터(TG, RST, SF)의 게이트 전극을 구성하는 게이트 폴리실리콘과, 활성 영역과 게이트 전극에 형성되는 콘택트 비아(contact via)를 나타내고 있다. 활성 영역, 게이트 폴리실리콘, 콘택트 비아의 패턴이, 도면 중 오른쪽 아래에 나타나 있다. 그리고, 도 18의 배치도에는, 픽셀 영역(Pixel) 내에서, 3개의 트랜지스터의 게이트 전극 위치에 TG, RST, SF의 부호가 주어지고, 또한, 활성 영역에 플로팅·디퓨전(FD)과 리셋 전압(VR)이 나타나 있다.

<81> 또한, 도 15의 단면도에 있어서, 주변 회로의 단면 구조에는 N채널 트랜지스터의 구성이 나타나 있고, 제 1 P형 웨爾 영역(PW1)을 구성하는 깊은 P형 불순물 주입 영역(PW1-1)과 얇은 P형 불순물 주입 영역(PW1-2)이, P형 실리콘 기판(P-Sub) 내에 형성된다. 따라서, 주변 회로 영역의 제 1 P형 웨爾 영역(PW1)은, 깊이(DP1)에 형성된다. 또한, 주변 회로의 단면 구조에서는, 트랜지스터를 분리하는 분리 홈(STI(1))이 비교적 깊게 형성되어 있다. 이와 같이, 주변 회로 영역에서는, 깊은 P형 웨爾 영역(PW1)을 형성함으로써, 거기에 형성되는 N형 트랜지스터를 고속 동작 가능한 구조로 할 수 있다. 즉, 깊은 P형 웨爾 영역(PW1)을 형성함으로써, 그 P형 웨爾 영역(PW1)의 기판 표면부의 불순물 농도를 낮출 수 있고, 트랜지스터의 소스·드레인 영역의 접합 용량을 작게 할 수 있다. 그것에 의해 트랜지스터를 고속화할 수 있다.

<82> 또한, CMOS 구조에 특유(特有)한 기생(PNPN) 구조에 있어서, 제 1 P형 웨爾 영역(PW1)을 깊은 영역에서 불순물 농도를 높게 함으로써, 웨爾 영역에 흐르는 기판 전류에 의한 전압 상승을 억제하고, 기생(PNPN) 구조의 래치업(latch-up)을 억제할 수 있다. 또한, 기생(PNPN) 구조는, 예를 들어, 도시하지 않은 P채널 트랜지스터의 N웨爾 영역 내의 P형 소스·드레인 영역과, N웨爾 영역과, 도 15의 P웨爾 영역과, 그 중의 N형 소스·드레인 영역으로 구성된다.

<83> 이상과 같이, 주변 회로 영역에 있어서는, 제 1 웨爾 영역(PW1)을 얇게 형성하는 것은 바람직하지 않고, 최적치(最適值)로 하는 것이 바람직하다.

- <84> 한편, 픽셀의 단면 구조에는, 제 1 P형 웨爾 영역(PW1)보다도 얇은 깊이(DP2)의 제 2 P형 웨爾 영역(PW2)이 형성되고, 그 제 2 P형 웨爾 영역(PW2) 내에, 트랜스퍼 게이트 트랜지스터(TG), 리셋 트랜지스터(RST), 소스 폴로어 트랜지스터(SF)의 소스·드레인 영역이 형성된다. 이들 트랜지스터는 어느 것이나 N채널 트랜지스터이다. 또한, 얇은 P형 웨爾 영역(PW2)에 수반하여 그들 트랜지스터를 분리하는 분리 흄(STI(2))도 주변 회로 영역의 분리 흄(STI(1))보다도 얇게 형성된다.
- <85> 그리고, 픽셀 영역에는, 포토다이오드 영역(PD)을 구성하는 제 1 N형 불순물 주입 영역(PHD1)과 그것보다 깊은 제 2 N형 불순물 주입 영역(PHD2)이 형성되어 있다. 제 1 포토다이오드 영역(PHD1)은, 트랜스퍼 게이트 트랜지스터(TG)의 게이트 근방에 형성되고, 제 2 포토다이오드 영역(PHD2)은, 제 1 포토다이오드 영역(PHD1) 아래의 영역과, 제 2 P형 웨爾 영역(PW2) 아래의 영역에도 형성되어 있다. 즉, 제 2 포토다이오드 영역(PHD2)은, 픽셀 내의 리셋 트랜지스터(RST)나 소스 폴로어 트랜지스터(SF) 아래로 연장되어 매설된다. 이것에 의해, 포토다이오드 영역의 면적을 평면으로부터 볼 때에 크게 할 수 있고, 개구율의 개선을 가져온다.
- <86> 또한, 트랜스퍼 게이트 트랜지스터(TG)와 플로팅·디퓨전(FD)은, 제 2 P형 웨爾 영역(PW2)보다 더 얇은 제 3 P형 웨爾 영역(PW3) 내에 형성된다. 또한, 제 2 포토다이오드 영역(PHD2)은, 플로팅·디퓨전 영역(FD)과 트랜스퍼 게이트 트랜지스터(TG)의 게이트 영역 아래에는 형성되어 있지 않다. 이 이유는 다음과 같다. 영역(FD)이나 게이트(TG) 아래에도 얇은 제 2 포토다이오드 영역(PHD2)을 형성하면, N형 영역(FD)과 N형의 제 2 포토다이오드 영역(PHD2)을 전기적으로 분리할 필요가 있고, 그것을 위해서는 P형 웨爾 영역(PW3)의 불순물 농도를 높일 필요가 발생한다. 그런데, P형 웨爾 영역(PW3)의 불순물 농도를 높게 형성하면, 플로팅·디퓨전 영역(FD)의 접합 용량이 높아져, 트랜스퍼 게이트 트랜지스터(TG)의 역치 전압이 더 높아진다. 플로팅·디퓨전 영역(FD)의 접합 용량의 증대는, 포토다이오드로부터 전송되는 전하량에 대한 영역(FD)의 전압 변화량을 적게 하고, 광 감도의 저하를 초래한다. 또한, 트랜스퍼 게이트 트랜지스터(TG)의 역치 전압의 증대는, 포토다이오드로부터의 전하 전송 효율을 낮추는 것이 되므로, 바람직하지 않다.
- <87> 그런데, 플로팅·디퓨전 영역(FD)과 트랜스퍼 게이트 트랜지스터(TG)의 게이트 전극 아래에는, 가능한 한 제 2 포토다이오드 영역(PHD2)을 형성하지 않도록 하는 것이 바람직하다. 다만, 배치의 형편상 또는 충분한 개구율을 확보하기 위하여, 이들 영역 아래에는 제 2 포토다이오드 영역(PHD2)을 전혀 형성하지 않도록 하는 것이 아니고, 이들 영역 아래의 적어도 일부분에 있어서 형성하지 않도록 해도 된다.
- <88> 상기한 바와 같이, 플로팅·디퓨전 영역(FD)이나 트랜스퍼 게이트 트랜지스터(TG)의 전극 아래에 제 2 포토다이오드 영역(PHD2)을 형성하지 않도록 하는 것에 수반하여, 제 2 P형 웨爾 영역(PW2) 대신, 그보다 얇고 불순물 농도가 낮은 제 3 P형 웨爾 영역(PW3)이 형성되고, 그 웨爾 영역(PW3) 내에 영역(FD)이 형성되고 웨爾 영역(PW3) 위에 게이트 전극(TG)이 형성되어 있다.
- <89> 도 18의 배치도를 참조하면서 도 15의 단면도의 각 영역을 설명한다. 단면도 A-B에 있어서, 부분 A는 분리 흄(STI(2))이 형성되고, 그 옆에는 N형의 제 1 포토다이오드 영역(PHD1)이 형성되어 있다. 또한, 이 제 1 포토다이오드 영역(PHD1) 위의 기판 표면에는, 당해 영역(PHD1)을 기판 표면의 절연막으로부터 분리하기 위하여 고농도의 P형 실드 영역(P+shield)이 형성되어 있다. 그리고, 제 1 포토다이오드 영역(PHD1) 아래에는 N형의 제 2 포토다이오드 영역(PHD2)이 형성되어 있다. 제 2 포토다이오드 영역(PHD2)은, 도 18 중에서는 파선으로 둘러싸인 역L자형 직사각형 영역이다. 단면 A-B를 따라, 트랜스퍼 게이트 트랜지스터(TG)의 게이트 전극이 형성되어 있다. 그 게이트 전극의 옆에는 N형의 저농도 드레인 영역(NLD)이 형성되고, 이 영역(NLD)이 플로팅·디퓨전 영역(FD)이 된다.
- <90> 다음으로, 단면 C-D에 있어서, 순서대로, 분리 흄(STI(2))과, 고농도의 N형 콘택트 영역(FDN)과, 리셋 트랜지스터(RST)의 게이트 전극과, 리셋 전압(VR)이 접속되는 고농도의 N형 콘택트 영역(FDN)이 형성되어 있다. 그리고, 단면 D-E에 있어서, 순서대로, 소스 폴로어 트랜지스터(SF)의 게이트 전극과, 신호선(SGL)이 콘택트되는 고농도의 N형 콘택트 영역(FDN)과, 분리 흄(STI(2))이 형성되어 있다.
- <91> 그리고, 제 2 포토다이오드 영역(PHD2)은, 제 1 포토다이오드 영역(PHD1) 아래로부터, 소스 폴로어 트랜지스터(SF)와 리셋 트랜지스터(RST) 아래까지 연장되어 매립되어 있다. 또한, 트랜스퍼 게이트 트랜지스터의 게이트(TG)의 일부와 플로팅·디퓨전 영역(FD)의 일부의 아래에도 매립된다. 다만, 도 15와 도 18에 나타낸 바와 같이, 트랜스퍼 게이트 트랜지스터(TG)의 게이트 전극 아래에서는, 제 2 영역(PHD2)은, 제 1 포토다이오드 영역(PHD1)보다 플로팅·디퓨전(FD)측에는 설치되어 있지 않고, 실질적인 게이트 영역이 확보되어 있다. 따라서, 트랜스퍼 게이트 트랜지스터(TG)의 온·오프(on·off) 동작이 보증되는 정도에 있어서, 그 게이트 전극 아래에는 제 2 영역(PHD2)은 형성되어 있지 않다. 또한, 제 2 포토다이오드 영역(PHD2)은, 플로팅·디퓨전 영역(FD)

의 일부 영역 아래에는 설치되어 있지 않다.

<92> 다음으로, 도 10 내지 도 17의 단면도와 도 18 내지 도 21의 배치도에 따라서, 제 1 실시예의 이미지 센서의 제조 프로세스를 설명한다.

<93> 도 10의 프로세스 (1)에서는, P형 실리콘 기판(P-Sub)의 표면에 소자 분리 구조(STI(1), STI(2))를, 주변 회로 영역과 픽셀 영역에 각각 형성한다. 구체적으로는, 주변 회로부에서는 실리콘 기판에 약 400nm의 에칭을 행하고, 또한, 픽셀 영역에서는 실리콘 기판에 약 200nm의 에칭을 행하여, 고밀도 플라즈마 CVD법에 의해 실리콘 산화막을 형성하고, 화학적, 기계적 연마를 행하여, 실리콘 산화막을 에칭 흠 내에 매립하여, 소자 분리 구조(STI(1), STI(2))를 형성한다. 여기서, 픽셀 영역에 주변 회로부보다도 얇은 소자 분리 구조(STI(2))를 형성하는 것은, 후의 공정에서 픽셀의 판독 트랜지스터 하부에 형성되는 제 2 포토다이오드 영역(PHD2)의 깊이를 가능한 한 얕게 하여, 광 감도를 높이기 위해서이다.

<94> 다음으로, 주변 회로부에 제 1 P형 웨爾 영역의 이온 주입을 행한다. 우선, 깊은 P형 웨爾 영역(PW1-1)을, 봉소 B, 에너지 300k, 농도 3E13, 경사각 0도의 이온 주입으로 형성한다. 주변 회로의 N채널 트랜지스터가 형성되는 P형 웨爾 영역(PW1)은, 기판의 저저항화 때문에, 불순물 농도는 3E13 정도의 고농도가 필요하다. 또한, 주변 회로부에 얕은 P형 웨爾 영역(PW1-2)을, 봉소 B, 에너지 30k, 농도 약 ~5E12, 경사각 7도의 이온 주입으로 형성한다. 이 이온 주입은, 주변 회로의 N채널 트랜지스터의 역치 전압(Vt)을 컨트롤하기 위하여 행해진다.

<95> 한편, 주변 회로의 N형 웨爾 영역(도시 생략)을 형성하기 위하여, 인 P, 에너지 600k, 농도 3E13, 경사각 0도의 이온 주입과, 비소 As, 에너지 160k, 농도 2 ~ 3E13, 경사각 7도의 이온 주입을 행한다.

<96> 도 11의 프로세스 (2)에서는, 픽셀부의 제 2 P형 웨爾 영역(PW2)이 형성된다. 이 제 2 P형 웨爾 영역(PW2)은, 봉소 B, 에너지 80k, 농도 ~3E13, 경사각 7도의 이온 주입에 의해 형성된다. 그리고, 픽셀부에 있어서 트랜스퍼 게이트 트랜지스터(TG)의 게이트 전극 및 플로팅 · 디퓨전 영역(FD) 아래에는 제 2 P형 웨爾 영역(PW2)의 이온 주입은 행하지 않는다. 또한, 이 이온 주입을, 주변 회로부의 제 1 P형 웨爾 영역(PW1-1)의 주입보다도 낮은 에너지로 하여, 제 2 P형 웨爾 영역(PW2)을 제 1 P형 웨爾 영역보다도 얕게 형성하고 있다. 이것에 의해, 후에 형성하는 제 2 포토다이오드 영역(PHD2)을 얕게 형성할 수 있다.

<97> 또한, 이 제 2 P형 웨爾 영역(PW2)의 이온 주입은, 픽셀 내의 판독 트랜지스터의 역치 전압(Vt)의 컨트롤도 겸한다.

<98> 또한, 픽셀 내의 포토다이오드(PD), 트랜스퍼 게이트 트랜지스터(TG), 및 플로팅 · 디퓨전 영역(FD)에 전용의 제 3 P형 웨爾 영역(PW3)을, 봉소 B, 에너지 30k, 농도 2E12, 경사각 7도의 이온 주입으로 형성한다. 이 제 3 P형 웨爾 영역(PW3)은, 앞서의 제 1 웨爾 영역(PW1) 내의 주변 회로 N채널 트랜지스터의 역치 컨트롤 농도보다도 1/2 이하의 농도로 봉소 B를 주입하고, 트랜스퍼 게이트 트랜지스터(TG)의 역치 전압(Vt)을 보다 낮게 형성한다. 트랜스퍼 게이트 트랜지스터(TG)의 역치 전압(Vt)을 낮게 함으로써, 포토다이오드(PD)로부터, 플로팅 · 디퓨전 영역(FD)으로의 전하 전송 효율을 높일 수 있다. 동시에, 제 3 P형 웨爾 영역(PW3)을 기판 농도보다는 높은 농도로 함으로써, 트랜스퍼 게이트 트랜지스터(TG)의 채널부의 전자에 대한 페텐셜을 높이고, 포토다이오드(PD)의 포화 전하량을 많게 한다. 또한, 제 2 P형 웨爾 영역(PW2)보다도 제 3 P형 웨爾 영역(PW3)이 불순물 농도가 낮으며, 그것에 의해 트랜스퍼 게이트 트랜지스터의 역치 전압을 낮게 컨트롤하고 있다.

<99> 도 12의 프로세스 (3)에서는, 픽셀 영역에 제 1 포토다이오드 영역(PHD1)을 형성하는 이온 주입을 행한다. 이 이온 주입은, 인 P, 에너지 207k, 농도 1~2E12, 경사각 7도의 이온 주입과, 인 P, 에너지 135k, 농도 1~2E12, 경사각 7도의 이온 주입으로 이루어진다. 이 이온 주입에 의해, 앞서 형성한 제 3 P형 웨爾 영역(PW3)을 제거하고, 포토다이오드(PD)를 구성하는 얕은 영역의 제 1 N형 확산 영역(PHD1)을 형성한다.

<100> 이어서, 제 1 포토다이오드 영역(PHD1)과 겹쳐지고, 그 영역(PHD1)을 둘러싸는 분리 구조(STI(2)) 아래까지 확장된 개구부를 갖는 레지스터 마스크를 이용하여, 인 P, 에너지 325k, 농도 1~5E12, 경사각 7도 정도의 이온 주입에 의해, 제 2 N형 확산 영역(PHD2)(Deep Photo Diode)을 형성한다. 이것이 제 2 포토다이오드 영역(PHD2)이 된다. 이 이온 주입의 영역은, 도 20의 배치도에 파선(PD(PHD2))으로 나타낸 바와 같다. 픽셀 영역에서는, 분리 구조(STI(2))가 얕게 형성되고, 또한 제 2 P형 웨爾 영역(PW2)도 얕게 형성되어 있으므로, 제 2 포토다이오드 영역(PHD2)의 깊이를 비교적 얕게 할 수 있다.

<101> 도 13의 프로세스 (4)에서는, 800°C 정도의 열산화에 의해 기판 표면에 게이트 산화막(GOX)을 약 8nm 형성하고, 그 위에 CVD법으로 폴리실리콘막(GPOLY)을 180nm 정도 생성한다. 그리고, 주변 회로의 N채널 트랜지스터 부분의 폴리실리콘과 픽셀의 폴리실리콘에 인 P, 에너지 20k, 농도 4E15, 경사각 7도의 이온 주입을 행하고,

800°C, 60분 정도의 어닐링(annealing)을 행하여, 폴리실리콘막을 N형으로 도핑(doping)한다. 그리고, 폴리실리콘막(GPOLY)을 패터닝하여 게이트 전극으로 한다. 그 후, 주변 회로의 N채널 트랜지스터 부분과 픽셀에 있어서, 게이트 전극을 마스크로 하여, 인 P, 에너지 20k, 농도 4E13, 경사각 0도의 이온 주입(LDD: Light Doped Drain 주입)을 행하여, 소스·드레인 영역(NLD)을 형성한다.

<102> 다음으로, 픽셀 내의 제 1 포토다이오드 영역(PHD1)이 형성되어 있는 기판 표면에 봉소 B, 에너지 10k, 농도 ~1E13, 경사각 7도의 이온 주입을 행하고, 실드 확산층(P+shield)을 형성하여, 포토다이오드(PD)의 N형 확산층(PHD1)을 매립 구조로 한다. 즉, 제 1 포토다이오드 영역(PHD1)은, 기판 표면의 산화막 등으로부터 이간(離間)한 구성이 되고, 그 산화막 등에 의한 누설 전류가 원인인 암(暗)전류를 억제할 수 있다.

<103> 상기 구성에 의해, 포토다이오드의 수광 영역이 형성되는 깊이는, 다음과 같다. 제 1 포토다이오드 영역(PHD1)에서는, 기판 표면 근방의 얇은 영역까지 확산층(PHD1)이 형성되므로, 포토다이오드의 공핍층(空乏層)은, 얇은 측에서 $0.1\mu\text{m}$ 정도의 깊이로부터 기판의 깊은 측으로 연장된다. 한편, 제 2 포토다이오드 영역(PHD2)에서는, 제 2 P형 웰 영역(PW2)이 $0.3\mu\text{m}$ 정도의 깊이이기 때문에, 제 2 포토다이오드 영역(PHD2)의 공핍층은, 얇은 측에서 $0.4\mu\text{m}$ 정도의 깊이로부터 기판의 깊은 측으로 연장되고, 깊은 측에서 $1.0\mu\text{m}$ 정도까지 연장된다. 즉, 제 1 포토다이오드 영역(PHD1)은 0.1 내지 $0.4\mu\text{m}$, 제 2 포토다이오드 영역(PHD2)은 0.4 내지 $1.0\mu\text{m}$ 이다.

<104> 따라서, 도 2의 실리콘 중의 광 투과 곡선으로부터 개산(概算)하면, 제 1 포토다이오드 영역(PHD1)의(단위 면적당의) 광 감도와, 제 2 포토다이오드 영역(PHD2)에서만의(단위 면적당의) 광 감도의 비는, 적(赤)에서 ~65%, 녹(綠)에서 ~58%, 청(青)에서 ~36% 정도가 된다. 이에 대하여, 픽셀 영역에서 얇은 제 2 P형 웰 영역(PW2) 대신 깊은 제 1 P형 웰 영역(PW1)을 형성하고, 그 아래에 동일한 제 2 포토다이오드 영역(PHD2)을 형성한 경우, 제 2 포토다이오드 영역(PHD2)은 1.0 내지 $1.4\mu\text{m}$ 정도의 깊이가 된다. 이 경우, 제 2 포토다이오드 영역(PHD2)의(단위 면적당의) 광 감도는, 상기한 얇은 제 2 포토다이오드 영역(PHD2)의 경우에 비하여, 적에서 55%, 녹에서 48%, 청에서 14%가 된다. 즉, 본 실시예와 같이, 얇은 제 2 P형 웰 영역(PW2) 아래에 제 2 포토다이오드 영역(PHD2)을 매립한 경우에, 광 감도가 대폭 향상하는 것을 알 수 있다.

<105> 도 14의 프로세스 (5)에서는, 픽셀 내의 리셋 트랜지스터(RST)의 소스·드레인 영역, 소스 폴로어 트랜지스터(SF)의 소스·드레인 영역에, 콘택트 형성을 위한 고농도 콘택트 영역(FDN)을, 인 P, 에너지 15k, 농도~2E15의 N형 이온 주입을 행한다.

<106> 다음으로, 주변 회로부의 게이트 전극에 측벽(SW)을 형성한다. 이를 위하여, 우선, 열산화에 의해 100nm의 실리콘 산화막을 형성하고, 픽셀 내의 트랜지스터나 포토다이오드(PD), 플로팅·디퓨전 영역(FD)을 덮는 레지스트를 형성하고, 그것을 마스크로 하여 실리콘 산화막에 전면(全面) 에칭을 행한다. 그 결과, 주변 회로부와 픽셀 영역의 트랜스퍼 게이트 트랜지스터로의 게이트 배선이나 리셋 트랜지스터로의 게이트 배선의 게이트 전극에는 측벽을 형성한다. 또한, 픽셀 내에는 측벽용의 실리콘 산화막(SW-SIO)을 남긴다.

<107> 도 15의 프로세스 (6)에서는, 주변 회로의 N채널 트랜지스터 영역에, 고농도의 소스·드레인 영역(NSD)을 형성하기 위하여, 인 P, 에너지 13k, 농도 2E15, 경사각 7도의 이온 주입을 행한다. 그리고, 실리콘 기판 표면을 불산(HF)으로 처리한 후, 코발트(Co)를 스퍼터링법으로 형성하고, ~520°C의 RTA(Rapid Thermal Annealing; 급속 열처리)에 의해, 게이트 전극과 소스·드레인 영역(NSD) 위의 실리콘 표면에 코발트 실리사이드(CoSi)를 형성한다. 또한, 실리콘 산화막 위의 미반응 코발트막을 제거하고, 또한, ~840°C의 RTA를 행한다.

<108> 도 16의 프로세스 (7)에서는, 절연막을 형성하고 콘택트 홀을 형성한다. 우선, 플라즈마 CVD에 의한 실리콘 산화막(P-SIO)을 ~20nm 정도와, 플라즈마 CVD에 의한 실리콘 질화막(P-SiN)을 ~70nm 정도를 형성한다. 이 2층 절연막 위에, HDP-CVD(High Density Plasma CVD)에 의한 실리콘 산화막(HDP-SIO)을 ~1,000nm 정도 형성하고, 표면을 CMP 연마에 의해 평탄화한다. 그리고, 픽셀 내의 콘택트용 주입을 행한 영역(FDN)에, 콘택트 홀(M1C1)을 형성한다. 또한, 픽셀 내의 P형 웰 영역(PW2)으로의 콘택트 홀과, 주변 회로 내의 콘택트 홀(M1C2)을 형성한다. 동시에, P형 웰 영역(PW1)으로의 콘택트 홀(M1C2)도 형성된다. 또한, 콘택트 홀(M1C2)은 먼저 형성한 코발트 실리사이드(CoSi)가 형성되어 있는 영역으로의 콘택트 홀이며, 실리사이드가 에칭 스토퍼가 되므로, 콘택트 홀(M1C1)과는 상이한 프로세스로 형성된다.

<109> 도 17의 프로세스 (8)에서는, 콘택트 개구 후, 티탄 Ti(~30nm)과 질화 티탄 TiN(~50nm)을 스퍼터링 형성하고, CVD에 의한 텅스텐 W막(~300nm)을 퇴적하여 콘택트 홀을 매립하고, 표면의 Ti/TiN/W의 3층 막을 CMP 연마에 의해 제거하고, 콘택트 홀 내에 텅스텐 플러그를 형성한다. 그 후, Ti(~30nm)/TiN(~50nm)/Al(~400nm)/Ti(~

5nm)/TiN(~50nm)의 스퍼터링 성막과 포토·에칭 공정에 의해, 제 1 메탈 배선(M1L)을 형성한다.

<110> 그리고, HDP 플라즈마 산화막(HDP-SIO)(~750nm)과 플라즈마 산화막(P-SIO)(~1,100nm)의 퇴적과 CMP 연마에 의해 제 1 메탈 배선(M1L) 위에 평탄화된 층간 절연막을 형성한다. 이 층간 절연막에 비아(Via1)를 형성하고, 상술한 콘택트의 W플러그의 형성과 제 1 메탈 배선의 형성과 동일한 공정에 의해, 비아(Via1) 내의 W플러그와 제 2 메탈 배선(M2L)을 형성한다.

<111> 비아(Via1)와 제 2 메탈 배선(M2L)은 주변 회로부에만 형성되고, 픽셀 내에는 제 1 메탈 배선(M1L)까지 형성되고, 제 2 메탈 배선은 형성되지 않는다. 이것에 의해, 픽셀에 입사하는 광의 차광이 억제된다. 또한, 도 17의 단면도에서는 리셋 전압 배선(VR) 때문에 제 2 메탈 배선(M2L)이 형성되어 있지만, 도 21에 나타낸 바와 같이, 이 제 2 메탈 배선(M2L)은 픽셀 내의 제 2 포토다이오드 영역(PHD2)의 외측에 위치하여, 입사광을 차광하는 것이 아니다. 마지막으로, 제 1 메탈 배선 위의 평탄화와 동일한 공정에 의해, 제 2 메탈 배선 위에 평탄화된 절연막(HDP-SIO/P-SIO)을 형성하고, 플라즈마 CVD에 의한 실리콘 질화막(P-SIN)으로 이루어지는 커버막을 퇴적한다.

<112> 도 18의 배치도는, 도 16의 콘택트 홀(M1C1)이 형성된 상태를 나타낸다. 1개의 픽셀(Pixel)에 있어서, N형의 제 2 포토다이오드 영역(PHD2)이 그 영역의 대부분에 겹쳐지도록 매설되어 있다. 다만, 제 2 포토다이오드 영역(PHD2)은, 플로팅·디퓨전 영역(FD)의 일부의 아래와 트랜스퍼 게이트 트랜지스터(TG)의 게이트 전극의 대부분의 아래에는 형성되어 있지 않다. 이 이유는 상술한 바와 같고, 이것에 의해, 플로팅·디퓨전 영역(FD)의 접합 용량을 낮게 억제하고, 트랜스퍼 게이트 트랜지스터(TG)의 역치 전압을 낮게 억제할 수 있다. 또한, 도 18 중, 횡방향으로 연장되는 트랜스퍼 게이트 트랜지스터로의 게이트 배선(도면 중 TG선)과 리셋 트랜지스터(RST)로의 게이트 배선(도면 중 RST선)은, 표면에 코발트 실리사이드가 형성되어 저저항화되어 있다. 한편, 픽셀 내의 트랜지스터(TG, RST, SF)의 게이트 전극 위에는 코발트 실리사이드는 형성되어 있지 않다. 이 이유는, 픽셀 내에 있어서는, 코발트 실리사이드에 의한 차광 효과를 없애고, 제 2 포토다이오드 영역(PHD2)으로의 입사광의 도달을 방해하지 않도록 하기 위해서이다.

<113> 도 19의 배치도에는, 픽셀 영역의 제 2 P형 웨爾 영역(PW2)과 제 3 P형 웨爾 영역(PW3)을 형성하는 마스크의 관계를 나타내고 있다. 제 3 P형 웨爾 영역(PW3)의 마스크는 굵은 직사각형들(굵은 직사각형들 내에 이온 주입)로 나타내고, 제 2 P형 웨爾 영역(PW2)의 마스크는 희색(희색 내에 이온 주입)으로 나타내고 있다. 이것에 의하면, 트랜스퍼 게이트 트랜지스터(TG)의 게이트 전극과 그 양측에는 제 2 P형 웨爾 영역(PW2)이 형성되지 않고, 그것보다 얇고 저농도의 제 3 P형 웨爾 영역(PW3)만 형성된다. 특히, 트랜스퍼 게이트 트랜지스터(TG)의 게이트 전극 아래와, 플로팅·디퓨전 영역(FD) 아래에는, 제 2 포토다이오드 영역(PHD2)은 형성되지 않고, 그 영역에는, 얇고 저농도의 제 3 P형 웨爾 영역(PW3)이 형성된다. 이것에 의해, 트랜스퍼 게이트 트랜지스터(TG)의 역치 전압을 낮게 하고, 플로팅·디퓨전 영역(FD)의 접합 용량을 낮게 한다.

<114> 도 20의 배치도는, 도 17의 제 1 메탈 배선(M1L)이 형성된 상태를 나타낸다. 제 1 메탈 배선(M1L)은, 콘택트 비아에 접속되어 형성되어 있다. 특히, 플로팅·디퓨전 영역(FD)의 콘택트 비아와 소스 폴로어 트랜지스터(SF)의 게이트 전극 위의 콘택트 비아가, 제 1 메탈 배선(M1L)에 의해 접속되어 있다(도면 중 SF-FD). 그리고, 제 1 메탈 배선(M1L)은, 제 1 및 제 2 포토다이오드 영역(PHD1, PHD2)에 겹쳐지지 않도록 그들 영역의 외측에 형성되어, 입사광을 차광하지 않도록 하고 있다.

<115> 도 21의 배치도는, 도 17의 제 2 메탈 배선(M2L)이 형성된 상태를 나타낸다. 층간 절연막에 형성된 비아(Via1)에 접속하는 제 2 메탈 배선(M2L)이 종방향으로 연장되도록 형성되고, 신호선(SGL)과 리셋 전압선(VRL)이 형성된다. 이 제 2 메탈 배선(M2L)도, 제 1 및 제 2 포토다이오드 영역(PHD1, PHD2)과 겹쳐지지 않도록 그들 영역의 외측에 형성되어, 입사광을 차광하지 않도록 하고 있다.

<116> 상기 배치도에서 알 수 있는 바와 같이, 픽셀 내의 좁은 영역에 얇은 제 1 포토다이오드 영역(PHD1)이 형성되고, 픽셀 내의 비교적 넓은 영역에 깊은 제 2 포토다이오드 영역(PHD2)이 형성되어 있다. 입사된 광은, 양쪽 포토다이오드 영역(PHD1, PHD2)에서 광전 변환된다. 본 실시예에서는, 양쪽 포토다이오드 영역(PHD1, PHD2)의 픽셀 내에서의 면적 점유율은, 약 4%, 34%이다. 그리고, 양쪽 영역을 설치한 것에 의한 실질적인 개구율은, 제 2 영역(PHD2)의 깊이 영역에 도달할 때까지의 광의 감쇠를 고려해도, 적에서 약 26%, 녹에서 약 24%, 청에서 약 16%와, 제 1 영역(PHD1)만의 경우(4%)와 비교하여 대폭 개선되어 있다. 또한, 제 2 P형 웨爾 영역(PW2)을 얇게 형성하여 제 2 영역(PHD2)을 얇게 형성함으로써도, 실질적 개구율은 보다 높아져 있다.

<117> [제 2 실시예]

- <118> 제 2 실시예는, 3트랜지스터형 APS에 적용한 예이다. 도 22 내지 도 25는 프로세스를 나타낸 단면도이고, 도 26 내지 도 30은 픽셀의 배치도이다. 도 22 내지 도 25의 단면도는, 도 26의 배치도 중의 단면 A-B, C-D-E를 따른 단면을 나타낸다.
- <119> 3트랜지스터형 APS의 픽셀 회로도는, 도 8에 나타낸 바와 같고, 포토다이오드(PD)에 부가하여, 리셋 트랜지스터(RST)와, 실렉터 트랜지스터(SLCT)와, 소스 폴로어 트랜지스터(SF)를 갖는다. 즉, 포토다이오드(PD)의 캐소드 단자가 플로팅 · 디퓨전 영역(FD)을 겹하고 있고, 트랜스퍼 게이트 트랜지스터(TG)는 없다.
- <120> 도 22에 나타낸 바와 같이, 제 2 실시예에서도, 주변 회로 영역의 제 1 P형 웨爾 영역의 깊이(DP1)보다도, 픽셀 영역 내의 제 2 P형 웨爾 영역의 깊이(DP2) 쪽이 얕고, 그 얕은 제 2 P형 웨爾 영역(PW2) 아래에, 제 2 포토다이오드 영역(PHD2)을 매설한다. 또한, 제 1 포토다이오드 영역(PHD1)은, 기판 표면으로부터 분리되지 않고, 리셋 트랜지스터(RST)의 소스 영역을 겹하고 있다. 3트랜지스터형 APS에서는, 트랜스퍼 게이트 트랜지스터가 설치되어 있지 않고, 플로팅 · 디퓨전 영역(FD)이 단독으로 형성되어 있지 않다. 따라서, 본 실시예에서는, 이들 아래에 제 2 포토다이오드 영역(PHD2)을 형성하지 않는 구성은 없다.
- <121> 도 22의 프로세스는, 제 1 실시예의 도 12에 대응한다. 즉, 제 1 실시예의 도 10 및 도 11과 동일한 프로세스로, 분리 구조(STI)의 형성, 주변 회로의 제 1 P형 웨爾 영역(PW1)의 이온 주입, 픽셀 영역에서의 제 2 웨爾 영역(PW2)의 이온 주입이 각각 행해지는 3트랜지스터 구조에서 트랜스퍼 게이트 트랜지스터(TG)가 없기 때문에, 제 3 P형 웨爾 영역의 이온 주입은 행하지 않는다. 그리고, 픽셀 영역에서, 제 1 포토다이오드 영역(PHD1)만 피하여 제 2 P형 웨爾 영역(PW2)을 형성하는 이온 주입을 행하고, 리셋 트랜지스터(RST), 실렉터 트랜지스터(SLCT), 소스 폴로어 트랜지스터(SF)의 웨爾 영역으로 한다.
- <122> 다음으로, 제 1 포토다이오드 영역(PHD1)의 이온 주입을 행한다. 이 이온 주입에서는, 각각 인 P를, (1) 200k, ~1E13, 7도, (2) 100k, ~1E13, 7도, (3) 50k, ~1E13, 7도로 주입한다. 이 제 1 영역(PHD1)의 이온 주입은, 주변 회로 P채널 트랜지스터용의 N형 웨爾 영역의 이온 주입과 공용해도 된다.
- <123> 이어서, 제 1 포토다이오드 영역(PHD1)과 겹쳐지고, 그것을 둘러싸는 분리 구조(STI(2))의 아래와, 판독 트랜지스터 아래까지 확장된 영역에, 인 P, 에너지 325k, 농도 1~5E12, 경사각 7도 정도의 이온 주입에 의해, 제 2 포토다이오드 영역(PHD2)을 형성한다. 이 제 2 영역(PHD2)은, 도 28의 배치도에 나타낸 바와 같이, 제 1 포토다이오드 영역(PHD1)과, 리셋 트랜지스터(RST), 실렉터 트랜지스터(SLCT), 소스 폴로어 트랜지스터(SF) 아래까지 연장되고, 후술하는 메탈 배선이 형성되는 영역 이외의 거의 전체 영역에 형성된다.
- <124> 제 2 포토다이오드 영역(PHD2)은, 이온 주입 농도를 ~1E12 정도로 낮게 하고, 제 2 포토다이오드 영역(PHD2)이 모두 공핍화되는 구조로 하는 것이 바람직하다. 즉, 제 2 포토다이오드 영역(PHD2)을 완전히 공핍화함으로써, 그 영역(PHD2)에서의 접합 용량을 제로(Zero)로 할 수 있다. 다만, 완전히 공핍화해도 영역(PHD2)은 주위의 P형 영역보다도 전자(電子)에 대한 페텐셜 레벨이 낮고, 영역(PHD2)에서 광전 변환에 의해 발생한 포획 전자를 확실하게 제 1 포토다이오드 영역(PHD1)까지 전송할 수 있다. 본 실시예에서는, 포토다이오드(PD)의 애노드(anode)가 플로팅 · 디퓨전 영역(FD)을 겹하고 있으므로, 그 애노드의 접합 용량을 가능한 한 작게 함으로써, 포획한 전하(전자)량에 대한 전압 변화를 크게 할 수 있고, 높은 전하 전압 변환 효율을 실현할 수 있다.
- <125> 도 23의 프로세스에서는, 제 1 실시예와 동일하게, 게이트 산화막(GOX)과 게이트 전극(GPOLY)을 형성한다. 포토다이오드의 수광 영역의 깊이는, 다음과 같다. 우선, 제 1 영역(PHD1)은 기판 표면으로부터 제 2 영역(PHD2)에 접속하는 깊이까지 공핍화되지 않으므로, 광전 변환에는 그다지 기여하지 않는다. 한편, 제 2 영역(PHD2)에서는 제 2 P형 웨爾 영역(PW2)이 $0.3\mu\text{m}$ 정도의 깊이이기 때문에, 수광 영역이 되는 제 2 영역(PHD2)의 공핍층은, 얕은 측에서 $0.4\mu\text{m}$ 정도의 깊이로부터 기판의 깊은 측의 $1.5\mu\text{m}$ 정도까지 연장된다.
- <126> 도 24의 프로세스에서는, 도 14와 동일한 프로세스에 의해, 저농도 소스 · 드레인 영역(NLD)과, 콘택트용 고농도 영역(PDN)과, 측벽 산화막(SW, SW-SIO)이 형성된다.
- <127> 도 25의 프로세스에서는, 도 15와 동일한 프로세스에 의해, N형과 P형의 고농도 소스 · 드레인 영역(NSD, PSD)과, 코발트 실리사이드막(CoSi)이 형성된다. 다만, 도면 중, P형 영역(PSD)은 나타내고 있지 않다.
- <128> 도 26의 프로세스에서는, 도 16과 동일한 프로세스에 의해, 절연막과 콘택트 홀(M1C1, M1C2)을 형성한다. 그 경우, 픽셀 내의 콘택트용 이온 주입을 행한 영역(PDN)에, 콘택트 홀(M1C1)을 형성한다. 한편, 그 콘택트 홀(M1C1) 이외의 콘택트 홀(M1C2)도 형성한다. 도 26에서는, 주변 회로의 P형 웨爾 영역(PW1)으로의 콘택트 홀(M1C2)과, 픽셀 내의 제 2 P형 웨爾 영역(PW2)으로의 콘택트 홀(M1C2)도 도시되어 있다. 2종류의 콘택트 홀로 나

누어 형성하는 것은, 코발트 실리사이드층을 에칭 스토퍼로서 이용할 수 있는 경우와 그 이외의 경우에, 상이한 프로세스로 하기 위해서이다.

<129> 도 27의 프로세스에서는, 도 17과 동일한 프로세스에 의해, 콘택트 비아(M1C1), 제 1 메탈 배선(M1L), 층간 절연막(HDP-SIO, P-SIO), 비아(Via1), 제 2 메탈 배선(M2L)이 형성된다. 여기서, 제 1 메탈 배선(M1L)은, 가능한 한 제 2 포토다이오드 영역(PHD2) 위에는 형성되지 않는 것이 바람직하다. 개구율이 저하되지 않게 하기 위해서이다. 그러나, 최저로 필요한 개소(個所)에는 최소한의 면적으로 형성된다.

<130> 도 28의 배치도에 나타낸 바와 같이, 핵셀 내의 폴리실리콘 게이트 전극은 실리사이드막이 형성되지 않고, 입사광이 포토다이오드 영역(PHD1, PHD2)에 입사하도록 하고 있다. 그리고, 횡방향으로 연장되는 리셋 트랜지스터(RST)의 게이트 전극선과 실렉터 트랜지스터(SLCT)의 게이트 전극선은, 실리사이드막이 형성되어 저저항화되어 있다.

<131> 도 29의 배치도에는, 제 2 P형 웨爾 영역(PW2)의 마스크 패턴이 회색으로 나타나 있다. 제 2 P형 웨爾 영역(PW2)이 회색 부분에 형성되고, 제 1 포토다이오드 영역(PHD1)의 부분에는 형성되지 않는다.

<132> 도 30의 배치도는, 제 1 메탈 배선(M1L)을 형성한 상태의 도면이다. 수직 방향으로 연장되는 리셋선(VRL)과 신호선(SGL)이, 포토다이오드 영역(PHD1, PHD2)과 겹쳐지지 않도록, 제 1 메탈 배선(M1L)에 의해 형성된다. 다만, 포토다이오드 영역(PD)과 소스 폴로어 트랜지스터(SF)의 게이트 전극을 접속하는 제 1 메탈 배선(PD-SF)이, 예외적으로 포토다이오드 영역(PHD1, PHD2)과 겹쳐져 형성되어 있다. 다만, 최소한의 면적으로 형성되어, 입사광의 차광을 최소한으로 억제하고 있다. 그 후에 형성되는 제 2 메탈 배선은, 이 포토다이오드 영역(PD)과는 겹쳐지지 않도록 형성된다.

<133> 이상, 제 2 실시예에서는, 3트랜지스터형 APS에 적용한 것을 설명했지만, 핵셀 내의 트랜지스터에 겹쳐져서 매설되는 제 2 포토다이오드 영역(PHD2)이, 얇은 제 2 P형 웨爾 영역(PW2) 아래에 형성되어 있으므로, 입사광이 실리콘 기판 내에서 감쇠하기 전의 영역에서 광전 변환된 전하(전자)를 포획할 수 있고, 실질적 개구율을 높여 수광 감도를 높일 수 있다.

산업상 이용 가능성

<134> 이상에서 설명한 바와 같이, 본 발명의 CMOS 이미지 센서는, 개구율을 높여 광 감도를 높일 수 있다.

도면의 간단한 설명

<27> 도 1은 특허문헌 1에 기재된 CMOS 이미지 센서의 단면도.

<28> 도 2는 실리콘 기판 중에서의 광 투과율을 나타내는 그래프 도면.

<29> 도 3은 4트랜지스터형 APS의 회로도.

<30> 도 4는 4트랜지스터형 APS의 동작 파형도.

<31> 도 5는 공유 4트랜지스터형의 APS의 회로도.

<32> 도 6은 의사(疑似) 4트랜지스터형 APS의 회로도.

<33> 도 7은 의사 4트랜지스터형 APS의 동작 파형도.

<34> 도 8은 3트랜지스터형 APS의 회로도.

<35> 도 9는 제 1 실시예에서의 이미지 센서의 전체 구성을 나타내는 단면도.

<36> 도 10은 제 1 실시예에서의 제조 공정을 나타내는 단면도.

<37> 도 11은 제 1 실시예에서의 제조 공정을 나타내는 단면도.

<38> 도 12는 제 1 실시예에서의 제조 공정을 나타내는 단면도.

<39> 도 13은 제 1 실시예에서의 제조 공정을 나타내는 단면도.

<40> 도 14는 제 1 실시예에서의 제조 공정을 나타내는 단면도.

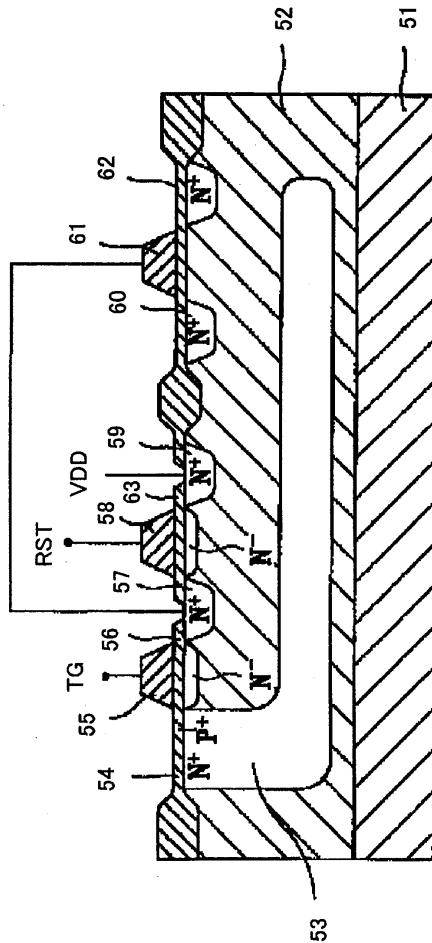
<41> 도 15는 제 1 실시예에서의 제조 공정을 나타내는 단면도.

- <42> 도 16은 제 1 실시예에서의 제조 공정을 나타내는 단면도.
- <43> 도 17은 제 1 실시예에서의 제조 공정을 나타내는 단면도.
- <44> 도 18은 제 1 실시예에서의 픽셀의 배치도.
- <45> 도 19는 제 1 실시예에서의 픽셀의 배치도.
- <46> 도 20은 제 1 실시예에서의 픽셀의 배치도.
- <47> 도 21은 제 1 실시예에서의 픽셀의 배치도.
- <48> 도 22는 제 2 실시예에서의 제조 공정을 나타내는 단면도.
- <49> 도 23은 제 2 실시예에서의 제조 공정을 나타내는 단면도.
- <50> 도 24는 제 2 실시예에서의 제조 공정을 나타내는 단면도.
- <51> 도 25는 제 2 실시예에서의 제조 공정을 나타내는 단면도.
- <52> 도 26은 제 2 실시예에서의 제조 공정을 나타내는 단면도.
- <53> 도 27은 제 2 실시예에서의 제조 공정을 나타내는 단면도.
- <54> 도 28은 제 2 실시예에서의 픽셀의 배치도.
- <55> 도 29는 제 2 실시예에서의 픽셀의 배치도.
- <56> 도 30은 제 2 실시예에서의 픽셀의 배치도.
- <57> 도면의 주요 부분에 대한 부호의 설명
- <58> P-Sub : 기판 10 : 픽셀 영역
- <59> 12 : 주변 회로 영역 PW1 : 제 1 P형 웨爾 영역
- <60> PW2 : 제 2 P형 웨爾 영역 PHD2 : 포토다이오드 영역

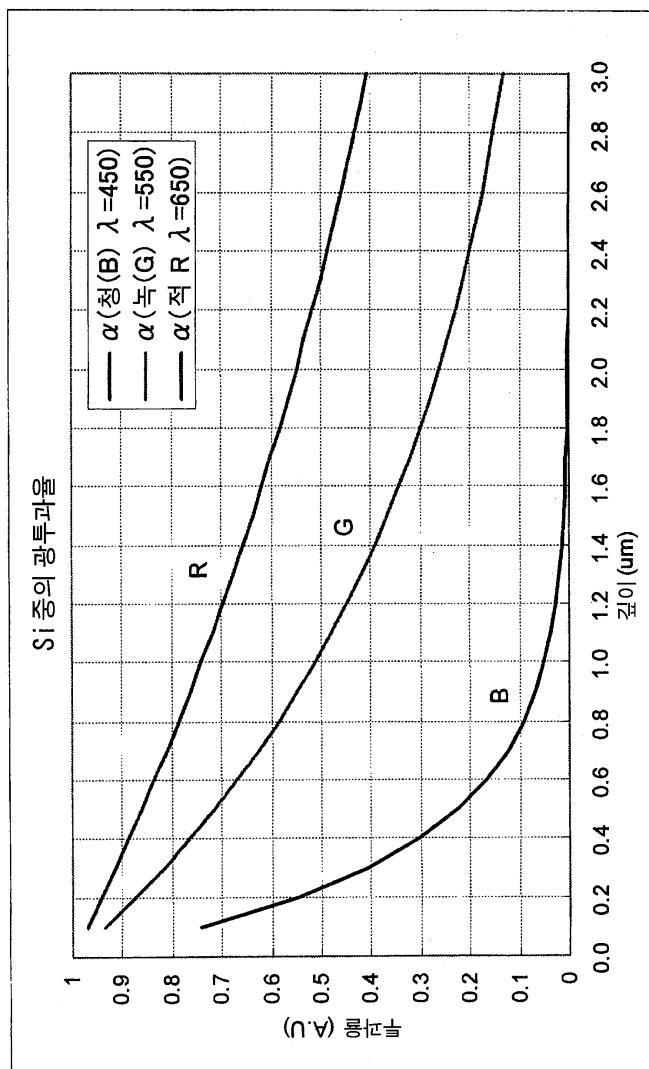
도면

도면1

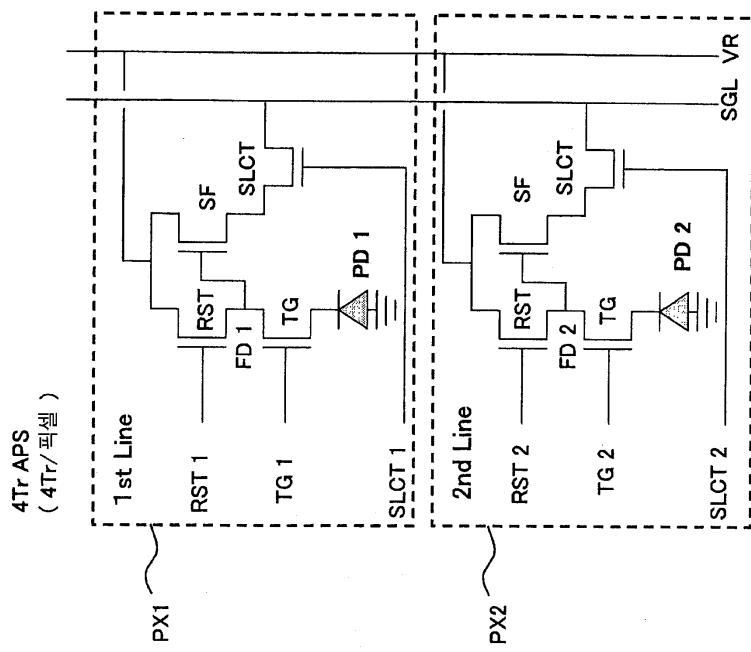
총래에



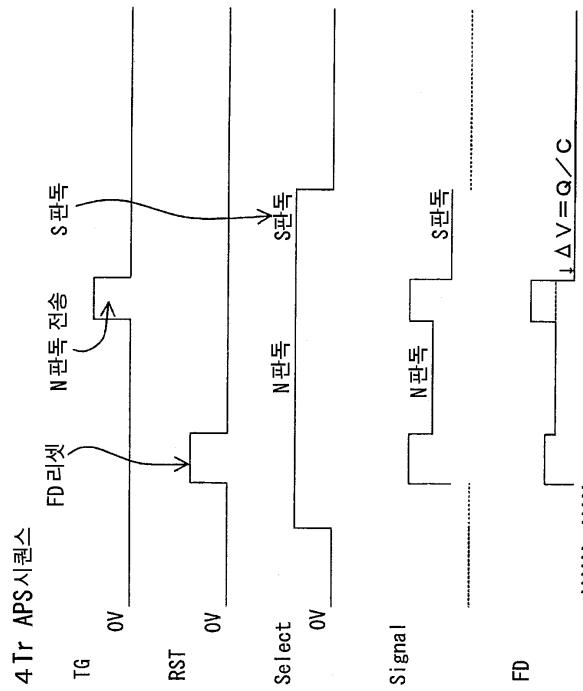
도면2



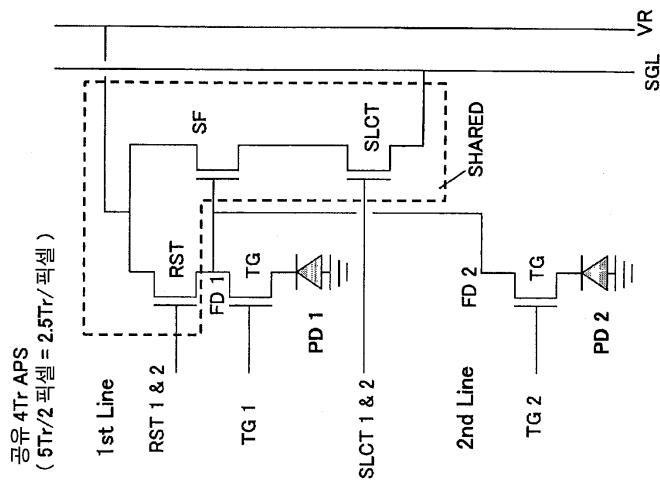
도면3



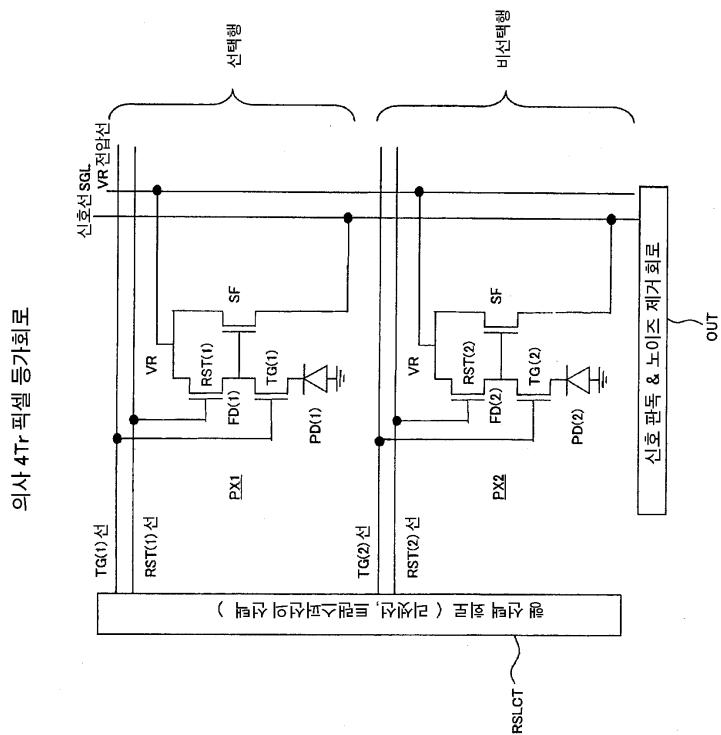
도면4



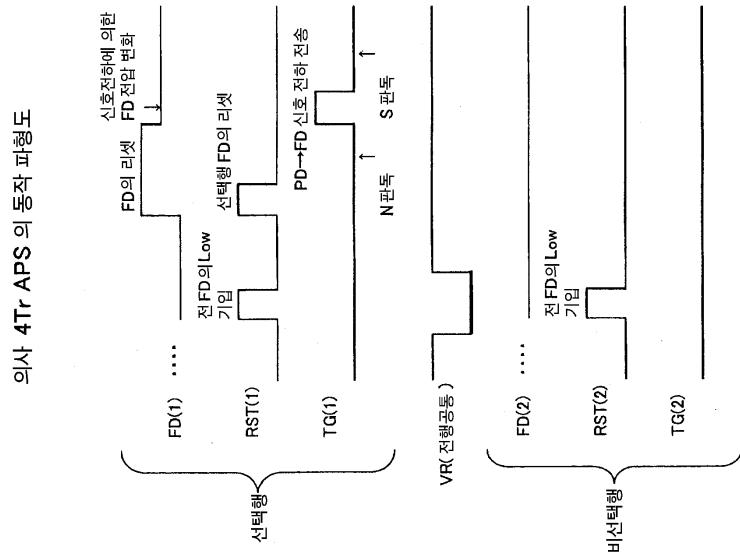
도면5



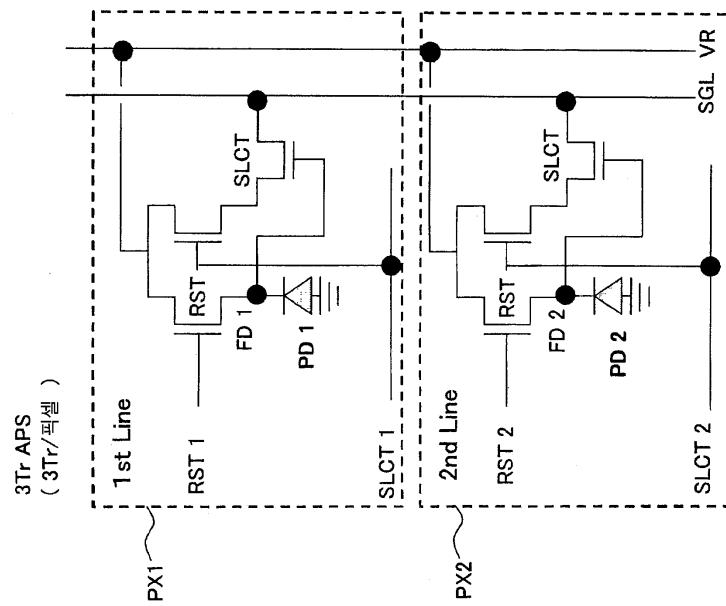
도면6



도면7

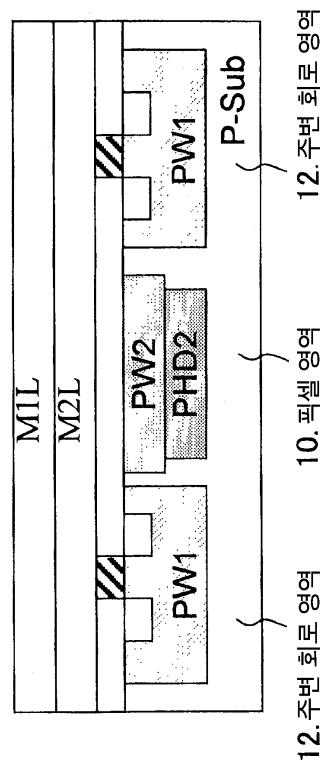


도면8

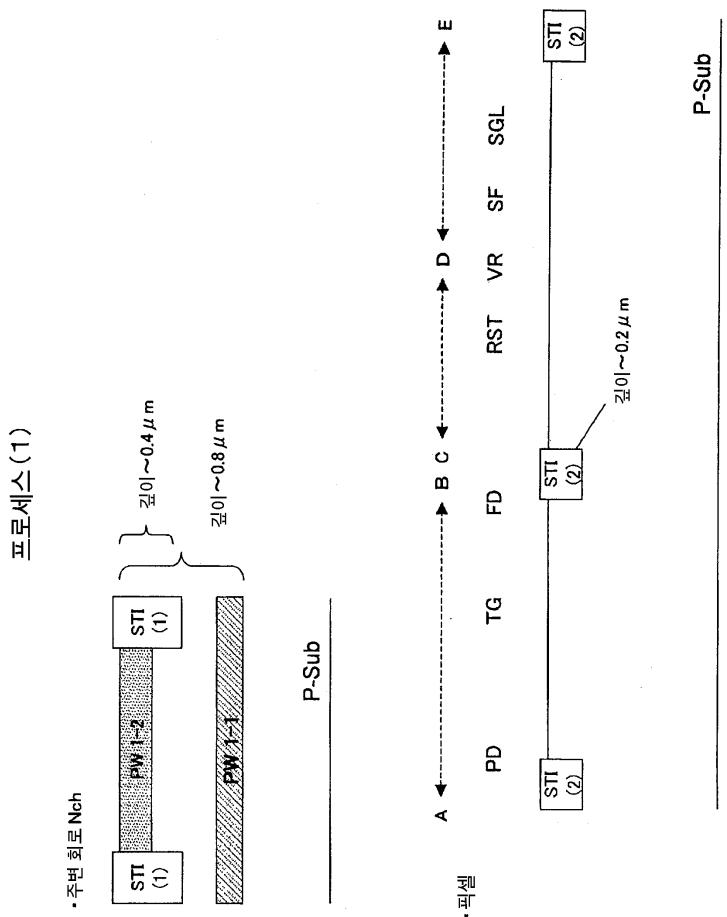


도면9

이미지 센서 전체 구성도

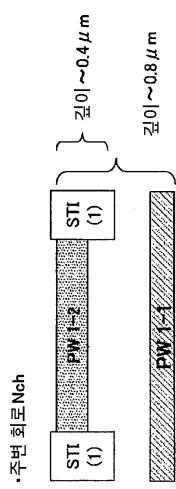


도면10

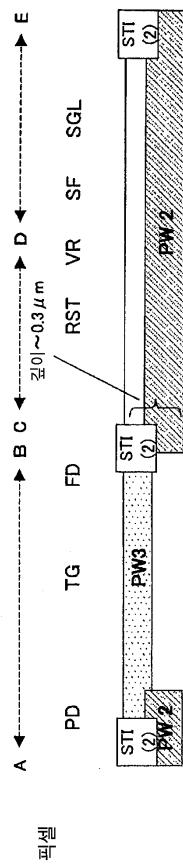


도면11

프로세스 (2)

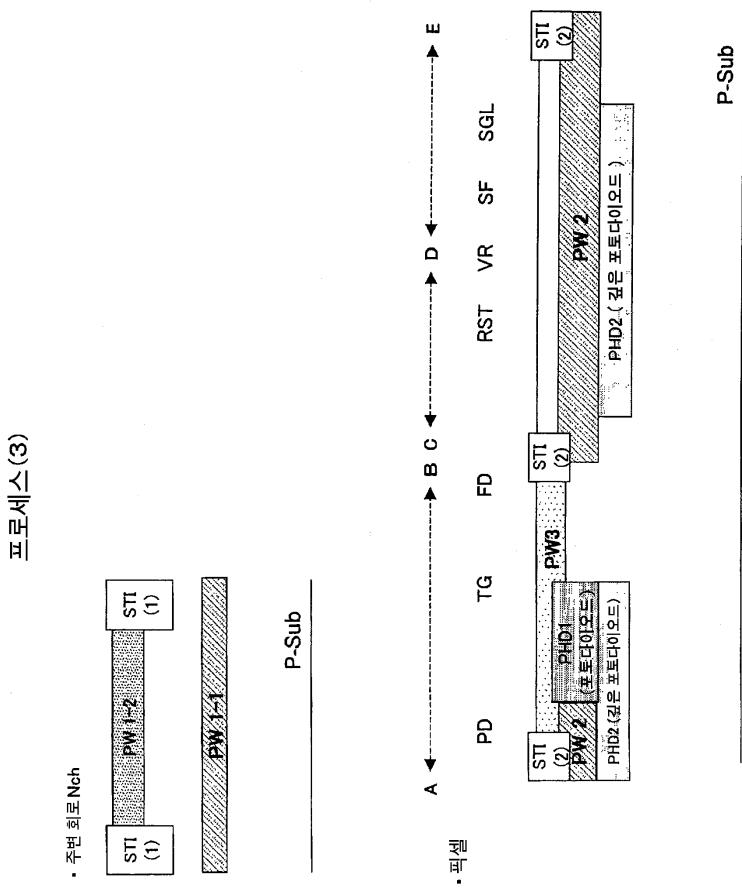


P-Sub



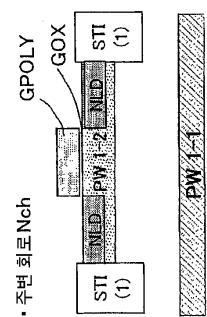
P-Sub

도면12

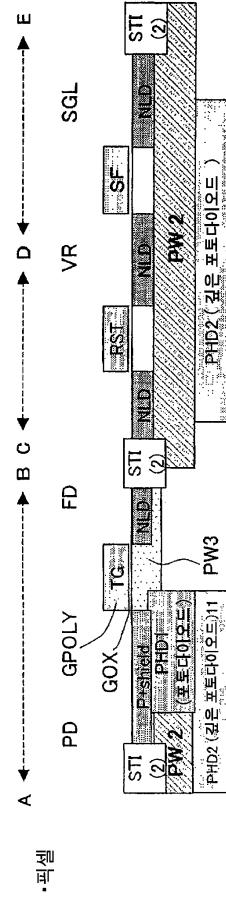


도면13

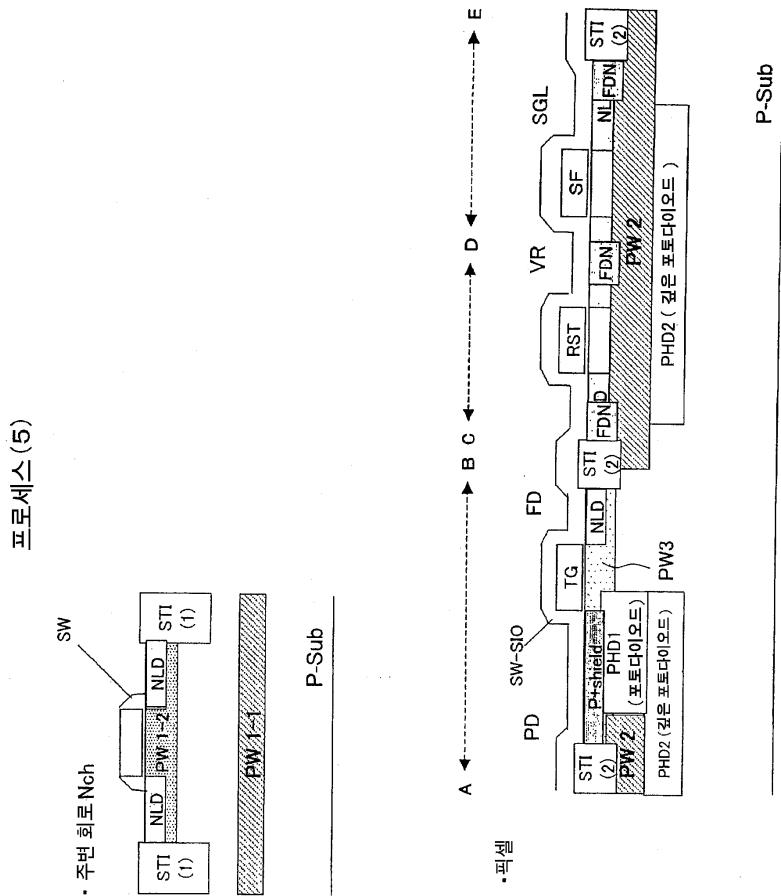
프로세스 (4)



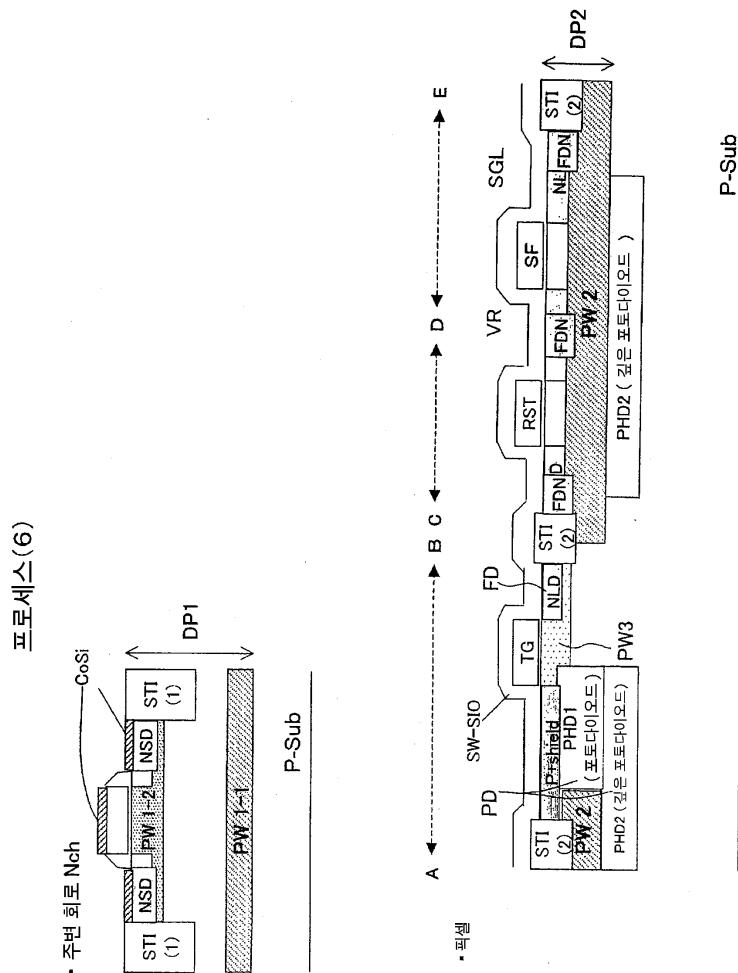
P-Sub



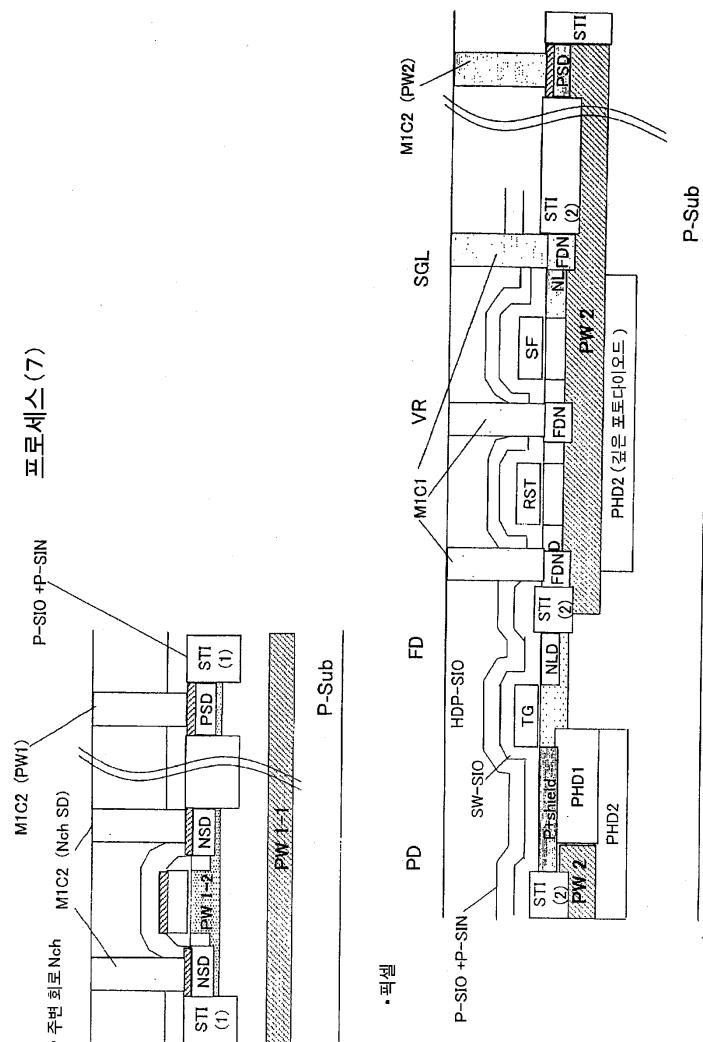
도면14



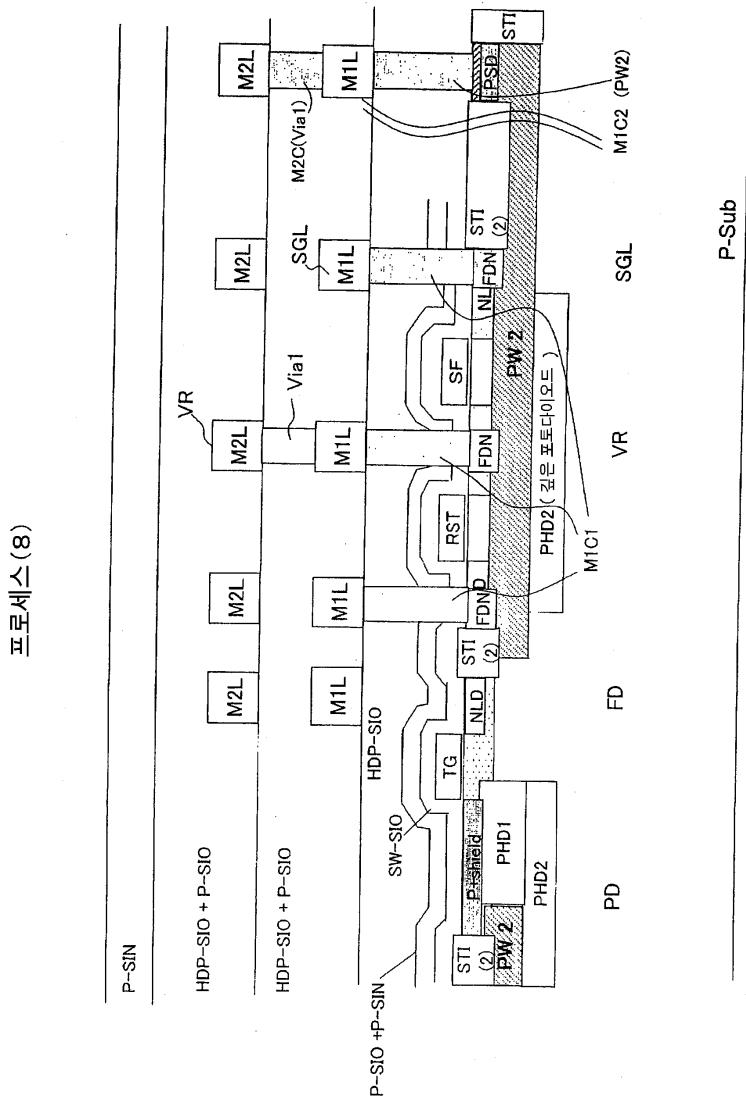
도면15



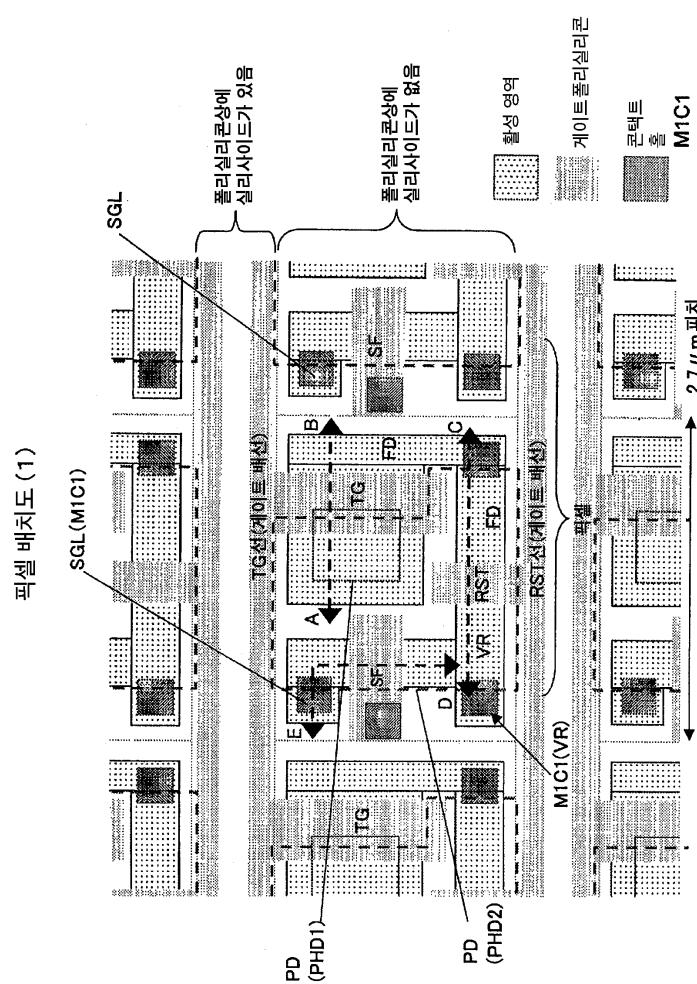
도면16



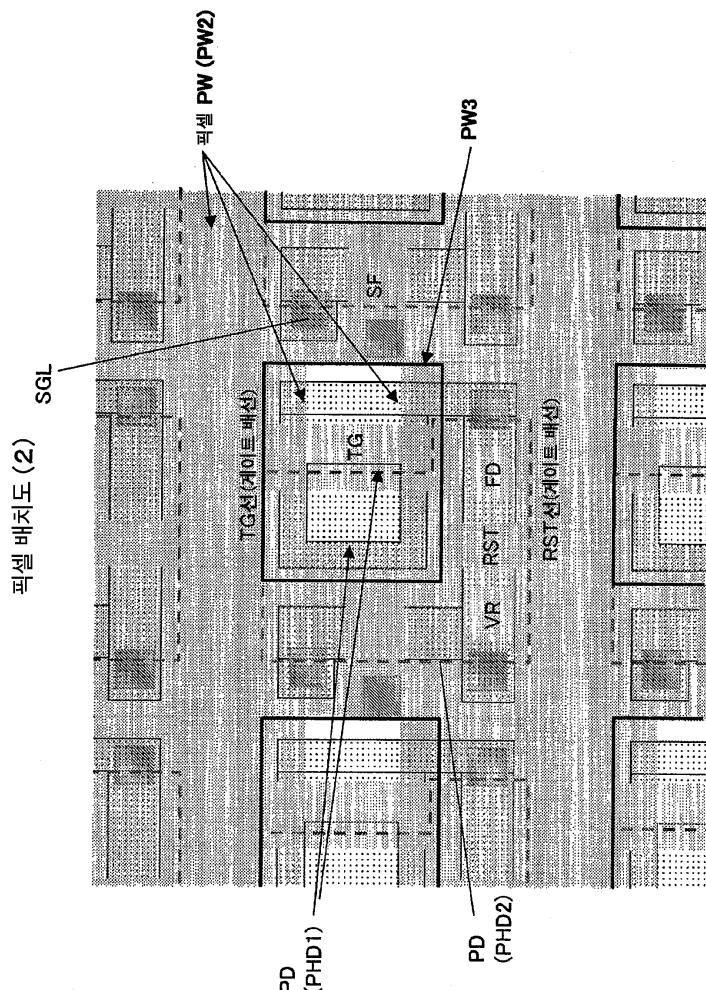
도면17



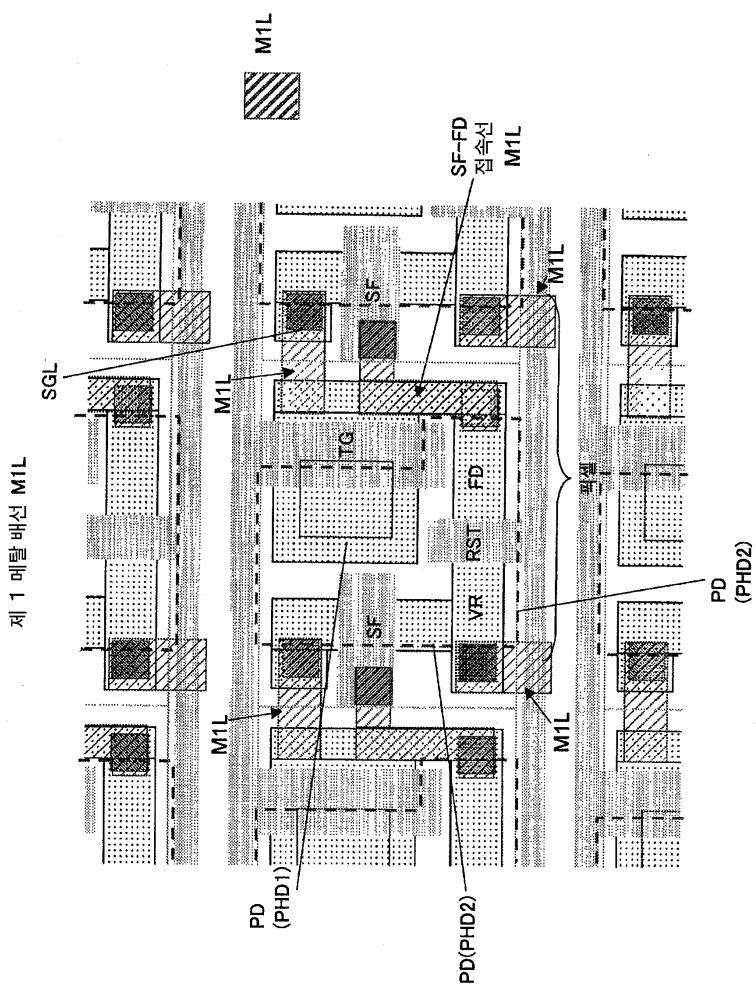
도면18



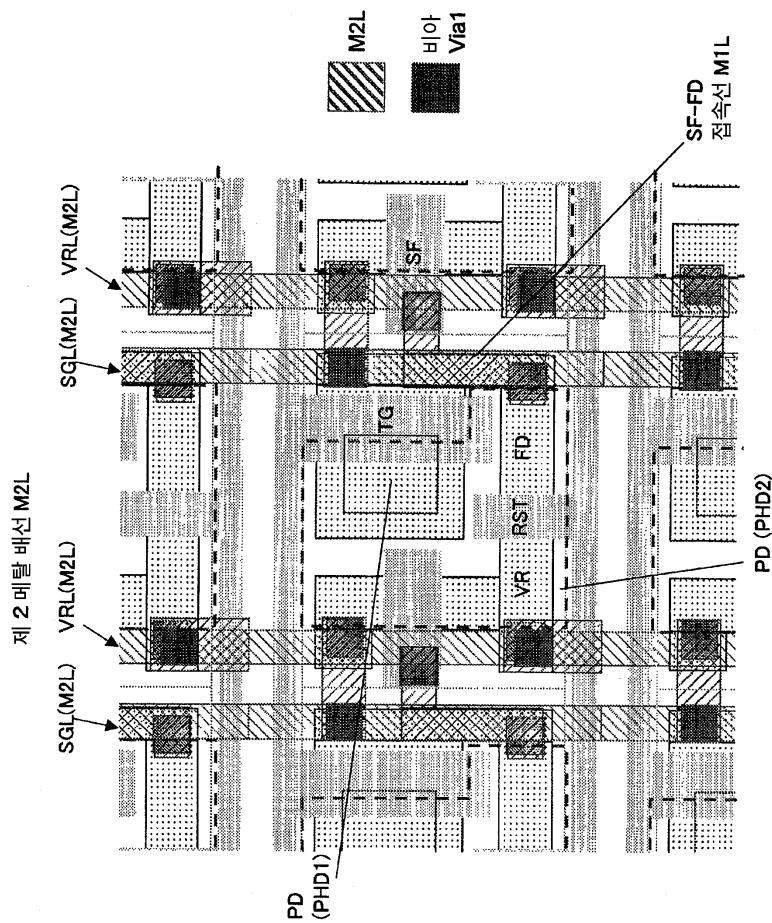
도면19



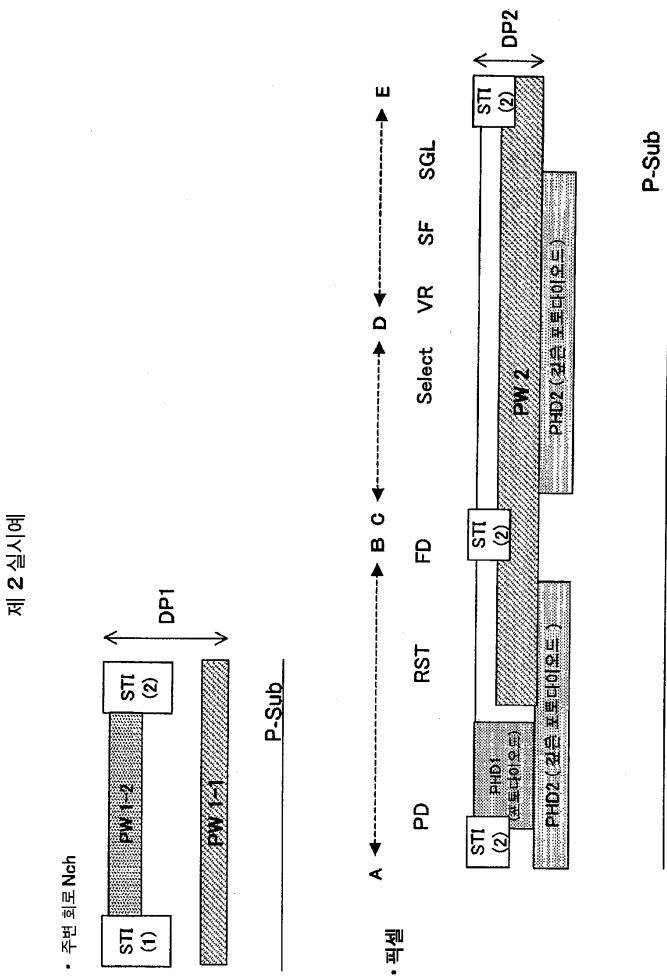
도면20



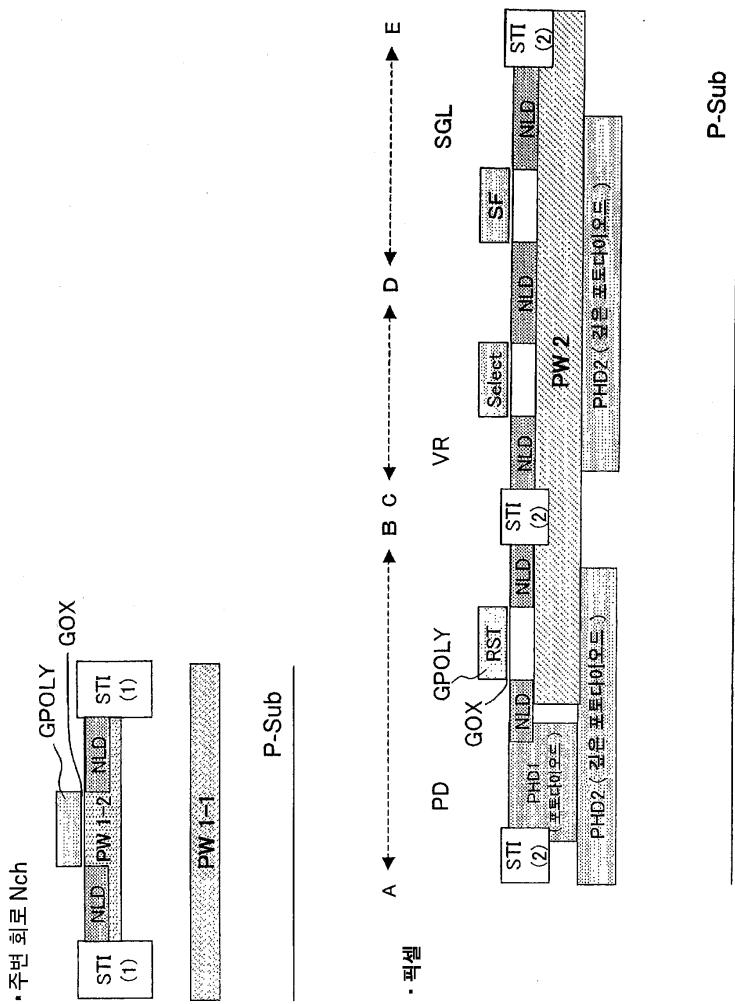
도면21



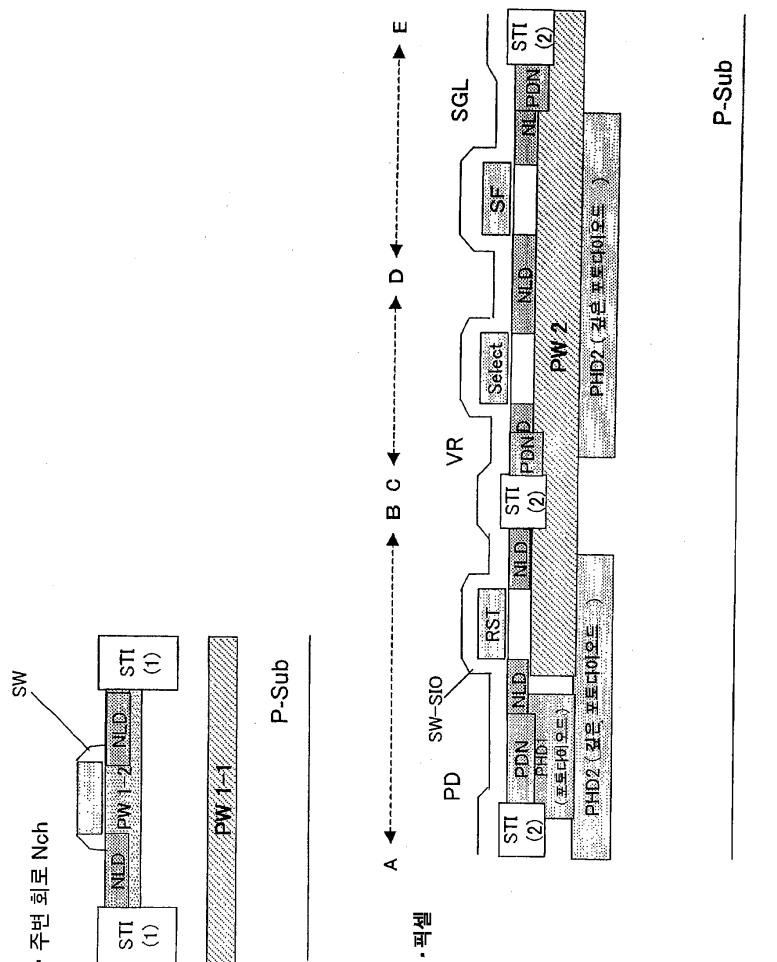
도면22



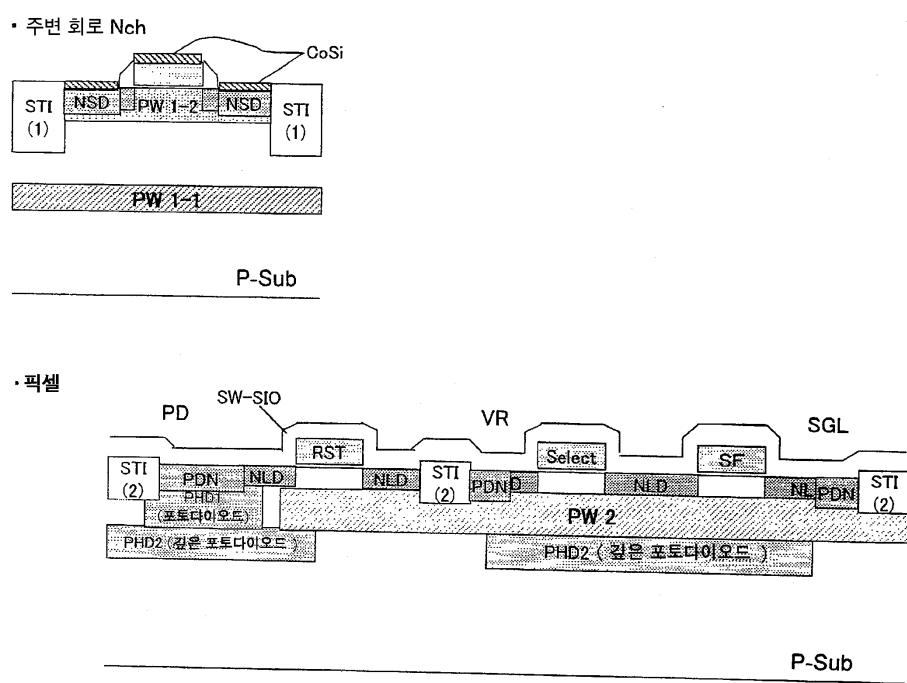
도면23



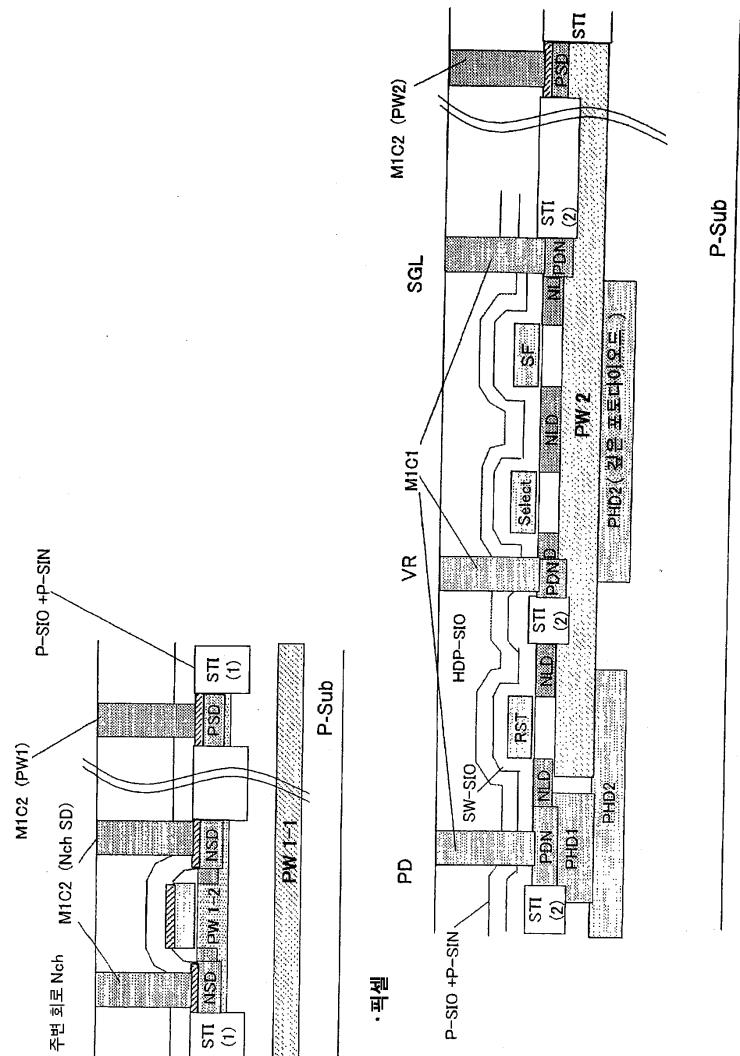
도면24



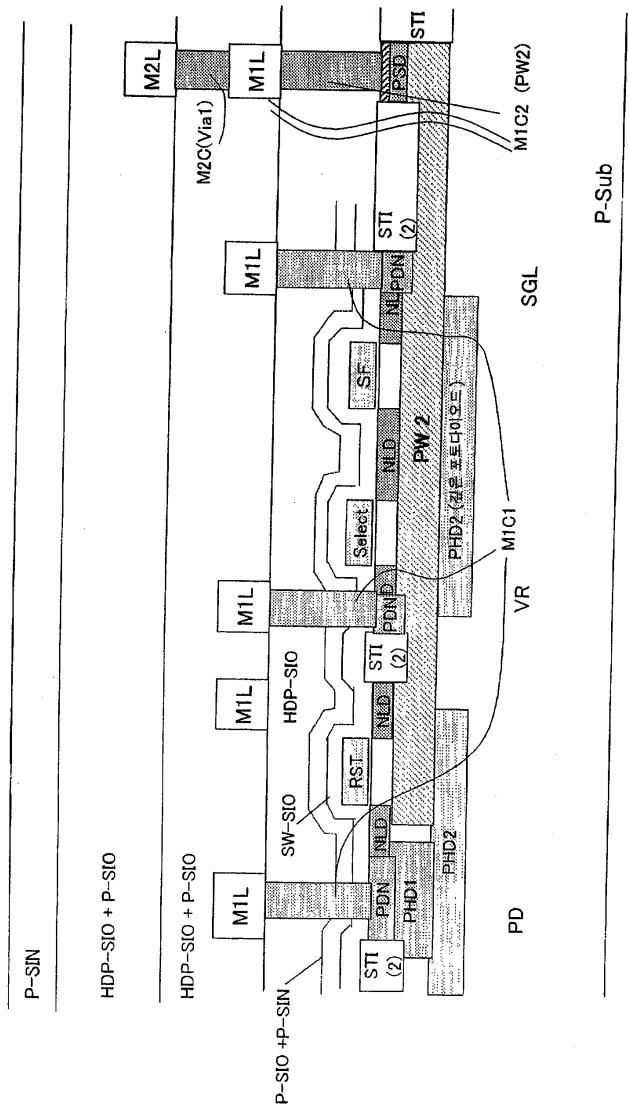
도면25



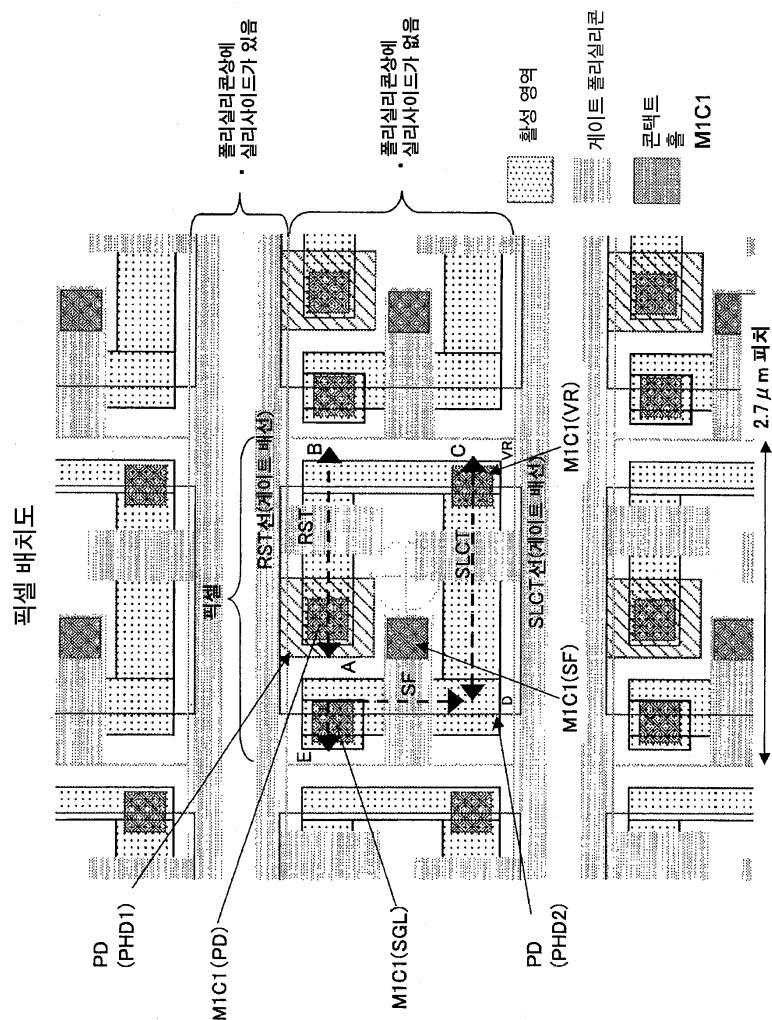
도면26



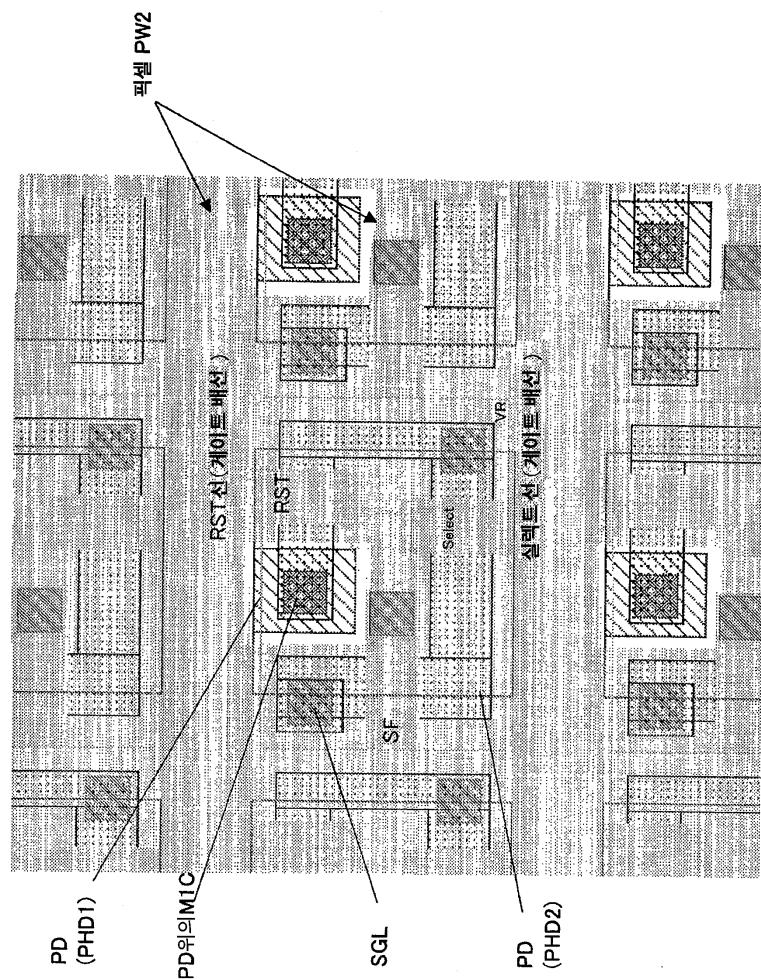
도면27



도면28



도면29



도면30

