

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7645810号  
(P7645810)

(45)発行日 令和7年3月14日(2025.3.14)

(24)登録日 令和7年3月6日(2025.3.6)

(51)国際特許分類	F I			
H 1 0 F 39/18 (2025.01)	H 1 0 F 39/18			A
H 1 0 F 39/12 (2025.01)	H 1 0 F 39/12			D
H 1 0 D 84/80 (2025.01)	H 1 0 D 84/80		1 0 1 A	
H 0 4 N 25/70 (2023.01)	H 0 4 N 25/70			
H 0 4 N 25/76 (2023.01)	H 0 4 N 25/76			

請求項の数 11 (全41頁)

(21)出願番号	特願2021-558378(P2021-558378)	(73)特許権者	316005926 ソニーセミコンダクタソリューションズ株式会社 神奈川県厚木市旭町四丁目14番1号
(86)(22)出願日	令和2年11月17日(2020.11.17)	(74)代理人	110001357 弁理士法人つばさ国際特許事務所
(86)国際出願番号	PCT/JP2020/042691	(72)発明者	松村 勇佑 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
(87)国際公開番号	WO2021/100675	(72)発明者	町田 貴志 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
(87)国際公開日	令和3年5月27日(2021.5.27)	(72)発明者	城戸 英男
審査請求日	令和5年10月3日(2023.10.3)		
(31)優先権主張番号	特願2019-207923(P2019-207923)		
(32)優先日	令和1年11月18日(2019.11.18)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 固体撮像装置および電子機器

(57)【特許請求の範囲】

【請求項1】

受光面と、  
前記受光面を介して入射した光を光電変換する光電変換部を含む複数の画素と、  
各前記光電変換部を電気的かつ光学的に分離する分離部と  
を備えた固体撮像装置であって、  
各前記画素は、  
前記光電変換部から転送された電荷を保持する電荷保持部と、  
前記光電変換部に達する垂直ゲート電極を有し、前記光電変換部から前記電荷保持部に  
電荷を転送する転送トランジスタと、  
前記光電変換部と前記電荷保持部との間の層内に配置された遮光部と  
を有し、  
前記複数の画素のうち、互いに隣接する複数の第1の画素において、複数の前記垂直ゲ  
ート電極が互いに電気的に接続されており、  
当該固体撮像装置は、前記遮光部が内部に設けられた半導体基板を更に備え、  
前記半導体基板は、厚さ方向と直交する面に沿って広がる面指数{111}で表される第  
1の結晶面を有するSi{111}基板であり、  
前記遮光部は、  
前記第1の結晶面に沿った第1の面と、  
前記厚さ方向に対して傾斜すると共に前記Si{111}基板の第2の結晶面に沿った第

2の面とを含む

固体撮像装置。

## 【請求項2】

各前記第1の画素は、複数の前記垂直ゲート電極に接するとともに複数の前記垂直ゲート電極を互いに電氣的に接続する接続部を共有している

請求項1に記載の固体撮像装置。

## 【請求項3】

複数の前記第1の画素において、複数の前記垂直ゲート電極が前記分離部を介して互いに対向配置されるとともに、前記分離部に接しており、

前記接続部は、前記分離部上と、互いに対向配置された複数の前記垂直ゲート電極上とに接している

請求項2に記載の固体撮像装置。

## 【請求項4】

前記遮光部は、前記分離部に接する箇所であって、かつ、前記垂直ゲート電極が貫通する箇所に開口部を有する

請求項3に記載の固体撮像装置。

## 【請求項5】

受光面と、

前記受光面を介して入射した光を光電変換する光電変換部を含む複数の画素と、

各前記光電変換部を電氣的かつ光学的に分離する分離部と

を備えた固体撮像装置であって、

各前記画素は、

前記光電変換部から転送された電荷を保持する電荷保持部と、

前記光電変換部に達する第1の垂直ゲート電極を有し、前記光電変換部から前記電荷保持部に電荷を転送する転送トランジスタと、

前記光電変換部に達する第2の垂直ゲート電極を有し、前記転送トランジスタと隣接して配置され、前記光電変換部から電荷を排出する排出トランジスタと、

前記受光面と前記電荷保持部との間の層内に配置された遮光部と

を有し、

前記複数の画素のうち、互いに隣接する複数の第1の画素において、複数の前記第1の垂直ゲート電極が互いに電氣的に接続されるとともに、複数の前記第2の垂直ゲート電極が互いに電氣的に接続されており、

当該固体撮像装置は、前記遮光部が内部に設けられた半導体基板を更に備え、

前記半導体基板は、厚さ方向と直交する面に沿って広がる面指数{111}で表される第1の結晶面を有するSi{111}基板であり、

前記遮光部は、

前記第1の結晶面に沿った第1の面と、

前記厚さ方向に対して傾斜すると共に前記Si{111}基板の第2の結晶面に沿った第2の面と

を含む

固体撮像装置。

## 【請求項6】

前記複数の第1の画素において、

複数の前記第1の垂直ゲート電極が前記分離部を介して互いに対向配置されるとともに、前記分離部に接しており、

複数の前記第2の垂直ゲート電極が前記分離部を介して互いに対向配置されるとともに、前記分離部に接しており、

各前記第1の画素は、

複数の前記第1の垂直ゲート電極に接するとともに複数の前記第1の垂直ゲート電極を

10

20

30

40

50

互いに電氣的に接続する第 1 の接続部と、

複数の前記第 2 の垂直ゲート電極に接するとともに複数の前記第 1 の垂直ゲート電極を互いに電氣的に接続する第 2 の接続部とを共有している

請求項 5 に記載の固体撮像装置。

【請求項 7】

複数の前記第 1 の画素において、複数の前記第 1 の垂直ゲート電極が前記分離部を介して互いに対向配置されるとともに、前記分離部に接しており、

前記第 1 の接続部は、前記分離部上と、互いに対向配置された複数の前記第 1 の垂直ゲート電極上とに接しており、

複数の前記第 1 の画素において、複数の前記第 2 の垂直ゲート電極が前記分離部を介して互いに対向配置されるとともに、前記分離部に接しており、

前記第 2 の接続部は、前記分離部上と、互いに対向配置された複数の前記第 2 の垂直ゲート電極上とに接している

請求項 6 に記載の固体撮像装置。

【請求項 8】

前記遮光部は、前記分離部に接する箇所であって、かつ、前記第 1 の垂直ゲート電極および前記第 2 の垂直ゲート電極が貫通する箇所に開口部を有する

請求項 7 に記載の固体撮像装置。

【請求項 9】

前記電荷保持部は、前記第 1 の垂直ゲート電極と、前記第 2 の垂直ゲート電極との間に隣接して配置されている

請求項 5 に記載の固体撮像装置。

【請求項 10】

入射光に応じた画素信号を出力する固体撮像装置と、

前記画素信号を処理する信号処理回路と

を備え、

前記固体撮像装置は、

受光面と、

前記受光面を介して入射した光を光電変換する光電変換部を含む複数の画素と、

各前記光電変換部を電氣的かつ光学的に分離する分離部と

を有し、

各前記画素は、

前記光電変換部から転送された電荷を保持する電荷保持部と、

前記光電変換部に達する垂直ゲート電極を有し、前記光電変換部から前記電荷保持部に電荷を転送する転送トランジスタと、

前記光電変換部と前記電荷保持部との間の層内に配置された遮光部と

を有し、

前記複数の画素のうち、互いに隣接する複数の第 1 の画素において、複数の前記垂直ゲート電極が互いに電氣的に接続されており、

前記固体撮像装置は、前記遮光部が内部に設けられた半導体基板を更に備え、

前記半導体基板は、厚さ方向と直交する面に沿って広がる面指数 { 1 1 1 } で表される第 1 の結晶面を有する  $S_i \{ 1 1 1 \}$  基板であり、

前記遮光部は、

前記第 1 の結晶面に沿った第 1 の面と、

前記厚さ方向に対して傾斜すると共に前記  $S_i \{ 1 1 1 \}$  基板の第 2 の結晶面に沿った第 2 の面と

を含む

電子機器。

【請求項 11】

10

20

30

40

50

入射光に応じた画素信号を出力する固体撮像装置と、  
 前記画素信号を処理する信号処理回路と  
 を備え、  
 前記固体撮像装置は、  
 受光面と、  
 前記受光面を介して入射した光を光電変換する光電変換部を含む複数の画素と、  
 各前記光電変換部を電気的かつ光学的に分離する分離部と  
 を有し、  
 各前記画素は、  
 前記光電変換部から転送された電荷を保持する電荷保持部と、  
 前記光電変換部に達する第1の垂直ゲート電極を有し、前記光電変換部から前記電荷保持部に電荷を転送する転送トランジスタと、  
 前記光電変換部に達する第2の垂直ゲート電極を有し、前記転送トランジスタと隣接して配置され、前記光電変換部から電荷を排出する排出トランジスタと、  
 前記受光面と前記電荷保持部との間の層内に配置された遮光部と  
 を有し、  
 前記複数の画素のうち、互いに隣接する複数の第1の画素において、複数の前記垂直ゲート電極が互いに電気的に接続されており、  
当該固体撮像装置は、前記遮光部が内部に設けられた半導体基板を更に備え、  
前記半導体基板は、厚さ方向と直交する面に沿って広がる面指数{111}で表される第1の結晶面を有するSi{111}基板であり、  
 前記遮光部は、  
前記第1の結晶面に沿った第1の面と、  
前記厚さ方向に対して傾斜すると共に前記Si{111}基板の第2の結晶面に沿った第2の面と  
 を含む

10

20

電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、固体撮像装置および電子機器に関する。

【背景技術】

【0002】

固体撮像装置において、CMOSイメージセンサを用いたグローバルシャッタ方式が知られている（例えば、特許文献1参照）。上記特許文献1に記載の発明では、光電変換部とは異なる深さに、光電変換部に蓄積された電荷が転送される電荷保持部を設けることで、光電変換部の面積を確保しつつ、飽和電子数を確保することができる。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2010-114273号公報

【発明の概要】

【0004】

しかし、上記特許文献1に記載の発明では、電荷保持部への光入射に起因するノイズが発生する可能性がある。このノイズを低減するために、遮光層を設けることが考えられる。遮光層を設けた場合には、光電変換部から電荷保持部への電荷転送が困難となる。電荷転送を容易にするために、遮光層に設けた開口部から光電変換部に達する垂直ゲート電極を設けることが考えられる。垂直ゲート電極を設けた場合には、画素サイズが大きくなり、さらに、遮光層に設けた開口部から電荷保持部への光入射に起因するノイズが大きくなる。従って、ノイズや画素サイズの増加を抑えつつ、電荷転送の悪化を避けることの可能

30

40

50

な固体撮像装置およびそれを備えた電子機器を提供することが望ましい。

【0005】

本開示の一実施の形態に係る第1の固体撮像装置は、受光面と、受光面を介して入射した光を光電変換する光電変換部を含む複数の画素と、各光電変換部を電気的かつ光学的に分離する分離部とを備えている。各画素は、光電変換部から転送された電荷を保持する電荷保持部と、光電変換部に達する垂直ゲート電極を有し、光電変換部から電荷保持部に電荷を転送する転送トランジスタと、光電変換部と電荷保持部との間の層内に配置された遮光部とを有している。複数の画素のうち、互いに隣接する複数の第1の画素において、複数の垂直ゲート電極が互いに電気的に接続されている。

【0006】

本開示の一実施の形態に係る第1の電子機器は、入射光に応じた画素信号を出力する固体撮像装置と、画素信号を処理する信号処理回路とを備えている。第1の電子機器に設けられた固体撮像装置は、上記の第1の固体撮像装置と同一の構成を有している。

【0007】

本開示の一実施の形態に係る第1の固体撮像装置および第1の電子機器では、光電変換部に達する垂直ゲート電極が設けられている。これにより、遮光部を設けたことによる、光電変換部から電荷保持部への電荷転送の悪化を避けることができる。本開示では、さらに、複数の画素のうち、互いに隣接する複数の第1の画素において、複数の垂直ゲート電極が互いに電気的に接続されている。これにより、転送トランジスタを画素ごとに別個に設けた場合と比べて、転送トランジスタのサイズを小さくすることができ、それに伴って、垂直ゲート電極を貫通させる、遮光部の開口部を小さくすることができる。その結果、ノイズや画素サイズの増加を抑えることができる。

【0008】

本開示の一実施の形態に係る第2の固体撮像装置は、受光面と、受光面を介して入射した光を光電変換する光電変換部を含む複数の画素と、各光電変換部を電気的かつ光学的に分離する分離部とを備えている。各画素は、光電変換部から転送された電荷を保持する電荷保持部と、光電変換部に達する第1の垂直ゲート電極を有し、光電変換部から電荷保持部に電荷を転送する転送トランジスタと、光電変換部に達する第2の垂直ゲート電極を有し、転送トランジスタと隣接して配置され、前記光電変換部から電荷を排出する排出トランジスタと、光電変換部と電荷保持部との間の層内に配置された遮光部とを有している。複数の画素のうち、互いに隣接する複数の第1の画素において、複数の垂直ゲート電極が互いに電気的に接続されている。

【0009】

本開示の一実施の形態に係る第2の電子機器は、入射光に応じた画素信号を出力する固体撮像装置と、画素信号を処理する信号処理回路とを備えている。第2の電子機器に設けられた固体撮像装置は、上記の第2の固体撮像装置と同一の構成を有している。

【0010】

本開示の一実施の形態に係る第2の固体撮像装置および第2の電子機器では、光電変換部に達する第1および第2の垂直ゲート電極が設けられている。これにより、遮光部を設けたことによる、光電変換部から電荷保持部への電荷転送の悪化を避けることができる。本開示では、さらに、複数の画素のうち、互いに隣接する複数の第1の画素において、複数の第1の垂直ゲート電極が互いに電気的に接続されるとともに、複数の第2の垂直ゲート電極が互いに電気的に接続されている。これにより、第1および第2の転送トランジスタを画素ごとに別個に設けた場合と比べて、第1および第2の転送トランジスタのサイズを小さくすることができ、それに伴って、第1および第2の垂直ゲート電極を貫通させる、遮光部の開口部を小さくすることができる。その結果、ノイズや画素サイズの増加を抑えることができる。

【図面の簡単な説明】

【0011】

【図1】本開示の一実施の形態に係る固体撮像装置の概略構成の一例を表す図である。

10

20

30

40

50

- 【図 2】図 1 の画素アレイ部の回路構成の一例を表す図である。
- 【図 3】図 1 の画素アレイ部の断面構成の一例を表す図である。
- 【図 4】図 3 の画素アレイ部のロジック回路側の平面構成の一例を表す図である。
- 【図 5】図 3 の画素アレイ部の受光面側の平面構成の一例を表す図である。
- 【図 6】図 3 の画素アレイ部のロジック回路側の平面構成の一変形例を表す図である。
- 【図 7】図 3 の画素アレイ部の受光面側の平面構成の一変形例を表す図である。
- 【図 8】図 3 の画素アレイ部のロジック回路側の平面構成の一変形例を表す図である。
- 【図 9】図 3 の画素アレイ部の受光面側の平面構成の一変形例を表す図である。
- 【図 10】図 1 の画素アレイ部の回路構成の一変形例を表す図である。
- 【図 11】図 10 の回路構成を備えた画素アレイ部のロジック回路側の平面構成の一例を表す図である。 10
- 【図 12】図 10 の回路構成を備えた画素アレイ部の受光面側の平面構成の一変形例を表す図である。
- 【図 13】画素アレイ部のロジック回路側の平面構成の一変形例を表す図である。
- 【図 14】画素アレイ部の受光面側の平面構成の一変形例を表す図である。
- 【図 15】図 1 の画素アレイ部の回路構成の一変形例を表す図である。
- 【図 16】図 1 の画素アレイ部の断面構成の一変形例を表す図である。
- 【図 17】図 16 の画素アレイ部のロジック回路側の平面構成の一例を表す図である。
- 【図 18】図 16 の画素アレイ部の受光面側の平面構成の一例を表す図である。
- 【図 19】図 16 の画素アレイ部のロジック回路側の平面構成の一変形例を表す図である。 20
- 【図 20】図 16 の画素アレイ部の受光面側の平面構成の一変形例を表す図である。
- 【図 21】図 16 の画素アレイ部のロジック回路側の平面構成の一変形例を表す図である。
- 【図 22】図 16 の画素アレイ部の受光面側の平面構成の一変形例を表す図である。
- 【図 23】図 3 の画素アレイ部の断面構成の一変形例を表す図である。
- 【図 24】図 16 の画素アレイ部の断面構成の一変形例を表す図である。
- 【図 25】図 3 の画素アレイ部の断面構成の一変形例を表す図である。
- 【図 26】図 16 の画素アレイ部の断面構成の一変形例を表す図である。
- 【図 27】図 3 の画素アレイ部の断面構成の一変形例を表す図である。
- 【図 28】図 16 の画素アレイ部の断面構成の一変形例を表す図である。
- 【図 29】図 3、図 16、図 23 ~ 図 28 の画素アレイ部の一部の断面構成の一変形例を表す図である。 30
- 【図 30】本開示の Si 基板の結晶面におけるバックボンドを説明する模式図である。
- 【図 31】本開示の Si 基板の表面におけるオフ角を説明する模式図である。
- 【図 32】上記実施の形態に係る固体撮像装置を備えた撮像システムの概略構成の一例を表す図である。
- 【図 33】車両制御システムの概略的な構成の一例を示すブロック図である。
- 【図 34】車外情報検出部及び撮像部の設置位置の一例を示す説明図である。
- 【発明を実施するための形態】
- 【0012】
- 以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。 40
1. 実施の形態（固体撮像装置）... 図 1 ~ 図 4
  2. 変形例（固体撮像装置）... 5 ~ 図 3 1
  3. 適用例（撮像システム）... 3 2
  4. 移動体への応用例... 3 3、図 3 4
- 【0013】
- < 1. 実施の形態 >
- [構成]
- 本開示の一実施の形態に係る固体撮像装置 1 について説明する。固体撮像装置 1 は、例えば、CMOS（Complementary Metal Oxide Semiconductor）イメージセンサ等か 50

らなるグローバルシャッタ方式の裏面照射型のイメージセンサである。固体撮像装置 1 は、被写体からの光を受光して光電変換し、画像信号を生成することで画像を撮像する。固体撮像装置 1 は、入射光に応じた画素信号を出力する。

【 0 0 1 4 】

グローバルシャッタ方式とは、基本的には全画素同時に露光を開始し、全画素同時に露光を終了するグローバル露光を行う方式である。ここで、全画素とは、画像に現れる部分の画素の全てということであり、ダミー画素等は除外される。また、時間差や画像の歪みが問題にならない程度に十分小さければ、全画素同時ではなく、複数行（例えば、数十行）単位でグローバル露光を行いながら、グローバル露光を行う領域を移動する方式もグローバルシャッタ方式に含まれる。また、画像に表れる部分の画素の全てでなく、所定領域の画素に対してグローバル露光を行う方式もグローバルシャッタ方式に含まれる。

10

【 0 0 1 5 】

裏面照射型のイメージセンサとは、被写体からの光が入射する受光面と、各画素を駆動させるトランジスタ等の配線が設けられた配線層との間に、被写体からの光を受光し、電気信号に変換するフォトダイオード等の光電変換部が設けられている構成のイメージセンサである。なお、本開示は、CMOSイメージセンサへの適用に限られるものではない。

【 0 0 1 6 】

図 1 は、本開示の一実施の形態に係る固体撮像装置 1 の概略構成の一例を表す。固体撮像装置 1 は、光電変換を行う複数のセンサ画素 1 1 が行列状に配置された画素アレイ部 1 0 を備えている。センサ画素 1 1 は、本開示の「画素」の一具体例に相当する。図 2 は、画素アレイ部 1 0 の回路構成の一例を表す。図 3 は、画素アレイ部 1 0 の断面構成の一例を表す。固体撮像装置 1 は、例えば、2 つの基板（第 1 基板 3 0、第 2 基板 4 0）を貼り合わせて構成されている。

20

【 0 0 1 7 】

第 1 基板 3 0 は、半導体基板 3 1 上に複数のセンサ画素 1 1 を有している。複数のセンサ画素 1 1 は、半導体基板 3 1 の裏面（受光面 3 1 A）と対向する位置に行列状に設けられている。第 1 基板 3 0 は、さらに、半導体基板 3 1 上に複数の読み出し回路 1 2 を有している。各読み出し回路 1 2 は、センサ画素 1 1 から出力された電荷に基づく画素信号を出力する。複数の読み出し回路 1 2 は、例えば、センサ画素 1 1 ごとに 1 つずつ設けられている。読み出し回路 1 2 は、例えば、リセットトランジスタ R S T と、選択トランジスタ S E L と、増幅トランジスタ A M P とを有している。

30

【 0 0 1 8 】

第 1 基板 3 0 は、行方向に延在する複数の画素駆動線と、列方向に延在する複数のデータ出力線 V S L とを有している。画素駆動線は、センサ画素 1 1 に蓄積された電荷の出力を制御する制御信号が印加される配線であり、例えば、行方向に延在している。データ出力線 V S L は、各読み出し回路 1 2 から出力された画素信号をロジック回路 2 0 に出力する配線であり、例えば、列方向に延在している。

【 0 0 1 9 】

第 2 基板 4 0 は、半導体基板 4 1 上に、画素信号を処理するロジック回路 2 0 を有している。ロジック回路 2 0 は、例えば、垂直駆動回路 2 1、カラム信号処理回路 2 2、水平駆動回路 2 3 およびシステム制御回路 2 4 を有している。ロジック回路 2 0（具体的には水平駆動回路 2 3）は、センサ画素 1 1 ごとの出力電圧を外部に出力する。

40

【 0 0 2 0 】

垂直駆動回路 2 1 は、例えば、複数のセンサ画素 1 1 を所定の単位画素行ごとに順に選択する。「所定の単位画素行」とは、同一アドレスで画素選択可能な画素行を指している。

【 0 0 2 1 】

カラム信号処理回路 2 2 は、例えば、垂直駆動回路 2 1 によって選択された行の各センサ画素 1 1 から出力される画素信号に対して、相関二重サンプリング（Correlated Double Sampling：CDS）処理を施す。カラム信号処理回路 2 2 は、例えば、CDS 処理を施すことにより、画素信号の信号レベルを抽出し、各センサ画素 1 1 の受光量に応じた画

50

素データを保持する。カラム信号処理回路 2 2 は、例えば、データ出力線 V S L ごとにカラム信号処理部を有している。カラム信号処理部は、例えば、シングルスロープ A / D 変換器を含んでいる。シングルスロープ A / D 変換器は、例えば、比較器およびカウンタ回路を含んで構成されている。水平駆動回路 2 3 は、例えば、カラム信号処理回路 2 2 に保持されている画素データを順次、外部に出力する。システム制御回路 2 4 は、例えば、ロジック回路 2 0 内の各ブロック（垂直駆動回路 2 1、カラム信号処理回路 2 2 および水平駆動回路 2 3）の駆動を制御する。

#### 【 0 0 2 2 】

各センサ画素 1 1 は、互いに共通の構成要素を有している。各センサ画素 1 1 は、例えば、フォトダイオード P D と、転送トランジスタ T R G と、フローティングディフュージョン F D とを有している。転送トランジスタ T R G は、例えば、N M O S（Metal Oxide Semiconductor）トランジスタである。フォトダイオード P D は、本開示の「光電変換部」の一具体例に相当する。転送トランジスタ T R G は、本開示の「転送トランジスタ」の一具体例に相当する。フローティングディフュージョン F D は、本開示の「電荷保持部」の一具体例に相当する。

10

#### 【 0 0 2 3 】

フォトダイオード P D は、受光面 3 1 A を介して入射した光 L を光電変換する。フォトダイオード P D は、光電変換を行って受光量に応じた電荷を発生する。フォトダイオード P D は、例えば、半導体基板 3 1 内に設けられた N 型半導体領域 3 2 A および P 型半導体領域 3 2 B によって構成された P N 接合の光電変換素子である。フォトダイオード P D のカソードが転送トランジスタ T R G のソースに電気的に接続されており、フォトダイオード P D のアノードが基準電位線（例えばグラウンド G N D）に電気的に接続されている。転送トランジスタ T R G は、フォトダイオード P D とは異なる層内に形成されており、半導体基板 3 1 の法線方向において、フォトダイオード P D と対向する位置に形成されている。

20

#### 【 0 0 2 4 】

転送トランジスタ T R G は、フォトダイオード P D とフローティングディフュージョン F D との間に接続されており、ゲート電極に印加される制御信号に応じて、フォトダイオード P D に蓄積されている電荷をフォトダイオード P D からフローティングディフュージョン F D に転送する。転送トランジスタ T R G は、フォトダイオード P D からフローティングディフュージョン F D に電荷を転送する。転送トランジスタ T R G のドレインがフローティングディフュージョン F D に電気的に接続されており、転送トランジスタ T R G のゲートは画素駆動線に接続されている。

30

#### 【 0 0 2 5 】

転送トランジスタ T R G は、ゲート電極として、2 つの垂直ゲート電極 V G と、接続部 C N とを有している。転送トランジスタ T R G において、一方の垂直ゲート電極 V G は、互いに隣接する 2 つのセンサ画素 1 1 のうちの一方のセンサ画素 1 1 内の設けられており、他方の垂直ゲート電極 V G は、互いに隣接する 2 つのセンサ画素 1 1 のうちの他方のセンサ画素 1 1 内に設けられている。転送トランジスタ T R G において、接続部 C N は、2 つの垂直ゲート電極 V G に接している。つまり、互いに隣接する 2 つのセンサ画素 1 1 において、2 つの垂直ゲート電極 V G が接続部 C N を介して互いに電気的に接続されており、互いに隣接する 2 つのセンサ画素 1 1 が接続部 C N（ゲート電極の一部）を共有している。ここで、「共有」とは、互いに隣接する 2 つのセンサ画素 1 1 の出力が共通の接続部 C N によって制御されることを指している。

40

#### 【 0 0 2 6 】

フローティングディフュージョン F D は、転送トランジスタ T R G を介してフォトダイオード P D から出力された電荷を一時的に保持する浮遊拡散領域である。フローティングディフュージョン F D には、例えば、リセットトランジスタ R S T が接続されるとともに、増幅トランジスタ A M P および選択トランジスタ S E L を介して垂直信号線 V S L が接続されている。

50

## 【 0 0 2 7 】

リセットトランジスタ R S T では、ドレインが電源線 V D D に接続され、ソースがフローティングディフュージョン F D に接続されている。リセットトランジスタ R S T は、ゲート電極に印加される制御信号に応じて、フローティングディフュージョン F D を初期化（リセット）する。例えば、リセットトランジスタ R S T がオンすると、フローティングディフュージョン F D の電位が電源線 V D D の電位レベルにリセットされる。すなわち、フローティングディフュージョン F D の初期化が行われる。

## 【 0 0 2 8 】

増幅トランジスタ A M P は、ゲート電極がフローティングディフュージョン F D に接続され、ドレインが電源線 V D D に接続されており、フォトダイオード P D での光電変換によって得られる電荷を読み出すソースフォロワ回路の入力部となる。すなわち、増幅トランジスタ A M P は、ソースが選択トランジスタ S E L を介して垂直信号線 V S L に接続されることにより、垂直信号線 V S L の一端に接続される定電流源とソースフォロワ回路を構成する。

10

## 【 0 0 2 9 】

選択トランジスタ S E L は、増幅トランジスタ A M P のソースと垂直信号線 V S L との間に接続されており、選択トランジスタ S E L のゲート電極には、選択信号として制御信号が供給される。選択トランジスタ S E L は、制御信号がオンすると導通状態となり、選択トランジスタ S E L に連結されたセンサ画素 1 1 が選択状態となる。センサ画素 1 1 が選択状態になると、増幅トランジスタ A M P から出力される画素信号が垂直信号線 V S L を介してカラム信号処理回路 2 2 に読み出される。

20

## 【 0 0 3 0 】

次に、図 3、図 4、図 5 を参照して、センサ画素 1 1 の構成について詳細に説明する。図 4 は、画素アレイ部 1 0 のロジック回路 2 0 側の平面構成の一例を表したものである。図 5 は、画素アレイ部 1 0 の受光面 3 1 A 側の平面構成の一例を表したものである。なお、図 4 では、半導体基板 3 1 のロジック回路 2 0 側の平面構成に、読み出し回路 1 2 に含まれる各種トランジスタ（リセットトランジスタ R S T、増幅トランジスタ A M P、選択トランジスタ S E L）のレイアウトが重ね合わされている。また、図 5 では、半導体基板 3 1 の受光面 3 1 A 側の平面構成に、垂直ゲート電極 V G のレイアウトが重ね合わされている。

30

## 【 0 0 3 1 】

第 1 基板 3 0 は、半導体基板 3 1 上に半導体層 3 3 および絶縁層 3 2 をこの順に積層して構成されている。つまり、絶縁層 3 2 は、半導体層 3 3 の上面に接して形成されている。半導体層 3 3 の上面には、転送トランジスタ T R G およびフローティングディフュージョン F D が形成されている。従って、半導体層 3 3 の上面は、転送トランジスタ T R G などの形成面 3 1 B となっている。なお、半導体基板 3 1 および半導体層 3 3 からなる積層体を半導体基板とみなすことも可能である。この場合、半導体基板 3 1 および半導体層 3 3 からなる積層体（半導体基板）の上面が形成面 3 1 B となっており、半導体基板 3 1 および半導体層 3 3 からなる積層体（半導体基板）の裏面が受光面 3 1 A となっている。このとき、各センサ画素 1 1 は、半導体基板 3 1 および半導体層 3 3 からなる積層体（半導体基板）に形成されている。

40

## 【 0 0 3 2 】

絶縁層 3 2 内には、転送トランジスタ T R G のゲートや、転送トランジスタ T R G のゲートに接続された配線などが設けられている。転送トランジスタ T R G のゲートや、転送トランジスタ T R G のゲートに接続された配線は、例えば、金属材料によって形成されている。なお、転送トランジスタ T R G のゲートは、ポリシリコンによって形成されている。絶縁層 3 2 内には、読み出し回路 1 2 が設けられている。なお、読み出し回路 1 2 が半導体基板 3 1 の形成面 3 1 B に形成されていてもよい。

## 【 0 0 3 3 】

半導体基板 3 1、4 1 は、例えば、シリコン基板で構成されている。半導体層 3 3 は、

50

例えば、エピタキシャル結晶成長によって形成されたシリコン層によって構成されている。半導体基板 3 1 は、上面の一部およびその近傍に、P 型半導体領域 3 2 B を有しており、P 型半導体領域 3 2 B よりも深い領域に、P 型半導体領域 3 2 B とは異なる導電型の N 型半導体領域 3 2 A を有している。P 型半導体領域 3 2 B は、半導体基板 3 1 の、受光面 3 1 A とは反対の面側に設けられている。P 型半導体領域 3 2 B の導電型は、P 型となっている。N 型半導体領域 3 2 A の導電型は、P 型半導体領域 3 2 B とは異なる導電型となっており、N 型となっている。半導体層 3 3 は、P 型半導体領域 3 2 B と同じ導電型となっており、P 型となっている。半導体層 3 3 は、半導体層 3 3 とは異なる導電型のフローティングディフュージョン F D を有している。転送トランジスタ T R G のゲートの一部（2 つの垂直ゲート電極 V G ）は、半導体層 3 3 の上面（形成面 3 1 B ）から、半導体基板 3 1 の厚さ方向（法線方向）に延在して形成されている。転送トランジスタ T R G のゲートの一部（2 つの垂直ゲート電極 V G ）は、形成面 3 1 B から、N 型半導体領域 3 2 A に達する深さまで延在している。転送トランジスタ T R G のゲートの一部（2 つの垂直ゲート電極 V G ）は、例えば、半導体基板 3 1 の厚さ方向（法線方向）に延在する棒状の形状となっている。

10

#### 【 0 0 3 4 】

第 1 基板 3 0 は、例えば、さらに、半導体基板 3 1 の裏面（受光面 3 1 A ）に接する固定電荷膜 3 6 を有している。固定電荷膜 3 6 は、半導体基板 3 1 の受光面 3 1 A 側の界面準位に起因する暗電流の発生を抑制するため、負の固定電荷を有している。固定電荷膜 3 6 は、例えば、負の固定電荷を有する絶縁膜によって形成されている。そのような絶縁膜の材料としては、例えば、酸化ハフニウム、酸化ジルコン、酸化アルミニウム、酸化タンタルまたは酸化タンタルが挙げられる。固定電荷膜 3 6 が誘起する電界により、半導体基板 3 1 の受光面 3 1 A 側の界面にホール蓄積層が形成される。このホール蓄積層によって、界面からの電子の発生が抑制される。第 1 基板 3 0 は、例えば、さらに、カラーフィルタ 3 7 を有している。カラーフィルタ 3 7 は、半導体基板 3 1 の受光面 3 1 A 側に設けられている。カラーフィルタ 3 7 は、例えば、固定電荷膜 3 6 に接して設けられており、固定電荷膜 3 6 を介してセンサ画素 1 1 と対向する位置に設けられている。

20

#### 【 0 0 3 5 】

各センサ画素 1 1 は、半導体基板 3 1 の裏面（受光面 3 1 A ）側に受光レンズ 5 0 を有している。つまり、固体撮像装置 1 は、センサ画素 1 1 ごとに 1 つずつ設けられた複数の受光レンズ 5 0 を備えている。複数の受光レンズ 5 0 は、フォトダイオード P D ごとに 1 つずつ設けられており、フォトダイオード P D と対向する位置に配置されている。つまり、固体撮像装置 1 は、裏面照射型の撮像装置である。受光レンズ 5 0 は、例えば、カラーフィルタ 3 7 に接して設けられており、カラーフィルタ 3 7 および固定電荷膜 3 6 を介してセンサ画素 1 1 と対向する位置に設けられている。

30

#### 【 0 0 3 6 】

第 1 基板 3 0 は、互いに隣接する 2 つのセンサ画素 1 1 を電氣的、光学的に分離する分離部 5 1 , 5 2 , 5 4 を有している。分離部 5 1 , 5 2 , 5 4 が、本開示の「分離部」の一具体例に相当する。分離部 5 1 , 5 2 , 5 4 は、半導体基板 3 1 の法線方向（厚さ方向）に延在して形成されている。分離部 5 1 , 5 2 は、半導体基板 3 1 および半導体層 3 3 内において、半導体基板 3 1 の法線方向（厚さ方向）に積層されている。つまり、分離部 5 1 , 5 2 は、互いに連結されている。分離部 5 1 , 5 2 からなる構造体は、受光面 3 1 A から形成面 3 1 B まで延在して形成されている。つまり、分離部 5 1 , 5 2 からなる構造体は、半導体基板 3 1 および半導体層 3 3 を貫通している。同様に、分離部 5 4 は、半導体基板 3 1 および半導体層 3 3 内において、半導体基板 3 1 の法線方向（厚さ方向）に延在して形成されている。分離部 5 4 は、受光面 3 1 A から形成面 3 1 B まで延在して形成されている。つまり、分離部 5 4 は、半導体基板 3 1 および半導体層 3 3 を貫通している。

40

#### 【 0 0 3 7 】

分離部 5 1 , 5 4 は、一体に形成されており、例えば、センサ画素 1 1 （特にフォトダ

50

イオードPD)を水平面内方向において取り囲むように形成されており、さらに、半導体基板31の法線方向(厚さ方向)に延在して形成されている。分離部52,54は、例えば、センサ画素11(特に、転送トランジスタTRGおよびフローティングディフュージョンFD)を水平面内方向において取り囲むように形成されており、さらに、半導体基板31の法線方向(厚さ方向)に延在して形成されている。

#### 【0038】

分離部51,54は、例えば、半導体基板31に対して不純物を注入することにより形成された高抵抗領域である。分離部52は、例えば、DTI(Deep Trench Isolation)構造を含んで構成されている。分離部52において、DTIは、半導体基板31に設けられたトレンチの内壁に接する絶縁膜52Bと、絶縁膜52Bの内側に設けられた金属埋め込み部52Aとを含んで構成されている。金属埋め込み部52Aは、形成面31Bから所定の深さまで延在して形成されている。絶縁膜52Bは、例えば、半導体基板31を熱酸化することにより形成された酸化膜であり、例えば、酸化シリコンによって形成されている。金属埋め込み部52Aは、センサ画素11(特に、転送トランジスタTRGおよびフローティングディフュージョンFD)を水平面内方向において取り囲む環形状の金属層である。金属埋め込み部52Aは、例えば、CVD(Chemical Vapor Deposition)を用いて形成されており、例えば、アルミニウムまたはアルミニウム合金によって形成されている。

10

#### 【0039】

第1基板30は、さらに、フォトダイオードPDとフローティングディフュージョンFDとの間の層内に配置された遮光部53をセンサ画素11ごとに有している。遮光部53は、垂直ゲート電極VGが貫通する開口部53Hを有している。互いに隣接する2つのセンサ画素11において、2つの垂直ゲート電極VGが分離部54を介して互に対向配置されるとともに、分離部54に接している。接続部CNは、分離部54上と、互に対向配置された2つの垂直ゲート電極VG上とに接している。遮光部53は、分離部54に接する箇所であって、かつ、垂直ゲート電極VGが貫通する箇所に開口部53Hを有している。つまり、遮光部53は、転送トランジスタTRGのゲートと対向する箇所に開口部53Hを有している。遮光部53は、開口部53H以外の箇所で、受光面31Aを介して入射した光Lの、フローティングディフュージョンFDへの入射を遮る。

20

#### 【0040】

遮光部53は、例えば、第1基板30に設けられた空洞部58の内壁に接する絶縁膜53Bと、絶縁膜53Bの内側に設けられた金属埋め込み部53Aとを含んで構成されている。金属埋め込み部53Aが、本開示の「遮光部」の一具体例に相当する。

30

#### 【0041】

空洞部58は、半導体層33内において、積層面内方向に広がっている。空洞部58は、例えば、所定の薬液を用いたウェットエッチングにより、半導体層33内の所定の箇所に形成されている。空洞部58のうち、垂直ゲート電極VGと対向する箇所には、例えば、エッチングストップ層が設けられていてもよい。エッチングストップ層は、上述の薬液に対するエッチング速度が半導体層33と比べて相対的に遅い材料によって構成されている。

40

#### 【0042】

絶縁膜53Bは、例えば、CVDを用いて形成されている。絶縁膜53Bは、例えば、SiO<sub>2</sub>などの誘電体材料によって形成されている。絶縁膜53Bは、例えば、SiO<sub>2</sub>膜(シリコン酸化膜)、SCF膜およびSiO<sub>2</sub>膜(シリコン酸化膜)からなる積層構造となっている。なお、絶縁膜53Bは、SiO<sub>2</sub>(シリコン酸化物)からなる単層膜となってもよい。金属埋め込み部53Aは、例えば、CVDを用いて形成されている。金属埋め込み部53Aは、例えば、CVDを用いて一括に形成されていてもよい。金属埋め込み部53Aは、例えば、アルミニウムまたはアルミニウム合金によって形成されている。

#### 【0043】

金属埋め込み部53Aは、分離部52の金属埋め込み部52Aの下部に接して形成され

50

ている。金属埋め込み部 5 3 A は、半導体基板 3 1 の裏面（受光面 3 1 A）を介して入射した光の、フローティングディフュージョン F D への入射を遮る。金属埋め込み部 5 3 A は、フォトダイオード P D とフローティングディフュージョン F D との間の層内に配置されている。金属埋め込み部 5 3 A は、半導体基板 3 1 の法線方向（厚さ方向）と直交する方向に延在するシート状の金属層である。金属埋め込み部 5 3 A は、垂直ゲート電極 V G が貫通する開口部を有している。絶縁膜 5 3 B は、金属埋め込み部 5 3 A を覆っており、金属埋め込み部 5 3 A と、垂直ゲート電極 V G とを絶縁分離する。金属埋め込み部 5 3 A および垂直ゲート電極 V G は、例えば、絶縁膜 5 3 B と、半導体層 3 3 の一部（以下、「半導体部 3 3 A」と称する。）とを介して配置されている。

【 0 0 4 4 】

10

[効果]

次に、本実施の形態に係る固体撮像装置 1 の効果について説明する。

【 0 0 4 5 】

固体撮像装置において、C M O S イメージセンサを用いたグローバルシャッタ方式が知られている（例えば、特許文献 1 参照）。上記特許文献 1 に記載の発明では、光電変換部とは異なる深さに、光電変換部に蓄積された電荷が転送される電荷保持部を設けることで、光電変換部の面積を確保しつつ、飽和電子数を確保することができる。

【 0 0 4 6 】

しかし、上記特許文献 1 に記載の発明では、電荷保持部への光入射に起因するノイズが発生する可能性がある。このノイズを低減するために、遮光層を設けることが考えられる。遮光層を設けた場合には、光電変換部から電荷保持部への電荷転送が困難となる。電荷転送を容易にするために、遮光層に設けた開口部から光電変換部に達する垂直ゲート電極を設けることが考えられる。垂直ゲート電極を設けた場合には、画素サイズが大きくなり、さらに、遮光層に設けた開口部から電荷保持部への光入射に起因するノイズが大きくなる。

20

【 0 0 4 7 】

一方、本実施の形態では、フォトダイオード P D に達する垂直ゲート電極 V G が設けられている。これにより、遮光部 5 3 を設けたことによる、フォトダイオード P D からフローティングディフュージョン F D への電荷転送の悪化を避けることができる。本実施の形態では、さらに、互いに隣接する 2 つのセンサ画素 1 1 において、2 つの垂直ゲート電極 V G が互いに電氣的に接続されている。これにより、転送トランジスタ T R G をセンサ画素 1 1 ごとに別個に設けた場合と比べて、転送トランジスタ T R G のサイズを小さくすることができ、それに伴って、垂直ゲート電極 V G を貫通させる、遮光部 5 3 の開口部 5 3 H を小さくすることができる。その結果、ノイズや画素サイズの増加を抑えることができる。従って、ノイズや画素サイズの増加を抑えつつ、電荷転送の悪化を避けることができる。

30

【 0 0 4 8 】

本実施の形態では、互いに隣接する 2 つのセンサ画素 1 1 において、2 つの垂直ゲート電極 V G に接するとともに 2 つの垂直ゲート電極 V G を互いに電氣的に接続する接続部 C N が設けられている。これにより、転送トランジスタ T R G をセンサ画素 1 1 ごとに別個に設けた場合と比べて、転送トランジスタ T R G のサイズを小さくすることができ、それに伴って、垂直ゲート電極 V G を貫通させる、遮光部 5 3 の開口部 5 3 H を小さくすることができる。その結果、ノイズや画素サイズの増加を抑えることができる。従って、ノイズや画素サイズの増加を抑えつつ、電荷転送の悪化を避けることができる。

40

【 0 0 4 9 】

本実施の形態では、互いに隣接する 2 つのセンサ画素 1 1 において、2 つの垂直ゲート電極 V G が分離部 5 4 を介して互いに対向配置されるとともに、分離部 5 4 に接しており、さらに、接続部 C N は、分離部 5 4 上と、互いに対向配置された 2 つの垂直ゲート電極 V G 上とに接している。これにより、転送トランジスタ T R G をセンサ画素 1 1 ごとに別個に設けた場合と比べて、転送トランジスタ T R G のサイズを小さくすることができ、そ

50

れに伴って、垂直ゲート電極V Gを貫通させる、遮光部5 3の開口部5 3 Hを小さくすることができる。その結果、ノイズや画素サイズの増加を抑えることができる。従って、ノイズや画素サイズの増加を抑えつつ、電荷転送の悪化を避けることができる。

【0050】

本実施の形態では、分離部5 4に接する箇所であって、かつ、垂直ゲート電極V Gが貫通する箇所に開口部5 3 Hが設けられている。これにより、転送トランジスタT R Gをセンサ画素1 1ごとに別個に設けた場合と比べて、転送トランジスタT R Gのサイズを小さくすることができ、それに伴って、垂直ゲート電極V Gを貫通させる、遮光部5 3の開口部5 3 Hを小さくすることができる。その結果、ノイズや画素サイズの増加を抑えることができる。従って、ノイズや画素サイズの増加を抑えつつ、電荷転送の悪化を避けること

10

【0051】

< 2 . 変形例 >

以下に、上記実施の形態に係る固体撮像装置1の変形例について説明する。

【0052】

[変形例A]

上記実施の形態において、各センサ画素1 1が、複数の転送トランジスタT R Gを有していてもよい。例えば、図6、図7に示したように、各センサ画素1 1が、2つの転送トランジスタT R Gを有していてもよい。図6は、画素アレイ部1 0のロジック回路2 0側の平面構成の一変形例を表したものである。図7は、画素アレイ部1 0の受光面3 1 A側の平面構成の一変形例を表したものである。なお、図6では、半導体基板3 1のロジック回路2 0側の平面構成に、読み出し回路1 2に含まれる各種トランジスタ(リセットトランジスタR S T、増幅トランジスタA M P、選択トランジスタS E L)のレイアウトが重ね合わされている。また、図7では、半導体基板3 1の受光面3 1 A側の平面構成に、垂直ゲート電極V Gのレイアウトが重ね合わされている。

20

【0053】

排出トランジスタO F Gは、例えば、N M O Sトランジスタである。排出トランジスタO F Gは、ゲート電極に印加される制御信号に応じて、光電変換部から電荷を排出する。排出トランジスタO F Gは、転送トランジスタT R Gと共通の構成を有しており、ゲート電極として、2つの垂直ゲート電極V Gと、接続部C Nとを有している。各転送トランジスタT R Gにおいて、一方の垂直ゲート電極V Gは、互いに隣接する2つのセンサ画素1 1のうちの一方のセンサ画素1 1内に設けられており、他方の垂直ゲート電極V Gは、互いに隣接する2つのセンサ画素1 1のうちの他方のセンサ画素1 1内に設けられている。各転送トランジスタT R Gにおいて、接続部C Nは、2つの垂直ゲート電極V Gに接している。つまり、互いに隣接する2つのセンサ画素1 1において、2つの垂直ゲート電極V Gが接続部C Nを介して互いに電氣的に接続されており、互いに隣接する2つのセンサ画素1 1が接続部C N(ゲート電極の一部)を共有している。ここで、「共有」とは、互いに隣接する2つのセンサ画素1 1における電荷の排出が共通の接続部C Nによって制御されることを指している。

30

【0054】

本変形例では、転送トランジスタT R Gが本開示の「転送トランジスタ」の一具体例に相当する。また、本変形例では、一方の転送トランジスタT R Gの垂直ゲート電極V Gが本開示の「第1の垂直ゲート電極」の一具体例に相当し、他方の転送トランジスタT R Gの垂直ゲート電極V Gが本開示の「第2の垂直ゲート電極」の一具体例に相当する。

40

【0055】

本変形例では、転送トランジスタT R Gにおいて、接続部C Nは、2つの垂直ゲート電極V Gに接している。つまり、互いに隣接する2つのセンサ画素1 1において、転送トランジスタT R Gに含まれる2つの垂直ゲート電極V Gが接続部C Nを介して互いに電氣的に接続されており、互いに隣接する2つのセンサ画素1 1が上記の接続部C N(ゲート電極の一部)を共有している。互いに隣接する2つのセンサ画素1 1において、転送トラン

50

ジスタTRGに含まれる2つの垂直ゲート電極VGが分離部54を介して互いに対向配置されるとともに、分離部54に接している。転送トランジスタTRGにおいて、上記の接続部CNは、分離部54上と、互いに対向配置された2つの垂直ゲート電極VG上とに接している。

【0056】

本変形例では、遮光部53は、分離部54に接する箇所であって、かつ、転送トランジスタTRGに含まれる垂直ゲート電極VGが貫通する箇所に開口部53Hを有している。各センサ画素11に設けられた2つの転送トランジスタTRGは、互いに隣接して配置されており、さらに、各センサ画素11において、フローティングディフュージョンFDが、2つの垂直ゲート電極VGの間隙に隣接して配置されている。

10

【0057】

本変形例では、各センサ画素11に2つの転送トランジスタTRGが設けられている。これにより、各センサ画素11に1つの転送トランジスタTRGが設けられている場合と比べて、フォトダイオードPDからフローティングディフュージョンFDへの電荷転送が向上する。

【0058】

本変形例では、各センサ画素11に設けられた2つの転送トランジスタTRGは、互いに隣接して配置されており、さらに、各センサ画素11において、フローティングディフュージョンFDが、2つの垂直ゲート電極VGの間隙に隣接して配置されている。これにより、フローティングディフュージョンFDが、2つの垂直ゲート電極VGの間隙から離れて配置されている場合と比べて、フォトダイオードPDからフローティングディフュージョンFDへの電荷転送が向上する。

20

【0059】

本変形例では、転送トランジスタTRGにおいて、2つの垂直ゲート電極VGに接するとともに2つの垂直ゲート電極VGを互いに電氣的に接続する接続部CNが設けられている。これにより、転送トランジスタTRGをセンサ画素11ごとに別個に設けた場合と比べて、転送トランジスタTRGのサイズを小さくすることができ、それに伴って、垂直ゲート電極VGを貫通させる、遮光部53の開口部53Hを小さくすることができる。その結果、ノイズや画素サイズの増加を抑えることができる。従って、ノイズや画素サイズの増加を抑えつつ、電荷転送の悪化を避けることができる。

30

【0060】

本変形例では、転送トランジスタTRGにおいて、2つの垂直ゲート電極VGが分離部54を介して互いに対向配置されるとともに、分離部54に接しており、さらに、接続部CNは、分離部54上と、互いに対向配置された2つの垂直ゲート電極VG上とに接している。これにより、転送トランジスタTRGをセンサ画素11ごとに別個に設けた場合と比べて、転送トランジスタTRGのサイズを小さくすることができ、それに伴って、垂直ゲート電極VGを貫通させる、遮光部53の開口部53Hを小さくすることができる。その結果、ノイズや画素サイズの増加を抑えることができる。従って、ノイズや画素サイズの増加を抑えつつ、電荷転送の悪化を避けることができる。

【0061】

本変形例では、分離部54に接する箇所であって、かつ、2つの垂直ゲート電極VGが貫通する箇所に開口部53Hが設けられている。これにより、転送トランジスタTRGをセンサ画素11ごとに別個に設けた場合と比べて、転送トランジスタTRGのサイズを小さくすることができ、それに伴って、垂直ゲート電極VGを貫通させる、遮光部53の開口部53Hを小さくすることができる。その結果、ノイズや画素サイズの増加を抑えることができる。従って、ノイズや画素サイズの増加を抑えつつ、電荷転送の悪化を避けることができる。

40

【0062】

[変形例B]

上記実施の形態において、転送トランジスタTRGが、例えば、図8、図9に示したよ

50

うに、接続部CNに接続されていない垂直ゲート電極VGを、センサ画素11ごとに1つずつ更に有していてもよい。図8は、画素アレイ部10のロジック回路20側の平面構成の一変形例を表したものである。図9は、画素アレイ部10の受光面31A側の平面構成の一変形例を表したものである。なお、図8では、半導体基板31のロジック回路20側の平面構成に、読み出し回路12に含まれる各種トランジスタ(リセットトランジスタRST、増幅トランジスタAMP、選択トランジスタSEL)のレイアウトが重ね合わされている。また、図9では、半導体基板31の受光面31A側の平面構成に、垂直ゲート電極VGのレイアウトが重ね合わされている。

#### 【0063】

本変形例では、各センサ画素11が、接続部CNに接続された垂直ゲート電極VGと、接続部CNに接続されていない垂直ゲート電極VGとの間隙に隣接する位置にフローティングディフュージョンFDを有している。これにより、フローティングディフュージョンFDが、2つの垂直ゲート電極VGの間隙から離れて配置されている場合と比べて、フォトダイオードPDからフローティングディフュージョンFDへの電荷転送が向上する。

#### 【0064】

#### [変形例C]

上記実施の形態およびその変形例において、転送トランジスタTRGが、ゲート電極として、4つの垂直ゲート電極VGと、接続部CNとを有していてもよい。この場合、転送トランジスタTRGにおいて、4つの垂直ゲート電極VGは、図10、図11、図12に示したように、互いに隣接する4つのセンサ画素11の各々に1つずつ設けられている。

#### 【0065】

図10は、本変形例に係る画素アレイ部10の回路構成の一例を表したものである。図11は、本変形例に係る画素アレイ部10のロジック回路20側の平面構成の一例を表したものである。図12は、本変形例に係る画素アレイ部10の受光面31A側の平面構成の一例を表したものである。なお、図11では、半導体基板31のロジック回路20側の平面構成に、読み出し回路12に含まれる各種トランジスタ(リセットトランジスタRST、増幅トランジスタAMP、選択トランジスタSEL)のレイアウトが重ね合わされている。また、図12では、半導体基板31の受光面31A側の平面構成に、垂直ゲート電極VGのレイアウトが重ね合わされている。

#### 【0066】

本変形例では、転送トランジスタTRGにおいて、接続部CNは、4つの垂直ゲート電極VGに接している。つまり、互いに隣接する4つのセンサ画素11において、4つの垂直ゲート電極VGが接続部CNを介して互いに電気的に接続されており、互いに隣接する4つのセンサ画素11が接続部CN(ゲート電極の一部)を共有している。

#### 【0067】

本変形例では、互いに隣接する4つのセンサ画素11において、4つの垂直ゲート電極VGが分離部54を介して互いに対向配置されるとともに、分離部54に接している。接続部CNは、分離部54上と、互いに対向配置された4つの垂直ゲート電極VG上に接している。遮光部53は、分離部54に接する箇所であって、かつ、垂直ゲート電極VGが貫通する箇所に開口部53Hを有している。

#### 【0068】

このように、本変形例では、転送トランジスタTRGにおいて、ゲート電極として、4つの垂直ゲート電極VGと、接続部CNとが設けられている。これにより、転送トランジスタTRGをセンサ画素11ごとに別個に設けた場合と比べて、転送トランジスタTRGのサイズを小さくすることができ、それに伴って、垂直ゲート電極VGを貫通させる、遮光部53の開口部53Hを小さくすることができる。その結果、ノイズや画素サイズの増加を抑えることができる。従って、ノイズや画素サイズの増加を抑えつつ、電荷転送の悪化を避けることができる。

#### 【0069】

#### [変形例D]

上記実施の形態およびその変形例において、各センサ画素 11 が、例えば、図 13、図 14 に示したように、各センサ画素 11 が、転送トランジスタ TRG と、排出トランジスタ OFG とを有していてもよい。図 13 は、画素アレイ部 10 のロジック回路 20 側の平面構成の一変形例を表したものである。図 14 は、画素アレイ部 10 の受光面 31A 側の平面構成の一変形例を表したものである。なお、図 13 では、半導体基板 31 のロジック回路 20 側の平面構成に、読み出し回路 12 に含まれる各種トランジスタ（リセットトランジスタ RST、増幅トランジスタ AMP、選択トランジスタ SEL）のレイアウトが重ね合わされている。また、図 14 では、半導体基板 31 の受光面 31A 側の平面構成に、垂直ゲート電極 VG のレイアウトが重ね合わされている。

#### 【0070】

排出トランジスタ OFG は、例えば、NMOS トランジスタである。排出トランジスタ OFG は、ゲート電極に印加される制御信号に応じて、光電変換部から電荷を排出する。排出トランジスタ OFG は、転送トランジスタ TRG と共通の構成を有しており、ゲート電極として、2つの垂直ゲート電極 VG と、接続部 CN とを有している。排出トランジスタ OFG において、一方の垂直ゲート電極 VG は、互いに隣接する2つのセンサ画素 11 のうちの一方のセンサ画素 11 内の設けられており、他方の垂直ゲート電極 VG は、互いに隣接する2つのセンサ画素 11 のうちの他方のセンサ画素 11 内に設けられている。排出トランジスタ OFG において、接続部 CN は、2つの垂直ゲート電極 VG に接している。つまり、互いに隣接する2つのセンサ画素 11 において、2つの垂直ゲート電極 VG が接続部 CN を介して互いに電氣的に接続されており、互いに隣接する2つのセンサ画素 11 が接続部 CN（ゲート電極の一部）を共有している。ここで、「共有」とは、互いに隣接する2つのセンサ画素 11 における電荷の排出が共通の接続部 CN によって制御されることを指している。

#### 【0071】

本変形例では、転送トランジスタ TRG が本開示の「転送トランジスタ」の一具体例に相当し、排出トランジスタ OFG が本開示の「排出トランジスタ」の一具体例に相当する。また、本変形例では、転送トランジスタ TRG の垂直ゲート電極 VG が本開示の「第1の垂直ゲート電極」の一具体例に相当し、排出トランジスタ OFG の垂直ゲート電極 VG が本開示の「第2の垂直ゲート電極」の一具体例に相当する。

#### 【0072】

本変形例では、転送トランジスタ TRG において、接続部 CN は、2つの垂直ゲート電極 VG に接している。つまり、互いに隣接する2つのセンサ画素 11 において、転送トランジスタ TRG に含まれる2つの垂直ゲート電極 VG が接続部 CN を介して互いに電氣的に接続されており、互いに隣接する2つのセンサ画素 11 が上記の接続部 CN（ゲート電極の一部）を共有している。互いに隣接する2つのセンサ画素 11 において、転送トランジスタ TRG に含まれる2つの垂直ゲート電極 VG が分離部 54 を介して互いに対向配置されるとともに、分離部 54 に接している。転送トランジスタ TRG において、上記の接続部 CN は、分離部 54 上と、互いに対向配置された2つの垂直ゲート電極 VG 上に接している。

#### 【0073】

本変形例では、さらに、排出トランジスタ OFG において、接続部 CN は、2つの垂直ゲート電極 VG に接している。つまり、互いに隣接する2つのセンサ画素 11 において、排出トランジスタ OFG に含まれる2つの垂直ゲート電極 VG が接続部 CN を介して互いに電氣的に接続されており、互いに隣接する2つのセンサ画素 11 が上記の接続部 CN（ゲート電極の一部）を共有している。互いに隣接する2つのセンサ画素 11 において、排出トランジスタ OFG に含まれる2つの垂直ゲート電極 VG が分離部 54 を介して互いに対向配置されるとともに、分離部 54 に接している。排出トランジスタ OFG において、上記の接続部 CN は、分離部 54 上と、互いに対向配置された2つの垂直ゲート電極 VG 上に接している。

#### 【0074】

10

20

30

40

50

本変形例では、遮光部 5 3 は、分離部 5 4 に接する箇所であって、かつ、転送トランジスタ T R G に含まれる垂直ゲート電極 V G と、排出トランジスタ O F G に含まれる垂直ゲート電極 V G とが貫通する箇所に開口部 5 3 H を有している。各センサ画素 1 1 に設けられた転送トランジスタ T R G および排出トランジスタ O F G は、互いに隣接して配置されており、さらに、各センサ画素 1 1 において、フローティングディフュージョン F D が、2 つの垂直ゲート電極 V G の間に隣接して配置されている。

【 0 0 7 5 】

本変形例では、各センサ画素 1 1 に転送トランジスタ T R G および排出トランジスタ O F G が設けられている。これにより、各センサ画素 1 1 に 1 つの転送トランジスタ T R G が設けられている場合と比べて、フォトダイオード P D からフローティングディフュージョン F D への電荷転送が向上する。

10

【 0 0 7 6 】

本変形例では、各センサ画素 1 1 に設けられた転送トランジスタ T R G および排出トランジスタ O F G は、互いに隣接して配置されており、さらに、各センサ画素 1 1 において、フローティングディフュージョン F D が、2 つの垂直ゲート電極 V G の間に隣接して配置されている。これにより、フローティングディフュージョン F D が、2 つの垂直ゲート電極 V G の間から離れて配置されている場合と比べて、フォトダイオード P D からフローティングディフュージョン F D への電荷転送が向上する。

【 0 0 7 7 】

本変形例では、転送トランジスタ T R G において、2 つの垂直ゲート電極 V G に接するとともに 2 つの垂直ゲート電極 V G を互いに電氣的に接続する接続部 C N が設けられている。本変形例では、さらに、排出トランジスタ O F G において、2 つの垂直ゲート電極 V G に接するとともに 2 つの垂直ゲート電極 V G を互いに電氣的に接続する接続部 C N が設けられている。これにより、転送トランジスタ T R G および排出トランジスタ O F G をセンサ画素 1 1 ごとに別個に設けた場合と比べて、転送トランジスタ T R G および排出トランジスタ O F G のサイズを小さくすることができ、それに伴って、垂直ゲート電極 V G を貫通させる、遮光部 5 3 の開口部 5 3 H を小さくすることができる。その結果、ノイズや画素サイズの増加を抑えることができる。従って、ノイズや画素サイズの増加を抑えつつ、電荷転送の悪化を避けることができる。

20

【 0 0 7 8 】

本変形例では、転送トランジスタ T R G において、2 つの垂直ゲート電極 V G が分離部 5 4 を介して互いに対向配置されるとともに、分離部 5 4 に接しており、さらに、接続部 C N は、分離部 5 4 上と、互いに対向配置された 2 つの垂直ゲート電極 V G 上とに接している。本変形例では、さらに、排出トランジスタ O F G において、2 つの垂直ゲート電極 V G が分離部 5 4 を介して互いに対向配置されるとともに、分離部 5 4 に接しており、さらに、接続部 C N は、分離部 5 4 上と、互いに対向配置された 2 つの垂直ゲート電極 V G 上とに接している。これにより、転送トランジスタ T R G および排出トランジスタ O F G をセンサ画素 1 1 ごとに別個に設けた場合と比べて、転送トランジスタ T R G および排出トランジスタ O F G のサイズを小さくすることができ、それに伴って、垂直ゲート電極 V G を貫通させる、遮光部 5 3 の開口部 5 3 H を小さくすることができる。その結果、ノイズや画素サイズの増加を抑えることができる。従って、ノイズや画素サイズの増加を抑えつつ、電荷転送の悪化を避けることができる。

30

40

【 0 0 7 9 】

本変形例では、分離部 5 4 に接する箇所であって、かつ、2 つの垂直ゲート電極 V G が貫通する箇所に開口部 5 3 H が設けられている。これにより、転送トランジスタ T R G をセンサ画素 1 1 ごとに別個に設けた場合と比べて、転送トランジスタ T R G のサイズを小さくすることができ、それに伴って、垂直ゲート電極 V G を貫通させる、遮光部 5 3 の開口部 5 3 H を小さくすることができる。その結果、ノイズや画素サイズの増加を抑えることができる。従って、ノイズや画素サイズの増加を抑えつつ、電荷転送の悪化を避けることができる。

50

## 【 0 0 8 0 】

## [変形例 E]

上記実施の形態およびその変形例において、各センサ画素 11 は、例えば、図 15、図 16、図 17、図 18 に示したように、フォトダイオード PD と、転送トランジスタ TRG と、転送トランジスタ TRM と、電荷保持部 MEM と、転送トランジスタ TRX と、フローティングディフュージョン FD と、排出トランジスタ OFG と、排出フローティングディフュージョン OFD とを有していてもよい。

## 【 0 0 8 1 】

図 15 は、本変形例に係る画素アレイ部 10 の回路構成の一例を表したものである。図 16 は、本変形例に係る画素アレイ部 10 の断面構成の一例を表したものである。図 17 は、本変形例に係る画素アレイ部 10 のロジック回路 20 側の平面構成の一例を表したものである。図 18 は、本変形例に係る画素アレイ部 10 の受光面 31A 側の平面構成の一例を表したものである。なお、図 17 では、半導体基板 31 のロジック回路 20 側の平面構成に、読み出し回路 12 に含まれる各種トランジスタ（リセットトランジスタ RST、増幅トランジスタ AMP、選択トランジスタ SEL）のレイアウトが重ね合わされている。また、図 18 では、半導体基板 31 の受光面 31A 側の平面構成に、垂直ゲート電極 VG のレイアウトが重ね合わされている。

## 【 0 0 8 2 】

転送トランジスタ TRG、TRM、TRX、OFG は、例えば、NMOS トランジスタである。図 15 には、転送トランジスタ TRG のゲートの一部が互いに隣接する 2 つのセンサ画素 11 において共有されている場合が例示されている。なお、本変形例において、転送トランジスタ TRG のゲートの一部が互いに隣接する 4 つのセンサ画素 11 において共有されていてもよい。

## 【 0 0 8 3 】

本変形例において、転送トランジスタ TRG は、フォトダイオード PD と転送トランジスタ TRM との間に接続されており、ゲートに印加される制御信号に応じて、フォトダイオード PD に蓄積されている電荷を転送トランジスタ TRM に転送する。転送トランジスタ TRG は、フォトダイオード PD から電荷保持部 MEM に電荷を転送する。例えば、排出トランジスタ OFG がオフし、転送トランジスタ TRG がオンすると、フォトダイオード PD に保持されている電荷が、転送トランジスタ TRG を介して、フローティングディフュージョン FD に転送される。転送トランジスタ TRG のドレインが転送トランジスタ TRM のソースに電氣的に接続されており、転送トランジスタ TRG のゲートは画素駆動線に接続されている。

## 【 0 0 8 4 】

転送トランジスタ TRM は、転送トランジスタ TRG と転送トランジスタ TRX との間に接続されており、ゲートに印加される制御信号に応じて、電荷保持部 MEM のポテンシャルを制御する。例えば、転送トランジスタ TRM がオンしたとき、電荷保持部 MEM のポテンシャルが深くなり、転送トランジスタ TRM がオフしたとき、電荷保持部 MEM のポテンシャルが浅くなる。そして、例えば、転送トランジスタ TRG および転送トランジスタ TRM がオンすると、フォトダイオード PD に蓄積されている電荷が、転送トランジスタ TRG および転送トランジスタ TRM を介して、電荷保持部 MEM に転送される。転送トランジスタ TRM のドレインが転送トランジスタ TRX のソースに電氣的に接続されており、転送トランジスタ TRM のゲートは画素駆動線に接続されている。

## 【 0 0 8 5 】

電荷保持部 MEM は、グローバルシャッタ機能を実現するために、フォトダイオード PD に蓄積された電荷を一時的に保持する領域である。電荷保持部 MEM は、フォトダイオード PD から転送された電荷を保持する。

## 【 0 0 8 6 】

転送トランジスタ TRX は、転送トランジスタ TRM とフローティングディフュージョン FD との間に接続されており、ゲートに印加される制御信号に応じて、電荷保持部 ME

10

20

30

40

50

Mに保持されている電荷をフローティングディフュージョンFDに転送する。例えば、転送トランジスタTRMがオフし、転送トランジスタTRXがオンすると、電荷保持部MEMに保持されている電荷が、転送トランジスタTRMおよび転送トランジスタTRXを介して、フローティングディフュージョンFDに転送される。転送トランジスタTRXのドレインがフローティングディフュージョンFDに電氣的に接続されており、転送トランジスタTRXのゲートは画素駆動線に接続されている。

**【0087】**

フローティングディフュージョンFDは、転送トランジスタTRXを介してフォトダイオードPDから出力された電荷を一時的に保持する浮遊拡散領域である。フローティングディフュージョンFDには、例えば、リセットトランジスタRSTが接続されるとともに、増幅トランジスタAMPおよび選択トランジスタSELを介して垂直信号線VSLが接続されている。

10

**【0088】**

排出トランジスタOFGでは、ドレインが電源線VDDに接続され、ソースが転送トランジスタTRGと転送トランジスタTRMの間に接続されている。排出トランジスタOFGは、ゲートに印加される制御信号に応じて、フォトダイオードPDを初期化（リセット）する。例えば、転送トランジスタTRGおよび排出トランジスタOFGがオンすると、フォトダイオードPDの電位が電源線VDDの電位レベルにリセットされる。すなわち、フォトダイオードPDの初期化が行われる。また、排出トランジスタOFGは、例えば、転送トランジスタTRGと電源線VDDの間にオーバーフローパスを形成し、フォトダイオードPDから溢れた電荷を電源線VDDに排出する。

20

**【0089】**

転送トランジスタTRG、TRM、TRX、電荷保持部MEMおよびフローティングディフュージョンFDおよび排出トランジスタOFGは、半導体層33の上面（形成面31B）に形成されている。絶縁層32内には、転送トランジスタTRG、TRM、TRXおよび排出トランジスタOFGのゲート電極や、これらのゲート電極に接続された配線などが設けられている。

**【0090】**

本変形例では、上記実施の形態およびその変形例と同様に、フォトダイオードPDに達する垂直ゲート電極VGが設けられている。これにより、遮光部53を設けたことによる、フォトダイオードPDからフローティングディフュージョンFDへの電荷転送の悪化を避けることができる。本変形例では、さらに、互いに隣接する複数の（例えば2つ、または4つ）のセンサ画素11において、複数の（例えば2つ、または4つ）の垂直ゲート電極VGが互いに電氣的に接続されている。これにより、転送トランジスタTRGをセンサ画素11ごとに別個に設けた場合と比べて、転送トランジスタTRGのサイズを小さくすることができ、それに伴って、垂直ゲート電極VGを貫通させる、遮光部53の開口部53Hを小さくすることができる。その結果、ノイズや画素サイズの増加を抑えることができる。従って、ノイズや画素サイズの増加を抑えつつ、電荷転送の悪化を避けることができる。

30

**【0091】**

本変形例において、各センサ画素11が、垂直ゲート電極VGと電荷保持部MEMとの間に、バッファ領域を有していてもよい。バッファ領域は、例えば、電荷保持部MEMと同一の導電型のN型半導体領域となっている。このようにバッファ領域を設けることで、フォトダイオードPDに大光量が照射されるなどして蓄積電荷があふれた場合に、そのあふれた電荷が直接、電荷保持部MEMに入るのを防止することができる。

40

**【0092】**

本変形例において、読み出し回路12が半導体基板31の形成面31Bではなく、絶縁層32内に設けられていてもよい。つまり、読み出し回路12がセンサ画素11に含まれる各トランジスタ（例えば、転送トランジスタTRG、TRM、TRXや排出トランジスタOFG）とは異なる層内に設けられていてもよい。このようにした場合には、電荷保持

50

部MEMを大きく形成することが可能となり、飽和電子数をより多く確保することができる。

【0093】

[変形例F]

上記変形例Eにおいて、排出トランジスタOFGが、例えば、図19、図20に示したように、ゲート電極として、2つの垂直ゲート電極VGと、接続部CNとを有していてもよい。排出トランジスタOFGにおいて、一方の垂直ゲート電極VGは、互いに隣接する2つのセンサ画素11のうちの一方のセンサ画素11内の設けられており、他方の垂直ゲート電極VGは、互いに隣接する2つのセンサ画素11のうちの他方のセンサ画素11内に設けられている。排出トランジスタOFGにおいて、接続部CNは、2つの垂直ゲート電極VGに接している。つまり、互いに隣接する2つのセンサ画素11において、2つの垂直ゲート電極VGが接続部CNを介して互いに電氣的に接続されており、互いに隣接する2つのセンサ画素11が接続部CN(ゲート電極の一部)を共有している。ここで、「共有」とは、互いに隣接する2つのセンサ画素11の出力が共通の接続部CNによって制御されることを指している。

10

【0094】

本変形例では、遮光部53は、分離部54に接する箇所であって、かつ、転送トランジスタTRGに含まれる垂直ゲート電極VGと、排出トランジスタOFGに含まれる垂直ゲート電極VGとが貫通する箇所に開口部53Hを有している。各センサ画素11に設けられた転送トランジスタTRGおよび排出トランジスタOFGは、互いに隣接して配置されており、さらに、各センサ画素11において、フローティングディフュージョンFDが、2つの垂直ゲート電極VGの間隙に隣接して配置されている。

20

【0095】

本変形例では、各センサ画素11に転送トランジスタTRGおよび排出トランジスタOFGが設けられている。これにより、各センサ画素11に1つの転送トランジスタTRGが設けられている場合と比べて、フォトダイオードPDからフローティングディフュージョンFDへの電荷転送が向上する。

【0096】

本変形例では、各センサ画素11に設けられた転送トランジスタTRGおよび排出トランジスタOFGは、互いに隣接して配置されており、さらに、各センサ画素11において、フローティングディフュージョンFDが、2つの垂直ゲート電極VGの間隙に隣接して配置されている。これにより、フローティングディフュージョンFDが、2つの垂直ゲート電極VGの間隙から離れて配置されている場合と比べて、フォトダイオードPDからフローティングディフュージョンFDへの電荷転送が向上する。

30

【0097】

本変形例では、転送トランジスタTRGにおいて、2つの垂直ゲート電極VGに接するとともに2つの垂直ゲート電極VGを互いに電氣的に接続する接続部CNが設けられている。本変形例では、さらに、排出トランジスタOFGにおいて、2つの垂直ゲート電極VGに接するとともに2つの垂直ゲート電極VGを互いに電氣的に接続する接続部CNが設けられている。これにより、転送トランジスタTRGおよび排出トランジスタOFGをセンサ画素11ごとに別個に設けた場合と比べて、転送トランジスタTRGおよび排出トランジスタOFGのサイズを小さくすることができ、それに伴って、垂直ゲート電極VGを貫通させる、遮光部53の開口部53Hを小さくすることができる。その結果、ノイズや画素サイズの増加を抑えることができる。従って、ノイズや画素サイズの増加を抑えつつ、電荷転送の悪化を避けることができる。

40

【0098】

本変形例では、転送トランジスタTRGにおいて、2つの垂直ゲート電極VGが分離部54を介して互いに対向配置されるとともに、分離部54に接しており、さらに、接続部CNは、分離部54上と、互いに対向配置された2つの垂直ゲート電極VG上とに接している。本変形例では、さらに、排出トランジスタOFGにおいて、2つの垂直ゲート電極

50

V Gが分離部54を介して互いに対向配置されるとともに、分離部54に接しており、さらに、接続部CNは、分離部54上と、互いに対向配置された2つの垂直ゲート電極V G上とに接している。これにより、転送トランジスタTRGおよび排出トランジスタOFGをセンサ画素11ごとに別個に設けた場合と比べて、転送トランジスタTRGおよび排出トランジスタOFGのサイズを小さくすることができ、それに伴って、垂直ゲート電極V Gを貫通させる、遮光部53の開口部53Hを小さくすることができる。その結果、ノイズや画素サイズの増加を抑えることができる。従って、ノイズや画素サイズの増加を抑えつつ、電荷転送の悪化を避けることができる。

【0099】

本変形例では、分離部54に接する箇所であって、かつ、2つの垂直ゲート電極V Gが貫通する箇所に開口部53Hが設けられている。これにより、転送トランジスタTRGをセンサ画素11ごとに別個に設けた場合と比べて、転送トランジスタTRGのサイズを小さくすることができ、それに伴って、垂直ゲート電極V Gを貫通させる、遮光部53の開口部53Hを小さくすることができる。その結果、ノイズや画素サイズの増加を抑えることができる。従って、ノイズや画素サイズの増加を抑えつつ、電荷転送の悪化を避けることができる。

【0100】

[変形例G]

上記変形例Eにおいて、転送トランジスタTRGが、例えば、図21、図22に示したように、接続部CNに接続されていない垂直ゲート電極V Gを、センサ画素11ごとに1つずつ更に有していてもよい。図21は、画素アレイ部10のロジック回路20側の平面構成の一変形例を表したものである。図22は、画素アレイ部10の受光面31A側の平面構成の一変形例を表したものである。なお、図21では、半導体基板31のロジック回路20側の平面構成に、読み出し回路12に含まれる各種トランジスタ(リセットトランジスタRST、増幅トランジスタAMP、選択トランジスタSEL)のレイアウトが重ね合わされている。また、図22では、半導体基板31の受光面31A側の平面構成に、垂直ゲート電極V Gのレイアウトが重ね合わされている。

【0101】

本変形例では、各センサ画素11が、接続部CNに接続された垂直ゲート電極V Gと、接続部CNに接続されていない垂直ゲート電極V Gとの間隙に隣接する位置にフローティングディフュージョンFDを有している。これにより、フローティングディフュージョンFDが、2つの垂直ゲート電極V Gの間隙から離れて配置されている場合と比べて、フォトダイオードPDからフローティングディフュージョンFDへの電荷転送が向上する。

【0102】

[変形例H]

上記実施の形態およびその変形例において、分離部51、54のうち、少なくとも複数の垂直ゲート電極V Gに隣接する箇所が酸化膜で形成されていてもよい。例えば、図23、図24に示したように、分離部51、54のうち、複数の垂直ゲート電極V Gに隣接する箇所が酸化膜54Aで形成されていてもよい。また、例えば、図25、図26に示したように、分離部54全体が酸化膜54Aで形成されていてもよい。また、例えば、図27、図28に示したように、分離部54内に、受光面31Aから、複数の垂直ゲート電極V Gに隣接する箇所まで延在する酸化膜54Aが形成されていてもよい。

【0103】

酸化膜54Aは、例えば、CVDを用いて、半導体基板31に形成したトレンチ内に、SiO<sub>2</sub>(酸化シリコン)を埋め込むことにより形成されている。このようにした場合に、転送トランジスタTRGのゲートがオンしたときに、分離部51、54の電位が変化し、互いに隣接する2つのセンサ画素11間で電荷が漏れてしまうのを防ぐことができる。その結果、電荷漏れに起因するノイズを低減することができる。

【0104】

[変形例I]

10

20

30

40

50

上記実施の形態およびその変形例において、垂直ゲート電極 V G が、例えば、図 29 に示したように、互いに隣接する 2 つのセンサ画素 11 をまたいで形成されていてもよい。このようにした場合であっても、上記実施の形態およびその変形例と同様の効果が得られる。

#### 【0105】

##### [変形例 J]

上記変形例 E, F, G, H, I において、半導体基板 31 のうち、フォトダイオード P D を囲む分離部 51, 54 によって形成される領域の積層面内における形状（以下、「第 1 の形状」と称する。）と、半導体基板 31 のうち、フローティングディフュージョン F D もしくは電荷保持部 M E M を囲む分離部 52, 54 によって形成される領域の積層面内における形状（以下、「第 2 の形状」と称する。）とが、互いに異なってもよい。例えば、第 1 の形状が長方形となっており、第 2 の形状が第 1 の形状よりも正方形に近い形状となってもよい。

10

#### 【0106】

##### [変形例 K]

上記実施の形態およびその変形例において、半導体基板 31 は、例えば  $Si\{111\}$  基板からなってもよい。 $Si\{111\}$  基板とは、ミラー指数の表記において  $\{111\}$  で表される結晶面を有する単結晶シリコン基板または単結晶シリコンウェハである。 $\{111\}$  で表される結晶面（面指数  $\{111\}$  で表される結晶面）は、単結晶シリコン基板または単結晶シリコンウェハにおいて、厚さ方向と直交する面（水平面）に沿って広がっている。本変形例において、 $Si\{111\}$  基板は、結晶方位が数度ずれた、例えば  $\{111\}$  面から最近接の  $[110]$  方向へ数度ずれた基板またはウェハも含む。本変形例において、 $Si\{111\}$  基板は、さらに、これらの基板またはウェハ上の一部または全面にエピタキシャル法等によりシリコン単結晶を成長させたものをも含む。

20

#### 【0107】

また、本変形例において、 $\{111\}$  面は、対称性において互いに等価な結晶面である  $(111)$  面、 $(-111)$  面、 $(1-11)$  面、 $(11-1)$  面、 $(-1-11)$  面、 $(-11-1)$  面、 $(1-1-1)$  面および  $(-1-1-1)$  面の総称である。したがって、本変形例において、 $Si\{111\}$  基板という記載を、例えば  $Si(1-11)$  基板と読み替えてもよい。ここで、ミラー指数の負方向の指数を表記するためのバー符号はマイナス符号で代用している。

30

#### 【0108】

また、本変形例において、 $\langle 110 \rangle$  方向は、対称性において互いに等価な結晶面方向である  $[110]$  方向、 $[101]$  方向、 $[011]$  方向、 $[-110]$  方向、 $[1-10]$  方向、 $[-101]$  方向、 $[10-1]$  方向、 $[0-11]$  方向、 $[01-1]$  方向、 $[-1-10]$  方向、 $[-10-1]$  方向および  $[0-1-1]$  方向の総称であり、いずれかに読み替えてもよい。但し、本変形例では、素子形成面と直交する方向と、この素子形成面に直交する方向に対してさらに直交する方向（すなわち素子形成面と平行な方向）とにエッチングを行うものである。

#### 【0109】

表 1 は、本変形例における  $Si\{111\}$  基板の結晶面である  $\{111\}$  面において  $\langle 110 \rangle$  方向へのエッチングが成立することとなる面と方位との具体的な組み合わせを示したものである。

40

#### 【0110】

50

【表 1】

エッチング 方位	素子形成面							
	(111)	(-111)	(1-11)	(-1-11)	(-11-1)	(1-1-1)	(-1-1-1)	(-1-1-1)
[110]		○	○		○	○		
[101]		○	○	○			○	
[011]			○	○	○			
[-110]	○		○	○				○
[1-10]	○		○	○				○
[-101]	○				○	○		○
[10-1]	○		○	○				○
[0-11]	○	○					○	○
[01-1]	○	○					○	○
[-1-10]		○			○			
[-10-1]		○					○	○
[0-1-1]			○	○				

10

20

30

## 【0 1 1 1】

40

表 1 に示したように、 $\{111\}$  面と  $\langle 110 \rangle$  方向との組み合わせは、 $96 (= 8 \times 12)$  通り存在する。しかしながら、本変形例において、 $\langle 110 \rangle$  方向は、素子形成面である  $\{111\}$  面と直交する方向と、素子形成面と平行な方向とに限られる。すなわち、本変形例において、 $Si\{111\}$  基板における素子形成面と、その  $Si\{111\}$  基板に対してエッチングを行う方位との組み合わせは、表 1 において示した組合せのいずれかから選択される。

## 【0 1 1 2】

本変形例では、 $Si\{111\}$  基板を用いて、図 3、図 16、図 23 ~ 図 28 の左右方向 (X 軸方向) へのエッチングが進行し易い一方、図 3、図 16、図 23 ~ 図 28 の奥行方向 (Y 軸方向) および上下方向 (Z 軸方向) のうち少なくとも Z 軸方向には進行し難く

50

なるようにウェットエッチングを行うことにより、空洞部 5 8 を形成することが可能である。

【 0 1 1 3 】

例えば、 $Si\{111\}$  基板に対して、所定のアルカリ水溶液を用いたウェットエッチングを行うことにより、空洞部 5 8 を形成することが可能である。アルカリ水溶液としては、無機溶液であれば  $KOH$ 、 $NaOH$ 、または  $CSOH$  などが適用可能であり、有機溶液であれば  $EDP$ （エチレンジアミンピロカテコール水溶液）、 $N_2H_4$ （ヒドラジン）、 $NH_4OH$ （水酸化アンモニウム）、または  $TMAH$ （水酸化テトラメチルアンモニウム）などが適用可能である。 $Si\{111\}$  の面方位に応じてエッチングレートが異なる性質を利用した結晶異方性エッチングを行うことにより空洞部 5 8 を形成することが可能である。

10

【 0 1 1 4 】

具体的には、 $Si\{111\}$  基板においては、 $\langle 111 \rangle$  方向、すなわち  $Si$  バックボンドを 3 本有する方向のエッチングレートに対して  $\langle 110 \rangle$  方向、すなわち  $Si$  バックボンドを 1 本または 2 本有する方向のエッチングレートが十分に高くなる。したがって、本変形例では、 $\langle 110 \rangle$  方向、すなわち  $Si$  バックボンドを 1 本または 2 本有する方向を  $X$  軸方向とし、 $\langle 111 \rangle$  方向、すなわち  $Si$  バックボンドを 3 本有する方向を  $Z$  軸方向とすることにより、 $X$  軸方向へのエッチングが進行する一方、 $Y$  軸方向および  $Z$  軸方向のうち少なくとも  $Z$  軸方向にはほとんどエッチングが進行しないこととなる。その結果、 $Si\{111\}$  基板である半導体基板 3 1 の内部には、一对の第 1 の面、一对の第 2 の面および第 3 の面を含む空洞部 5 8 が形成されることとなる。従って、空洞部 5 8 内に形成される遮光部 5 3 も、一对の第 1 の面、一对の第 2 の面および第 3 の面を含んでいる。

20

【 0 1 1 5 】

$Si$  バックボンドとは、例えば図 3 0 の概略説明図において説明すると、 $Si\{111\}$  面の法線に対して  $Si$  未結合手側を正方向としたときに、それと反対側の負方向に伸びる結合手を意味する。図 3 0 の例では、 $\{111\}$  面に対し  $-19.47^\circ \sim +19.47^\circ$  の角度をなす 3 本のバックボンドを示している。具体的に、フォトダイオード PD、空洞部 5 8、遮光部 5 3、電荷保持部 MEM を  $Si\{111\}$  基板に設ける場合、空洞部 5 8 および遮光部 5 3 は、第 1 の方向と直交すると共に面指数  $\{111\}$  で表される  $Si\{111\}$  基板の第 1 の結晶面に沿った第 1 の面と、第 1 の方向に対して傾斜すると共に

30

【 0 1 1 6 】

一对の第 1 の面は、それぞれ、半導体基板 3 1 の第 1 の結晶面に沿った面であり、 $Z$  軸方向において互いに対向している。なお、半導体基板 3 1 における第 1 の結晶面は、面指数  $\{111\}$  で表されるものである。一对の第 2 の面は、それぞれ、半導体基板 3 1 の第 2 の結晶面に沿った面であり、 $Y$  軸方向において互いに対向している。なお、半導体基板 3 1 における第 2 の結晶面は、面指数  $\{111\}$  で表されるものであり、 $Z$  軸方向に対して約  $19.5^\circ$  傾斜している。すなわち、水平面 ( $XY$  面) に対する第 2 の結晶面の傾斜角度は約  $70.5^\circ$  である。また、第 2 の結晶面は、水平面 ( $XY$  面) において  $X$  軸および  $Y$  軸に対して傾斜しており、例えば  $Y$  軸に対して約  $30^\circ$  の角度をなしている。第 3 の面は、半導体基板 3 1 の第 3 の結晶面に沿った面である。半導体基板 3 1 の第 3 の結晶面は、第 2 の結晶面と同様、 $Z$  軸方向に対して約  $19.5^\circ$  傾斜している。すなわち、水平面 ( $XY$  面) に対する第 3 の結晶面の傾斜角度は約  $70.5^\circ$  である。

40

【 0 1 1 7 】

なお、 $Si\{111\}$  基板には、例えば、図 3 1 に示したように、基板表面が  $\langle 112 \rangle$  方向に対してオフ角があるように加工された基板の場合も含まれる。オフ角が  $19.47^\circ$  以下の場合、オフ角を有する基板の場合においても、 $\langle 111 \rangle$  方向、すなわち  $Si$  バックボンドを 3 本有する方向のエッチングレートに対して、 $\langle 110 \rangle$  方向、すなわち  $Si$  バックボンドを 1 本有する方向のエッチングレートが十分に高くなる関係性は保たれ

50

る。オフ角が大きくなるとステップ数が多くなり、ミクロな段差の密度が高くなるので、好ましくは5°以下がよい。なお、図31の例では基板表面が<112>方向にオフ角がある場合を挙げたが、<110>方向にオフ角がある場合でも構わなく、オフ角の方向は問わない。また、Si面方位は、X線回折法、電子線回折法、電子線後方散乱回折法などを用いて解析可能である。Siバックボンド数は、Siの結晶構造で決定されているものであるため、Si面方位を解析することによって、バックボンド数も解析可能である。

#### 【0118】

本変形例では、空洞部58および遮光部53がSi{111}基板である半導体基板31の内部に設けられている。空洞部58および遮光部53は、第1の結晶面に沿った第1の面と、第1の面に対して傾斜した第2の結晶面に沿った第2の面とを含んでいる。ここで、第1の結晶面および第2の結晶面は、いずれも面指数{111}で表されるものである。したがって、空洞部58は、アルカリ水溶液などのエッチング溶液を用いた結晶異方性エッチングにより簡便に形成可能であって高い寸法精度を有するものとなる。

10

#### 【0119】

##### <3. 適用例>

図32は、上記実施の形態およびその変形例に係る固体撮像装置1を備えた撮像システム2の概略構成の一例を表したものである。撮像システム2は、本開示の「電子機器」の一具体例に相当する。撮像システム2は、例えば、光学系210と、固体撮像装置1と、信号処理回路220と、表示部230とを備えている。

#### 【0120】

光学系210は、被写体からの像光(入射光)を固体撮像装置1の撮像面上に結像させる。固体撮像装置1は、固体撮像装置1から入射された像光(入射光)を受光し、受光した像光(入射光)に応じた画素信号を信号処理回路220に出力する。信号処理回路220は、固体撮像装置1から入力された画像信号を処理して、映像データを生成する。信号処理回路220は、さらに、生成した映像データに対応する映像信号を生成し、表示部230に出力する。表示部230は、信号処理回路220から入力された映像信号に基づく映像を表示する。

20

#### 【0121】

本適用例では、上記実施の形態およびその変形例に係る固体撮像装置1が撮像システム2に適用される。これにより、ノイズの少ない高画質の撮像システム2を提供することができる。

30

#### 【0122】

##### <4. 移動体への応用例>

本開示に係る技術(本技術)は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

#### 【0123】

図33は、本開示に係る技術が適用され得る移動体制御システムの一部である車両制御システムの概略的な構成例を示すブロック図である。

40

#### 【0124】

車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図33に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

#### 【0125】

駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連す

50

る装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

#### 【0126】

ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

10

#### 【0127】

車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

20

#### 【0128】

撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であってもよいし、赤外線等の非可視光であってもよい。

#### 【0129】

車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

30

#### 【0130】

マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

40

#### 【0131】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に抛らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

#### 【0132】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビーム

50

をロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

【0133】

音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図33の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

【0134】

図34は、撮像部12031の設置位置の例を示す図である。

10

【0135】

図34では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

【0136】

撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

20

【0137】

なお、図34には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上

30

【0138】

撮像部12101ないし12104の少なくとも一つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも一つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

【0139】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化(車両12100に対する相対速度)を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度(例えば、0km/h以上)で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御(追従停止制御も含む)や自動加速制御(追従発進制御も含む)等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

40

【0140】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることがで

50

きる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

【0141】

撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

10

【0142】

以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。具体的には、上記実施の形態およびその変形例に係る固体撮像装置1は、撮像部12031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、ノイズの少ない高画質な撮影画像を得ることができるので、移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことができる。

20

【0143】

以上、実施の形態およびその変形例、適用例ならびに応用例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能である。なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持っていてもよい。

30

【0144】

本開示の一実施の形態に係る第1の固体撮像装置および第1の電子機器によれば、電変換部に達する垂直ゲート電極を設けるとともに、複数の画素のうち、互いに隣接する複数の第1の画素において、複数の垂直ゲート電極を互いに電氣的に接続するようにしたので、ノイズや画素サイズの増加を抑えつつ、電荷転送の悪化を避けることができる。

【0145】

本開示の一実施の形態に係る第2の固体撮像装置および第2の電子機器によれば、光電変換部に達する第1および第2の垂直ゲート電極を設けるとともに、複数の画素のうち、互いに隣接する複数の第1の画素において、複数の第1の垂直ゲート電極を互いに電氣的に接続するとともに、複数の第2の垂直ゲート電極を互いに電氣的に接続するようにしたので、ノイズや画素サイズの増加を抑えつつ、電荷転送の悪化を避けることができる。

40

【0146】

また、本開示は、以下のような構成を取ることも可能である。

(1)

受光面と、  
前記受光面を介して入射した光を光電変換する光電変換部を含む複数の画素と、  
各前記光電変換部を電氣的かつ光学的に分離する分離部と  
を備え、

50

各前記画素は、  
 前記光電変換部から転送された電荷を保持する電荷保持部と、  
 前記光電変換部に達する垂直ゲート電極を有し、前記光電変換部から前記電荷保持部に電荷を転送する転送トランジスタと、  
 前記光電変換部と前記電荷保持部との間の層内に配置された遮光部とを有し、  
 前記複数の画素のうち、互いに隣接する複数の第1の画素において、複数の前記垂直ゲート電極が互いに電氣的に接続されている  
 固体撮像装置。

(2)

各前記第1の画素は、複数の前記垂直ゲート電極に接するとともに複数の前記垂直ゲート電極を互いに電氣的に接続する接続部を共有している

(1)に記載の固体撮像装置。

(3)

複数の前記第1の画素において、複数の前記垂直ゲート電極が前記分離部を介して互いに対向配置されるとともに、前記分離部に接しており、

前記接続部は、前記分離部上と、互いに対向配置された複数の前記垂直ゲート電極上とに接している

(2)に記載の固体撮像装置。

(4)

前記遮光部は、前記分離部に接する箇所であって、かつ、前記垂直ゲート電極が貫通する箇所に開口部を有する

(3)に記載の固体撮像装置。

(5)

前記遮光部が内部に設けられた半導体基板を更に備え、

前記半導体基板は、厚さ方向と直交する面に沿って広がる面指数{111}で表される第1の結晶面を有するSi{111}基板であり、

前記遮光部は、

前記第1の結晶面に沿った第1の面と、

前記厚さ方向に対して傾斜すると共に前記Si{111}基板の第2の結晶面に沿った第2の面と

を含む

(1)ないし(4)のいずれか1つに記載の固体撮像装置。

(6)

受光面と、

前記受光面を介して入射した光を光電変換する光電変換部を含む複数の画素と、

各前記光電変換部を電氣的かつ光学的に分離する分離部と

を備え、

各前記画素は、

前記光電変換部から転送された電荷を保持する電荷保持部と、

前記光電変換部に達する第1の垂直ゲート電極を有し、前記光電変換部から前記電荷保持部に電荷を転送する転送トランジスタと、

前記光電変換部に達する第2の垂直ゲート電極を有し、前記転送トランジスタと隣接して配置され、前記光電変換部から電荷を排出する排出トランジスタと、

前記受光面と前記電荷保持部との間の層内に配置された遮光部と

を有し、

前記複数の画素のうち、互いに隣接する複数の第1の画素において、複数の前記第1の垂直ゲート電極が互いに電氣的に接続されるとともに、複数の前記第2の垂直ゲート電極が互いに電氣的に接続されている

固体撮像装置。

10

20

30

40

50

( 7 )

前記複数の第 1 の画素において、  
 複数の前記第 1 の垂直ゲート電極が前記分離部を介して互いに対向配置されるとともに、  
 前記分離部に接しており、  
 複数の前記第 2 の垂直ゲート電極が前記分離部を介して互いに対向配置されるとともに、  
 前記分離部に接しており、  
 各前記第 1 の画素は、  
 複数の前記第 1 の垂直ゲート電極に接するとともに複数の前記第 1 の垂直ゲート電極を  
 互いに電氣的に接続する第 1 の接続部と、  
 複数の前記第 2 の垂直ゲート電極に接するとともに複数の前記第 1 の垂直ゲート電極を  
 互いに電氣的に接続する第 2 の接続部と  
 を共有している  
 ( 6 ) に記載の固体撮像装置。

10

( 8 )

複数の前記第 1 の画素において、複数の前記第 1 の垂直ゲート電極が前記分離部を介し  
 て互いに対向配置されるとともに、前記分離部に接しており、  
 前記第 1 の接続部は、前記分離部上と、互いに対向配置された複数の前記第 1 の垂直ゲ  
 ート電極上とに接しており、  
 複数の前記第 1 の画素において、複数の前記第 2 の垂直ゲート電極が前記分離部を介し  
 て互いに対向配置されるとともに、前記分離部に接しており、  
 前記第 2 の接続部は、前記分離部上と、互いに対向配置された複数の前記第 2 の垂直ゲ  
 ート電極上とに接している  
 ( 7 ) に記載の固体撮像装置。

20

( 9 )

前記遮光部は、前記分離部に接する箇所であって、かつ、前記第 1 の垂直ゲート電極お  
 よび前記第 2 の垂直ゲート電極が貫通する箇所に開口部を有する  
 ( 8 ) に記載の固体撮像装置。

( 10 )

前記電荷保持部は、前記第 1 の垂直ゲート電極と、前記第 2 の垂直ゲート電極との間隙  
 に隣接して配置されている  
 ( 6 ) ないし ( 9 ) のいずれか 1 つに記載の固体撮像装置。

30

( 11 )

前記遮光部が内部に設けられた半導体基板を更に備え、  
 前記半導体基板は、厚さ方向と直交する面に沿って広がる面指数 { 1 1 1 } で表される  
 第 1 の結晶面を有する  $Si\{111\}$  基板であり、  
 前記遮光部は、  
 前記第 1 の結晶面に沿った第 1 の面と、  
 前記厚さ方向に対して傾斜すると共に前記  $Si\{111\}$  基板の第 2 の結晶面に沿った  
 第 2 の面と  
 を含む  
 ( 6 ) ないし ( 10 ) のいずれか 1 つに記載の固体撮像装置。

40

( 12 )

入射光に応じた画素信号を出力する固体撮像装置と、  
 前記画素信号を処理する信号処理回路と  
 を備え、  
 前記固体撮像装置は、  
 受光面と、  
 前記受光面を介して入射した光を光電変換する光電変換部を含む複数の画素と、  
 各前記光電変換部を電氣的かつ光学的に分離する分離部と  
 を有し、

50

各前記画素は、  
 前記光電変換部から転送された電荷を保持する電荷保持部と、  
 前記光電変換部に達する垂直ゲート電極を有し、前記光電変換部から前記電荷保持部に電荷を転送する転送トランジスタと、  
 前記光電変換部と前記電荷保持部との間の層内に配置された遮光部とを有し、  
 前記複数の画素のうち、互いに隣接する複数の第1の画素において、複数の前記垂直ゲート電極が互いに電氣的に接続されている電子機器。

(13)

10

入射光に応じた画素信号を出力する固体撮像装置と、  
 前記画素信号を処理する信号処理回路とを備え、  
 前記固体撮像装置は、  
 受光面と、  
 前記受光面を介して入射した光を光電変換する光電変換部を含む複数の画素と、  
 各前記光電変換部を電氣的かつ光学的に分離する分離部とを有し、  
 各前記画素は、

前記光電変換部から転送された電荷を保持する電荷保持部と、  
 前記光電変換部に達する第1の垂直ゲート電極を有し、前記光電変換部から前記電荷保持部に電荷を転送する転送トランジスタと、  
 前記光電変換部に達する第2の垂直ゲート電極を有し、前記転送トランジスタと隣接して配置され、前記光電変換部から電荷を排出する排出トランジスタと、  
 前記受光面と前記電荷保持部との間の層内に配置された遮光部とを有し、  
 前記複数の画素のうち、互いに隣接する複数の第1の画素において、複数の前記垂直ゲート電極が互いに電氣的に接続されている電子機器。

20

【0147】

30

本出願は、日本国特許庁において2019年11月18日に出願された日本特許出願番号第2019-207923号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

【0148】

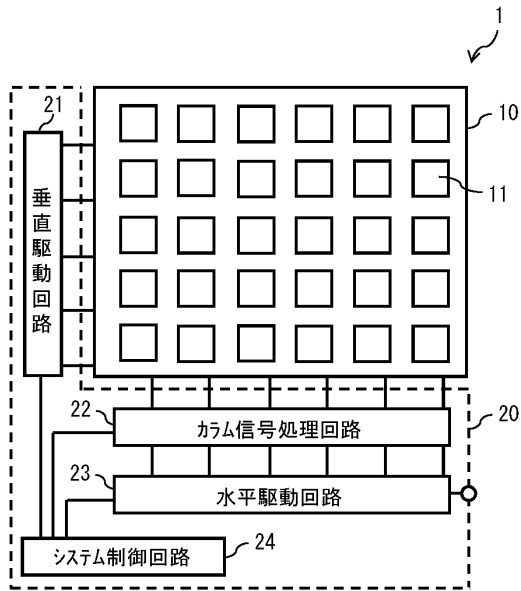
当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

40

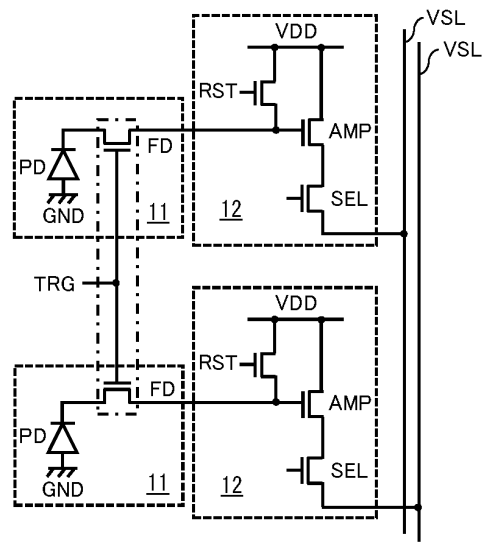
50

【図面】

【図 1】



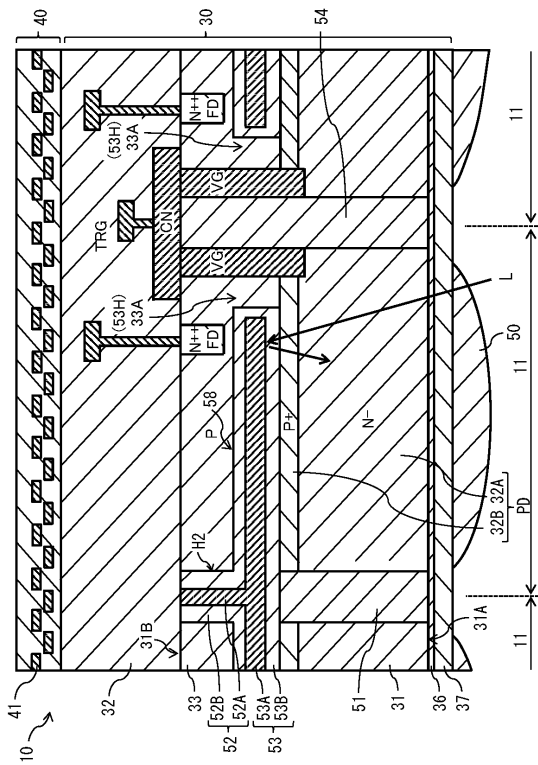
【図 2】



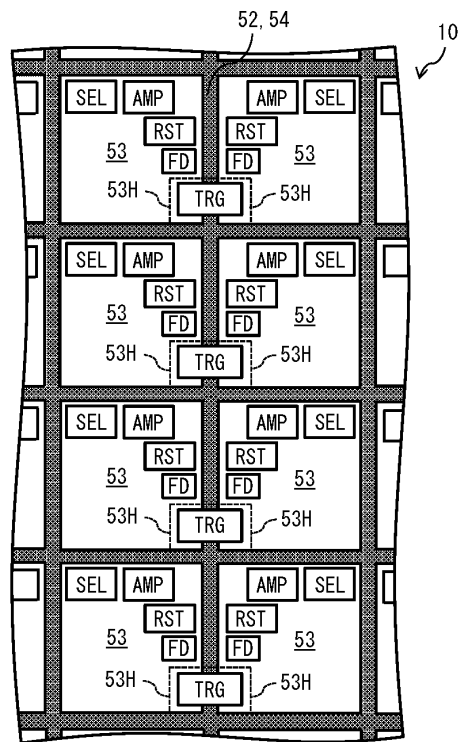
10

20

【図 3】



【図 4】

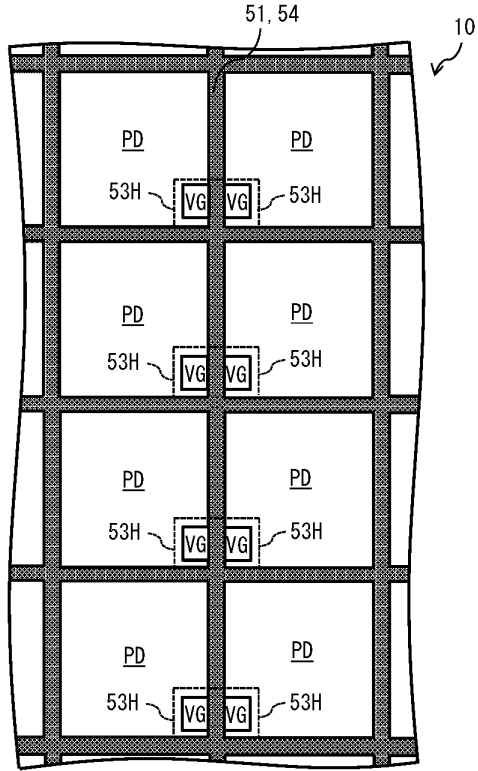


30

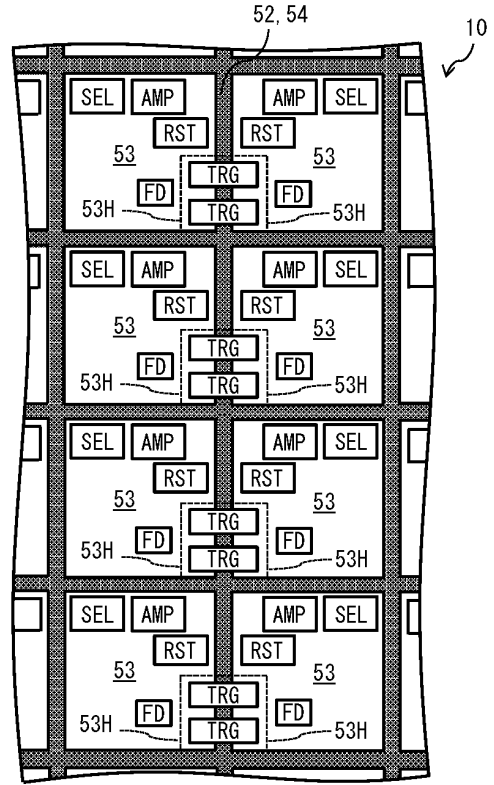
40

50

【 図 5 】



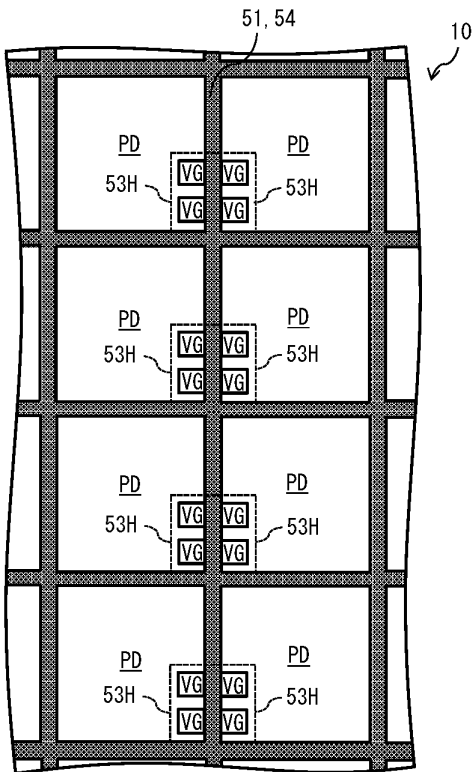
【 図 6 】



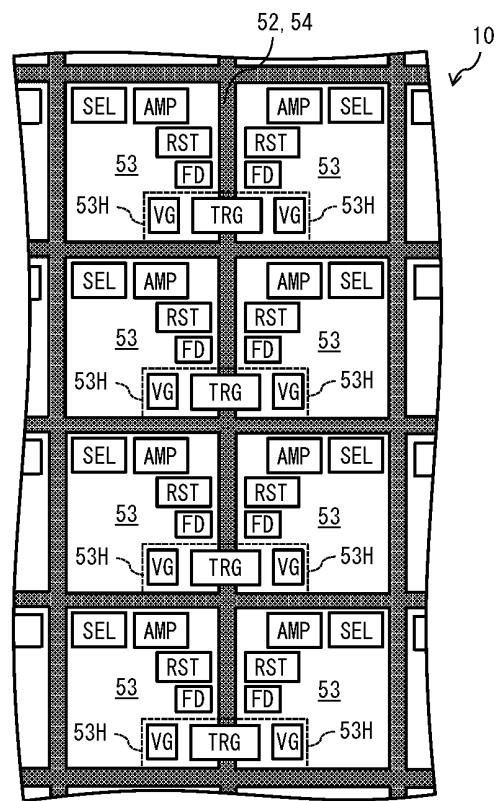
10

20

【 図 7 】



【 図 8 】

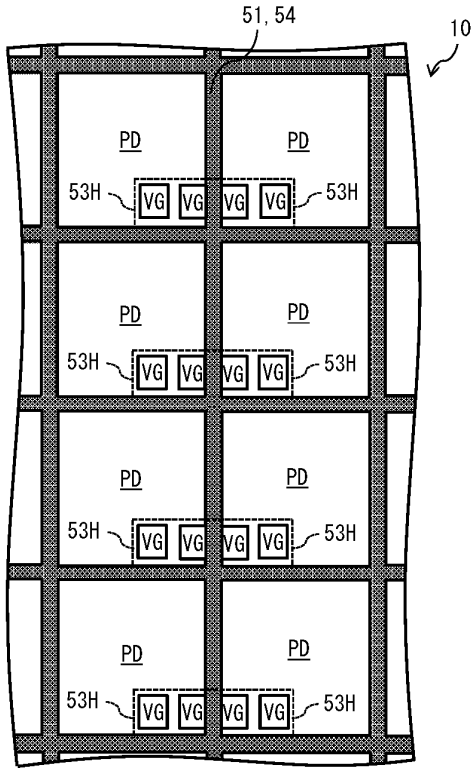


30

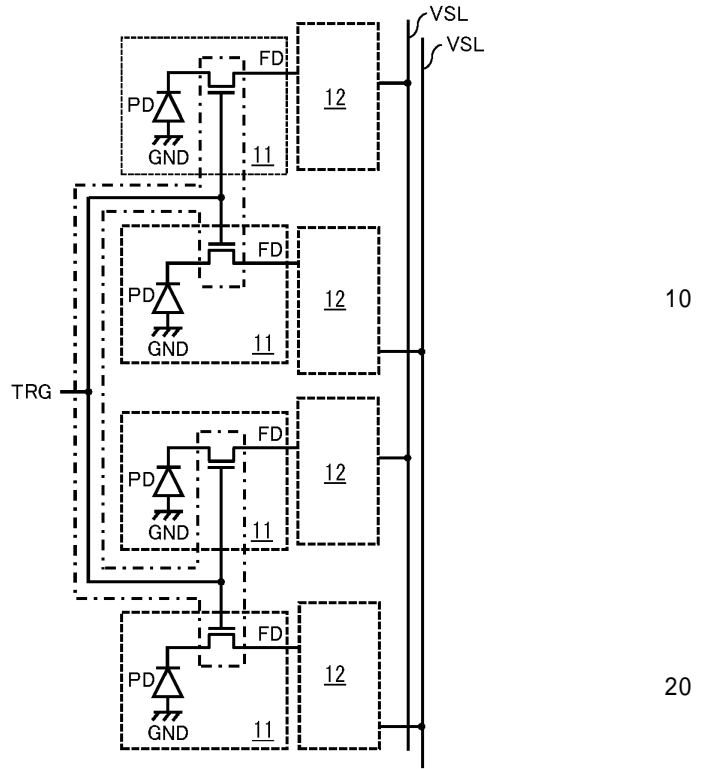
40

50

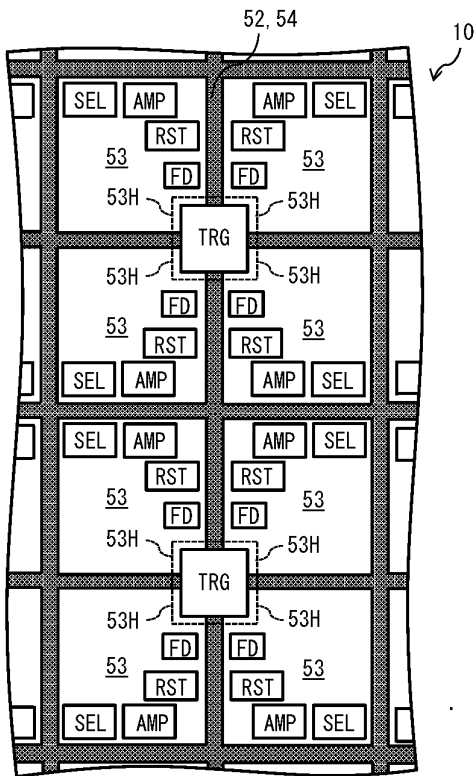
【 図 9 】



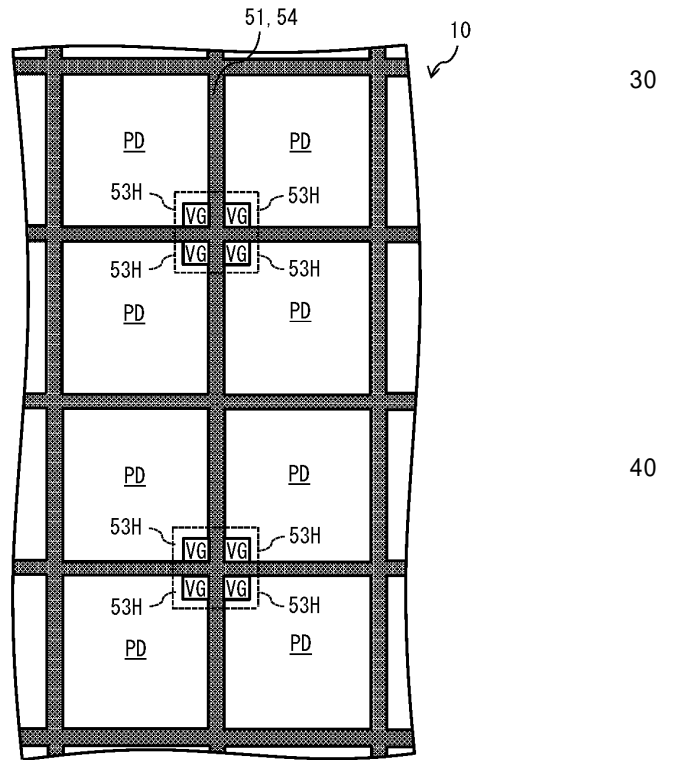
【 図 10 】



【 図 11 】



【 図 12 】



10

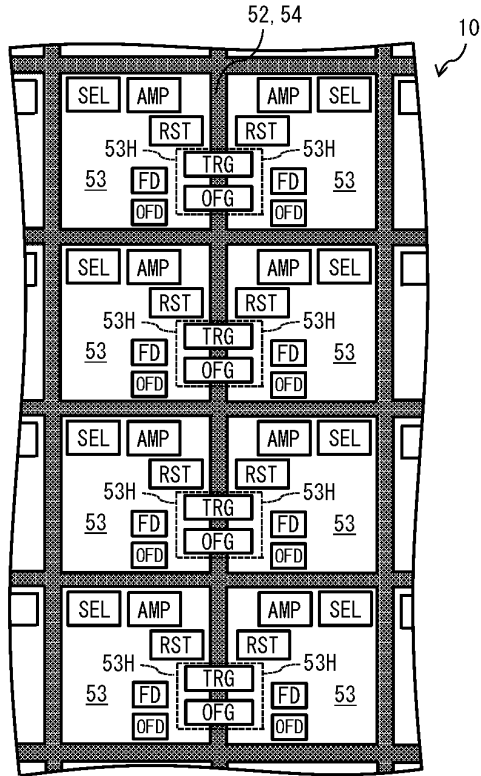
20

30

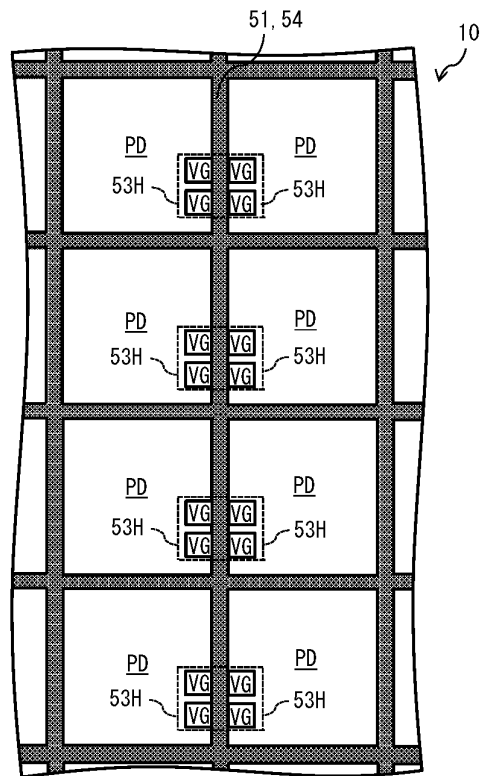
40

50

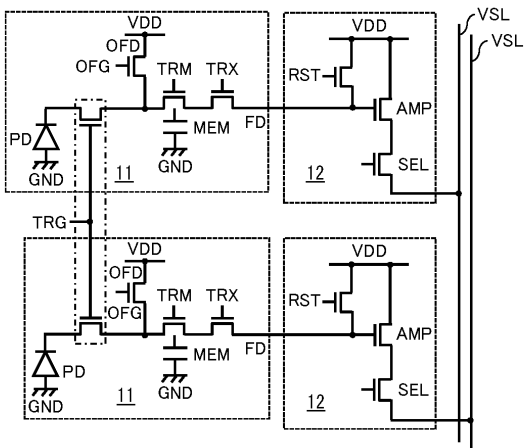
【図 1 3】



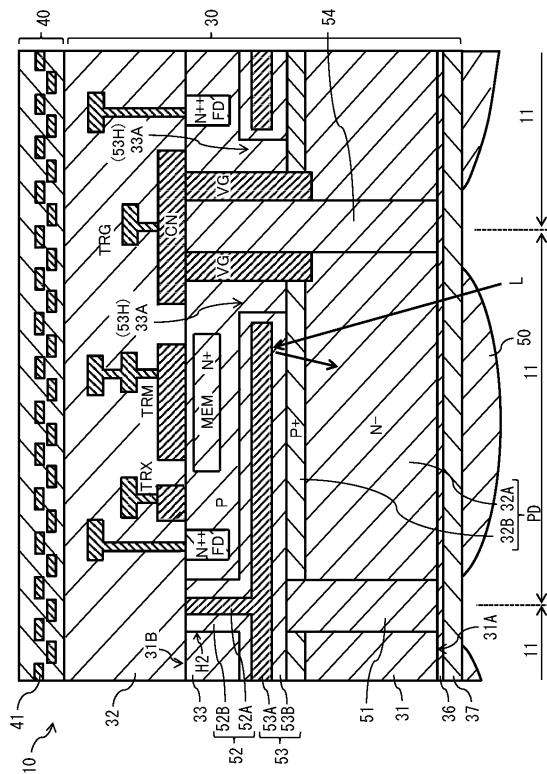
【図 1 4】



【図 1 5】



【図 1 6】



10

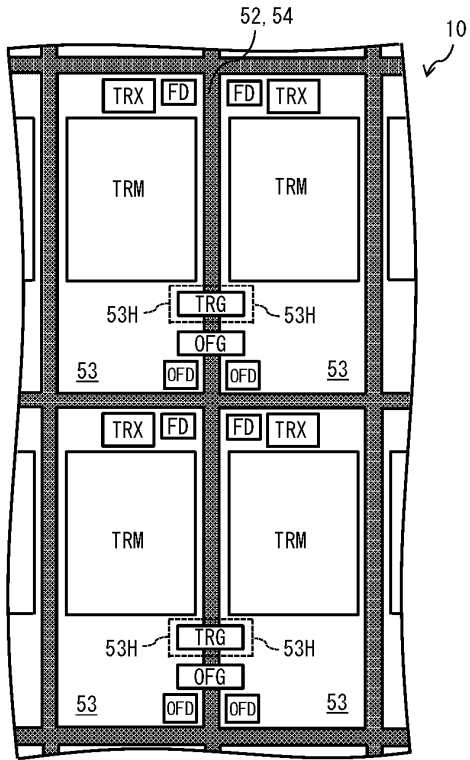
20

30

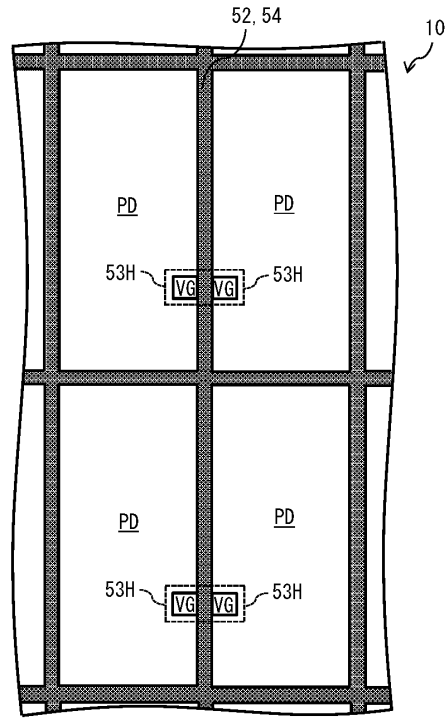
40

50

【 17 】



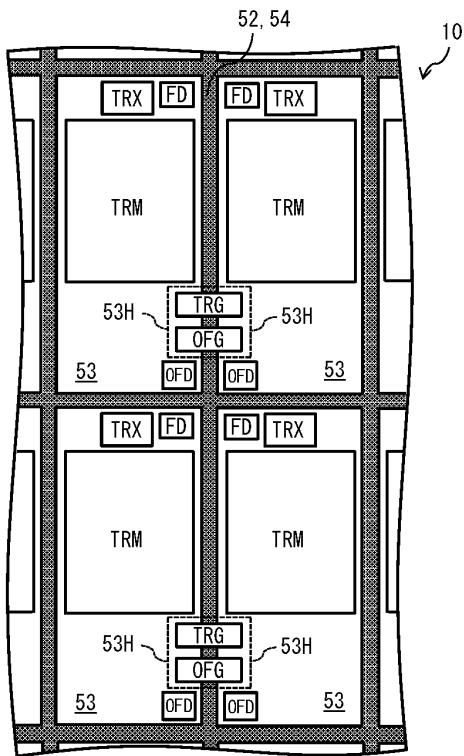
【 18 】



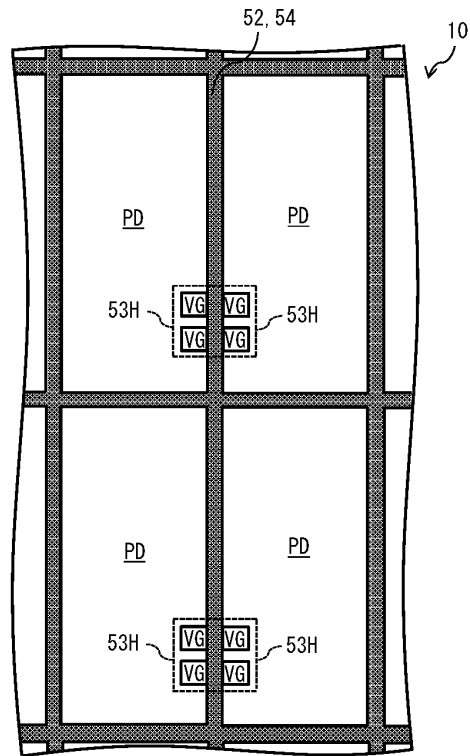
10

20

【 19 】



【 20 】

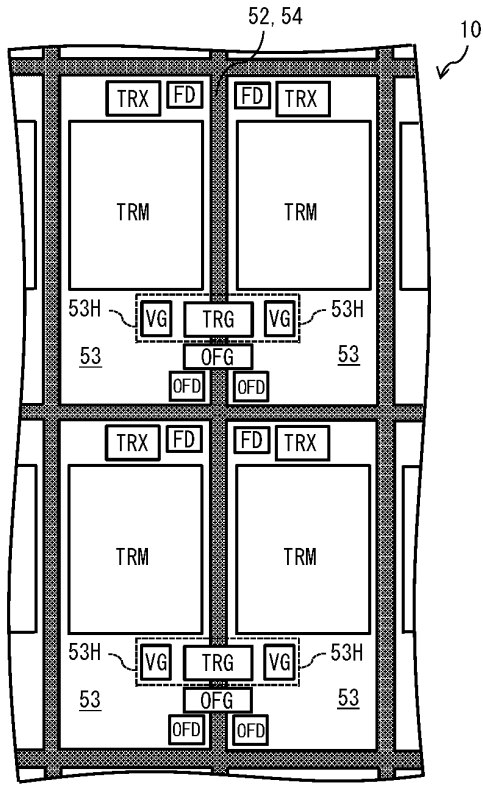


30

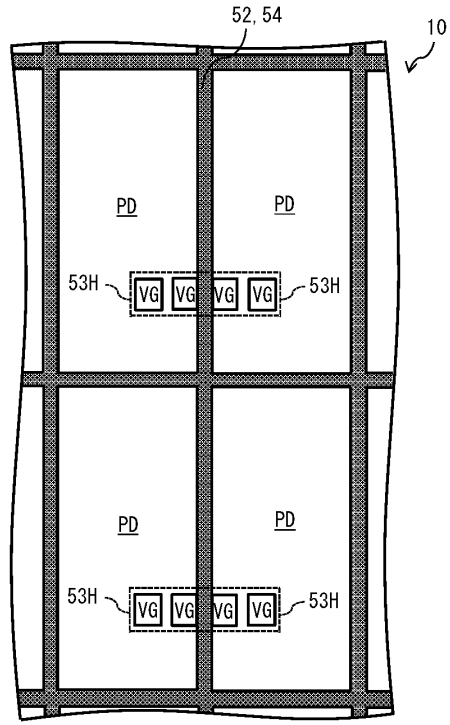
40

50

【 図 2 1 】



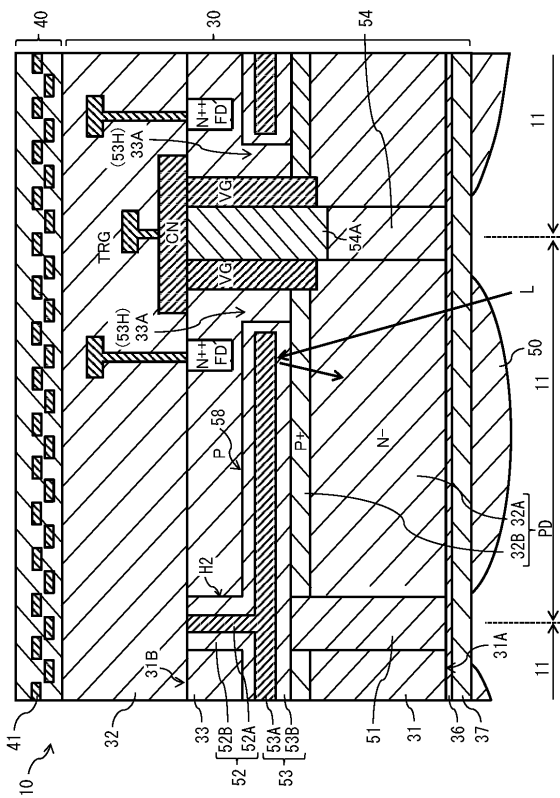
【 図 2 2 】



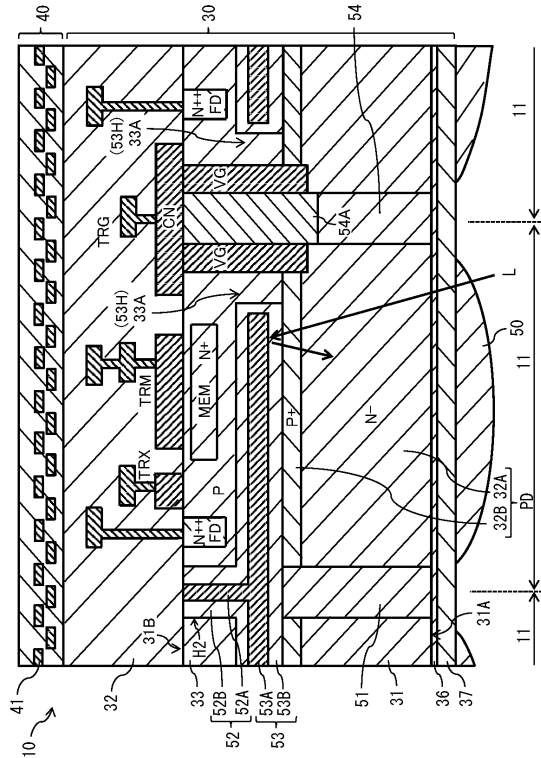
10

20

【 図 2 3 】



【 図 2 4 】



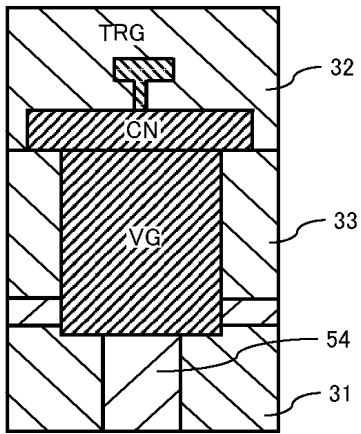
30

40

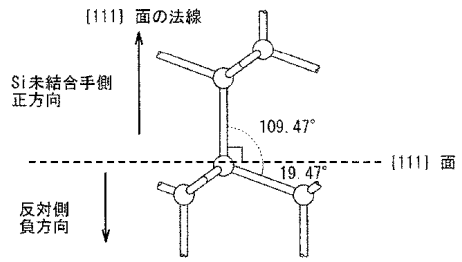
50



【図 29】

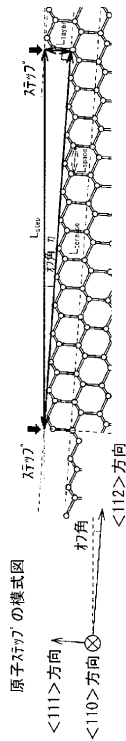


【図 30】

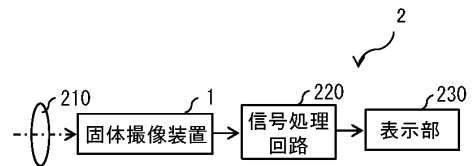


10

【図 31】



【図 32】



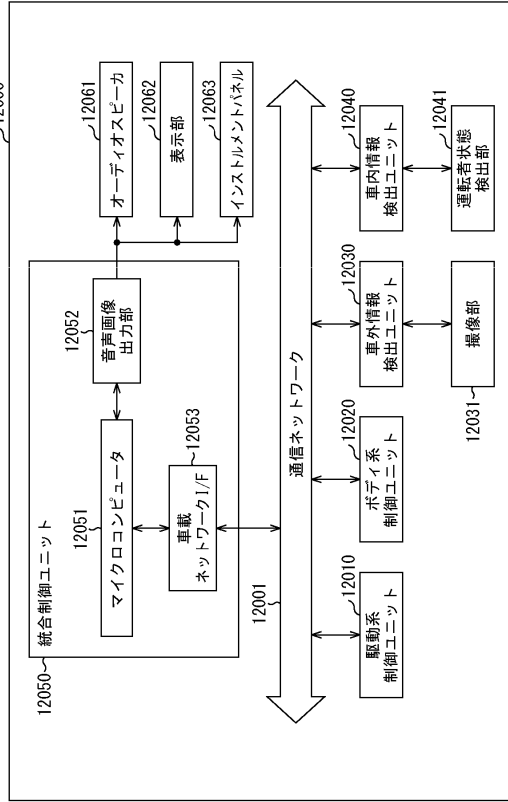
20

30

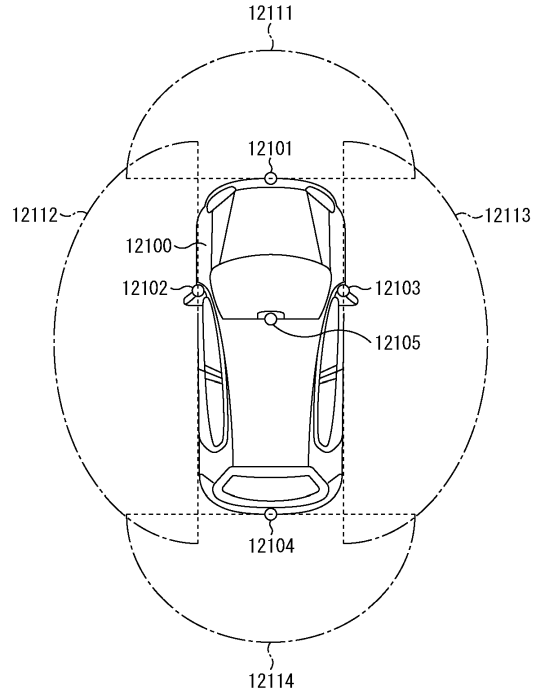
40

50

【図 3 3】



【図 3 4】



10

20

30

40

50

## フロントページの続き

- 神奈川厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内  
(72)発明者 福井 僚  
神奈川厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内  
(72)発明者 椎原 由宇  
神奈川厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内  
審査官 今井 聖和
- (56)参考文献 特開2010-114273(JP,A)  
国際公開第2018/163732(WO,A1)  
国際公開第2019/188043(WO,A1)  
特開2011-159757(JP,A)  
特開2016-187007(JP,A)  
米国特許出願公開第2017/0203954(US,A1)  
特開2018-093126(JP,A)  
米国特許出願公開第2015/0279883(US,A1)  
特開2011-014751(JP,A)  
国際公開第2016/136486(WO,A1)  
国際公開第2013/065569(WO,A1)  
国際公開第2019/240207(WO,A1)
- (58)調査した分野 (Int.Cl., DB名)  
H10F 39/18  
H10F 39/12  
H10D 84/80  
H04N 25/70  
H04N 25/76