



(12) 发明专利申请

(10) 申请公布号 CN 102624340 A

(43) 申请公布日 2012. 08. 01

(21) 申请号 201210010344. 1

(22) 申请日 2012. 01. 13

(30) 优先权数据

2011-013325 2011. 01. 25 JP

(71) 申请人 精工电子有限公司

地址 日本千叶县

(72) 发明人 富冈勉

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 李辉 黄纶伟

(51) Int. Cl.

H03F 3/30(2006. 01)

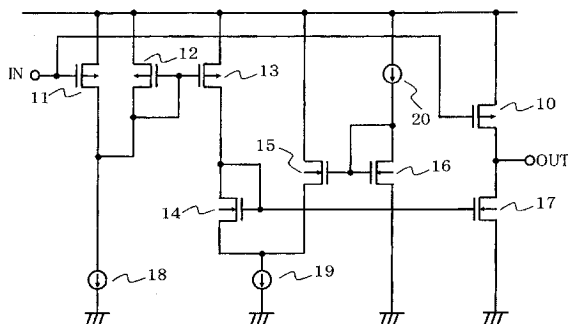
权利要求书 1 页 说明书 5 页 附图 3 页

(54) 发明名称

输出电路

(57) 摘要

本发明提供输出电路,其能够流过更充分的输出电流。在 PMOS 晶体管 (12) 的漏极电流大的情况下,PMOS 晶体管 (13) 在非饱和区域内进行动作。此时,NMOS 晶体管 (14) 以及 (17) 的栅极电压上升到电源端子电压附近。因此,NMOS 晶体管 (17) 的栅极 / 源极间电压变大而流过充分的输出电流。



1. 一种输出电路,其对输入到输入端子的信号进行放大,从输出端子输出,其特征在于,该输出电路具有:

第1个第一导电类型MOS晶体管,其栅极与上述输入端子连接,源极与第一电源端子连接,漏极与上述输出端子连接;

第2个第一导电类型MOS晶体管,其栅极与上述输入端子连接,源极与上述第一电源端子连接;

第一电流源,其一个端子与上述第2个第一导电类型MOS晶体管的漏极连接,另一个端子与第二电源端子连接;

电流镜电路,其具有第3个第一导电类型MOS晶体管以及第4个第一导电类型MOS晶体管,上述第3个第一导电类型MOS晶体管的栅极以及漏极与上述第一电流源的一个端子连接,上述第4个第一导电类型MOS晶体管的栅极与上述第3个第一导电类型MOS晶体管的栅极连接,对上述第一电流源的电流与上述第2个第一导电类型MOS晶体管的漏极电流之间的差分电流进行镜像;

第1个第二导电类型MOS晶体管,其栅极以及漏极与上述第4个第一导电类型MOS晶体管的漏极连接;

第二电流源,其一个端子与上述第1个第二导电类型MOS晶体管的源极连接,另一个端子与上述第二电源端子连接;

第三电流源,其一个端子与上述第一电源端子连接;

第2个第二导电类型MOS晶体管,其栅极与上述第三电流源的另一个端子连接,源极与上述第二电流源的一个端子连接,漏极与上述第一电源端子连接;

第3个第二导电类型MOS晶体管,其栅极以及漏极与上述第三电流源的另一个端子连接,源极与上述第二电源端子连接;以及

第4个第二导电类型MOS晶体管,其栅极与上述第1个第二导电类型MOS晶体管的漏极连接,源极与上述第二电源端子连接,漏极与上述输出端子连接。

2. 根据权利要求1所述的输出电路,其特征在于,

在上述第一电流源的一个端子以及上述第2个第二导电类型MOS晶体管的漏极处设置有第一共源共栅电路以及第二共源共栅电路。

3. 根据权利要求2所述的输出电路,其特征在于,

上述第一共源共栅电路以及第二共源共栅电路由栅极与上述第二电源端子连接的耗尽型第二导电类型MOS晶体管构成。

4. 根据权利要求1所述的输出电路,其特征在于,

在上述第1个第二导电类型MOS晶体管的漏极处设置有第一阻抗元件,

在上述第3个第二导电类型MOS晶体管的漏极处设置有第二阻抗元件。

5. 根据权利要求1所述的输出电路,其特征在于,

上述电流镜电路还具有第5个第一导电类型MOS晶体管,

上述第5个第一导电类型MOS晶体管的栅极与上述第3个第一导电类型MOS晶体管的栅极连接,漏极与上述第3个第二导电类型MOS晶体管的漏极连接,

上述第5个第一导电类型MOS晶体管对上述第一电流源的电流与上述第2个第一导电类型MOS晶体管的漏极电流之间的差分电流进行镜像。

输出电路

技术领域

[0001] 本发明涉及输出电路。

背景技术

[0002] 对现有的输出电路进行说明。图 6 是示出现有输出电路的电路图。

[0003] 当对输入端子 IN 提供输入信号电压时,经由 PMOS 晶体管 50 变换为漏极电流。该漏极电流通过输出端子 OUT 中的输出阻抗而变换为输出电压。另外,输入信号电压经由 PMOS 晶体管 51 变换为漏极电流。该漏极电流与恒流源 56 流出的电流之间的差分作为 PMOS 晶体管 52 的漏极电流流动。该漏极电流利用由 PMOS 晶体管 52 以及 53 构成的电流镜电路和由 NMOS 晶体管 54 以及 55 构成的电流镜电路而成为 NMOS 晶体管 55 的漏极电流。该漏极电流通过输出端子 OUT 中的输出阻抗变换为输出电压。这样,输入信号电压在被与输出端子 OUT 连接的 PMOS 晶体管 50 以及 NMOS 晶体管 55 双方放大之后出现在输出端子 OUT 处。该电路与仅利用输出 PMOS 晶体管放大的 A 级输出电路结构、或仅利用输出 NMOS 晶体管放大的 A 级输出电路结构相比,效率良好且放大幅度变高(例如,参照专利文献 1)。

[0004] 【专利文献 1】日本特开平 08-8654 号公报(图 2)

[0005] 现有的输出电路可获得较大的源极电流,与此相对,由于对 NMOS 晶体管 54 进行了饱和连接(飽和結線),所以 NMOS 晶体管 55 的栅极电压只能上升到 NMOS 晶体管 54 的阈值电压程度的电平。由此,在 NMOS 晶体管 55 中无法获得大的栅极/源极间电压,所以具有如下这样的课题:有时未流过较大的灌电流(シンク電流),而导致输出电流不足。

发明内容

[0006] 本发明是鉴于上述课题而完成的,其目的是提供可流过充分的输出电流的输出电路。

[0007] 本发明为了解决上述课题,构成以下这种结构的输出电路。

[0008] 该输出电路的特征是具有:第 1 个第一导电类型 MOS 晶体管,其源极与第一电源端子连接;第 2 个第一导电类型 MOS 晶体管,其栅极与上述第 1 个第一导电类型 MOS 晶体管的栅极连接,源极与上述第一电源端子连接;第一电流源,其一个端子与上述第 2 个第一导电类型 MOS 晶体管的漏极连接,另一个端子与第二电源端子连接;第一电流镜电路,其具有输入端子以及输出端子,输入端子与上述第 1 个第一导电类型 MOS 晶体管的栅极连接,流过上述第一电流源的电流与上述第 2 个第一导电类型 MOS 晶体管的漏极电流之间的差分电流被输入到输入端子,并由第 3 个第一导电类型 MOS 晶体管以及第 4 个第一导电类型 MOS 晶体管构成;第 1 个第二导电类型 MOS 晶体管,其栅极以及漏极与上述第一电流镜电路的输出端子连接;第二电流源,其一个端子与上述第 1 个第二导电类型 MOS 晶体管的源极连接,另一个端子与上述第二电源端子连接;第三电流源,其一个端子与上述第一电源端子连接;第 2 个第二导电类型 MOS 晶体管,其栅极与上述第三电流源的另一个端子连接,源极与上述第二电流源的一个端子连接,漏极与上述第一电源端子连接;第 3 个第二导电类型 MOS 晶体管,其栅极以及漏极

与上述第三电流源的另一个端子连接,源极与上述第二电源端子连接;以及第 4 个第二导电类型 MOS 晶体管,其栅极与上述第 1 个第二导电类型 MOS 晶体管的漏极连接,源极与上述第二电源端子连接,漏极与上述第 1 个第一导电类型 MOS 晶体管的漏极连接。

[0009] 在如上所述构成的本发明的输出电路中,当第 4 个第一导电类型 MOS 晶体管的漏极电流大于第三电流源流过的电流时,第 4 个第二导电类型 MOS 晶体管的栅极电压成为第一电源端子的电压附近的电平。因此,本发明的输出电路与现有输出电路相比,具有可流过充分的输出电流的效果。

附图说明

[0010] 图 1 是示出本实施方式的输出电路的电路图。

[0011] 图 2 是示出本实施方式的输出电路的其它例的电路图。

[0012] 图 3 是示出本实施方式的输出电路的其它例的电路图。

[0013] 图 4 是示出本实施方式的输出电路的其它例的电路图。

[0014] 图 5 是示出使用本实施方式输出电路的运算放大器的电路图。

[0015] 图 6 是示出现有输出电路的电路图。

[0016] 标号说明

[0017] 18、19、20、44 恒流源;21、22 共源共栅(カスコード)电路;23、24 阻抗元件。

具体实施方式

[0018] 以下,参照附图来说明本发明的实施方式。

[0019] 首先,说明输出电路的结构。图 1 是示出本实施方式的输出电路的电路图。

[0020] 本实施方式的输出电路具备 PMOS 晶体管 10~13、NMOS 晶体管 14~17 和恒流源 18~20。

[0021] PMOS 晶体管 10 的栅极与输入端子 IN 连接,源极与电源端子连接,漏极与输出端子 OUT 连接。PMOS 晶体管 11 的栅极与输入端子 IN 连接,源极与电源端子连接,漏极与 PMOS 晶体管 12 的栅极及漏极、以及恒流源 18 的一个端子连接。恒流源 18 的另一个端子与接地端子连接。PMOS 晶体管 12 的源极与电源端子连接。PMOS 晶体管 13 的栅极与 PMOS 晶体管 12 的栅极连接,源极与电源端子连接,漏极与 NMOS 晶体管 14 的栅极以及漏极连接。此外,PMOS 晶体管 12 以及 13 构成电流镜电路。NMOS 晶体管 14 的源极与恒流源 19 的一个端子以及 NMOS 晶体管 15 的源极连接。恒流源 19 的另一个端子与接地端子连接。NMOS 晶体管 15 的漏极与电源端子连接,栅极与 NMOS 晶体管 16 的栅极及漏极、以及恒流源 20 的一个端子连接。恒流源 20 的另一个端子与电源端子连接。NMOS 晶体管 16 的源极与接地端子连接。NMOS 晶体管 17 的栅极与 NMOS 晶体管 14 的栅极连接,源极与接地端子连接,漏极与输出端子 OUT 连接。

[0022] 接着,对输出电路的动作进行说明。

[0023] 当对输入端子 IN 提供输入信号电压时,经由 PMOS 晶体管 10 变换为漏极电流。该漏极电流通过输出端子 OUT 中的输出阻抗变换为输出电压。另外,输入信号电压经由 PMOS 晶体管 11 变换为漏极电流。该漏极电流与恒流源 18 流出的电流之间的差分作为 PMOS 晶体管 12 的漏极电流流动。该漏极电流根据镜像比而被复制成与 PMOS 晶体管 12 构成电流

镜电路的 PMOS 晶体管 13 的漏极电流, 经由饱和连接的 NMOS 晶体管 14, 流入恒流源 19。此时, 恒流源 19 流出的电流与 PMOS 晶体管 13 的漏极电流之间的差分作为 NMOS 晶体管 15 的漏极电流流动。这里, NMOS 晶体管 15 的栅极电压是恒流源 20 流出的电流流入饱和连接的 NMOS 晶体管 16 而产生的恒定电压。因此, 当 NMOS 晶体管 15 的漏极电流发生变化时, NMOS 晶体管 15 的源极电压根据其变化量发生变化, 与 NMOS 晶体管 15 的源极连接的 NMOS 晶体管 14 的源极电压也同样地变化。NMOS 晶体管 14 的栅极 / 源极间电压根据 PMOS 晶体管 13 流出的漏极电流来确定。由此, NMOS 晶体管 14 的源极电压变化时, NMOS 晶体管 14 的栅极电压也相应地变化。该栅极电压的变化经由 NMOS 晶体管 17 变换为漏极电流。该漏极电流通过输出端子 OUT 中的输出阻抗变换为输出电压。

[0024] 接着, 说明 NMOS 晶体管 17 的栅极 / 源极间电压变大而流过较大的灌电流的情况。

[0025] 以下, 假定与输入端子 IN 连接的前级电路可产生从接地端子电压到电源端子电压的范围的信号电压。

[0026] 当提供给输入端子 IN 的输入信号电压是电源端子电压附近时, PMOS 晶体管 11 的栅极 / 源极间电压小于阈值电压, 几乎不流过漏极电流。因此, 恒流源 18 流出的电流的大部分作为 PMOS 晶体管 12 的漏极电流流动。此时, 饱和连接的 NMOS 晶体管 14 的栅极电压以及源极电压上升, PMOS 晶体管 13 在非饱和区域内进行动作, PMOS 晶体管 13 流过与恒流源 19 流出的电流大致相等的漏极电流。NMOS 晶体管 14 的栅极电压上升到电源端子电压附近, 与 NMOS 晶体管 14 的栅极连接的 NMOS 晶体管 17 的栅极电压也上升到电源端子电压附近。因此, NMOS 晶体管 17 的栅极 / 源极间电压变大而流过较大的漏极电流。

[0027] 另外, 在提供给输入端子 IN 的输入信号电压是电源端子电压附近时, PMOS 晶体管 10 的栅极 / 源极间电压小于阈值电压, 几乎不流过漏极电流。因此, 该电路流过较大的灌电流。

[0028] 接着, 说明 NMOS 晶体管 17 的栅极 / 源极间电压小于阈值电压而流过较大的源极电流的情况。

[0029] 在提供给输入端子 IN 的输入信号电压是接地端子电压附近时, PMOS 晶体管 11 的栅极 / 源极间电压变大。此时, 恒流源 18 流出的电流的大部分作为 PMOS 晶体管 11 的漏极电流流动。因此, PMOS 晶体管 12 的漏极电流不会流过, 构成电流镜电路的 PMOS 晶体管 13 的漏极电流也不会流过。这样, 恒流源 19 的电流的大部分作为 NMOS 晶体管 15 的漏极电流流动, NMOS 晶体管 15 的栅极 / 源极间电压变大。因为 NMOS 晶体管 15 的栅极电压是恒定电压, 栅极 / 源极间电压变大, 因而 NMOS 晶体管 15 的源极电压下降到接地端子电压附近。另外, 与 NMOS 晶体管 15 的源极连接的 NMOS 晶体管 14 的源极电压也同样下降到接地端子电压附近。饱和连接的 NMOS 晶体管 14 的栅极 / 源极间电压根据 PMOS 晶体管 13 流出的漏极电流来确定, 所以 NMOS 晶体管 14 的栅极电压追随 NMOS 晶体管 14 的源极电压, 下降到接地端子电压附近。与 NMOS 晶体管 14 的栅极连接的 NMOS 晶体管 17 的栅极电压也下降到接地端子电压附近。因此, NMOS 晶体管 17 的栅极 / 源极间电压小于阈值电压, 几乎不流过漏极电流。

[0030] 另外, 在提供给输入端子 IN 的输入信号电压是接地端子电压附近时, PMOS 晶体管 10 的栅极 / 源极间电压变大而流过较大的漏极电流。

[0031] 因此, 在该电路中流过较大的源极电流。

[0032] 接着,说明无功(idling)状态下的电路动作。

[0033] 当将 NMOS 晶体管 14 的栅极/源极间电压设为 V_{GS14} 、将 NMOS 晶体管 15 的栅极/源极间电压设为 V_{GS15} 、将 NMOS 晶体管 16 的栅极/源极间电压设为 V_{GS16} 、将 NMOS 晶体管 17 的栅极/源极间电压设为 V_{GS17} 时,以下公式成立:

$$[0034] \quad V_{GS17} = V_{GS16} - V_{GS15} + V_{GS14} \dots (1)$$

[0035] 这里,当电路设计为 NMOS 晶体管 14 以及 15 的纵横比相等、在 NMOS 晶体管 14 以及 15 的漏极电流中流过恒流源 19 流出的电流的一半时,式子 (1) 成为以下公式:

$$[0036] \quad V_{GS17} = V_{GS16} \dots (2)$$

[0037] 式 (2) 表示 NMOS 晶体管 16 以及 17 处于与电流镜电路同样的关系。当将 NMOS 晶体管 16 的纵横比设为 K_{16} 、将 NMOS 晶体管 17 的纵横比设为 K_{17} 、将 NMOS 晶体管 17 的漏极电流设为 I_{17} 、将恒流源 20 的电流设为 I_{20} 时,以下公式成立:

$$[0038] \quad I_{17} = (K_{17}/K_{16}) \cdot I_{20} \dots (3)$$

[0039] 式 (3) 表示通过适当设计恒流源 20 流出的电流、NMOS 晶体管 16 以及 17 的纵横比,能够使 NMOS 晶体管 17 的漏极电流成为较小的电流。对于 PMOS 晶体管 10 的漏极电流,如果提供 PMOS 晶体管 10 的栅极电压以使该漏极电流与 NMOS 晶体管 17 的漏极电流相等,则无功(idling)电流变小。

[0040] 如上所述构成的输出电路是流过较大的灌电流以及较大的源极电流、且无功状态下的消耗电流较小的 AB 级输出电路。另外,PMOS 晶体管 10 以及 NMOS 晶体管 17 的漏极电流以外的消耗电流由恒流源 18 ~ 20 来决定,所以不取决于输入信号电压。

[0041] 图 5 的电路是使本实施方式的输出电路与输入差动放大级组合的由 2 级构成的运算放大器。输入差动放大级由 NMOS 晶体管 40 以及 41、PMOS 晶体管 42 以及 43、恒流源 44 构成。在该运算放大器中,将对 NMOS 晶体管 40 以及 41 的栅极提供的输入信号电压进行放大,从本实施方式的输出电路的输出端子 OUT 输出。

[0042] [变形例 1]

[0043] 图 2 是示出本实施方式的输出电路的其它例的电路图。与图 1 的电路相比,追加了耗尽型 NMOS 晶体管 21 以及 22。耗尽型 NMOS 晶体管 21 的栅极与接地端子连接,源极与恒流源 18 连接,漏极与 PMOS 晶体管 11 以及 PMOS 晶体管 12 的漏极连接。另外,耗尽型 NMOS 晶体管 22 的栅极与接地端子连接,源极与 NMOS 晶体管 15 的漏极连接,漏极与电源端子连接。

[0044] 这里,假定恒流源 18 由 NMOS 晶体管构成。在这样的电路结构中,考虑了电源端子电压变动、PMOS 晶体管 11 以及 12 的漏极电压追随于电源端子电压变动而发生变动的情况。此时,由于耗尽型 NMOS 晶体管 21 以及 22 发挥共源共栅电路的作用,从而构成恒流源 18 的 NMOS 晶体管的漏极的电压以及 NMOS 晶体管 15 的漏极电压不易变动。因此,恒流源 18 以及 NMOS 晶体管 15 不易受到沟道长度调制效应的影响。

[0045] [变形例 2]

[0046] 图 3 是示出本实施方式的输出电路的其它例的电路图。与图 1 的电路相比,追加了阻抗元件 23 以及 24。阻抗元件 23 的一个端子与 PMOS 晶体管 13 的漏极以及 NMOS 晶体管 14 的栅极连接,另一个端子与 NMOS 晶体管 14 的漏极以及 NMOS 晶体管 17 的栅极连接。阻抗元件 24 的一个端子与恒流源 20 的一个端子以及 NMOS 晶体管 15 的栅极连接,另一个

端子与 NMOS 晶体管 16 的栅极以及漏极连接。这里,假定恒流源 19 由 NMOS 晶体管构成,一个端子为漏极。

[0047] 在这样的电路结构中,当将阻抗元件 23 的电压降设为 V_{23} 时,恒流源 19 的电压降 V_{19} 如下表示。

$$[0048] \quad V_{19} = V_{GS17} + V_{23} - V_{GS14} \dots (4)$$

[0049] 这里,当设计为 V_{GS14} 与 V_{GS17} 相等时,式 (4) 成为:

$$[0050] \quad V_{19} = V_{23} \dots (5),$$

[0051] 式 (5) 表示恒源 19 的一个端子的电压与阻抗元件 23 的电压降一致。因此,如果设计为阻抗元件 23 的电压降较大,则恒流源 19 在饱和区域内动作。

[0052] 另外,当将阻抗元件 24 的电压降设为 V_{24} 时, NMOS 晶体管 17 的栅极 / 源极间电压如下表示:

$$[0053] \quad V_{GS17} = V_{GS16} + V_{24} - V_{GS15} + V_{GS14} - V_{23} \dots (6)$$

[0054] 这里,如果电路设计为 NMOS 晶体管 14 以及 15 的纵横比相等、在 NMOS 晶体管 14 以及 15 的漏极电流中流过恒流源 19 流出的电流的一半、此外还设计为阻抗元件 23 以及 24 的电压降相等,则式 (6) 成为:

$$[0055] \quad V_{GS17} = V_{GS16} \dots (7)。$$

[0056] 因为式 (7) 是与式 (2) 同样的关系,所以式 (3) 的关系成立。因此,图 3 的电路与图 1 的电路相同,无功电流较小。

[0057] [变形例 3]

[0058] 图 4 是示出本实施方式的输出电路的其它例的电路图。与图 1 的电路相比,追加了 PMOS 晶体管 25。PMOS 晶体管 25 的栅极与恒流源 18 的一个端子、PMOS 晶体管 11 的漏极、PMOS 晶体管 12 的栅极及漏极、以及 PMOS 晶体管 13 的栅极连接,源极与电源端子连接,漏极与恒流源 20 的一个端子、NMOS 晶体管 15 的栅极、NMOS 晶体管 16 的栅极以及漏极连接。PMOS 晶体管 12 以及 25 构成电流镜电路,PMOS 晶体管 12 的漏极电流根据镜像比进行复制,成为 PMOS 晶体管 25 的漏极电流。PMOS 晶体管 25 的漏极电流与恒流源 20 流出的电流相加后流入饱和连接的 NMOS 晶体管 16。因此,当将输入信号电压提供给输入端子 IN 时, NMOS 晶体管 16 的栅极电压根据 PMOS 晶体管 25 的漏极电流的变化而变化,追随于此, NMOS 晶体管 15 的源极电压发生变化。此时, NMOS 晶体管 15 的源极电压的变化与上述 NMOS 晶体管 17 的栅极电压的变化是相同方向,所以 NMOS 晶体管 17 的栅极 / 源极间电压的变化进一步变大。由此,流过更大的灌电流以及源极电流。

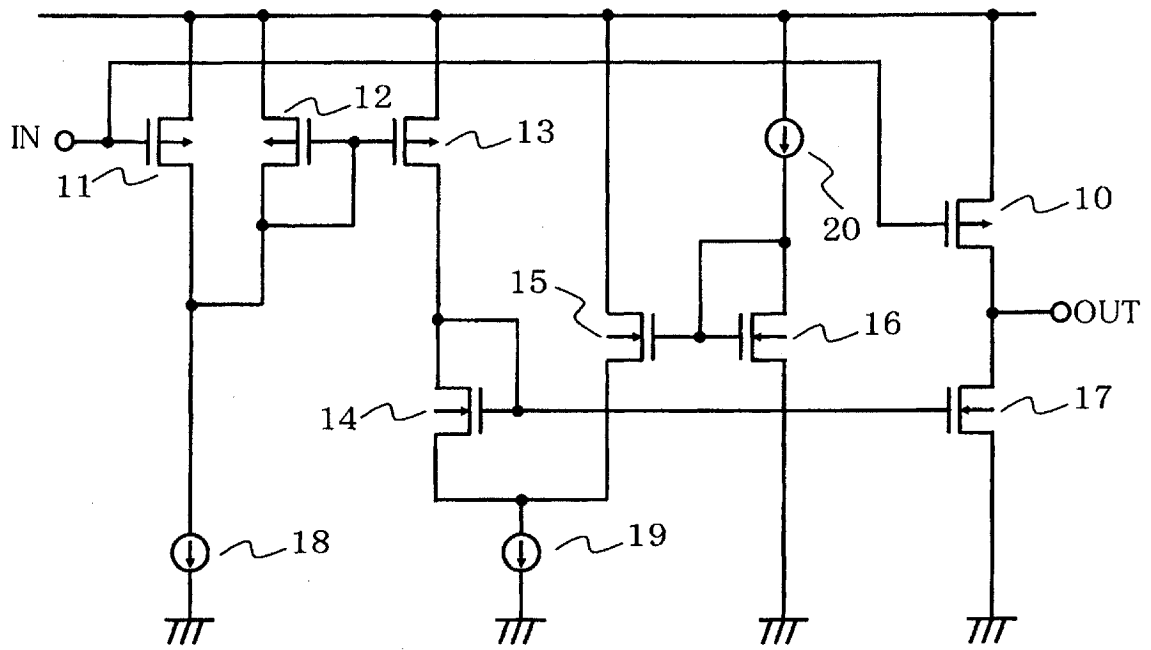


图 1

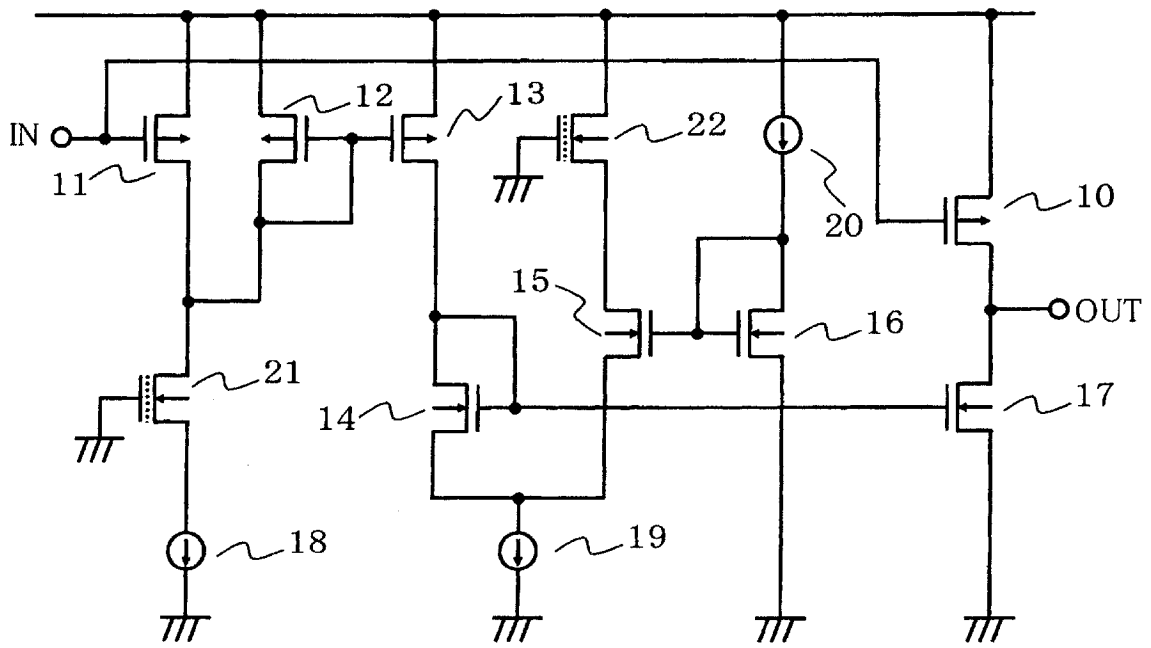


图 2

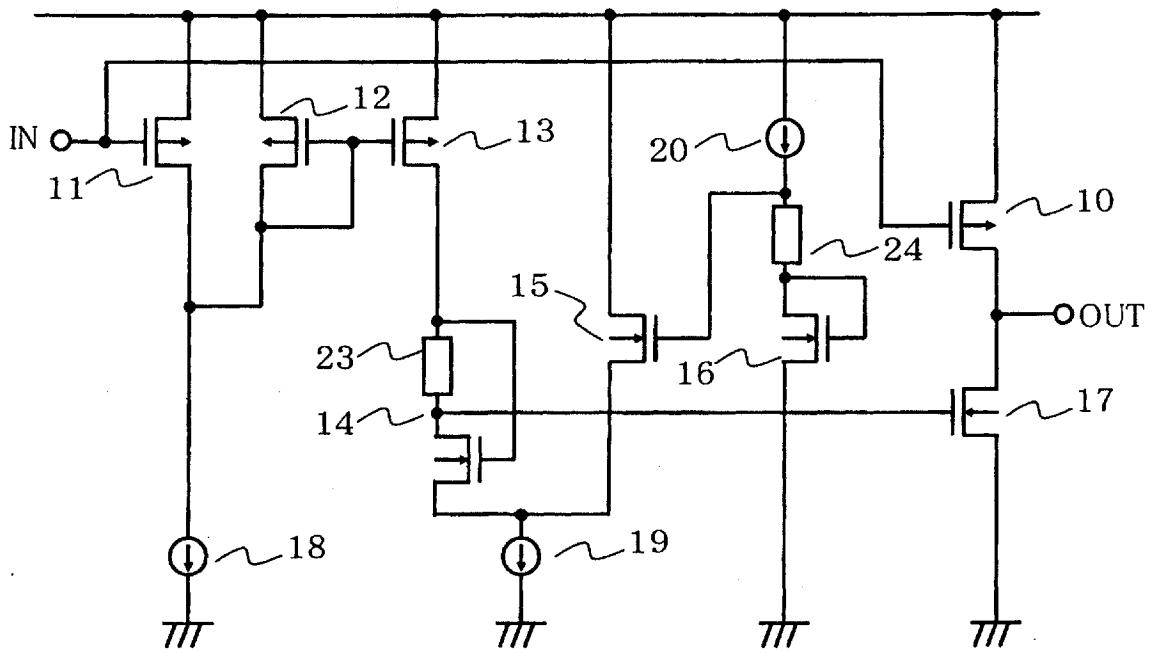


图 3

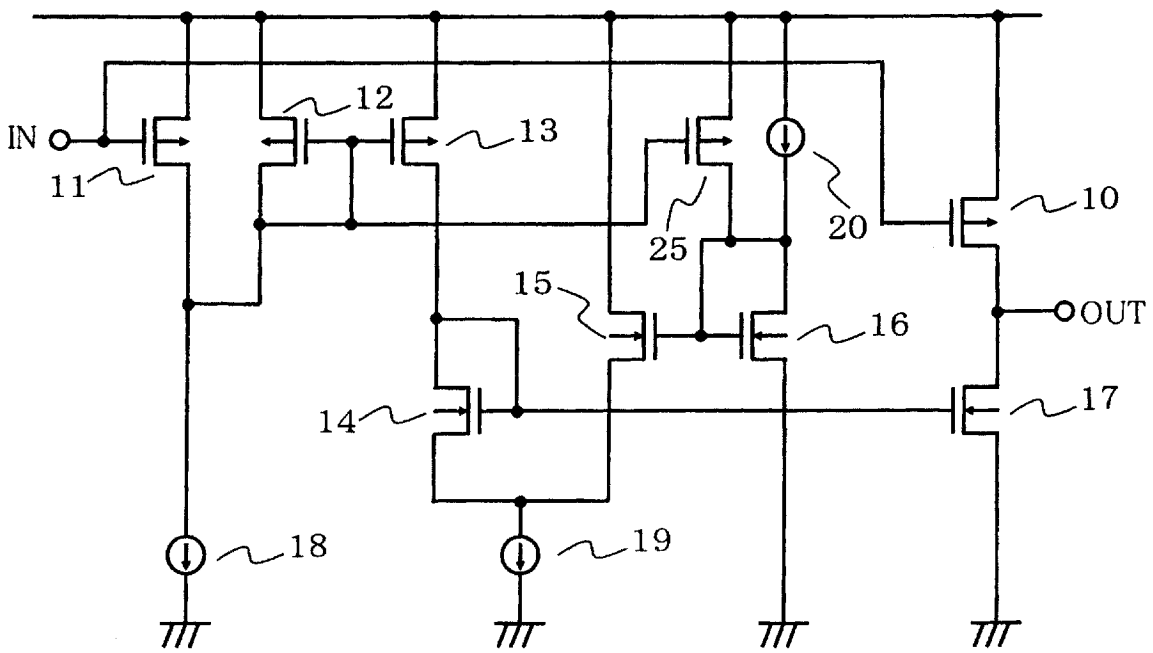


图 4

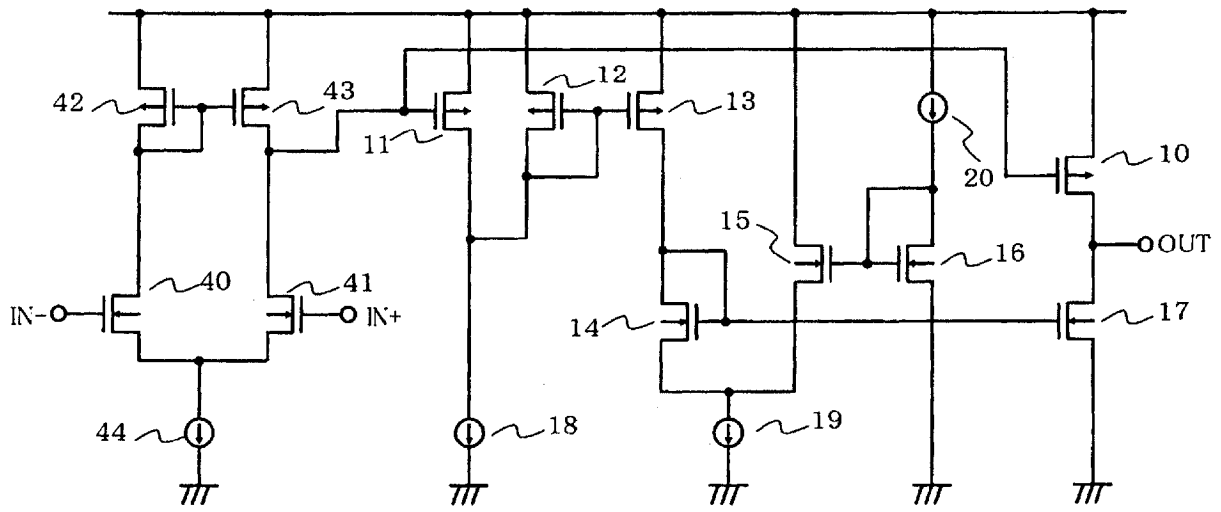


图 5

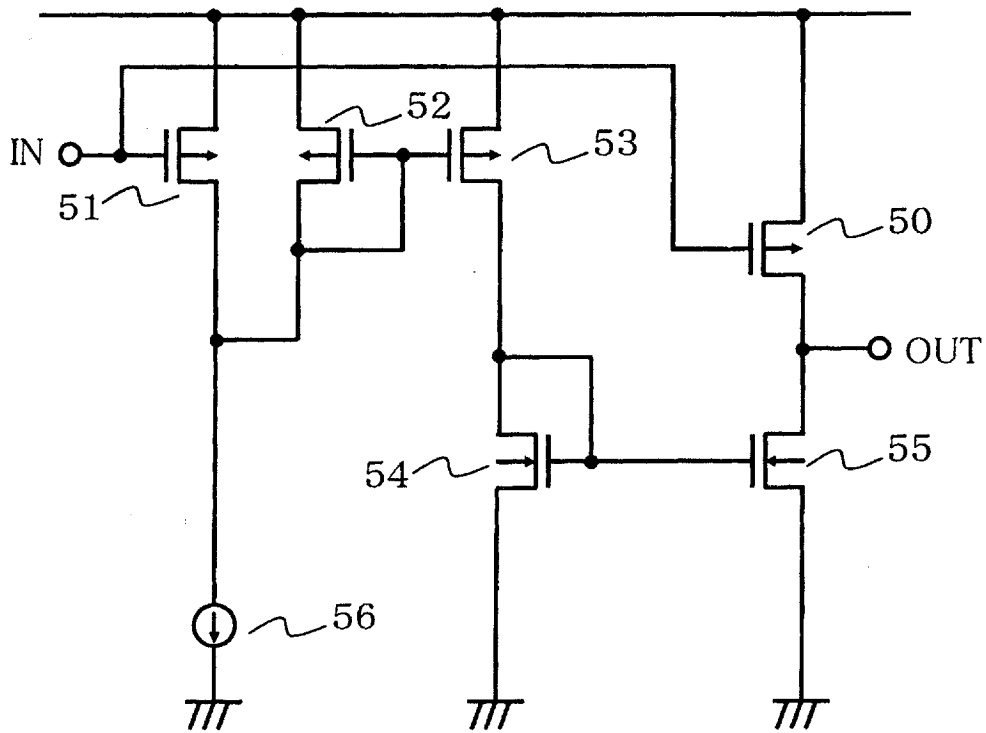


图 6